

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第6部門第3区分  
 【発行日】平成18年12月14日(2006.12.14)

【公開番号】特開2005-135112(P2005-135112A)  
 【公開日】平成17年5月26日(2005.5.26)  
 【年通号数】公開・登録公報2005-020  
 【出願番号】特願2003-369464(P2003-369464)  
 【国際特許分類】

**G 0 5 F 3/24 (2006.01)**

**H 0 3 F 3/345 (2006.01)**

【F I】

G 0 5 F 3/24 Z

H 0 3 F 3/345 B

【手続補正書】

【提出日】平成18年10月26日(2006.10.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

起動信号発生回路と、定電圧回路と、前記起動信号発生回路及び前記定電圧回路に供給する第1の電源及び第2の電源とを含む基準電圧発生回路であって、

前記定電圧回路は、演算増幅回路を含み、

前記演算増幅回路の出力は、第1の安定期間及び第2の安定期間で所定の電圧に安定し

、  
 前記起動信号発生回路は、前記定電圧回路によって出力される基準電圧に基づいて、前記定電圧回路を起動制御する起動信号SSSを発生し、その後少なくとも前記第1の安定期間を経過するまで前記定電圧回路へアクティブな起動信号SSSを出力し、

前記起動信号発生回路は、前記第1の安定期間を経過した後に前記定電圧回路へノンアクティブな起動信号SSSを出力することを特徴とする基準電圧発生回路。

【請求項2】

請求項1において、

前記定電圧回路は、電流モード型バンドギャップリファレンス回路を含み、

前記電流モード型バンドギャップリファレンス回路は、前記演算増幅回路と、第1のPN接合と、前記第1のPN接合とは電流密度の異なる第2のPN接合と、複数のトランジスタと、複数の抵抗器とを含み、

前記複数のトランジスタは、第1の電流制御用トランジスタと、第2の電流制御用トランジスタと、P型トランジスタとを含み、

前記複数の抵抗器は、第7の抵抗器と、第8の抵抗器と、第9の抵抗器と、基準電圧発生用抵抗器とを含み、

前記第1の電流制御用トランジスタは、前記第1のPN接合及び前記第7の抵抗器に供給する電流を制御し、

前記第2の電流制御用トランジスタは、前記第8の抵抗器と前記第2のPN接合及び前記第9の抵抗器に供給する電流を制御し、

前記P型トランジスタは、前記基準電圧発生用抵抗器に供給する電流を制御することを特徴とする基準電圧発生回路。

## 【請求項 3】

請求項 2 において、

前記演算増幅回路は、前記演算増幅回路の出力信号を前記複数のトランジスタの各々のゲート電極に出力し、

前記第 1 の電流制御用トランジスタと、第 2 の電流制御用トランジスタ及び前記 P 型トランジスタは、前記アクティブな起動信号 S S S に応じて ON 状態に設定されることを特徴とする基準電圧発生回路。

## 【請求項 4】

請求項 2 または 3 において、

前記第 1 の電流制御用トランジスタは、前記第 1 の電源と第 1 の P N 接合との間に設けられ、

前記第 1 の P N 接合は、前記第 1 の電流制御用トランジスタと前記第 2 の電源との間に設けられ、

前記第 2 の電流制御用トランジスタは、前記第 1 の電源と第 2 の P N 接合との間に設けられ、

前記第 2 の P N 接合と前記第 8 の抵抗器及び第 9 の抵抗器は、前記第 2 の電流制御用トランジスタと前記第 2 の電源との間に設けられていることを特徴とする基準電圧発生回路。

## 【請求項 5】

請求項 1 乃至 4 のいずれかにおいて、

前記起動信号発生回路は、起動信号生成部と、起動信号停止部とを含み、

前記起動信号生成部は、前記第 1 の電源の電圧と前記第 2 の電源の電圧との差の電圧に基づいて前記アクティブな起動信号 S S S を生成し、

前記起動信号停止部は、前記起動信号生成部によって生成された前記アクティブな起動信号 S S S を、前記基準電圧に基づいて前記ノンアクティブな起動信号 S S S に設定することを特徴とする基準電圧発生回路。

## 【請求項 6】

請求項 5 において、

前記起動信号生成部は負荷抵抗器を含むことを特徴とする基準電圧発生回路。

## 【請求項 7】

請求項 6 において、

前記負荷抵抗器は、P 型 MOS F E T で構成されることを特徴とする基準電圧発生回路。

## 【請求項 8】

請求項 5 乃至 7 のいずれかにおいて、

前記起動信号停止部は、第 1 の N 型 MOS F E T を含み、

前記第 1 の N 型 MOS F E T のゲート電極には、前記基準電圧が供給されることを特徴とする基準電圧発生回路。

## 【請求項 9】

請求項 5 乃至 8 のいずれかにおいて、

前記起動信号発生回路は、再起動防止部を含み、

前記再起動防止部は、前記起動信号生成部によって生成された前記アクティブな起動信号 S S S を、前記第 1 の電源の電圧と前記第 2 の電源の電圧との差の電圧に基づいて前記ノンアクティブな起動信号 S S S に再設定することを特徴とする基準電圧発生回路。

## 【請求項 10】

請求項 9 において、

前記第 1 の電源の電圧と前記第 2 の電源の電圧との差の電圧が第 1 の設定電圧 V 1 以上のときは、前記再起動防止部は、前記起動信号生成部によって生成された前記アクティブな起動信号 S S S を前記ノンアクティブな起動信号 S S S に再設定し、

前記第 1 の電源の電圧と前記第 2 の電源の電圧との差の電圧が第 2 の設定電圧 V 2 ( V

2 < V 1 ) 以下のときは、前記再起動防止部は前記起動信号生成部によって生成された前記アクティブな起動信号 S S S に対して前記ノンアクティブな起動信号 S S S への再設定を行わないことを特徴とする基準電圧発生回路。

【請求項 1 1】

請求項 1 0 において、

前記再起動防止部は、第 1 の抵抗器と、第 2 の抵抗器と、第 2 の N 型 M O S F E T とを含み、

前記第 1 の抵抗器の一方の端子は前記第 2 の抵抗器の一方の端子に接続され、

前記第 1 の抵抗器の他方の端子には、前記第 1 の電源の電圧と前記第 2 の電源の電圧との差の電圧が供給され、

前記第 2 の抵抗器の他方の端子は接地され、

前記第 2 の N 型 M O S F E T のゲート電極には、前記第 1 の抵抗器及び前記第 2 の抵抗器により抵抗分割された分圧電圧が供給されることを特徴とする基準電圧発生回路。

【請求項 1 2】

請求項 1 1 において、

前記第 2 の N 型 M O S F E T は、前記第 1 の電源の電圧と前記第 2 の電源の電圧との差の電圧が前記第 1 の設定電圧 V 1 以上の時、オン状態に設定されることを特徴とする基準電圧発生回路。

【請求項 1 3】

請求項 1 1 において、

前記第 2 の N 型 M O S F E T は、前記第 1 の電源の電圧と前記第 2 の電源の電圧との差の電圧が前記第 2 の設定電圧 V 2 以下のとき、オフ状態に設定されることを特徴とする基準電圧発生回路。

【請求項 1 4】

請求項 1 1 乃至 1 3 のいずれかにおいて、

前記第 2 の抵抗器は、第 3 の抵抗器と、第 4 の抵抗器と、スイッチ素子とを含み、

前記第 3 の抵抗器と前記第 4 の抵抗器は互いに直列接続され、

前記第 4 の抵抗器と前記スイッチ素子は並列接続されていることを特徴とする基準電圧発生回路。

【請求項 1 5】

請求項 1 4 において、

前記第 1 の抵抗器は、第 5 の抵抗器と、第 6 の抵抗器とを含み、

前記第 5 の抵抗器と前記第 6 の抵抗器は互いに直列接続されていることを特徴とする基準電圧発生回路。

【請求項 1 6】

請求項 1 5 の基準電圧発生回路と、コンパレータとを含み、

前記コンパレータは前記第 5 の抵抗器と前記第 6 の抵抗器及び第 2 の抵抗器によって抵抗分割された分圧電圧と前記基準電圧との比較結果を前記スイッチ素子に出力することを特徴とする電源電圧監視回路。

【請求項 1 7】

請求項 1 6 において、

前記第 2 の N 型 M O S F E T の閾値が、最小閾値  $V_{thmin}$  から最大閾値  $V_{thmax}$  までの範囲内であるとき、

前記第 1 の抵抗器の抵抗値  $R_1$ 、前記第 3 の抵抗器の抵抗値  $R_2$  及び前記第 4 の抵抗器の抵抗値  $R_3$  は、次の 2 式

$$V_{thmin} > V_2 \times R_2 \div (R_1 + R_2)$$

$$V_{thmax} < V_1 \times (R_2 + R_3) \div (R_1 + R_2 + R_3)$$

を満たすことを特徴とする電源電圧監視回路。

【請求項 1 8】

請求項 1 乃至 1 3 のいずれかの基準電圧発生回路を含み、

前記基準電圧に基づいて前記第1の電源の電圧と前記第2の電源の電圧との差の電圧を監視し、前記第1の電源の電圧と前記第2の電源の電圧との差の電圧が所定の検出電圧に達した場合、検出信号を出力することを特徴とする電源電圧監視回路。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0023

【補正方法】変更

【補正の内容】

【0023】

また、本発明に関する電源電圧監視回路は、前記第2のN型MOSFETの閾値が、最小閾値 $V_{thmin}$ から最大閾値 $V_{thmax}$ までの範囲内であるとき、前記第1の抵抗器の抵抗値 $R_1$ 、前記第3の抵抗器の抵抗値 $R_2$ 及び前記第4の抵抗器の抵抗値 $R_3$ は、次の2式、 $V_{thmin} > V_2 \times R_2 \div (R_1 + R_2)$ 、 $V_{thmax} < V_1 \times (R_2 + R_3) \div (R_1 + R_2 + R_3)$ を満たすように設定されてもよい。これにより、使用するトランジスタの個体差に柔軟に対応することができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0029

【補正方法】変更

【補正の内容】

【0029】

BGR回路300は、P型トランジスタPT10（広義には第1の電流制御用トランジスタ）、P型トランジスタPT11（広義には第2の電流制御用トランジスタ）及びP型トランジスタPT12を含む。また、BGR回路300は、ダイオードD1（広義には第1のPN接合）及びダイオードD2（広義には第2のPN接合）を含む。また、BGR回路300は、抵抗器RI1、抵抗器RI21及び抵抗器RI22を含む。各P型トランジスタPT10～12には電圧VDD（広義には第1の電源の電圧と第2の電源の電圧との差の電圧）が供給される。各ダイオードD1、D2の電流密度は互いに異なるように設定されている。各P型トランジスタPT10～PT12のソース・ドレイン間に流れる電流は、オペアンプOP1の出力によって制御される。その結果、BGR回路300は基準電圧VREFを発生する。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0030

【補正方法】変更

【補正の内容】

【0030】

具体的には、各P型トランジスタPT10～PT12のソース・ドレイン間に電流が流れると、ノードN1とノードN2との電位差に応じて、オペアンプOP1の出力が変化する。このオペアンプOP1の出力は、各P型トランジスタPT10～PT12のゲートに入力される。オペアンプOP1は、ノードN1とノードN2のそれぞれの電位が互いに等しくなるように、各P型トランジスタPT10～12を制御する。また、各P型トランジスタPT10～PT12をカレントミラー回路と見なすことができ、各P型トランジスタPT10～PT12の能力が同じであればソース・ドレイン間に流れる電流は、それぞれ同値である。これにより、P型トランジスタPT12のソース・ドレイン間に流れる電流が基準電圧発生用抵抗器R01によって調整されることで、BGR回路300は基準電圧VREFを発生する。ただし、このBGR回路300を安定起動するためには次に説明する起動信号発生回路400が必要である。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0073

【補正方法】変更

【補正の内容】

【0073】

100 基準電圧発生回路、300 定電圧回路、  
310 演算増幅回路、400 起動信号発生回路、410 起動信号生成部、  
420 起動信号停止部、430 再起動防止部、1000 電源電圧監視回路、  
COMP1 コンパレータ、COMP2 コンパレータ、  
NT11 第1のN型MOSFET、NT12 第2のN型MOSFET、  
NT13 スイッチ素子、PT10 第1の電流制御用トランジスタ、  
PT11 第2の電流制御用トランジスタ、PT12 P型トランジスタ、  
R01 基準電圧発生用抵抗器、R11 負荷抵抗器、R1-1 第5の抵抗器、  
R1-2 第6の抵抗器、R20 第1の抵抗器、R2-1 第3の抵抗器、  
R2-2 第4の抵抗器、R30 第2の抵抗器、SSS 起動信号、  
VREF 基準電圧、VSUB 第1の設定電圧V1、VMIN 第2の設定電圧V2、  
RI21 第8の抵抗器、110 基準電圧発生回路、1100 電源電圧監視回路、R  
I1 第7の抵抗器、RI22 第9の抵抗器

【手続補正6】

【補正対象書類名】図面

【補正対象項目名】図3

【補正方法】変更

【補正の内容】

【 図 3 】

