

公告本

申請日期	89. 6. 8
案 號	89111141
類 別	H01L 21/26

A4
C4

558792

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	製造半導體裝置之方法
	英 文	"PROCESS FOR MANUFACTURING SEMICONDUCTOR DEVICE"
二、發明 人	姓 名	川野 裕行
	國 籍	日本
	住、居所	日本國廣島縣福山市南藏王町3丁13-32-A201
三、申請人	姓 名 (名稱)	日商夏普股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本國大阪府大阪市阿倍野區長池町22番22號
	代 表 人 姓 名	町田 勝彦

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權
日本 1999 年 9 月 28 日 特願平11-273911 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

五、發明說明(1)

發明背景

1. 發明領域

本發明係關於用來製造一半導體裝置之一製程，更為特別的是其乃關係到利用淺溝渠隔離(此後加以參照為 STI)法針對裝置隔離之一製程。

2. 相關技藝說明

習知的 LOCOS (矽的局部氧化)法已廣泛地加以使用作為在一半導體裝置內形成一裝置隔離區的一種方法，因對於裝置小型化的一種需求升高，藉由熱氧化之 LOCOS 法已為產生鳥嘴所苦。

接著，STI 法已被建議用來解決 LOCOS 法之一缺點，STI 法包含以下步驟，首先一槽(例如一溝渠)係被形成於一矽基質內而一絕緣膜係加以形成以便填充該溝渠，接著在一個除了該溝渠的區域上所形成的絕緣膜係藉由化學機械拋光(CMP)法加以移除，相較於 LOCOS 法，STI 法藉由電漿化學蒸氣沉積(CVD)法或或該類方法來形成絕緣膜而減少了熱的製程，因此在 LOCOS 法內所發生的鳥嘴可大大地加以避免。

然而，STI 法亦有特別的缺點，LOCOS 法利用以上所敘述的熱氧化以致於在形成該裝置隔離區後，其表面具有一種相當輕微的波浪起伏，於 STI 法中，在 CMP 法的絕緣膜後所獲得之一邊緣部份的裝置隔離區自基質的表面突出而該已突出部份形成幾乎垂直於該基質的側壁，因此在一後續步驟中所形成的閘極電極處藉由微影法所形成之一光

五、發明說明(2)

阻模式會遭到過度窄化或者多晶矽(一種閘極電極材料) 25 在閘極電極以蝕刻法加以形成後會保持如圖 4 中所顯示者般，圖 4 係為一示圖用於舉例說明先前技藝的缺點，其中參照數字 21 代表一矽基質，22 代表一 STI 區域，23 代表一閘極絕緣層而 24 代表一閘極電極。

與以上缺點相關者，例如日本未受審查的專利公告，號碼為 HEI 10(1998)-144781 者揭露了用於避免在 STI 區域內形成一電位差的一種方法，該方法乃藉著使用一個氮化矽(SiN)膜來作為形成 STI 區域時之一 CMP 停止器，另外用於藉由蝕回來移除 STI 區域內突出部份的一種方法已被提出。

此後使用該 CMP 停止器的以上製程將參照圖 5(a)至 5(g)加以說明，圖 5(a)至 5(g)舉例說明了用於形成 STI 區域的一種習知的製程。

首先藉由一 CVD 法(見圖 5(a))順序地在一矽基質 11 上形成一第一氮化矽膜 12，一第一氧化矽膜 13，一第二氮化矽膜 14 與一第二氧化矽膜 15，接著在用於形成一溝渠之一區域內以微影法形成一光阻模式(未顯示)，使用光阻模式作為一光罩，一種非等向性蝕刻係藉由 RIE 法加以執行以便形成自第二氧化矽膜 15 的表面延伸進入矽基質 11 之一溝渠 11A (見圖 5(b))。

該光阻模式係被移除，而接著一埋藏絕緣層(一第三氧化矽膜 16)與一第三氮化矽膜 17 係如圖 5(c)中所顯示者般由一 CVD 法加以形成，該第三氮化矽膜 17 於一後續步驟

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(3)

中藉由 CMP 法於拋光期間在該第三氧化矽膜 16 中抑制一突出的形成。

如圖 5(d)中所顯示者般，藉由 CMP 法之該拋光係在第三氮化矽膜 17 上加以執行而持續至第二氮化矽膜 14 的表面被曝露為止，接著如圖 5(e)中所顯示者般，其餘的第三氮化矽膜 17 與第二氮化矽膜 14 係由濕式蝕刻加以移除，接著如圖 5(f)中所顯示者般，該第一氧化矽膜 13 係被移除而第三氧化矽膜 16 之一凹下部份 16A 係由 RIE 法將高度加以降低，其後如圖 5(g)中所顯示者般，該第一氮化矽膜 12 係由濕式蝕刻加以移除以曝露矽基質 11 的表面，因此遂形成 STI 區域。

然而此製程形成用於 CMP 與蝕回製程之一大量數目的停止器膜(14，13 與 12)，因此該生產步驟數倍增而增加了生產成本。

發明概要

根據本發明所提供者乃為用於製造一半導體裝置之一製程，其包含以下步驟：

沉積一拋光停止膜於一半導體基質上，施用一光阻於該拋光停止膜上且自用來形成一裝置隔離區之一區域移除該光阻以便形成一開口；

使用該光阻作為一蝕刻罩幕加以乾式蝕刻以便在該半導體基質內形成一預定深度之一溝渠；

移除該光阻；

依序形成一第一絕緣膜與一第二絕緣膜以便掩埋該溝

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明（4）

渠，該第二絕緣膜可藉由與第一絕緣膜所用的相同蝕刻步驟加以蝕刻且具備較第一絕緣膜所有者為大之一蝕刻率；

藉由 CMP 方法拋光該第一與第二絕緣膜直到該拋光停止膜之一表面被曝露為止；

移除該拋光停止膜；以及

藉由使用相同蝕刻劑加以蝕刻而移除自該半導體基質之一表面所投影第一與第二絕緣膜，因而在該溝渠內形成一裝置隔離。

本發明的這些與其他目的從此後所給予的詳細敘述將變得更為明顯，然而應瞭解指出該發明之較佳具體實例時，該詳細的敘述與特定的實施例僅被給予作為舉例說明，因為從此詳細的敘述對於那些熟習於該技藝者而言在該發明的精神與範疇之內之無數改變與改善將變得明顯。

簡單圖示說明

圖 1(a) 至 1(g) 係為用於舉例說明製造如本發明之一半導體裝置之一實施例的示圖；

圖 2 舉例說明了根據本發明在形成一閘極溝渠電極後之一淺溝渠裝置隔離區之一剖面示圖；

圖 3 係為一圖表舉例說明了一退火溫度與一 LTO 膜之一蝕刻率間的一種關係；

圖 4 係為一示圖用於舉例說明用於形成一淺溝渠裝置隔離區的一種習知製程的缺點；以及

圖 5(a) 至 5(g) 係為一示圖用於舉例說明用於形成一淺溝渠裝置隔離區的一種習知製程。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明(5)

元件對照表

- 1 silicon substrate 矽基質
- 2 pad oxide film 墊氧化物膜
- 3 silicon nitride film 氮化矽膜
- 4 resist pattern 光阻模式
- 5 trench 溝渠
- 6 silicon oxide film 氧化矽膜
- 7 USG film USG 膜
- 8 LTO film LTO 膜
- 9 gate oxide film 閘極氧化物膜
- 10 gate electrode 閘極電極
- 11 silicon substrate 矽基質
- 11A trench 溝渠
- 12 first silicon nitride film 第一氮化矽膜
- 13 first silicon oxide film 第一氧化矽膜
- 14 second silicon nitride film 第二氮化矽膜
- 15 second silicon oxide film 第二氧化矽膜
- 16 third silicon oxide film 第三氧化矽膜
- 16A convex portion 凹下部份
- 17 third silicon nitride film 第三氮化矽膜
- 21 silicon substrate 矽基質
- 22 STI region 淺溝渠隔離區域
- 23 gate insulating film 閘極絕緣層
- 24 gate electrode 閘極電極

五、發明說明（6）

25 polysilicon 多晶矽

詳細圖示說明

此後本發明將加以詳細說明。

首先一拋光停止器膜係被形成於一半導體基質上，本發明中所使用的該半導體基質未特別地受限而任何像是一氮化矽膜的拋光抵抗膜皆可加以使用，該拋光停止器層的厚度最好為 0.1 至 0.2 微米，該拋光停止器膜可為以一氧化矽膜與一氮化矽膜的這種次序在半導體基質上所形成而用於強化其功能之一疊層，於此案例中該氮化矽膜的厚度最好為 0.1 至 0.2 微米，該氮化矽膜與氧化矽膜可由已知的技術例如 CVD 法，熱氧化法分別地加以形成。

其次一光阻係被施用於拋光停止器膜上而一開口係藉由自用於形成一裝置隔離區域之一區域處移除該光阻所形成，任何已知的材料可被使用作為該光阻，該開口可由一已知的微影技術加以形成。

使用具有該開口的光阻作業一蝕刻罩，一預定深度的溝渠係藉由乾式蝕刻於該半導體基質中加以形成，該溝渠的深度根據所意圖的裝置隔離適當地加以決定，該溝渠最好朝底部作成傾斜以致於該處之一絕緣膜於一後續步驟中妥為埋藏，該溝渠的平面構成未特別受限。

10 至 100 毫微米厚之一氧化矽膜最好在該溝渠的內面上加以形成以避免因埋藏一絕緣膜於溝渠內之一後續步驟中發生在半導體基質內的應力所造成的缺陷，該氧化矽膜可藉由熱氧化加以形成。

五、發明說明(7)

接著在移除該光阻後，一第一絕緣層與一第二絕緣層係順序地加以形成以埋藏該溝渠，該第二絕緣膜可用與蝕刻第一絕緣膜相同的蝕刻製程加以蝕刻而具有較蝕刻第一絕緣膜為大之一蝕刻率，該第二絕緣膜的蝕刻率最好為第一絕緣膜的蝕刻率之 3 至 10 倍大，例如一未受摻雜矽石玻璃(USG)膜與一低溫氧化物(LTO)膜可加以組合使用分別當作本發明之第一與第二絕緣膜，該第一絕緣膜至少最好具有該溝渠被埋藏之一厚度，即不小於溝渠的深度，更為特別的是該較佳的深度係為 200 至 500 毫微米，雖然其乃依組成該膜的材料而變化，該第二絕緣膜的厚度係 100 至 400 毫微米為佳，雖然其乃依組成該膜的材料而變化，另外該第一絕緣膜最好存在於組成溝渠的拋光停止器膜的側邊。

該 USG 膜可使用一高密度電漿(HDP) CVD 設備加以形成，該 LTO 膜可藉由電漿 CVD 法在攝氏 200 到 500 度的一個環境下加以形成。

另外該第一與第二絕緣膜可分別地加以退火，該第一絕緣膜的退火乃意圖用於膜的 densification 而最好在攝氏 800 至 1100 度下執行 0.5 到 2 小時，該第二絕緣膜的退火乃意圖去控制其蝕刻率而最好在攝氏 500 至 1000 度下執行 0.5 到 2 小時。

接著該第一與第二絕緣膜係藉由 CMP 法加以拋光至該拋光停止器膜被曝露為止。

此後該拋光停止器膜係加以移除，因該拋光停止器膜係

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

為一氮化矽膜，其可藉由氫氟酸加以移除，根據此製程，此處之膜係為一氧化矽膜，其可藉由氫氟酸加以移除，根據此製程一凸出部份係為自半導體裝置之上表面所突出之第一與第二絕緣膜所形成。

接著該突出的第一與第二絕緣層膜係使用相同的蝕刻劑加以移除，因此在該溝渠中形成一裝置隔離區域，該第一與第二絕緣層膜可同時加以移除以降低生產步驟數，被用於此的該蝕刻劑之一實施例若在 USG 膜與 LTO 膜分別被用為第一與第二絕緣膜時係為氫氟酸，該蝕刻亦可充當於蝕刻前清洗已形成在半導體基質上元件的一個步驟。

此後本發明將參照其之一實施例詳細地加以說明。

圖 1(a) 至 1(g) 係為用於舉例說明製造如本發明之一半導體裝置之一實施例的示圖，圖 2 舉例舉例說明了根據本發明形成一閘極電極後之一 STI 區域之一剖面示圖，以及圖 3 係為一圖表舉例說明了一退火溫度與一 LTO 膜之一蝕刻率間的一種關係，於該圖形中，參考數字 1 代表一矽基質，2 代表一墊氧化物膜，3 代表一氮化矽膜，4 代表一光阻模式，5 代表一溝渠，6 代表一氧化矽膜，7 代表一 USG 膜，8 代表一 LTO 膜，9 代表一閘極氧化物膜而 10 代表一閘極電極。

此後根據本發明用於製造該半導體裝置之製程的一個實施例將參照圖 1(a) 到圖 1(g) 以及圖 2 來加以說明。

首先如圖 1(a) 中所顯示者般，在該矽基質 1 上 14 毫微米之墊氧化物膜 2 係藉由熱氧化法加以形成，而 160 毫微

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

米之氮化矽膜 3 (一拋光停止器膜)係藉由 CVD 法加以形成。

接著在用於形成一裝置隔離區之一區域內具有一開口之該光阻模式 4 係以微影法加以形成，使用該光阻模式 4 係作為罩遮，而該墊氧化物膜 2 與氮化矽膜 3 係藉由乾式蝕刻加以蝕刻而一預定深度的溝渠 5 係於矽基質中加以形成(見圖 1(b))，該溝渠深度係為 350 毫微米，該溝渠係被傾斜至一程度以便使一絕緣膜於後續步驟中妥為加以埋藏於彼。

該光阻模式 4 係加以移除，而接著約 30 毫微米厚的氧化矽膜 6 係由圖 1(c)中所顯示的熱氧化法所形成以便在溝渠 5 中形成一埋藏絕緣層時防止因矽基質 1 內發生之應力所造成的缺陷。

接著如圖 1(d)中所顯示者般，無雜質的該 USG 膜 7 (一第一絕緣膜)係被埋藏於溝渠 5 內，此處該裝置絕緣區係由含有不存物之一絕緣膜所製成，電晶体特性遂惡化，因此不含不存物之一絕緣膜係於此實施例中加以使用，該 USG 膜 7 係藉由利用一 HDP-CVD 儀器之 CVD 法所形成，該 USG 膜 7 的厚度係被決定去與溝渠深度對應，於此實施例中該厚度係為 350 毫微米，該 USG 膜 7 約在攝氏 1000 度加以退火以便在其形成後密集化。

其次，該 LTO 膜 8 (一第二絕膜)係被形成，於此實施例中，250 毫微米厚的 LTO 膜 8 係由電漿 CVD 法所形成，考慮到經由後續步驟中的清洗所減少的絕緣膜，形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (10)

於彼之 LTO 膜 8 在控制其濕式蝕刻率後在攝氏 750 度之下退火一小時。

據該 USG 膜預期蝕刻 200 至 500 埃之濕式蝕刻(清洗步驟)在閘極電極形成之前加以執行，此時爲了移除矽基質 1 的上表面上形成 LTO 膜 8 與 USG 膜 7 突出，兩種膜的蝕刻率階需要加以控制，於此實施例中該被埋藏 LTO 膜 8 的蝕刻率係被決定爲所埋藏的 USG 膜 7 之 3 至 10 倍，該蝕刻率間的適當差異依隨後所將加以敘述之一 CMP 步驟後殘餘的被埋藏膜而定，因此該堆疊埋藏膜的蝕刻率間的差異並不限制本發明。

其次如圖 1(e)中所顯示者般，除了在該溝渠內之一區域上的 LTO 膜 8 與 USG 膜 7 會使用氮化矽膜 3 做爲一停止器之 CMP 法加以移除，在此時 350 毫微米厚的 USG 膜 7 與 20 至 150 毫微米厚的 LTO 膜 8 係被遺留於該溝渠中，根據先前技藝此處的 USG 膜單獨被埋藏於該溝渠中，該 370 至 500 毫微米厚之膜維持，而使得難以降低 STI 區域內的位準差。

接著如圖 1(f)所顯示者般，一氮化矽膜 3 與墊氧化物膜 2 係藉由濕式蝕刻順序地加以移除，磷酸加熱至攝氏 150 度以及室溫下的氫氟酸係分別地被用於移除氮化矽膜 3 與墊氧化物膜 2，接著該 USG 膜 7 與 LTO 膜 8 係藉由使用相同蝕刻劑，即氫氟酸之一濕式蝕刻加以移除以曝露矽基質 1 的表面，因此形成該 STI 區域。

接著如圖 1(g)所顯示者般，一閘極氧化物膜 9 與一閘極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

電極 10 在離子植入矽基質 1，清洗及同類作業後加以形成，於此實施例中，該閘極氧化物膜 9 係藉由熱氧化法所形成之一厚度為 32 毫微米的膜而該閘極 10 係藉由 LP-CVD 法所形成之一厚度為 200 毫微米的膜。

該 STI 區域的溝渠內所埋藏的膜之厚度係從 STI-CMP 步驟後的厚度加以降低至以氫氟酸(HF)與同類物的清洗步驟後的閘極電極形成後的厚度，於此實施例中，該 USG 膜 7 與 LTO 膜 8 係被堆疊於 STI 區上，因此對於氫氟酸具有一較大蝕刻率的 LTO 膜 8 降低得更快，該 STI 區域的蝕刻率在 LTO 膜 8 完全地加以移除後，即當 USG 膜 7 的表面被曝光時加以降低，所以在 STI-CMP 步驟被緩和後殘留在溝渠內的上述膜厚變化更進一步地降低了在 STI 區域內的位準差異，因此如圖 2 中所顯示者般，在用於形成由該 STI 區域內位準差所造成的閘極電極之蝕刻候，其餘在先前技藝中有問題者可加以分解。

一想要的蝕刻率可藉由控制用於 LTO 膜 8 的退火溫度加以獲得，例如可從圖 3 中所顯示的退火溫度與 LTO 膜 8 的蝕刻率間的關係觀之。

如上述，本發明用於製造該半導體裝置的製程可除去在處理閘極電極時由於 STI 區域內位準差異所產生的困難(其於先前技藝中係為有問題的)而未在用於形成 STI 區域的習知製程產生徹底的改變，特別是該生產步驟數幾乎沒有增加，即該生產成本降低，此外本發明可滿足對於裝置隔離區更進一步的縮小化以及半導體裝置高度集積化的一

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明（12）

種需求。

另外因該 USG 膜與 LTO 膜係分別地被用為第一與第二絕緣膜，而氫氟酸係被用為共通的蝕刻劑，該第一與第二絕緣膜可加以移除但在其間的蝕刻率間維持一適當的差異，所以在該 STI 區域內的位準差可加以降低。

尚因該 LTO 膜的蝕刻率係藉由控制對 LTO 膜的退火溫度來加以決定，所以該 STO 區與基質表面間的位準差可加以降低。

更有甚者用於製造該半導體裝置的製程可藉由對由一作業而在半導體基質上所形成的元件執行蝕刻與清洗來加以簡化。

此外因該氮化矽膜係被用為拋光停止器膜而且該氧化矽膜乃形成於氮化矽膜與半導體基質間，所以該拋光可以確實地加以停止。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

四、中文發明摘要(發明之名稱：製造半導體裝置之方法)

用於製造一半導體裝置之一製程包含以下步驟：沉積一言拋光停止膜於一半導體基質上，施用一光阻於該拋光停止膜上且自用來形成一裝置隔離區之一區域移除該光阻以便形成一開口；使用該光阻作為一蝕刻罩幕加以乾式蝕刻以便在該半導體基質內形成一預定深度之一溝渠；移除該光阻；依序形成一第一絕緣膜與一第二絕緣膜以便掩埋該溝渠，該第二絕緣膜可藉由與第一絕緣膜所用的相同蝕刻步驟加以蝕刻且具備較第一絕緣膜所有者為大之一蝕刻率；藉由CMP方法拋光該第一與第二絕緣膜直到該拋光停止膜之一表面被曝露為止；移除該拋光停止膜；以及藉由使用相同蝕刻劑加以蝕刻而移除自該半導體基質之一表面所投影第一與第二絕緣膜，因而在該溝渠內形成一裝置隔離。

英文發明摘要(發明之名稱："PROCESS FOR MANUFACTURING SEMICONDUCTOR DEVICE")

A process for manufacturing a semiconductor device comprising the steps of: depositing a polish-stopper film on a semiconductor substrate, applying a photoresist on the polish-stopper film and removing the photoresist from a region for forming a device isolation region to form an opening; dry etching using the photoresist as an etching mask to form a trench of a predetermined depth in the semiconductor substrate; removing the photoresist; forming a first insulating film and a second insulating film in sequence to bury the trench, the second insulating film being capable of being etched by the same

四、中文發明摘要 (發明之名稱：

)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

英文發明摘要 (發明之名稱：

)

etching step as that for the first insulating film and having an etching rate greater than that of the first insulating film; polishing the first and second insulating films by CMP method until a surface of the polish-stopper film is exposed; removing the polish-stopper film; and removing the first and second insulating films projected from a surface of the semiconductor substrate by etching using the same etchant, thereby to form a device isolation region in the trench.

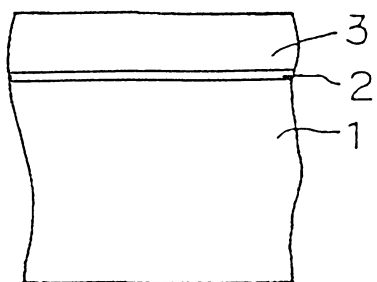


圖 1(a)

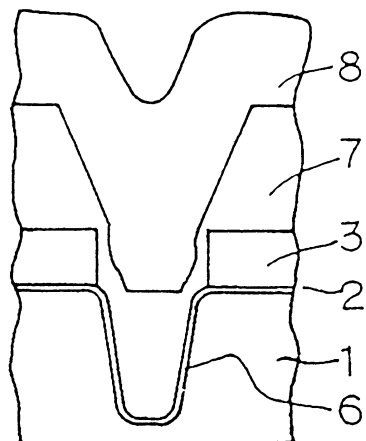


圖 1(d)

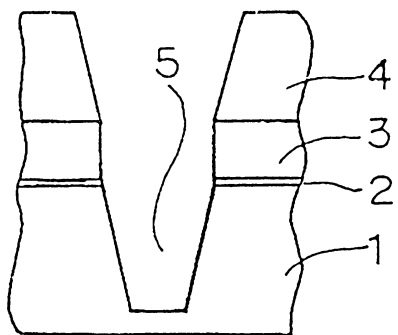


圖 1(b)

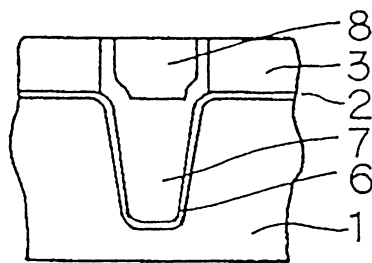


圖 1(e)

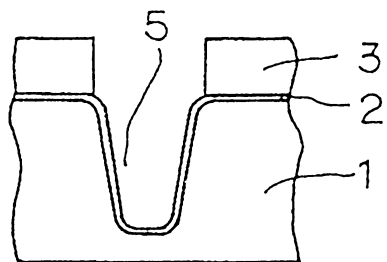


圖 1(c)

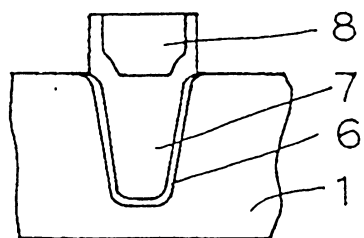


圖 1(f)

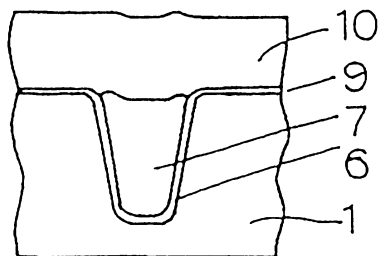


圖 1(g)

圖 2

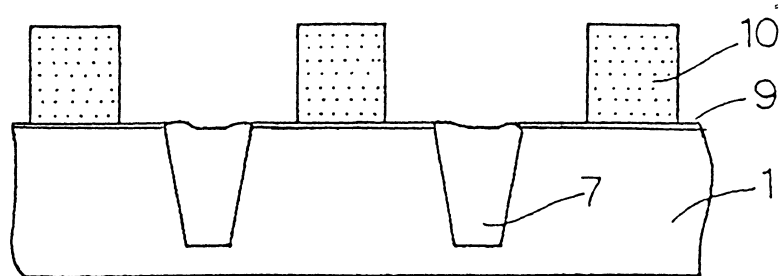
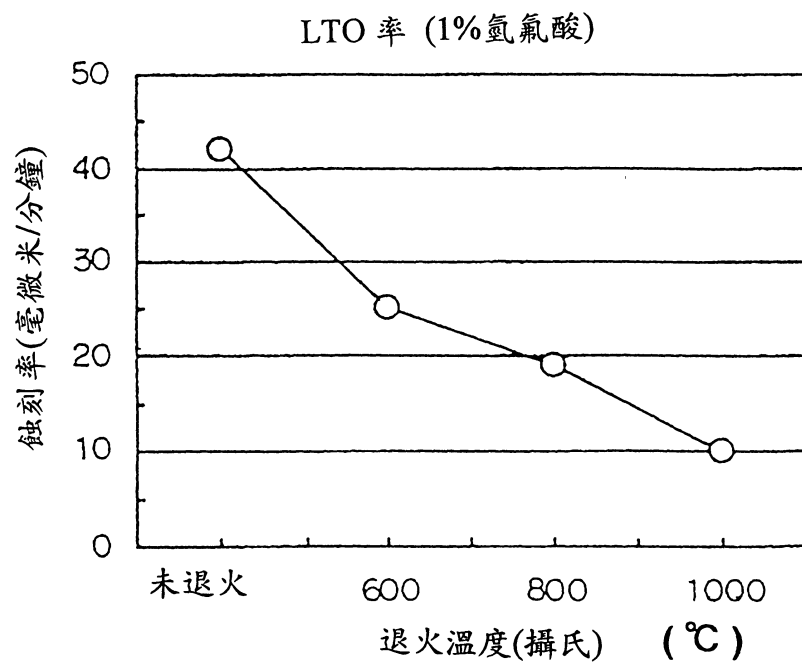
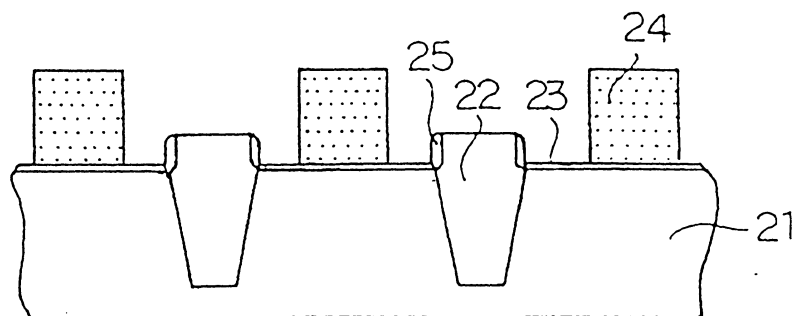


圖 3

圖 4
先前技藝

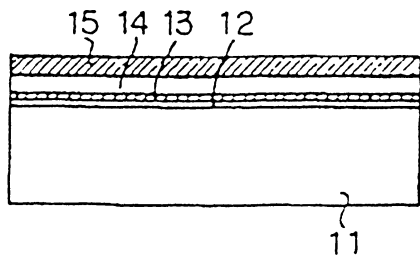


圖 5(a)
先前技藝

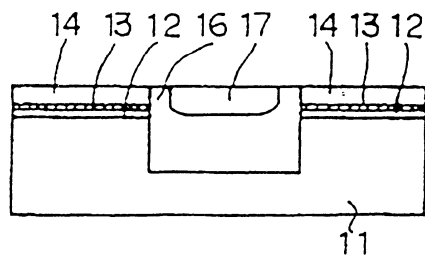


圖 5(d)
先前技藝

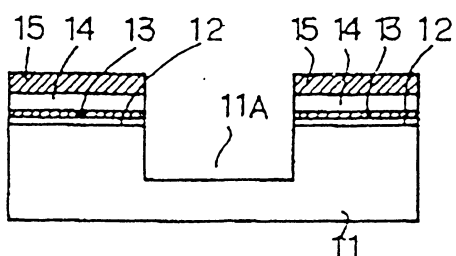


圖 5(b)
先前技藝

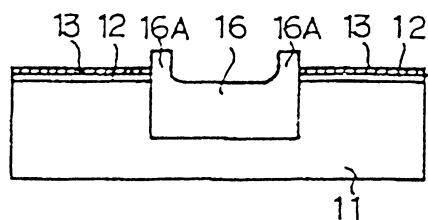


圖 5(e)
先前技藝

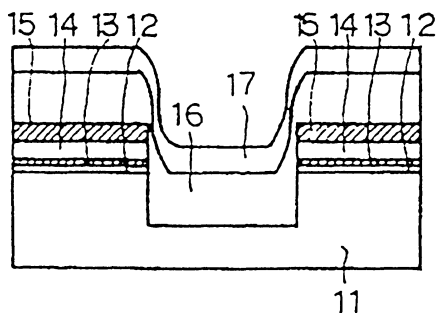


圖 5(c)
先前技藝

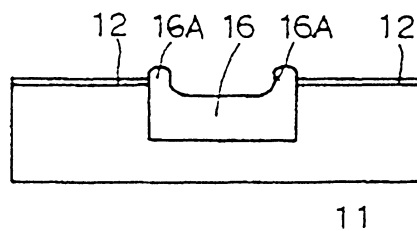


圖 5(f)
先前技藝

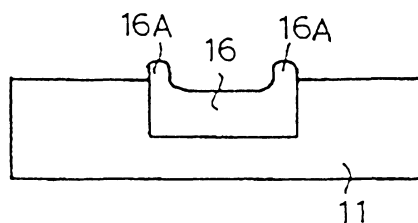


圖 5(g)
先前技藝

91 年 2 月 7 日

六、申請專利範圍

1. 一種用於製造一半導體裝置之方法，包含以下步驟：

沉積拋光停止膜於一半導體基質上，塗敷一光阻於該拋光停止膜上，且自用來形成一裝置隔離區之一區域移除該光阻，以便形成一開口；

使用該光阻，作為一蝕刻罩幕加以乾式蝕刻，以便在該半導體基質內形成一預定深度之溝渠；

移除該光阻；

依序形成第一絕緣膜與第二絕緣膜以便掩埋該溝渠，該第二絕緣膜可藉由與第一絕緣膜所用的相同蝕刻步驟加以蝕刻，且該第二絕緣膜具備較第一絕緣膜大之蝕刻率；

藉由 CMP 方法拋光該第一與第二絕緣膜直到該拋光停止膜之表面被曝露為止；

移除該拋光停止膜；以及

藉由使用相同蝕刻劑加以蝕刻而移除自該半導體基質之表面所投影第一與第二絕緣膜，而在該溝渠內形成一裝置隔離區。

2. 如申請專利範圍第 1 項之方法，其中該第一絕緣膜係為一種未受摻雜的玻璃膜，該第二絕緣膜係為一低溫氧化物膜，而該蝕刻劑係為氫氟酸。
3. 如申請專利範圍第 2 項之方法，更包含在蝕刻前將該第二絕緣膜退火的步驟以移除第一與第二絕緣膜，其中該第二絕緣膜的蝕刻率係藉由控制退火的溫度來決定一個適當的數值。

六、申請專利範圍

4. 如申請專利範圍第 2 項之方法，其中該第二絕緣膜的蝕刻率係為第一絕緣膜的蝕刻率之 3 至 10 倍。
5. 如申請專利範圍第 1 項之方法，其中該第一與第二絕緣膜的蝕刻係作為對於元件的一種清洗步驟，該元件已在蝕刻之前形成於半導體基質上。
6. 如申請專利範圍第 1 項之方法，其中該拋光停止膜包含一個疊層，其係將之氧化矽膜與氮化矽膜以此順序形成於該半導體基質上的一個疊層。
7. 如申請專利範圍第 1 項之方法更包含形成溝渠後於該溝渠之內表面上形成氧化矽膜的步驟。
8. 如申請專利範圍第 1 項之方法，其中該第一絕緣膜係在形成於拋光停止膜內的溝渠側邊上加以形成。
9. 如申請專利範圍第 1 項之方法，其中該裝置隔離區包含第一絕緣膜。
10. 如申請專利範圍第 1 項之一方法，其中該第一絕緣膜具備實質上與溝渠深度相同之厚度。