

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 11 月 5 日 (05.11.2020)



(10) 国际公布号
WO 2020/221222 A1

- (51) 国际专利分类号:
H01L 29/778 (2006.01) **H01L 21/335** (2006.01)
- (21) 国际申请号: PCT/CN2020/087347
- (22) 国际申请日: 2020 年 4 月 28 日 (28.04.2020)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201910361958.6 2019年4月30日 (30.04.2019) CN
- (71) 申请人: 大连理工大学(DALIAN UNIVERSITY OF TECHNOLOGY) [CN/CN]; 中国辽宁省大连市甘井子区凌工路2号, Liaoning 116023 (CN)。
- (72) 发明人: 黄火林(HUANG, Huolin); 中国辽宁省大连市甘井子区凌工路2号, Liaoning 116023 (CN)。
孙仲豪(SUN, Zhonghao); 中国辽宁省大连市甘井子区凌工路2号, Liaoning 116023 (CN)。
- (74) 代理人: 大连智高专利事务所(特殊普通合伙)(DALIAN CHICCO PATENT OFFICE); 中国辽宁省大连市经济技术开发区金马路156号-8-23, Liaoning 116600 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,

(54) **Title:** HIGH-THRESHOLD-VOLTAGE NORMALLY-OFF HIGH-ELECTRON-MOBILITY TRANSISTOR AND PREPARATION METHOD THEREFOR

(54) 发明名称: 一种高阈值电压常关型高电子迁移率晶体管及其制备方法

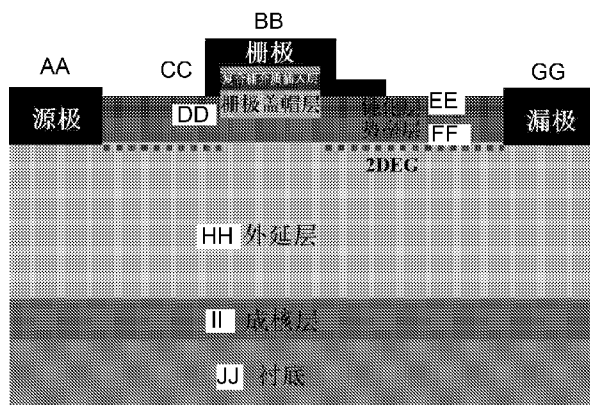


图 1

AA	Source
BB	Gate
CC	Composite gate dielectric insertion layer
DD	Gate cap layer
EE	Passivation layer
FF	Barrier layer
GG	Drain
HH	Epitaxial layer
II	Nucleation layer
JJ	Substrate

(57) **Abstract:** A high-threshold-voltage normally-off high-electron-mobility transistor and preparation method therefor. The technical solution comprises: a nucleation layer and an epitaxial layer are sequentially grown on a substrate; a barrier layer, a source, and a drain are above the epitaxial layer; the barrier layer and the epitaxial layer form a heterojunction structure, and an interface where the barrier layer and the epitaxial layer contact is induced by polarization charge to generate a two-dimensional electron gas; a passivation layer is above the barrier layer; a gate cap layer is above a gate-area barrier layer; an oxide dielectric layer formed by treatment by surface plasma oxidation technology or a directly deposited single-layer or multi-layer gate dielectric insertion layer is above the gate cap layer; a gate is above the gate dielectric insertion layer; the gate contacts the passivation layer; a field plate extends on the passivation layer along the direction from the gate to the drain. The beneficial effects are: maintaining a high on-current density while implementing a type of normally-off device; and increasing a gate withstand voltage and a threshold voltage of the normally-off device by raising the position of a conductive band of the barrier layer.

AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明：

- 关于发明人身份(细则4.17(i))
- 关于申请人有权申请并被授予专利(细则4.17(ii))
- 关于申请人有权要求在先申请的优先权(细则4.17(iii))
- 发明人资格(细则4.17(iv))

本国际公布：

- 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种高阈值电压常关型高电子迁移率晶体管及其制备方法。技术方案：在衬底上依次生长成核层和外延层，外延层上方为势垒层、源极和漏极，势垒层和外延层形成异质结结构，二者接触界面由极化电荷诱导产生二维电子气，势垒层上方为钝化层，栅区势垒层上方为栅极盖帽层，栅极盖帽层上方为经表面等离子体氧化技术处理形成氧化物介质层或者直接沉积单层或者多重栅介质插入层，栅介质插入层上方为栅极，栅极与钝化层接触，在钝化层上、栅极向漏极方向延伸有场板。有益效果：实现常关型器件类型的同时能保持大的导通电流密度；通过提高势垒层导带位置提高常关型器件的栅极耐压和阈值电压。

一种高阈值电压常关型高电子迁移率晶体管及其制备方法

技术领域

本发明属于半导体器件技术领域，尤其涉及一种高阈值电压常关型高电子迁移率晶体管及其制备方法。

背景技术

继第一代半导体材料（Ge、Si等）与第二代化合物半导体材料（GaAs、InP等）之后，氮化镓（GaN）作为第三代新型宽禁带半导体材料的重要代表得到迅速发展，并成为功率半导体领域研究的前沿和热点。GaN基（以GaN为主，包含GaN、AlN、InN以及它们的成分组合等）半导体材料具有大的禁带宽度、高的电子饱和速度以及耐高温高压、抗辐照等优良特性，可以弥补第一、二代半导体材料的不足，在功率开关器件和微波射频领域具有广泛的应用前景。另外，GaN基异质结（以AlGaN/GaN为代表）界面的自发极化和压电极化电荷将诱导产生高密度的二维电子气（2DEG）（ $\sim 10^{13} \text{cm}^{-2}$ ），由于受输运维数限制以及材料无需故意掺杂，该2DEG沟道具有明显增大的电子迁移率（ $\sim 2000 \text{cm}^2 \text{V}^{-1} \text{s}^{-1}$ ）。这一特性使GaN基异质结构在研制高性能高电子迁移率晶体管（HEMT）方面具有明显的优势，特别是在1000V以下的中低压芯片市场具有明显的技术优势。

国内外在GaN基功率器件领域开展研究已经有超过20年的时间，目前市场上已经有少量200V以下的GaN基器件产品，其应用主要是在低压射频和消费类电源转换领域。但是在400~1000V范围，GaN技术不够成熟，其产品还未受市场检验，主要原因有两方面。一方面是器件后端封装、匹配电路以及可靠性验证方面需要进一步深入研究；另一方面是常关型器件设计和研究距离向市场推广还有较大距离。功率开关器件按照器件导通时是否需要在栅极施加开启偏压分为常开型和常关型两种类型。常关型功率开关器件在栅极不施加偏压情况下，器件即处于关断状态，相对于常开型类型，常关型器件在实际应用中具有更安全、节能、简化电路设计等方面的优势，因此具有更加重要的研究价值和更加广阔的应用市场。本专利申请即针对常关型GaN基材料功率器件进行结构创新和技术制作。

目前实现 HEMT 功率器件的常关型操作有多种技术，主要有栅极势垒层刻蚀形成凹槽栅、氟离子注入形成氟化栅以及栅极生长 p 型盖帽层三种方案。凹槽栅

方案通过部分或者全部刻蚀掉 AlGaN 势垒层来削弱或者直接切断 2DEG，从而获得常关型操作，该方案要求精确刻蚀势垒层，对于大面积器件，栅极刻蚀深度均匀性较难控制；氟离子注入栅极方案利用带负电荷的氟离子排斥 2DEG 可以达到常关型操作目的，但在应用推广过程中，器件中氟离子分布的热稳定性和性能可靠性问题难以克服；栅极 p 型盖帽层是个较好的技术方案，该技术保留良好的 2DEG 沟道，利用其附加内建电场将 2DEG 沟道界面的导带提升到费米能级上方，从而获得常关型操作，该技术方案能获得较高的导通电流密度，适合产业化推广，目前主要存在的问题是栅耐压和阈值电压较小。因此，针对该问题，如何对器件结构进行创新设计，引入新型加工技术，从而提高 p 型盖帽层方案中器件耐压和阈值电压，是业内急需解决的技术难题。

发明内容

为了解决上述现有技术中存在的问题，本发明提供一种高阈值电压常关型高电子迁移率晶体管及其制备方法，该晶体管实现常关型器件类型的同时能保持大的导通电流密度，在此基础上进一步增大的器件栅极耐压和阈值电压。

技术方案如下：

一种高阈值电压常关型高电子迁移率晶体管，包括：衬底、成核层、外延层、势垒层、钝化层、栅极盖帽层、复合栅介质插入层、栅极、源极和漏极，在所述衬底上依次生长成核层和外延层，所述外延层上方为势垒层、源极和漏极，所述势垒层和外延层形成异质结结构，二者接触界面由极化电荷诱导产生二维电子气，所述势垒层上方为钝化层，栅区势垒层上方为栅极盖帽层，所述栅极盖帽层上方为复合栅介质插入层，所述复合栅介质插入层上方为栅极，所述栅极与所述钝化层接触，在所述钝化层上、所述栅极向所述漏极方向延伸有场板。

进一步的，所述衬底是硅、蓝宝石、碳化硅、金刚石、GaN 自支撑衬底中的任意一种；所述成核层是 AlN 或者 AlGaIn 超晶格；所述外延层是 GaN 或者 GaAs；所述势垒层是 AlGaIn、InAlN、AlN、AlGaAs 中的任意一种；所述钝化层是 SiO_2 、 Si_3N_4 或者二者的复合结构。

进一步的，所述栅极盖帽层是 p-GaN 或者 p-InGaIn 或者 p-AlGaIn。

进一步的，所述复合栅介质插入层是氧化镓、二氧化硅、氮化硅、氧化铝、氧化铪中的任意材料形成的单层结构、或者是由上述材料任意组合的复合多重结

构。这种复合栅介质插入层可以作为绝缘阻挡层，还可以作为实现载流子隧穿效应的介质层。同时，这种复合栅介质插入层的位置还可以插入到所述栅极盖帽层下方，此时，这种复合栅介质还可以是高阻半导体。

本发明还包括一种高阈值电压常关型高电子迁移率晶体管制备方法，步骤如下：

- S1、晶片生长；
- S2、外延层结构刻蚀；
- S3、源、漏电极制作；
- S4、栅介质插入层制备；
- S5、栅电极制作。

进一步的，步骤S1具体步骤为：

采用金属有机物化学气相沉积或分子束外延方法在衬底上依次生长成核层、外延层、势垒层、栅极盖帽层；

或者

采用MOCVD设备衬底上依次成核层、外延层、势垒层、栅极盖帽层。

进一步的，步骤S2具体步骤为：

利用半导体光刻法和刻蚀法制作器件台面，通过半导体刻蚀方法对表面刻蚀，实现台面隔离；重复该步骤，在源、漏极区域刻蚀掉势垒层形成凹槽；进一步刻蚀掉栅极区域外面的栅极盖帽层；

或者

将样品均匀旋涂光刻胶；样品放置在热板上加热，进行软烘；把样品放置在曝光机中持续曝光；在显影液中进行显影；在热板上加热坚膜；通过Cl₂基等离子体ICP刻蚀方法，刻蚀外延层结构，形成台面隔离，然后样品通过丙酮溶液清洗去胶；重复该步骤，在源、漏极区域刻蚀掉势垒层形成凹槽；重复该步骤，刻蚀掉栅极区域外面的盖帽层，形成栅极盖帽层。

进一步的，步骤S3具体步骤为：

通过半导体光刻法定义出源、漏极所需区域，并通过金属沉积法沉积器件的源、漏极金属，通过高温退火，使复合金属结构变为合金，形成欧姆接触；利用等离子体增强化学气相沉积法、低压化学气相沉积法、磁控溅射法、电子束蒸发

法中的任意一种方法进行沉积，形成器件表面钝化层；

或者

通过半导体光刻法定义出源、漏极所需区域，通过电子束蒸发法沉积器件的源、漏极金属，然后样品在丙酮溶液中剥离、清洗去胶；通过在氮气高温环境中退火，使复合金属结构变为合金，形成欧姆接触；利用 PECVD 技术沉积法进行沉积，形成器件表面钝化层。

进一步的，步骤 S4 具体步骤为：

通过半导体光刻法定义出栅极区域，对栅极盖帽层进行表面氧化，处理形成栅介质插入层；或者采用 PECVD、LPCVD、MOCVD、ALD、磁控溅射法中的任意方法进行沉积，形成单层或者复合多重栅介质插入层；

或者

通过半导体光刻法定义出栅极区域，对栅极盖帽层表面进行低功率氧离子预处理，后采用 LPCVD 进行沉积，形成栅极介质插入层。

进一步的，步骤 S5 具体步骤为：

通过半导体光刻法定义出栅极和场板区域，通过金属沉积法沉积器件的栅极金属和向漏极延伸的场板金属，最后在器件表面沉积钝化层，然后采用半导体光刻法定义出源极、栅极和漏极所需的开口区域，将定义区域的钝化层去除，暴露出金属电极表面，最后沉积金属薄膜制作引线，完成电极制作，得到最后器件结构；

或者

通过半导体光刻法定义出栅极和场板区域，通过电子束蒸发技术沉积器件的栅极和延伸场板金属，然后样品在丙酮溶液中剥离、清洗去胶；在器件表面采用 PECVD 沉积钝化层，采用半导体光刻法定义出源极、栅极和漏极所需的开口区域，将定义区域的钝化层去除，暴露出金属电极表面，通过磁控溅射法沉积电极金属，得到最后器件结构。

本发明的有益效果是：

本发明所述的高阈值电压常关型高电子迁移率晶体管及其制备方法实现常关型器件类型的同时能保持大的导通电流密度；采用对 p-GaN（或 p-InGaN 或者 p-AlGaN）栅极盖帽层进行表面氧化技术处理，形成栅极氧化物介质层或者直接

沉积栅介质插入层或者形成多重栅介质插入层, 通过提高势垒层导带位置从而提高该常关型器件的栅极耐压和阈值电压。

附图说明

图 1 是本发明高阈值电压常关型 HEMT 器件截面示意图;

图 2 是本发明器件制作工艺流程示例图 a;

图 3 是本发明器件制作工艺流程示例图 b;

图 4 是本发明器件制作工艺流程示例图 c;

图 5 是本发明器件制作工艺流程示例图 d;

图 6 是本发明器件制作工艺流程示例图 e;

图 7 是本发明器件制作工艺流程示例图 f;

图 8 是有、无复合栅介质插入层技术方案中器件能带对比示意图;

图 9 是有、无复合栅介质插入层技术方案中器件阈值电压特性对比示意图。

具体实施方式

下面结合附图 1-9 对高阈值电压常关型高电子迁移率晶体管及其制备方法做进一步说明。

本专利申请针对栅极生长 p 型盖帽层方案, 采用对 p-GaN (或 p-InGaN 或者 p-AlGaN) 栅极盖帽层进行表面氧化技术处理形成栅极氧化物介质层或者直接沉积栅介质插入层或者形成多重栅介质插入层, 如图 1 所示, 通过提高势垒层导带位置从而提高该常关型器件的栅极耐压和阈值电压。栅极 p 型盖帽层在产业界目前是个能较好实现常关型器件的技术方案, 该技术并未损伤 2DEG 沟道, 因此器件的导通电流密度 (或者导通电阻) 特性并未下降。而 p-GaN (或 p-InGaN 或者 p-AlGaN) 栅极盖帽层形成的附加内建电场将 2DEG 沟道界面的导带提升到费米能级上方, 从而获得常关型操作, 但是阈值电压一般只有 1V 左右, 栅极最高耐压一般小于 10V。本专利申请在栅极盖帽层上方引入单层或者复合多重栅介质插入层后, 将进一步提升势垒层和 2DEG 沟道界面的导带位置, 获得明显增大的栅极耐压 (>20V) 和阈值电压 (>2V)。

图1是本专利申请提出的高阈值电压常关型HEMT器件截面示意图, 栅金属电极和p型盖帽层之间引入栅介质插入层为其主要特征。

本专利申请所提器件的基本结构说明如下: 底部为衬底, 可以是硅、蓝宝石、

碳化硅、金刚石或者GaN自支撑衬底等；衬底上方为AlN或者AlGa_N超晶格成核层；成核层上方为Ga_N或者GaAs外延层；外延层上方为AlGa_N、InAlN、AlN或AlGaAs势垒层，势垒层和外延层形成异质结结构，该界面由极化电荷诱导产生二维电子气（2DEG）；势垒层上方是二氧化硅（SiO₂）、氮化硅（Si₃N₄）或者它们的复合结构形成钝化层；栅区势垒层上方分别是p-GaN或者p-InGa_N或者p-AlGa_N盖帽层以及氧化镓（Ga₂O₃）、二氧化硅（SiO₂）、氮化硅（Si₃N₄）、氧化铝（Al₂O₃）或者氧化铪（HfO₂）等各种材料形成单层或者复合多重栅介质插入层；与外延层接触的源极、漏极，以及栅介质插入层上方的栅极和向漏极延伸的场板。

本专利申请所提器件结构方案的优势是实现常关型器件类型的同时能保持大的导通电流密度，在此基础上进一步增大的器件栅极耐压和阈值电压。

实施例 1

本专利申请具体实施过程如下：

步骤①：晶片生长。

采用金属有机物化学气相沉积（MOCVD）或分子束外延（MBE）等半导体材料生长技术依次在硅、蓝宝石、碳化硅、金刚石或者 GaN 自支撑衬底上依次生长 AlN 或者 AlGa_N 超晶格成核层、2~10 μm 的 Ga_N 或者 GaAs 外延层、5~100nm 的 AlGa_N、InAlN、AlN 或 AlGaAs 势垒层（其中 Al 组分为 0.05~0.3）、30~100nm 的 p-GaN 或者 p-InGa_N 或者 p-AlGa_N 栅极盖帽层，如图 2、图 3 所示。

步骤②：外延层结构刻蚀。

利用半导体光刻技术和刻蚀技术制作器件台面，通过如基于 Cl₁ 基气体的感应耦合等离子体（ICP）或者反应离子刻蚀（RIE）等半导体刻蚀技术，将表面刻蚀 300~800nm，实现台面隔离。重复该步骤，在源、漏极区域刻蚀掉势垒层形成凹槽；进一步刻蚀掉栅极区域外面的 p 型盖帽层，如图 4 所示。其中半导体光刻技术包含完整的匀胶、软烘、曝光、显影、坚膜等步骤。

步骤③：源、漏电极制作。

通过步骤②所述的半导体光刻技术定义出源、漏极所需区域，并通过如磁控溅射、电子束蒸发等金属沉积技术沉积器件的源、漏极金属，并且通过高温退火，使复合金属结构变为合金，形成欧姆接触。利用等离子体增强化学气相沉积法（PECVD）、低压化学气相沉积法（LPCVD）、磁控溅射法或者电子束蒸发法等技术

沉积 SiO_2 、 Si_3N_4 或者它们的复合结构，形成器件表面钝化层，如图 5 所示。

步骤④：栅介质插入层制备。

通过步骤②所述的半导体光刻技术定义出栅极区域，对 p-GaN（或 p-InGaN 或者 p-AlGaN）栅极盖帽层进行表面氧化技术处理形成 Ga_2O_3 介质层，或者采用 PECVD、LPCVD、MOCVD、原子层沉积（ALD）或者磁控溅射等技术直接沉积 SiO_2 、 Si_3N_4 、氧化铝（ Al_2O_3 ）或者氧化铪（ HfO_2 ）等单层或者复合多重介质插入层，如图 6 所示。

步骤⑤：栅电极制作。

通过步骤②所述的半导体光刻技术定义出栅极和场板区域，步骤③所述的金属沉积技术沉积器件的栅极金属和向漏极延伸的场板金属，如图 7 所示。最后在器件表面沉积 300~5000nm 的厚钝化层，然后采用步骤②所述的半导体光刻技术定义出源极、栅极和漏极所需的开口区域，将定义区域的钝化层去除，暴露出金属电极表面，最后沉积金属薄膜制作引线，完成电极制作，得到最后器件结构。

实施例 2

本专利申请具体实施过程如下（详细参数和步骤）：

步骤①：GaN 结构外延生长。

采用 MOCVD 设备在 6 英寸 p 型 Si 衬底上依次生长 100nm 的 AlGaN 超晶格成核层、2 μm 的 GaN 外延层、20nm 的 AlGaN 势垒层（Al 组分为 0.25）、50nm 的 p-GaN 盖帽层。器件结构和尺寸设计如下：器件的源极和栅极距离为 2 μm ，栅极长为 3 μm 、宽为 200 μm ，栅极向漏极延伸场板长为 1 μm 、栅极和漏极距离为 10 μm ，各电极面积为 $200 \times 200 \mu\text{m}^2$ 。

步骤②：外延层结构刻蚀。

利用半导体光刻技术，其具体过程为：

- （1）将样品以 4000r/min 的速率持续 30s 均匀旋涂 AZ5214 光刻胶；
- （2）将样品放置在 100℃ 的热板上加热进行软烘 90s；
- （3）把样品放置在光强为 $7\text{mW}/\text{cm}^2$ 的曝光机中持续曝光 20s；
- （4）在显影液中显影 45s；
- （5）在 105℃ 的热板上加热坚膜 60s。

通过 C1 基等离子体 ICP 刻蚀技术，选择 150W 电源功率，刻蚀 500nm 深度的

外延层结构形成台面隔离，然后样品通过丙酮溶液清洗去胶。重复该步骤，选择 30W 的较低电源功率，在源、漏极区域刻蚀掉 20nm 势垒层形成凹槽；重复该步骤，选择 30W 的较低电源功率，刻蚀掉栅极区域外面的 p-GaN，形成栅极盖帽层。

步骤③：源、漏电极制作。

通过步骤②所述的半导体光刻技术定义出源、漏极所需区域，通过电子束蒸发技术沉积器件的源漏极金属，即 Ti/Al/Ni/Au (20/100/45/55nm)，然后样品在丙酮溶液中剥离、清洗去胶。通过在 875℃ 的氮气高温环境中退火 30s，使复合金属结构变为合金，形成欧姆接触。利用 PECVD 技术沉积 200nm 的 SiO₂ 钝化层。

步骤④：栅介质插入层制备。

通过步骤②所述的半导体光刻技术定义出栅极区域，对 p-GaN 栅极盖帽层表面进行低功率（30W）氧离子预处理，后采用 LPCVD 技术沉积 5nm 厚度的 Si₃N₄ 栅极介质插入层。

步骤⑤：栅电极制作。

通过步骤②所述的半导体光刻技术定义出栅极和场板区域，通过电子束蒸发技术沉积器件的栅极和延伸场板金属，即 Ni/Au (100/100nm)，然后样品在丙酮溶液中剥离、清洗去胶。最后在器件表面采用 PECVD 技术沉积 1000nm 的 SiO₂ 钝化层，然后采用步骤②所述的半导体光刻技术定义出源极、栅极和漏极所需的开口区域，将定义区域的钝化层去除，暴露出金属电极表面，通过磁控溅射法沉积 1500nm 厚度的 Al 金属，得到最后器件结构。

图 8 和图 9 为采用本实施例器件结构参数获得的，在有、无栅介质插入层技术方案中的器件能带对比和阈值电压特性对比结果。由图中可以看出，引入栅介质插入层可以明显提高势垒层带阶和导带位置，从而提高常关型器件的栅极耐压和阈值电压，器件阈值电压从 1.5V 提高到 4.5V，同时保留器件良好的导通电流等级。

以上所述，仅为本发明较佳的具体实施方式，但本发明的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本发明披露的技术范围内，根据本发明的技术方案及其发明构思加以等同替换或改变，都应涵盖在本发明的保护范围之内。本发明所述的实施例，并非对本发明内容进行限定，其他具有 2DEG 的异质结 HEMT 器件都适用于本发明提案涉及范围。任何其他钝化层生长（包括不同的

生长技术、不同的钝化层组合或者也可直接省略钝化工艺步骤)、欧姆接触电极制作工艺(包括不同的金属选择、沉积方法、退火条件)或者台面刻蚀工艺,在基于实现本发明所述具有 p 型栅极盖帽层表面进行等离子体处理形成介质层或者额外引入单层或多重复合介质插入层结构特点的常关型 HEMT 器件基本功能目的下,都适用于本发明提案涉及范围。所述复合栅介质插入层即可以是绝缘阻挡层,还可以是实现载流子隧穿效应的介质层。同时,这种复合栅介质插入层的位置还可以插入到权利要求 1 所述的栅极盖帽层下方,此时,这种复合栅介质还可以是高阻半导体。同样地,材料结构参数和电极尺寸的改变,或等同替换等,都应涵盖在本发明的保护范围之内。

权利要求书

1. 一种高阈值电压常关型高电子迁移率晶体管，其特征在于，包括：衬底、成核层、外延层、势垒层、钝化层、栅极盖帽层、复合栅介质插入层、栅极、源极和漏极，在所述衬底上依次生长成核层和外延层，所述外延层上方为势垒层、源极和漏极，所述势垒层和外延层形成异质结结构，二者接触界面由极化电荷诱导产生二维电子气，所述势垒层上方为钝化层，栅区势垒层上方为栅极盖帽层，所述栅极盖帽层上方为复合栅介质插入层，所述复合栅介质插入层上方为栅极，所述栅极与所述钝化层接触，在所述钝化层上、所述栅极向所述漏极方向延伸有场板。
2. 如权利要求1所述的高阈值电压常关型高电子迁移率晶体管，其特征在于，所述衬底是硅、蓝宝石、碳化硅、金刚石、GaN自支撑衬底中的任意一种；所述成核层是AlN或者AlGaIn超晶格；所述外延层是GaN或者GaAs；所述势垒层是AlGaIn、InAlN、AlN、AlGaAs中的任意一种；所述钝化层是SiO₂、Si₃N₄或者二者的复合结构。
3. 如权利要求1所述的高阈值电压常关型高电子迁移率晶体管，其特征在于，所述栅极盖帽层是p-GaN或者p-InGaIn或者p-AlGaIn；所述复合栅介质插入层是氧化镓、二氧化硅、氮化硅、氧化铝、氧化铪的任意材料形成的单层结构、或者是由上述材料任意组合的复合多重结构、或者是高阻半导体。
4. 如权利要求1-3任一项所述的高阈值电压常关型高电子迁移率晶体管，其特征在于，所述复合栅介质插入层插入到所述栅极盖帽层下方。
5. 一种高阈值电压常关型高电子迁移率晶体管制备方法，其特征在于，步骤如下：
 - S1、晶片生长；
 - S2、外延层结构刻蚀；
 - S3、源、漏电极制作；
 - S4、栅介质插入层制备；
 - S5、栅电极制作。
6. 如权利要求5所述的高阈值电压常关型高电子迁移率晶体管制备方法，其特征在于，步骤S1具体步骤为：

采用金属有机物化学气相沉积或分子束外延方法在衬底上依次生长成核层、

外延层、势垒层、栅极盖帽层；

或者

采用MOCVD设备衬底上依次成核层、外延层、势垒层、栅极盖帽层。

7. 如权利要求5所述的高阈值电压常关型高电子迁移率晶体管制备方法，其特征在于，步骤S2具体步骤为：

利用半导体光刻法和刻蚀法制作器件台面，通过半导体刻蚀方法对表面刻蚀，实现台面隔离；重复该步骤，在源、漏极区域刻蚀掉势垒层形成凹槽；进一步刻蚀掉栅极区域外面的栅极盖帽层；

或者

将样品均匀旋涂光刻胶；样品放置在热板上加热，进行软烘；把样品放置在曝光机中持续曝光；在显影液中进行显影；在热板上加热坚膜；通过C1基等离子体ICP刻蚀方法，刻蚀外延层结构，形成台面隔离，然后样品通过丙酮溶液清洗去胶；重复该步骤，在源、漏极区域刻蚀掉势垒层形成凹槽；重复该步骤，刻蚀掉栅极区域外面的盖帽层，形成栅极盖帽层。

8. 如权利要求5所述的高阈值电压常关型高电子迁移率晶体管制备方法，其特征在于，步骤S3具体步骤为：

通过半导体光刻法定义出源、漏极所需区域，并通过金属沉积法沉积器件的源、漏极金属，通过高温退火，使复合金属结构变为合金，形成欧姆接触；利用等离子体增强化学气相沉积法、低压化学气相沉积法、磁控溅射法、电子束蒸发法中的任意一种方法进行沉积，形成器件表面钝化层；

或者

通过半导体光刻法定义出源、漏极所需区域，通过电子束蒸发法沉积器件的源、漏极金属，然后样品在丙酮溶液中剥离、清洗去胶；通过在氮气高温环境中退火，使复合金属结构变为合金，形成欧姆接触；利用PECVD技术沉积法进行沉积，形成器件表面钝化层。

9. 如权利要求5所述的高阈值电压常关型高电子迁移率晶体管制备方法，其特征在于，步骤S4具体步骤为：

通过半导体光刻法定义出栅极区域，对栅极盖帽层进行表面氧化，处理形成栅介质插入层；或者采用PECVD、LPCVD、MOCVD、ALD、磁控溅射法中的任意方

法进行沉积，形成单层或者复合多重栅介质插入层；

或者

通过半导体光刻法定义出栅极区域，对栅极盖帽层表面进行低功率氧离子预处理，后采用 LPCVD 进行沉积，形成栅极介质插入层。

10. 如权利要求 5 所述的高阈值电压常关型高电子迁移率晶体管制备方法，其特征在于，步骤 S5 具体步骤为：

通过半导体光刻法定义出栅极和场板区域，通过金属沉积法沉积器件的栅极金属和向漏极延伸的场板金属，最后在器件表面沉积钝化层，然后采用半导体光刻法定义出源极、栅极和漏极所需的开口区域，将定义区域的钝化层去除，暴露出金属电极表面，最后沉积金属薄膜制作引线，完成电极制作，得到最后器件结构；

或者

通过半导体光刻法定义出栅极和场板区域，通过电子束蒸发技术沉积器件的栅极和延伸场板金属，然后样品在丙酮溶液中剥离、清洗去胶；在器件表面采用 PECVD 沉积钝化层，采用半导体光刻法定义出源极、栅极和漏极所需的开口区域，将定义区域的钝化层去除，暴露出金属电极表面，通过磁控溅射法沉积电极金属，得到最后器件结构。

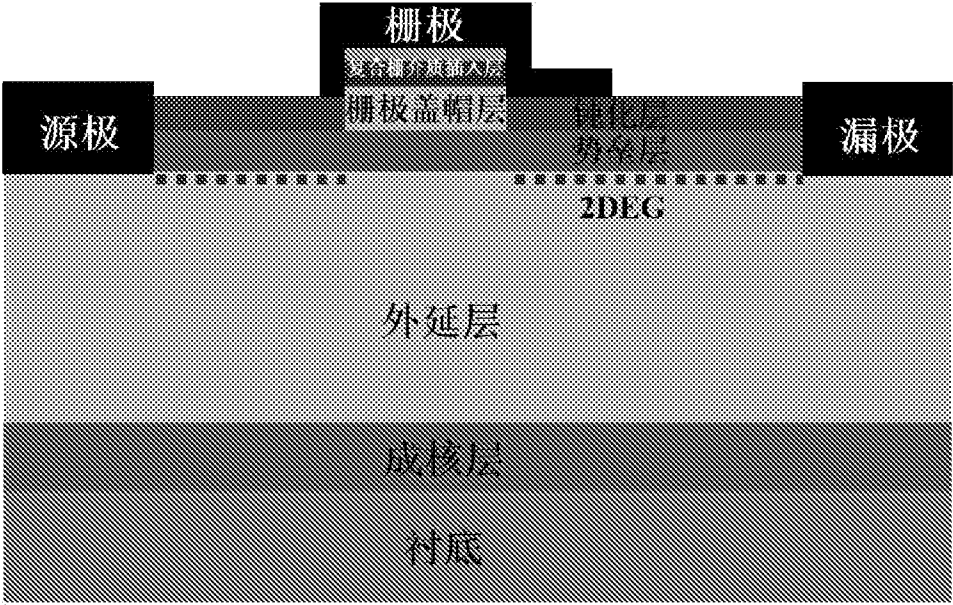


图 1



图 2

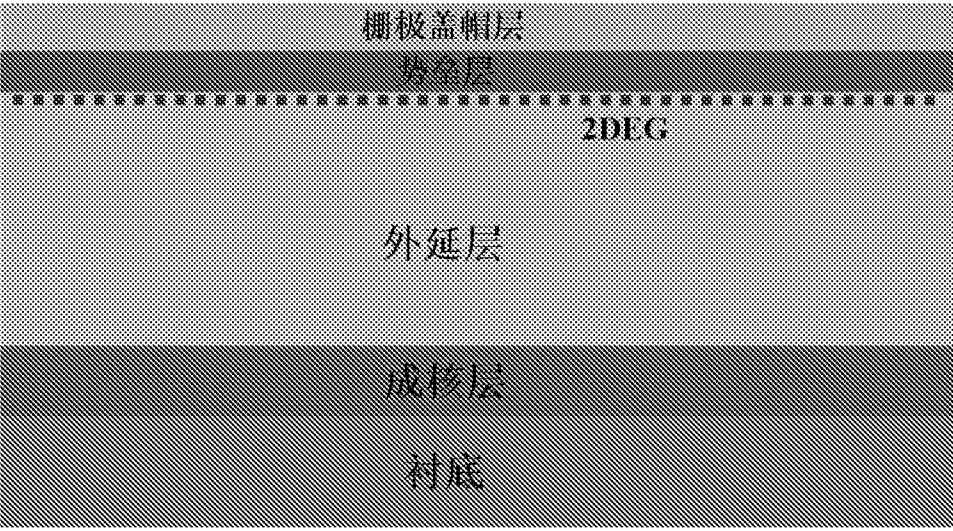


图 3

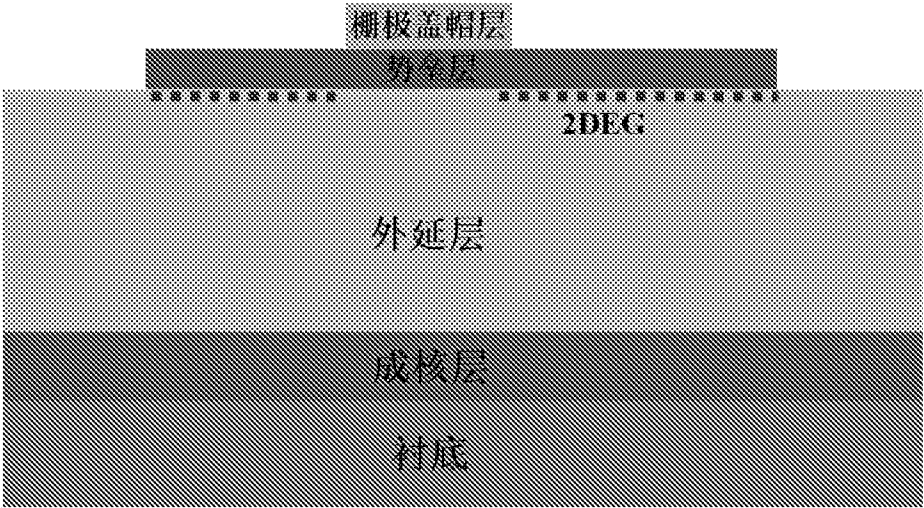


图 4

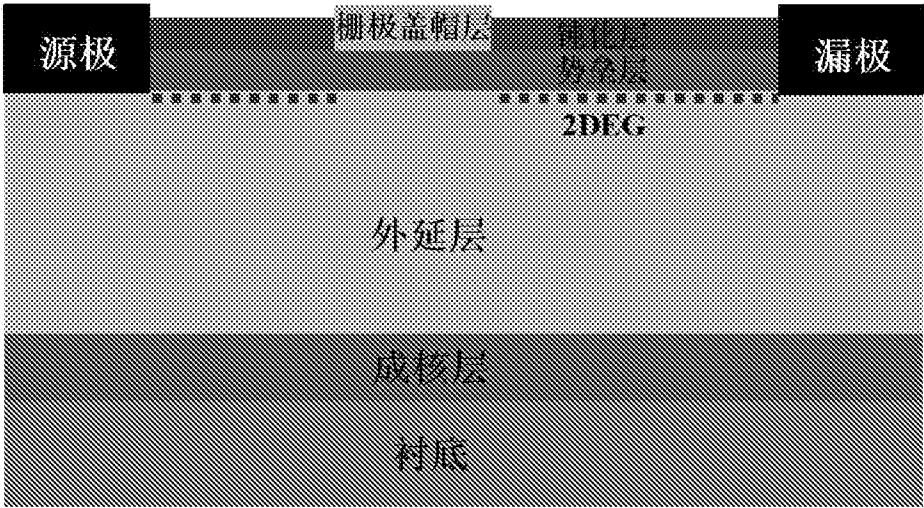


图 5

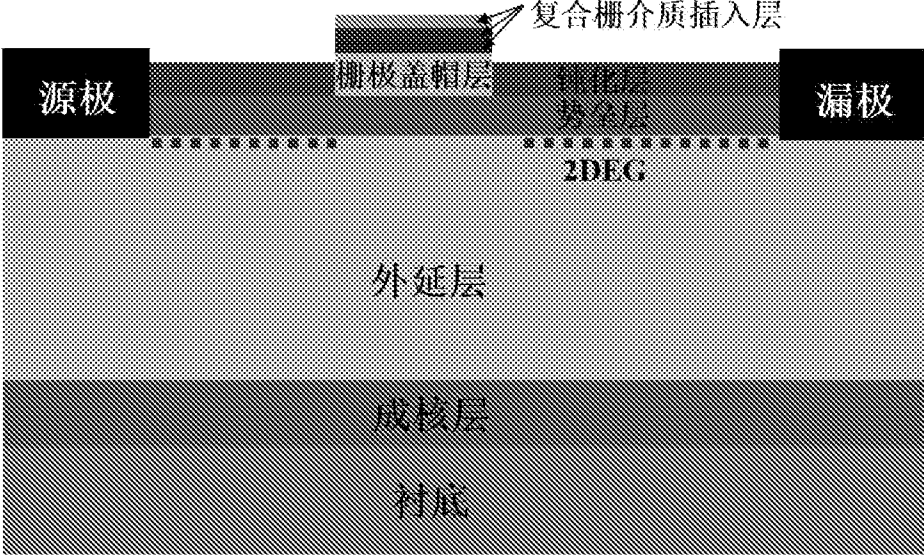


图 6

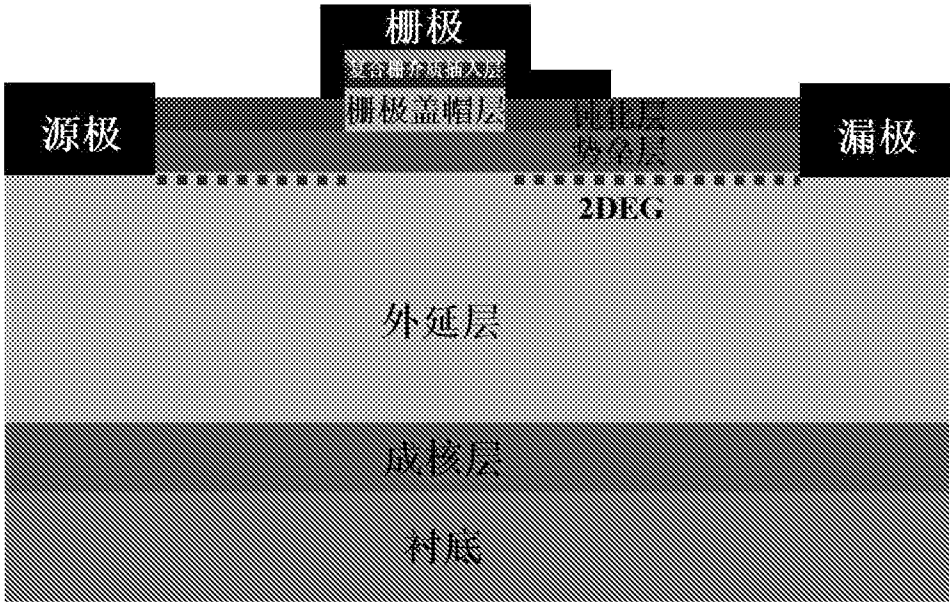


图 7

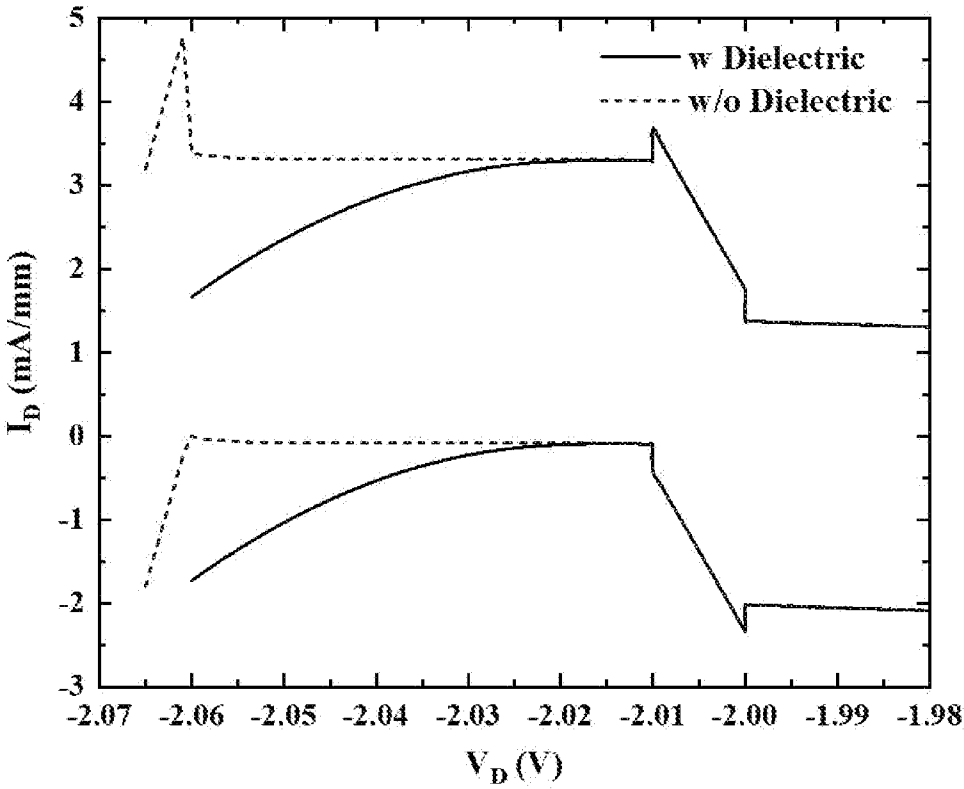


图 8

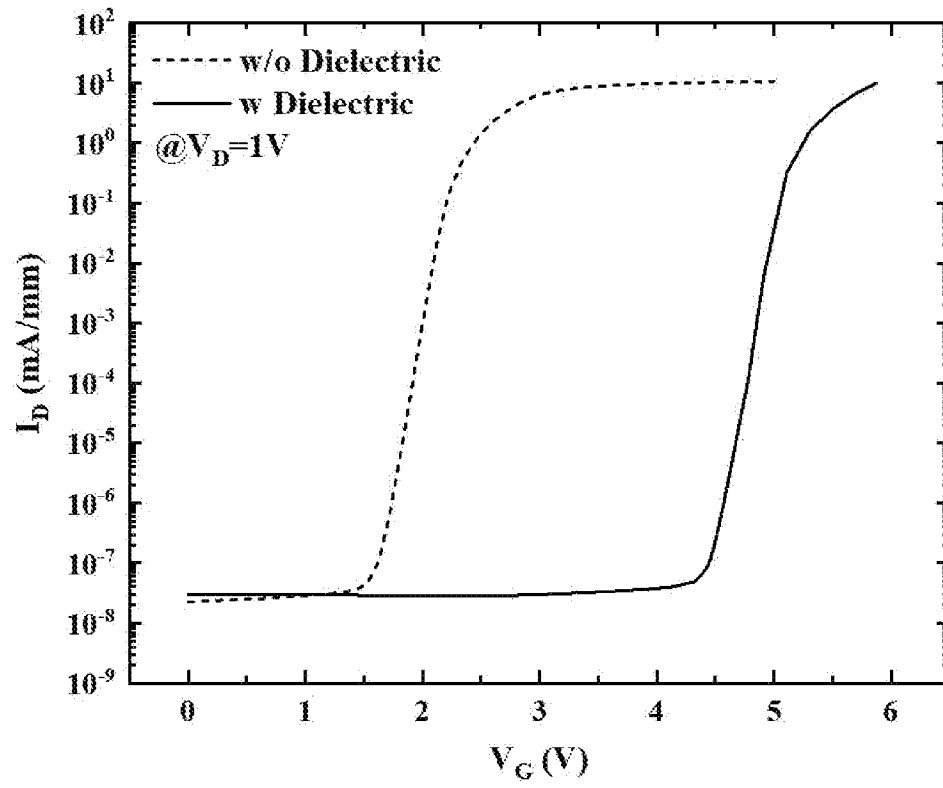


图 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/087347

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/778(2006.01)i; H01L 21/335(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI; SIPOABS; CNABS; CNTXT, CNKI, IEEE: 高迁移率晶体管, 栅, 盖帽, 帽层, 盖层, 介质, 绝缘, 钝化, 常关, 常闭, 增强, 黄火林, 提高, 阈值电压, HEMT, gate, cap+, insulator, dielectric, passivation, normally off, enhancement, E-HEMT, enhance, threshold

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 110190116 A (DALIAN UNIVERSITY OF TECHNOLOGY) 30 August 2019 (2019-08-30) description, paragraphs 0049-0083, figures 1-7	1-10
X	CN 101897029 A (TRANSPHORM INC.) 24 November 2010 (2010-11-24) description, paragraphs [0047]-[0052], and figure 8	1-3
Y	CN 101897029 A (TRANSPHORM INC.) 24 November 2010 (2010-11-24) description, paragraphs [0047]-[0052], and figure 8	4, 10
PY	CN 110112215 A (DALIAN UNIVERSITY OF TECHNOLOGY) 09 August 2019 (2019-08-09) description, paragraphs [0042], [0054], figure 1	4,
X	US 2015028345 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED) 29 January 2015 (2015-01-29) description, paragraphs [0013]-[0055], figures 1A, 3, 5A-5G	5
Y	US 2015028345 A1 (TAIWAN SEMICONDUCTOR MANUFACTURING COMPANY LIMITED) 29 January 2015 (2015-01-29) description, paragraphs [0013]-[0055], figures 1A, 3, 5A-5G	6-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

17 July 2020

Date of mailing of the international search report

29 July 2020

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2020/087347

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 103904111 A (XIDIAN UNIVERSITY) 02 July 2014 (2014-07-02) description, paragraphs [0008]-[0027], figures 1, 3	6-9
X	US 2016141404 A1 (TAIWAN SEMICONDUCTOR MFG CO., LTD.) 19 May 2016 (2016-05-19) description, paragraphs [0009]-[0024], and figure 1	1-3
Y	MOHANBABU A et. al. "Recessed Mg-doped P-type In _{0.2} Ga _{0.8} N Cap Gate AlGa _N GaN/ AlGa _N DH-HEMT for High breakdown and Power Electronics Applications" <i>2016 International Conference on Inventive Computation Technologies (ICICT)</i> , 19 July 2017 (2017-07-19), ISSN: 1661-6831, 1, 2 in part, figure 1	1-4
Y	CN 109244130 A (XIDIAN UNIVERSITY) 18 January 2019 (2019-01-18) description, paragraph [0004], and figure 1	1-4
X	CN 106373884 A (XIDIAN UNIVERSITY) 01 February 2017 (2017-02-01) description paragraphs 0049-0201, figures 1-2	5
Y	CN 109314136 A (MACOM TECHNOLOGY SOLUTIONS HOLDINGS, INC.) 05 February 2019 (2019-02-05) description, paragraphs [0076]-[0090], figure 1A	10
A	CN 105895526 A (THE INSTITUTE OF MICROELECTRONICS OF THE CHINESE ACADEMY OF SCIENCES) 24 August 2016 (2016-08-24) entire document	1-10

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2020/087347

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	110190116	A	30 August 2019	None			
CN	101897029	A	24 November 2010	US	7851825	B2	14 December 2010
				CN	101897029	B	12 August 2015
				US	2009146185	A1	11 June 2009
				WO	2009076076	A3	13 August 2009
				TW	I449173	B	11 August 2014
				WO	2009076076	A2	18 June 2009
				TW	200947703	A	16 November 2009
CN	110112215	A	09 August 2019	None			
US	2015028345	A1	29 January 2015	US	9443969	B2	13 September 2016
				US	2016351683	A1	01 December 2016
CN	103904111	A	02 July 2014	CN	103904111	B	04 January 2017
US	2016141404	A1	19 May 2016	US	9601608	B2	21 March 2017
				KR	20160057343	A	23 May 2016
				KR	101773259	B1	31 August 2017
CN	109244130	A	18 January 2019	None			
CN	106373884	A	01 February 2017	CN	106373884	B	24 December 2019
CN	109314136	A	05 February 2019	US	10541323	B2	21 January 2020
				US	10622467	B2	14 April 2020
				US	2019341480	A1	07 November 2019
				JP	2019516244	A	13 June 2019
				WO	2017181121	A2	19 October 2017
				WO	2017181121	A3	18 January 2018
				EP	3443596	A2	20 February 2019
				US	2017301780	A1	19 October 2017
				US	2017301781	A1	19 October 2017
CN	105895526	A	24 August 2016	US	2017309736	A1	26 October 2017
				US	10062775	B2	28 August 2018
				CN	105895526	B	01 February 2019

国际检索报告

国际申请号

PCT/CN2020/087347

A. 主题的分类

H01L 29/778(2006.01)i; H01L 21/335(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

DWPI; SIPOABS; CNABS; CNTXT, CNKI, IEEE: 高迁移率晶体管, 栅, 盖帽, 帽层, 盖层, 介质, 绝缘, 钝化, 常关, 常闭, 增强, 黄火林, 提高, 阈值电压, HEMT, gate, cap+, insulator, dielectric, passivation, normally off, enhancement, E-HEMT, enhance, threshold

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
PX	CN 110190116 A (大连理工大学) 2019年 8月 30日 (2019 - 08 - 30) 说明书第0049-0083段, 附图1-7	1-10
X	CN 101897029 A (特兰斯夫公司) 2010年 11月 24日 (2010 - 11 - 24) 说明书第[0047]-[0052]段, 附图8	1-3
Y	CN 101897029 A (特兰斯夫公司) 2010年 11月 24日 (2010 - 11 - 24) 说明书第[0047]-[0052]段, 附图8	4, 10
PY	CN 110112215 A (大连理工大学) 2019年 8月 9日 (2019 - 08 - 09) 说明书第[0042]、[0054]段, 附图1	4
X	US 2015028345 A1 (TAIWAN SEMICONDUCTOR MFG) 2015年 1月 29日 (2015 - 01 - 29) 说明书第[0013]-[0055]段, 附图1A, 3, 5A-5G	5
Y	US 2015028345 A1 (TAIWAN SEMICONDUCTOR MFG) 2015年 1月 29日 (2015 - 01 - 29) 说明书第[0013]-[0055]段, 附图1A, 3, 5A-5G	6-10
Y	CN 103904111 A (西安电子科技大学) 2014年 7月 2日 (2014 - 07 - 02) 说明书第[0008]-[0027]段, 附图1, 3	6-9

☒ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2020年 7月 17日

国际检索报告邮寄日期

2020年 7月 29日

ISA/CN的名称和邮寄地址

中国国家知识产权局(ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

车晓璐

电话号码 86-(010)-62089965

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 2016141404 A1 (TAIWAN SEMICONDUCTOR MFG CO LTD) 2016年 5月 19日 (2016 - 05 - 19) 说明书第[0009]-[0024]段, 附图1	1-3
Y	MOHANBABU A et.al. "Recessed Mg-doped P-type In _{0.2} Ga _{0.8} N Cap Gate AlGa _{0.5} N/GaN/AlGa _{0.5} N DH-HEMT for High breakdown and Power Electronics Applications" 2016 International Conference on Inventive Computation Technologies (ICICT), 2017年 7月 19日 (2017 - 07 - 19), ISSN: 1661-6831, 第一、二部分, 图1	1-4
Y	CN 109244130 A (西安电子科技大学) 2019年 1月 18日 (2019 - 01 - 18) 说明书第[0004]段, 附图1	1-4
X	CN 106373884 A (西安电子科技大学) 2017年 2月 1日 (2017 - 02 - 01) 说明书第0049-0201段, 附图1-2	5
Y	CN 109314136 A (麦克姆技术解决方案控股有限公司) 2019年 2月 5日 (2019 - 02 - 05) 说明书第[0076]-[0090]段, 附图1A	10
A	CN 105895526 A (中国科学院微电子研究所) 2016年 8月 24日 (2016 - 08 - 24) 全文	1-10

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2020/087347

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	110190116	A	2019年 8月 30日	无			
CN	101897029	A	2010年 11月 24日	US	7851825	B2	2010年 12月 14日
				CN	101897029	B	2015年 8月 12日
				US	2009146185	A1	2009年 6月 11日
				WO	2009076076	A3	2009年 8月 13日
				TW	I449173	B	2014年 8月 11日
				WO	2009076076	A2	2009年 6月 18日
				TW	200947703	A	2009年 11月 16日
CN	110112215	A	2019年 8月 9日	无			
US	2015028345	A1	2015年 1月 29日	US	9443969	B2	2016年 9月 13日
				US	2016351683	A1	2016年 12月 1日
CN	103904111	A	2014年 7月 2日	CN	103904111	B	2017年 1月 4日
US	2016141404	A1	2016年 5月 19日	US	9601608	B2	2017年 3月 21日
				KR	20160057343	A	2016年 5月 23日
				KR	101773259	B1	2017年 8月 31日
CN	109244130	A	2019年 1月 18日	无			
CN	106373884	A	2017年 2月 1日	CN	106373884	B	2019年 12月 24日
CN	109314136	A	2019年 2月 5日	US	10541323	B2	2020年 1月 21日
				US	10622467	B2	2020年 4月 14日
				US	2019341480	A1	2019年 11月 7日
				JP	2019516244	A	2019年 6月 13日
				WO	2017181121	A2	2017年 10月 19日
				WO	2017181121	A3	2018年 1月 18日
				EP	3443596	A2	2019年 2月 20日
				US	2017301780	A1	2017年 10月 19日
				US	2017301781	A1	2017年 10月 19日
CN	105895526	A	2016年 8月 24日	US	2017309736	A1	2017年 10月 26日
				US	10062775	B2	2018年 8月 28日
				CN	105895526	B	2019年 2月 1日