



Nederland

⑩ A **Terinzagelegging** ⑪ **8204409**

⑲ NL

- ⑤4 **Programmeerbare bereikherkenner voor een logische analysator.**
- ⑤1 Int.Cl³: G06F 11/32, G06F 1/00, G01R 31/28.
- ⑦1 Aanvrager: Tektronix, Inc. te Beaverton, Oregon, Ver. St. v. Am.
- ⑦4 Gem.: Ir. H. Mathol c.s.
Octrooi- en Merkenbureau van Exter
Willem Witsenplein 3 & 4
2596 BK 's-Gravenhage.

-
- ②1 Aanvraag Nr. 8204409.
- ②2 Ingediend 12 november 1982.
- ③2 Voorrang vanaf 27 november 1981.
- ③3 Land van voorrang: Ver. St. v. Am. (US).
- ③1 Nummer van de voorrangsaanvraag: 325173 .
- ⑥2 - -

-
- ④3 Ter inzage gelegd 16 juni 1983.

De aan dit blad gehechte stukken zijn een afdruk van de oorspronkelijk ingediende beschrijving met conclusie(s) en eventuele tekening(en).

Korte aanduiding: Programmeerbare bereikherkenner voor een logische analysator

De uitvinding heeft in het algemeen betrekking op logische analuseerinstrumenten die geschikt zijn voor het kiezen van gegevens (data) of om getrekkerd te worden binnen een vooraf bepaald adressenbereik, en in het bijzonder op een programmeerbare bereikherkenner voor een logische analysator.

Een logische analysator is een elektronisch instrument, die de voortgang van in een digitaal stelsel optredende gebeurtenissen in de vorm van logische toestanden van parallel-bit data opneemt en weergeeft. De voor weergave vereiste data wordt 10 eerst opgeslagen in een geheugeneenheid, waarbij in verband met de begrensde acquisitiegeheugenruimte eerst het startpunt voor het verzamelen van data gedefinieerd moet worden en de op te bergen informatie eerst gekozen moet worden teneinde alleen op te slaan wat weergegeven moet worden. Het definiëren van het 15 startpunt en het kiezen van de op te nemen data is op het gebied van logische analysators bekend als trekken resp. kwalificatie. Typisch worden zg. woordherkenners, die ingesteld zijn voor het herkennen van een specifiek patroon van parallelle bits of digitale woorden, gebruikt voor zowel het trekken 20 als voor datakwalificatie. In meer toegeruste logische analysators kunnen bepaalde reeksen gebeurtenissen in plaats van een enkel digitale woord gespecificeerd worden voor het trekken of voor datakwalificatie.

Tijdens gebruik van de logische analysator voor het analyseren van met microprocessors geassocieerde programmatuur- 25 en hardwaarsituaties, is het vaak gewenst om te kunnen trekken op een veld woorden, bijvoorbeeld ook adresveld of de adresbus, of om zulke data voor acquisitie te kwalificeren. Het is verder gewenst, dat een zodanige veld- of bereikherkenner programmeerbaar is voor het verschaffen van een flexibel bereik- 30 herkenningssysteem voor het trekken of voor datakwalificatie. Voor brede adresbussen, bijvoorbeeld voor een veel gebruikte bus met een breedte van 24 bits, wordt implementatie van adresbereikherkenning echter als onpraktisch en in verband met het

grote aantal adresmogelijkheden eerder als lastig en bezwaarlijk ervaren.

Volgens de uitvinding levert een programmeerbare bereikherkenner een signaal voor het trekken of voor datakwalificatie steeds wanneer een digitaal woord binnen een gespecificeerd gesloten bereik van digitale woorden optreedt.

In het algemeen bevat een willekeurig toegankelijk geheugen (RAM), dat met een parallel-bit signaallijn zoals een adresbus verbonden is, een opgeslagen bitpatroon of masker, welke vooraf bepaald is in overeenstemming met een algoritme dat het uit digitale woorden bestaande gesloten bereik definieert. De RAM wordt daarbij gebruikt voor het decoderen van de op de bus aanwezige adresinformatie. Ter aanpassing van de werking in overeenstemming met het algoritme is de RAM verdeeld in een aantal secties, waarbij elke sectie overeenkomt met een voorafbepaald bitsegment of byte van het parallelbit signaal. Elke sectie is verder verdeeld in subsecties, waarvan het aantal afhangt van het aantal byte-gelijkheden of -ongelijkheden nodig voor het verschaffen van complete informatie. De gedecodeerde uitgangsbits van elke subsectie worden in een combinatorische logische keten gecombineerd ter verkrijging van complete informatie in overeenstemming met het algoritme voor wat betreft de aanwezigheid van een bepaald datawoord op de parallel-bit signaallijn binnen het gedefinieerde herkenningsbereik.

De voorkeursuitvoeringsvorm exploiteert de relatie $G=2^8=16^2=256$ ter splitsing van een 24-bit parallel adressignaal in drie bytes G_3 , G_2 en G_1 , zodat een 24-bit brede adresbus door drie statische RAM's gedecodeerd kan worden. De combinatorische logische keten kan gevormd worden door een in de handel verkrijgbare geïntegreerde keten met 4-voudige 3-2-3-2 ingangen EN/OF omkeerpoort. Er is slechts één extra poortelement nodig ter completering van de gehele bereikherkenner. De bereikherkenner volgens de voorkeursuitvoeringsvorm kan dus samengesteld worden door gebruik van slechts vijf componenten, hetgeen het bijzonder aantrekkelijk maakt voor gebruik in multi-kanaal logische analysators waarin veel bereikherkenners nodig zijn.

8204409

De uitvinding beoogt daarom een verbeterde bereikherkenner voor een logische analysatorinrichting te verschaffen.

De uitvinding beoogt tevens een programmeerbare bereikherkenner te verschaffen die een trekker- of datakwalificatiesig-
5 naal levert steeds wanneer een digitaal woord binnen een gespecificeerd gesloten bereik van digitale woorden optreedt.

De uitvinding beoogt ook een bereikherkenner te verschaffen, die in overeenstemming met een eenvoudig algoritme functioneert.

10 De uitvinding beoogt bovendien een programmeerbare bereikherkenner te verschaffen, die uit een relatief klein aantal componenten samengesteld kan worden en die relatief weinig vermogen opneemt.

De uitvinding wordt toegelicht aan de hand van de tekening. In de tekening toont:

fig. 1 een blokdiagram van een programmeerbare bereikherkenner volgens de uitvinding;

fig. 2 een diagram dat een 24-bit adresveld van het willekeurig toegankelijke geheugengedeelte van het stelsel volgens
20 fig. 1 voorstelt;

fig. 3 een gedetailleerd schema van een voorkeursuitvoeringsvorm van de bereikherkenner volgens de uitvinding; en

fig. 4A-4C diagrammen voor de resp. RAM's van fig. 3.

In de fig. 1 en 2 zijn een willekeurig toegankelijk geheugen (RAM) en een kolommendiagram van het adresveld ervan getoont voor het functioneren als een met het verwijzingscijfer 10
25 aangegeven decoder. De decoder 10 is verbonden met een n-bit parallelle signaalweg, zoals een adresbus 12, welke geassocieerd kan zijn met een microprocessor of een op een microprocessor
30 gebaseerd stelsel waarvoor het gewenst is om een trigger- of datakwalificatiesignaal op te wekken wanneer een adres binnen een gesloten adressenbereik optreedt.

Ter toelichting van het grote aantal adresmogelijkheden geschikt om volgens de uitvinding bediend te worden, toont de
35 kolommendiagram van fig. 2 zes hexadecimale digits (digits in machten van 16), die voor de relatie $2^{24} = 16^6 = 16.777.216$ een 24-bit binaire adresbusbreedte aangeeft met 16.777.216 adresmoge-

lijkheden over het bereik van 000000 tot FFFFFFFF. Deze zes hexadecimalen digits worden verdeeld in drie bytes van twee hexadecimalen digits elk, waarin G_1 de minst significante byte (kolom 1 in fig. 2) is, G_2 het middelste byte (kolom 2) is, en G_3 de meest significante byte (kolom 3) is. De letter U geeft de bytes van de bovengrens van het adresgebied aan, bijvoorbeeld $G_{3U} G_{2U} G_{1U}$, terwijl de letter L de bytes van de ondergrens van het adresgebied aangeeft, bijvoorbeeld $G_{3L} G_{2L} G_{1L}$.

De decoder 10 is vooraf voorgeprogrammeerd door een mas-
10 ker door middel van een besturingsprocessor, welke een andere processor kan zijn dan de met de adresbus 12 geassocieerde microprocessor. Het in de decoder RAM te registreren masker of bit patroon wordt voorafbepaald in overeenstemming met een algoritme dat het gesloten bereik definieert van digitale woorden die het adresbereik $G_{3L} G_{2L} G_{1L} \leq G_3 G_2 G_1 \leq G_{3U} G_{2U} G_{1U}$
15 definiëren. Om de werking in overeenstemming met dit algoritme aan te passen is de RAM verdeeld in een aantal secties, in dit voorbeeld drie, die elk overeenkomen met een van de bytes G_1 , G_2 of G_3 . Elke sectie is verder verdeeld in subsecties, waarbij
20 het aantal subsecties afhangt van het aantal gelijkheids- of ongelijkheidsmogelijkheden van elke byte benodigd ter verkrijging van complete informatie. De RAM-programmeringsdata wordt in overeenstemming met het masker als bepaald uitgaande van het algoritme door de besturingsprocessor in de subsecties
25 geladen. De van elke subsectie afkomstige gedecodeerde uitgangsbits worden naar een combinatorische logische keten 14 gevoerd ter verkrijging van complete informatie in overeenstemming met het algoritme voor wat betreft de vraag of een bepaald digitaal woord $G_3 G_2 G_1$ binnen het gedefinieerde herken-
30 ningsbereik ligt, in welk geval een uitgangssignaal wordt opgewekt.

Uit fig. 2 is af te leiden dat het adresveld is gerangschikt voor het zeer snel bepalen of een adres $G_3 G_2 G_1$ binnen het herkenningsbereik ligt. Het herkenningsbereik wordt aan-
35 gegeven door secties P, Q, R, S en T en een herkenningssignaal voor het triggeren of datakwalificatie zal worden opgewekt wanneer het adres binnen een van deze secties valt. Waar de minst

significante byte van geen belang is is in kolom 1 een X geplaatst ter aanduiding van de "onbelangrijke" ("don't care") situatie. Uit sectie Q blijkt bijvoorbeeld dat wanneer $G_3 = G_{3U}$ en wanneer $00 \leq G_2 \leq (G_{2U} - 1)$, het er niet toe doet wat G_1 is, omdat het samengestelde woord $G_3 G_2 G_1$ in het gebied moet liggen. Dit kan worden geverifieerd door het substitueren van decimale getallen voor de aangewezen bytes. Verder is af te leiden, dat wanneer $G_3 \geq (G_{3U} + 1)$ of wanneer $G_3 \leq (G_{3L} - 1)$, het er niet toe doet wat G_2 of G_1 zijn omdat in deze specifieke gevallen uit de meest significante byte alleen vastgesteld kan worden dat het woord $G_3 G_2 G_1$ buiten het gebied ligt. Op gelijke wijze kan voor $(G_{3L} + 1) \leq G_3 \leq (G_{3U} - 1)$ gemakkelijk vastgesteld worden dat $G_3 G_2 G_1$ binnen het gebied ligt zonder G_2 of G_1 te onderzoeken. Deze situaties kunnen in de bereikherkenner volgens de uitvinding ge-
exploiteerd worden door het verschaffen van een overheersingssig-
naal ("override signal"), dat om de combinatorische logische keten 14 gaat.

Het is in de meeste gevallen raadzaam om tijdens het in de RAM secties brengen van het masker een logische een voor een "ware" of "onbelangrijke" toestand en een logische nul voor een "onware" toestand te gebruiken. Afhankelijk echter van de specifieke implementatie en de gebruikte logische elementen kan het overheersingsbit de tegengestelde polariteit voor "waar" en "onwaar" hebben. Er kan dus een specifiek patroon van enen en nullen, of het complement daarvan, gebruikt worden in het bijzonder voor het overheersingsbit als hierboven toegelicht voor de situatie van het buiten het bereik zijn.

De programmatuur voor het met het correcte masker laden van de RAM secties volgt met uitzondering van twee gevallen exact het logaritmie. Ten eerste, wanneer $G_{3L} = G_{3U}$ of wanneer $(G_{3L} + 1) = G_{3U}$, wordt de sectie P omgezet in een "onbelangrijk". Ook voor het specifieke geval waarbij $G_{3L} = G_{3U}$ geldt, wordt sectie Q omgezet tot "onwaar" en wordt de middelste byte van sectie S veranderd tot de uitdrukking " $(G_{2L} + 1)$ tot $(G_{2U} - 1)$ " in plaats van " $(G_{2L} + 1)$ tot FF". Ten tweede, wanneer $G_{3L} = G_{3U}$ en $G_{2L} = G_{2U}$ (of $G_{2L} + 1 = G_{2U}$), zijn de secties Q en S beide "onwaar". Voor het specifieke geval dat $G_{3L} = G_{3U}$ en $G_{2L} = G_{2U}$ is sectie R

ook "onwaar" en is de minst significante byte van sectie T gewijzigd tot de uitdrukking " G_{1L} tot G_{1U} ".

De voorkeursuitvoeringsvorm volgens de uitvinding is gericht op een 24-bitstelsel en is getoond in fig. 3. Hier is
5 de relatie $G=2^8=16^2=256$ geëxploiteerd, waardoor een 24-bit adreswoord gesplitst kan worden in drie bytes G_3 , G_2 en G_1 , die elk als hierboven toegelicht twee hexadecimale digits omvatten die gedecodeerd moeten worden door drie statische RAM's. De bovenste byte G_3 wordt via de adreslijnen A16-A23 naar een
10 256-woord bij 3-bit programmeerbare RAM 20 gevoerd, welke RAM voorgeprogrammeerd is in overeenstemming met het kolommendiagram van fig. 4A. De middelste byte G_2 wordt via de adreslijnen A8-A15 naar een 256-woord bij 4-bit programmeerbare RAM 22 gevoerd, welke RAM voorgeprogrammeerd is in overeenstemming
15 met het kolommendiagram van fig. 4B. De laagste byte G_1 wordt via de adreslijnen A0-A7 naar een 256-woord bij 2-bit programmeerbare RAM 24 gevoerd, welke RAM voorgeprogrammeerd is in overeenstemming met het kolommendiagram volgens fig. 4C.

De uitgangslijnen van de RAM 20 zijn gemerkt met 20-A,
20 20-B en 20-C, en de logische uitgangsbits kunnen vastgesteld worden door uitlezing van fig. 4A. Ten eerste kan afgeleid worden dat de waarde van G_3 tussen 00 en FF moet liggen. Het gearceerde gebied tussen $(G_{3L}+1)$ en $(G_{3U}-1)$ voor een van de bits geeft een "waar" aan terwijl de getrokken lijn bij G_{3U} en G_{3L}
25 dit voor de andere twee bits doen. De open ruimten geven een "onware" waarde aan. De vergelijkingen met betrekking tot de bitpatronen van fig. 4A zijn ter illustratie aangegeven binnen de door een rechthoek voorgestelde RAM 20 van fig. 3. Als bijvoorbeeld de waarde van G_3 binnen $(G_{3L}+1)$ en $(G_{3U}-1)$ valt,
30 is de vergelijking $G_{3L} < G_3 < G_{3U}$ waar en is daarom de uitgangslijn 20-A waar, terwijl de lijnen 20-B en 20-C onwaar zijn. Natuurlijk, indien geldt dat $G_3 = G_{3U}$ of $G_3 = G_{3L}$ dan zal de lijn 20-B of 20-C waar zijn en zullen de andere twee lijnen onwaar zijn.

35 Hetzelfde concept geldt voor de RAM's 22 en 24 en hun resp. kolommendiagram volgens de fig. 4B en 4C voor hun adresruimten. De getrokken of gearceerde gebieden binnen de adresruimte

geven weer "waar" aan terwijl de lege gebieden "onwaar" aangeven.

De verschillende uitgangsbits van de RAM's 20, 22 en 24 worden gecombineerd in een combinatorische logische keten bestaande uit vier EN poorten 26, 28, 30 en 32 en een NOF poort 34. De combinatorische logische keten kan samengesteld worden uit discrete logische poorten; voor de specifieke getoonde uitvoeringsvorm is deze keten echter, commercieel beschikbaar als een geïntegreerde keten met als typenummer 74S64 (4-voudig 3-2-3-2 ingangen EN/OF omkeerpoort). Een NEN poort 36 is verbonden met de uitgang van de NOF poort 34 en de uitgangslijn 20-A voor het verschaffen van een bereikherkennings-uitgangssignaal. Als gevolg van de specifieke implementatie van de combinatorische logische keten is een "waar" op de lijn 20-A in feite een logische nul, terwijl voor alle andere gevallen voor de RAM's 20, 22 en 24 een "waar" een logische een is. De lijn 20-A vormt de eerder genoemde overheersingslijn, omdat wanneer $G_{3L} < G_{3U}$ het niet van belang is wat de bytes G_2 en G_1 zijn. De uitgangsvergelijkingen $\bar{P}$ tot en met T voor een geldige bereikstatus van het 24-bitadreswoord zijn getoond bij de uitgang van de bereikherkenner en deze vergelijkingen kunnen aan de hand van de fig. 3 en 4A tot en met 4C geverifieerd worden.

Voor elk van de RAM subsecties kan een specifiek bitpatroon of het complement ervan gebruikt worden in afhankelijkheid van de gebruikte logische elementen, dan wel afhankelijk van de vraag of het raadzamer is een uit-gebiedtoestand te detecteren in plaats van een in-gebiedtoestand. Verder kan het masker opgesteld worden ter verkrijging van open-gebiedherkenning omdat de bovengrens gelijk kan zijn aan FFFFFFFF of de ondergrens gelijk kan zijn aan 00000000, of een aantal naar links of naar rechts gejusteerde "onbelangrijke" waarden, bijvoorbeeld XXFFFF, gebruikt kunnen worden ter verkrijging van een 16-bit bereikherkenner.

C O N C L U S I E S

1. Werkwijze voor het herkennen van digitale woorden die optreden binnen een gesloten gebied van woorden van deze soort
g e k e n m e r k t door de stappen van:

5 (a) het splitsen van de digitale woorden in een aantal woordsegmenten;

(b) het decoderen van elk van de woordsegmenten en het leveren van uitgangsbits in responsie op de woordsegmenten gelegen tussen voorafbepaalde bovengrenswaarden en ondergrenswaarden; en

10 (c) het combineren van een aantal van de uitgangsbits ter verkrijging van een herkenningssignaal.

2. Werkwijze volgens conclusie 1 waarbij de woordsegmenten bytes zijn die zich uitstrekken vanaf meest significant tot minst significant en waarbij het decoderen wordt uitgevoerd door
15 middel van een willekeurig toegankelijk geheugen met een voor elke byte overeenkomende geheugensectie.

3. Stelsel voor herkennen van digitale woorden die optreden binnen een gesloten bereik van woorden van deze soort
g e k e n m e r k t door middelen voor het splitsen van de digitale woorden in een aantal woordsegmenten; middelen voor het
20 decoderen van elk van de woordsegmenten en het leveren van gedecodeerde uitgangsbits in responsie op de woordsegmenten gelegen tussen voorafbepaalde bovengrenswaarden en ondergrenswaarden; en middelen voor het combineren van uitgangsbits ter
25 verkrijging van een herkenningssignaal.

4. Stelsel volgens conclusie 3 m e t h e t k e n m e r k dat de woordsegmenten bytes zijn, die zich uitstrekken van meest significant tot minst significant en waarbij de decoderingsmiddelen een willekeurig toegankelijk geheugen met een voor elke
30 byte overeenkomende geheugensectie omvatten.

5. Stelsel volgens conclusie 4 m e t h e t k e n m e r k dat elke geheugensectie verdeeld is in subsecties, die elk een waarde van een bovengrenswaarde, een ondergrenswaarde en een gebied van waarden bevatten, waarbij de uitgangsbits door een
35 of meer subsecties geleverd kan worden.

6. Stelsel volgens conclusie 4 met het kenmerk dat het geheugen programmeerbaar is.

7. Programmeerbare bereikherkenner gekenmerkt door middelen voor het splitsen van digitale woorden in bytes die
5 zich uitstrekken van een meest significante byte tot een minst significant byte; een willekeurig toegankelijk geheugen met een aantal secties, waarbij elke sectie overeenkomt met een resp. byte van de bytes en elke sectie verdeeld is in subsecties, die elk een waarde van een opgeslagen bovengrenswaarde,
10 ondergrenswaarde, en een gebied van tussenliggende waarden bevatten, waarbij de gedecodeerde uitgangsbits door de subsecties geleverd worden wanneer de waarde van de byte waar is; en een combinatorische logische keten omvattende een aantal logische elementen voor het combineren van de uitgangsbits voor het le-
15 veren van een bereikherkenningssignaal.

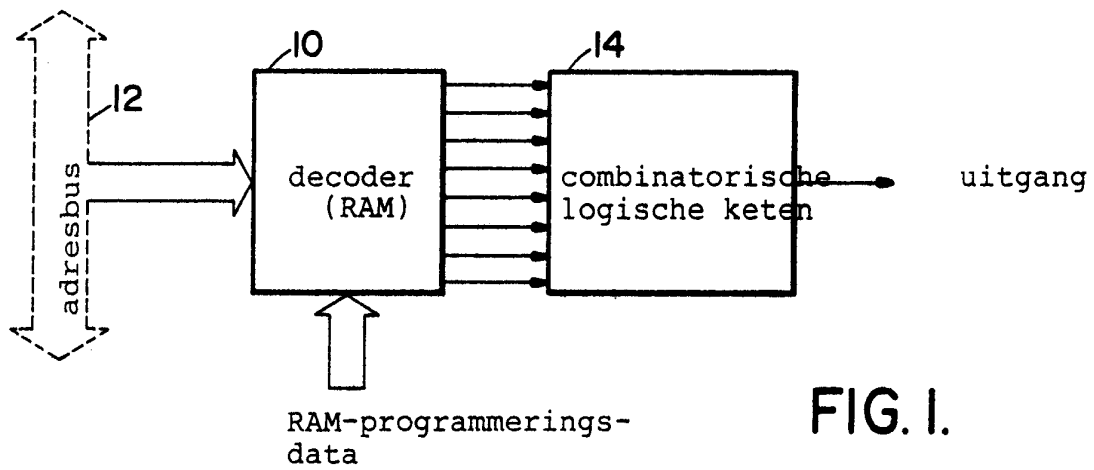


FIG. 1.

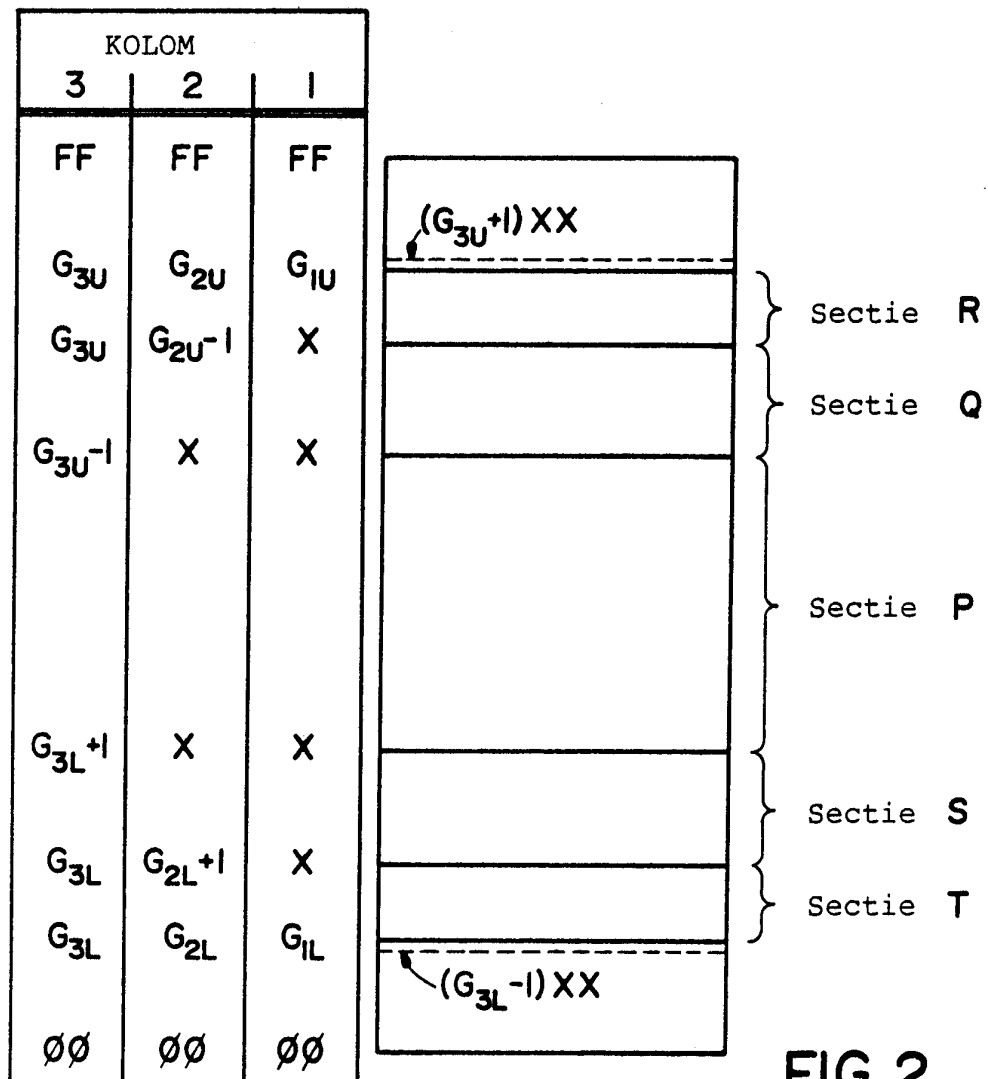


FIG. 2.

