

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成25年3月14日 (2013.3.14)

【公表番号】特表2012-518859(P2012-518859A)

【公表日】平成24年8月16日 (2012.8.16)

【年通号数】公開・登録公報2012-032

【出願番号】特願2011-550388(P2011-550388)

【国際特許分類】

G 1 1 C 5/00 (2006.01)

H 0 1 L 25/065 (2006.01)

H 0 1 L 25/07 (2006.01)

H 0 1 L 25/18 (2006.01)

G 1 1 C 16/02 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 27/10 (2006.01)

【 F I 】

G 1 1 C 5/00 3 0 2 Z

H 0 1 L 25/08 Z

G 1 1 C 17/00 6 0 1 Z

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

H 0 1 L 27/10 4 8 1

H 0 1 L 27/10 4 9 5

【手続補正書】

【提出日】平成25年1月24日 (2013.1.24)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第1のメモリチップ、および

第2のメモリチップ

を含むスタック

を備えるシステムであって、前記第2のメモリチップが、チップサイズ低減を容易にするように少なくともいくつかの非コア回路が欠如しており、さらに

前記第1のメモリチップと前記第2のメモリチップとの間に延びる複数の電気経路を備え、前記電気経路により、前記第1のメモリチップが前記第2のメモリチップに、デバイス動作のために必要な信号および電圧を供給することが容易になる、システム。

【請求項 2】

前記第1および第2のメモリチップが不揮発性メモリチップである、請求項1に記載のシステム。

【請求項 3】

少なくとも1つの追加のメモリチップをさらに備え、前記第1のメモリチップがマスタデバイスであり、前記第2のメモリチップおよび追加のメモリチップがスレーブデバイスである、請求項1または2に記載のシステム。

【請求項 4】

前記電気経路がシリコン貫通ビアを備える、請求項1または2に記載のシステム。

【請求項 5】

パッケージプリント回路基板をさらに備え、前記スタックが前記パッケージプリント回路基板にフリップチップおよびバンパによって接続される、請求項4に記載のシステム。

【請求項 6】

前記第1の不揮発性メモリチップだけが高電圧発生器を含む、請求項2に記載のシステム。

【請求項 7】

前記電圧が、プログラム動作および消去動作の高電圧を含む、請求項2に記載のシステム。

【請求項 8】

前記第2のメモリチップが、試験時に前記第1のメモリチップによって駆動されるように構成されているスレーブデバイス試験論理回路を含む、請求項1または2に記載のシステム。

【請求項 9】

前記第1の不揮発性メモリチップがマスタデバイスであり、前記第2の不揮発性メモリチップがスレーブデバイスである、請求項2に記載のシステム。

【請求項 10】

前記電気経路がシリコン貫通ビアを備える、請求項9に記載のシステム。

【請求項 11】

パッケージプリント回路基板をさらに備え、前記スタックが前記パッケージプリント回路基板にフリップチップおよびバンパによって接続される、請求項10に記載のシステム。

【請求項 12】

前記マスタメモリデバイスが前記スレーブメモリデバイスよりかなり大きく寸法設定され、前記マスタメモリデバイスが前記パッケージプリント回路基板にほぼ隣接して配置される、請求項11に記載のシステム。

【請求項 13】

互いに互換性がある第1および第2の不揮発性メモリチップを製造する段階を含む方法であって、前記第1および第2の不揮発性メモリチップがほぼ同様のコアチップ領域を有するが、前記第1の不揮発性メモリチップだけが、前記第1および第2の不揮発性メモリチップ両方に共通の利点に機能性を与える回路が中にあるいくつかの追加チップ領域を有し、前記追加チップ領域の前記回路が、前記第1および第2の不揮発性メモリチップ両方と関連して、デバイス動作に必要な信号および電圧を発生するように構成されている、方法。

【請求項 14】

互いに互換性がある第1および第2の不揮発性メモリチップを備える装置であって、前記第1および第2の不揮発性メモリチップがほぼ同様のコアチップ領域を有するが、前記第1の不揮発性メモリチップだけが、前記第1および第2の不揮発性メモリチップ両方に共通の利点に機能性を与える回路が中にあるいくつかの追加チップ領域を有し、前記追加チップ領域の前記回路が、前記第1および第2の不揮発性メモリチップ両方と関連して、デバイス動作に必要な信号および電圧を発生するように構成されている、装置。

【請求項 15】

不揮発性メモリチップのチップ領域全体の80パーセント超を占有するコアチップ領域と、
別の不揮発性メモリチップから信号および電圧を受け取るように構成された回路が中にある追加のチップ領域とを備える不揮発性メモリチップであって、
前記電圧が、消去動作のために十分に高い電圧を含み、

前記コアチップ領域が、前記追加チップ領域と比較してより微細化されたプロセス技術を有する、不揮発性メモリチップ。

【請求項 16】

不揮発性メモリチップのチップ領域全体の80パーセント超を占有するコアチップ領域と

、

前記コアチップ領域の中に配置されているページバッファと、

別の不揮発性メモリチップから信号および電圧を受け取るように構成された回路が中にある追加のチップ領域とを備えるフラッシュメモリチップであって、

前記コアチップ領域が、前記追加チップ領域と比較してより微細化されたプロセス技術を有する、フラッシュメモリチップ。

【請求項 17】

少なくとも2つの半導体チップを積み重ねる段階であって、前記半導体チップの一方がマスタメモリデバイスであり、前記半導体チップの他方がスレーブメモリデバイスであり、前記マスタメモリデバイスが前記スレーブメモリデバイスよりかなり大きく寸法設定される、段階と、

前記積み重ねた半導体チップと一緒にシリコン貫通ビアによって結線する段階と、

前記積み重ねた半導体チップをパッケージプリント回路基板にフリップチップおよびバンによって接続する段階とを含む、方法。