(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4776143号
(P4776143)
(45)発行日　平成23年9月21日(2011.9.21)　(24)登録日　平成23年7月8日(2011.7.8)

(51)Int.Cl.　F I
H03M 1/10 (2006.01)　H03M 1/10 A

請求項の数 24 (全 13 頁)

(21)出願番号	特願2002-523718 (P2002-523718)
(86)(22)出願日	平成13年8月24日 (2001.8.24)
(65)公表番号	特表2004-507965 (P2004-507965A)
(43)公表日	平成16年3月11日 (2004.3.11)
(86)国際出願番号	PCT/SE2001/001803
(87)国際公開番号	WO2002/019531
(87)国際公開日	平成14年3月7日 (2002.3.7)
審査請求日	平成20年8月14日 (2008.8.14)
(31)優先権主張番号	0003043-7
(32)優先日	平成12年8月29日 (2000.8.29)
(33)優先権主張国	スウェーデン(SE)
(31)優先権主張番号	0102079-1
(32)優先日	平成13年6月12日 (2001.6.12)
(33)優先権主張国	スウェーデン(SE)

(73)特許権者　598036300
テレフオンアクチーボラゲット　エル　エム　エリクソン（パブル）
スウェーデン国　ストックホルム　エス－１６４　８３
(74)代理人　100109726
弁理士　園田　吉隆
(74)代理人　100101199
弁理士　小林　義教
(72)発明者　ヨンソン，　ベント，　エリク
スウェーデン国　エス－１６３　７０　スポンガ，　アスケビクロケン　８　１ティーアール

審査官　柳下　勝幸

最終頁に続く

(54)【発明の名称】Ａ／Ｄコンバータの較正

(57)【特許請求の範囲】
【請求項１】
直前のバックグランド較正以降に動作状態が変化したときに新規のバックグランド較正を実施する過程を含む、Ａ／Ｄコンバータバックグランド較正の方法。
【請求項２】
直前のバックグランド較正以降の少なくとも１つの動作状態パラメータの変化を表す指標を繰り返して決定する過程と、
前記指標が所定の変化値を上回る場合、新規のバックグランド較正を実施する過程とを含む、請求項１の方法。
【請求項３】
直前のバックグランド較正以降の経過時間が所定の時間値を上回る場合、新規のバックグランド較正を実施する過程を含む、請求項２の方法。
【請求項４】
少なくとも１つの動作状態パラメータが特定の動作範囲の境界に近接している場合、連続的なバックグランド較正を実施する過程を含む、請求項２の方法。
【請求項５】
前記指標が前記所定の変化値をめったに上回らない場合、バックグランド較正シーケンスを時間的に伸ばす過程を含む、請求項２の方法。
【請求項６】
前記指標が前記所定の変化値を頻繁に上回る場合、バックグランド較正シーケンスを時

間的に圧縮する過程を含む、請求項２の方法。
【請求項７】
１つの動作状態パラメータが半導体接合部の温度を含む、請求項２の方法。
【請求項８】
１つの動作状態パラメータが供給電圧を含む、請求項２の方法。
【請求項９】
１つの動作状態パラメータがバイアス電流を含む、請求項２の方法。
【請求項１０】
少なくとも１つの動作状態パラメータがＡ／Ｄコンバータの外部環境を示している、請求項２の方法。
【請求項１１】
１つの動作状態パラメータがシステムレベルで検出可能な性能パラメータを含む、請求項２の方法。
【請求項１２】
前記システムレベルで検出可能な性能パラメータがビット誤り率である、請求項１１の方法。
【請求項１３】
直前のバックグランド較正以降に動作状態が変化したときに新規のバックグランド較正を実施する手段を含む、Ａ／Ｄコンバータバックグランド較正装置。
【請求項１４】
直前のバックグランド較正以降の少なくとも１つの動作状態パラメータの変化を表す指標を繰り返して決定する手段と、
前記指標が所定の変化値を上回る場合、新規のバックグランド較正を実施する手段とを含む、請求項１３の装置。
【請求項１５】
直前のバックグランド較正以降の経過時間が所定の時間値を上回る場合、新規のバックグランド較正を実施する手段を含む、請求項１４の装置。
【請求項１６】
少なくとも１つの動作状態パラメータが特定の動作範囲の境界に近接している場合、連続的なバックグランド較正を実施する手段を含む、請求項１４の装置。
【請求項１７】
前記指標が所定の変化値をめったに上回らない場合、バックグランド較正を時間的に伸ばす手段を含む、請求項１４の装置。
【請求項１８】
前記指標が所定の変化値を頻繁に上回る場合、バックグランド較正シーケンスを時間的に圧縮する手段を含む、請求項１４の装置。
【請求項１９】
半導体接合部の温度を測定する手段を含む、請求項１４の装置。
【請求項２０】
供給電圧を測定する手段を含む、請求項１４の装置。
【請求項２１】
バイアス電流を測定する手段を含む、請求項１４の装置。
【請求項２２】
Ａ／Ｄコンバータの外部環境を示す少なくとも１つの動作状態パラメータを測定する手段を含む、請求項１４の装置。
【請求項２３】
システムレベルの検出可能な性能パラメータを測定する手段を含む、請求項１４の装置。
【請求項２４】
ビット誤り率を測定する手段を含む、請求項２３の装置。

【発明の詳細な説明】
【０００１】
技術分野
本発明は、アナログ－ディジタル（Ａ／Ｄ）コンバータに関し、特に、このようなコンバータのバックグランド較正に関するものである。
【０００２】
Ａ／Ｄコンバータの性能は、様々な基礎的要素に係る非理想的な影響により制限される。このような影響のいくつかの作用は、参考文献［１］等に記載されたようにディジタル較正により対応することができる。ここで、一連のディジタル較正係数は推定されたアナログ回路の誤差を補正するために使用される。問題は、当該係数を推定したときと全く同じ条件で回路を動作したときに較正係数の誤差が最も少ないという点である。例えば、温度、供給電圧、またはバイアス電流が変化した場合は、誤り補正を最適化するために新たな一連の係数が必要となる。
【０００３】
通常、正常な動作をしているＡ／Ｄコンバータを連続的に較正するためにバックグランド較正と呼ばれる技術（参考文献［２］）が用いられる。しかし、バックグランド較正の工程は、Ａ／Ｄコンバータを通過する正常な信号の流れを中断し、よって、出力に誤差を生じさせる。例えば、参考文献［３］に記載されたように補間(interpolation)によってこのような誤差の大きさを低減させる技術がある。だが尚、Ａ／Ｄコンバータのバックグランド較正により発生する信号の割込みは、例えばディジタル通信システムにおけるビット誤り率の増大を招く。信号品質および電力効率双方の観点から、可能な限りＡ／Ｄコンバータのバックグランド較正を回避することが望ましいであろう。
【０００４】
本発明の目的は、従来よりも低いビット誤り率のＡ／Ｄコンバータのバックグランド較正技術を提供することである。
【０００５】
この目的は、添付の請求項に従って達成される。
【０００６】
要するに、本発明は、動作状態が安定している時には通常、バックグランド較正が不要であるという知見に基づく。温度、供給電圧等の臨界動作パラメータ等用の内部(on-chip)または外部(off-chip)センサを使用することによって、安定した動作状態で不要なバックグランド較正を控えることが可能となり、よって、定常状態でビット誤り率を低減することができる。
【０００７】
本発明は、添付図と共に以下の説明を参照することにより本発明の目的および長所の双方を最もよく理解することができる。
【０００８】
詳細な説明
さらに一般的なバックグランド較正方法の１つとして、図１および図２に示された「スキップ・アンド・フィル(skip-and-fill)」方法（参考文献［３］［４］）を用いることがある。
【０００９】
図１は、インターポレータを有する従来のＡ／Ｄコンバータのブロック図である。アナログ信号がＡ／Ｄコンバータ１０に送られる。ディジタルサンプルはインターポレータ１２および遅延要素１４に送られる。通常、スイッチ１６は図示された上側の位置にあり、その位置において遅延要素１４からサンプリング間隔Ｔでディジタルサンプルが出力される。ｋ番目のサンプルごとにスイッチ１６は下側の位置に強制的に切り換えられ、その位置においてサンプルはスキップされその代わりにインターポレータ１２から補間ディジタルサンプルが出力される。その後、スイッチ１６は上側の位置に戻る。補間の際に、較正、またはＡ／Ｄコンバータ１０の完全な較正の一部が実施される。この動作が周期的に繰り

返される。

【００１０】

図２は、図１のＡ／Ｄコンバータでのサンプリングを示したタイムチャートである。破線はスキップされたサンプルの実値を意味する。補間の帯域幅が制限されるために補間値が実値と異なっている場合がある。当該補間値は周囲のサンプルにより作成される図内の補間曲線上にある。これら周囲のサンプルが図１の遅延要素１４の原因となる（補間を可能にするために、スキップしたサンプルの前後どちらにおいてもサンプルは要求される）。

【００１１】

ディジタル無線システムの実施例が図３に示される。アナログ無線周波数（ＲＦ）信号が受信されＲＦフロントエンド２０を用いて基本帯域に変換される。当該基本帯域信号はＡ／Ｄコンバータ２２によりディジタル化され、さらにディジタル信号処理（ＤＳＰ）ユニット２４によりディジタル形式で処理される。伝送品質はディジタル出力信号d_{OUT}のビット誤り率（ＢＥＲ）の基準で測定することができる。通常、当該伝送品質は、ＲＦフロントエンドおよびＡ／Ｄコンバータの性能により制限される。

【００１２】

当該Ａ／Ｄコンバータの性能は、部品の不適合性等の複合静誤差、および動作状態を表す複数のパラメータに左右される。このようなパラメータには、例えば、温度、供給電圧、バイアス電流がある。通常、動作範囲はパラメータごとに規定されるので、一次元的または多次元的な空間が形成される。一例として、接合部の温度T_jおよび供給電圧V_{sup}に対する２次元的動作空間が図４に示される。時間の経過に伴うこれら２つのパラメータの同時変化が曲線で示される（時間はt_0からt_2まで増加する）。

【００１３】

部品の不適合性および変動する動作状態の影響はディジタル較正等により低減することができる。問題は、Ａ／Ｄコンバータを能率的にディジタル較正するには、動作状態が変化するたびに較正係数を更新する必要がある点である。このような再較正は、フォアグランドまたはバックグラウンドで行うことができる。

【００１４】

フォアグラウンド較正は、較正シーケンスを完了するまでＡ／Ｄコンバータを通過するデータの流れを完全に遮断する。ディジタル無線システムでは、これにより、較正シーケンスが行われる間中、全トラフィックが停止することになろう。いかなる正常な動作モードでも、このような中断を受け入れることはできず、従って、フォアグランド較正は開始時、またはＡ／Ｄコンバータのオフライン時にしか用いることができない。よって、この問題を解決するためにバックグランド較正が用いられる。

【００１５】

また、フォアグランド較正ほどではないが、バックグランド較正もＡ／Ｄコンバータの信号の流れを妨げる。信号品質における損失は補充サンプル(fill sample)およびサンプル間隔の精度関数である。補充サンプル間隔がさらに広いと、ある長さのサンプルシーケンスにおける誤差エネルギーが低減する。しかし、補充サンプル間隔が広すぎる場合、バックグランド較正は急激な動作状態の変化を能率的に探知することができない。

【００１６】

システムレベルの観点から見たフォアグランド較正とバックグランド較正の相違が図５および図６に示される。

【００１７】

フォアグランド較正方法は、開始時（ｔ＝０）に、最適な一連の較正係数を検出することができる。これは、システムレベルにおいて低いビット誤り率BER_0で示される。時間が経過すると動作状態が変化すると共にビット誤り率も変化し、図５に示されたように、この管理外の変動はかなり大きなものとなり得る。

【００１８】

バックグランド較正は、較正シーケンスの連続的な繰返しを伴い、Ａ／Ｄ変換はそのシーケンスにおいて所定数のサンプル位置で中断され、スキップされたサンプルは、通常補間

により得られる補充サンプルに置換される。比較的高密度のバックグランド較正シーケンスを使用すると、急激な動作状態の変化を受けてもビット誤り率を安定させることができる。これは図６に示されており、ビット誤り率は基本的に一定である。しかし、バックグランド較正における「スキップ・アンド・フィル(skip-and-fill)」工程の結果、達成可能な最低ビット誤り率は、最適なＢＥＲ$_0$からＢＥＲ$_1$に上昇し、これはバックグランド較正シーケンスの密度および補充サンプルの精度により決定される。

【００１９】

従来技術では、バックグランド較正シーケンスは、その必要性の有無にかかわらず、連続的に繰り返す。しかし、安定した動作状態下では、Ａ／Ｄコンバータを連続的に再較正することは実際は全く必要ない。補充サンプル誤差を小さくすることはできるが、依然として不要なＡ／Ｄ変換誤差は残る。従って、動作状態が安定しているときは、バックグランド較正はできるだけ抑制されるべきである。

【００２０】

本発明は、動作状態の変化を探知し、基本的に再較正を必要とするほど大きく状態が変化した場合のみバックグランド較正シーケンスを開始することにより、連続的なバックグランド較正の有する問題を解決する。図７は、図４の対応図であり動作状態の変化を探知する模範的な方法を図示している。各動作状態パラメータはベクトル成分とみなされ、直前の較正開始以降の動作状態の変化を示す連続的に測定された差ベクトルが、所定のしきい値の大きさを上回るたびに、較正シーケンスが開始される。図７では、これは、再較正の瞬時ｔ$_0$からｔ$_6$を結線した等しい大きさの差ベクトルにより示されている。

【００２１】

差ベクトルの大きさを規定するために様々な方法が可能である。１つの可能性としては、

$$\Delta x = \sqrt{\sum_{i=1}^{N} c_i (\Delta x_i)^2}$$

ここで、

Δｘは差ベクトルの大きさである。

Δｘ$_i$は動作状態パラメータ変化である。

Ｎは動作状態パラメータ数である。

ｃ$_i$は異なるパラメータの相対的重要度を表す重み係数である。

別の可能性としては、

$$\Delta x = \sum_{i=1}^{N} c_i |\Delta x_i|$$

さらに別の可能性としては、

$$\Delta x = \max_i \left(c_i |\Delta x_i| \right)$$

最後に述べた実施例では、少なくとも１つのパラメータの変化の（重み付けの）大きさがしきい値を上回った場合に、較正シーケンスが開始される。

【００２２】

図８は、本発明の模範的な実施形態におけるシステムレベルのビット誤り率の挙動を示したタイムチャートである。較正シーケンスにおいて、ビット誤り率は図６と同一で、すなわちＢＥＲ$_1$であることに注目されたい。しかし、各較正シーケンス後は、ビット誤り率は最適な比率ＢＥＲ$_0$に低減される。直前の再較正以降に動作状態が大きく変化した場合のみ、再較正が実施されるので、平均ビット誤り率ＢＥＲ$_2$がＢＥＲ$_0$とＢＥＲ$_1$間に位置することは明白である。

【００２３】

図９は、本発明の方法の模範的な実施形態を図示したフローチャートである。ステップＳ１は、例えば上記方程式の１つに基づいて動作パラメータ変化を決定および組み合わせることにより動作状態の変化を決定する。ステップＳ２は、変化が所定のしきい値を上回るかを判断する。上回らない場合、処理はステップＳ１に戻る。さもなければ、ステップＳ３はバックグランド較正シーケンスを開始し較正係数を更新する。その後、処理はステップＳ１に戻る。通常、ステップＳ１は、少なくとも較正シーケンス長を有する規則的な間隔で繰り返される。

【００２４】

図１０は、本発明に基づいたＡ／Ｄコンバータ較正装置の模範的な実施形態を図示したブロック図である。一連の動作状態パラメータセンサ１００は現在の動作状態を検出し、該状態は、パラメータx_1，・・・，x_Nで示される。この実施形態では、センサ１００はＡ／Ｄコンバータ本体と同一のチップに一体化されたものと想定される。しかし、複数または全てのセンサが当該チップから独立して具備される実施形態も実施可能である。測定されたパラメータは、アナログまたはディジタル形式で、例えば、動作状態変化検出器１０２に転送される。当該動作状態変化検出器１０２は、例えば、上記方程式の１つに基づいて変化の指標を決定し、且つこの指標が所定の変化しきい値を上回るかを判断する。しきい値を上回る変化が検出されたときは、較正トリガ信号ＣＡＬ＿ＴＲＩＧがバックグランド較正シーケンスを開始する較正制御ユニット１０４に送られる。図１０の実施形態では、変化検出器１０２および制御ユニット１０４はＡ／Ｄコンバータチップの外部にあるものとして図示されている。しかし、この構成要素のうち一方または両方がＡ／Ｄコンバータ本体と一体化する実施形態も実施可能である。Ａ／Ｄコンバータの外部に配置されるときは、変化検出器１０２は、マイクロプロセッサ、信号プロセッサまたはＦＰＧＡ（Field-Programmable Gate-Array）を用いて実行することができる。チップ上に配置されるときは、特定用途向ディジタル回路(Application-specific digital circuit)として実行することができる。

【００２５】

実際には、絶対的なパラメータ値を正確に検出する必要はないので、低電力消費型の単純なオンチップまたはオフチップ型装置を用いて動作状態を検出することができる。単一要件は、相対的な変化を十分な分解能および速度で検出することができることである。一例として、０．１℃以下の温度変化は、温度が０から９０℃の範囲内で検出されるものと想定される。そのとき、公称量子化レンジ－５から＋９５℃の１０ビットＡ／Ｄコンバータを使用することができる。これは、０．１℃の温度分解能に相当する。例えば、センサの製造上の偏差により起こり得る数℃程度の温度変位は通常許容される。

【００２６】

図１１は、接合部の温度センサの模範的な実施形態を示している。この実施形態では、「絶対温度に比例する」（ＰＴＡＴ）電圧基準V_{PTAT}並びに温度および可能性として供給電圧と無関係な電圧基準V_{FIX}により温度を検出する。

【００２７】

図１２は、接合部の温度センサの別の模範的な実施形態を示している。この実施形態では、図１１の基準電圧が対応する電流基準に置換される。

【００２８】

図１３は、バイアス電流センサの模範的な実施形態を示している。この実施形態では、監視バイアス電流の複製値を一定の基準電流と比較することによりバイアス電流の変化量を検出することができる。

【００２９】

図１４は、供給電圧センサの模範的な実施形態を示している。この実施形態では、供給電圧を２つの抵抗に分圧し、分圧の結果生じた電圧を一定の基準電圧と比較することにより、例えば１．２５Ｖのバンドギャップリファレンスから電圧の変化量を検出する。

【００３０】

図１１から図１４を参照して記載したセンサの実施形態の実施に関する詳細は、参考文献

［５］において理解することができる。当該参考文献はＰＴＡＴ、定電圧および定電流を詳細に説明している。

【００３１】

図１５は、動作状態変化検出器の模範的な実施形態を図示したブロック図である。測定されたパラメータ値は、センサ１００から一群のＡ／Ｄコンバータ２００に転送される。ディジタル化された値は、ＲＡＭセル２０２および加算器２０４に転送される。当該加算器２０４は、測定されたパラメータ値と、先の較正開始時にＲＡＭセル２０２に格納された値との差を形成する。ユニット２０６は、例えば前記方程式の１つに基づいて変化の指標を決定する。この変化の指標はしきい値ユニット２０８に転送される。当該変化の指標がしきい値を上回る場合、ＣＡＬＢ＿ＴＲＩＧ信号が生成される。この信号は、別の較正シーケンスを開始すると同時に現状のセンサ値をＲＡＭセル２０２に書き込むことを可能にする。

【００３２】

図１６は、本発明の別の模範的な実施形態におけるシステムレベルのビット誤り率の挙動を図示したタイムチャートである。この実施形態は、図７の実施形態と同じ原理に基づき、すなわち動作状態が大きく変化した場合のみ、バックグランド較正を開始する。しかし、図１６の実施形態では、t_3およびt_4に示されたように、動作状態が緩やかに変化するだけの場合、時間の経過と共に較正シーケンスが広がる（補充サンプル間の間隔がさらに広がる）。これにより、この較正の間、ビット誤り率が低減するので、さらには平均ビット誤り率がBER_3に低減する。同様に、動作状態のさらなる急激な変化を防ぐために、ビット誤り率がわずかに高くなるのを犠牲にしてさらに頻繁に再較正を行うことにより、較正シーケンスを時間的に圧縮することも可能である。

【００３３】

上述では、動作状態の大幅な変化がある場合のみ再較正を開始することができると仮定した。しかし、状況によっては、測定された動作状態パラメータが、所定の（非常に長い）期間にわたって常に一定であった場合には、再較正を開始することが望ましい場合がある。このような再較正を行う理由の１つは、Ａ／Ｄコンバータの性能に影響を与えるが、測定困難である他のパラメータが変化してしまっている可能性があるからである。通常、上記期間は、較正シーケンスよりもずっと長い。図１７は、本発明に基づいてこの特徴を実施するＡ／Ｄコンバータ較正方法の模範的な実施形態を図示したフローチャートである。図１７は、直前の較正以降の経過時間が長過ぎるかを検査するステップＳ４が加えられた以外は、図９と類型である。この経過時間が長過ぎる場合には、ステップＳ３において再較正が開始される。さもなければ、処理はステップＳ１に戻る。例えば、直前の較正以降にステップＳ１を実施した回数を数えることにより経過時間を測定することができる。この値が所定の整数値、例えば用途に応じて５０００から２００００の測定サイクル、を上回る場合、バックグランド較正を開始することができる。

【００３４】

バックグランド較正の起動は、ビット誤り率または転送誤り率等のシステムレベルで検出可能な性能パラメータの検出に基づくものとすることもできる。また、これらパラメータは、再較正を開始すべき時期を決定するために使用可能な動作状態として解釈されてもよい。さらに、再較正を始動させるために、Ａ／Ｄコンバータの外部環境を示す大気温度、放射能レベル、湿度等の他のパラメータを使用することもできる。

【００３５】

１以上の動作状態パラメータが各規定の動作範囲の境界に近接している（図７の破線の１つまたはいくつかに近接している）場合、連続的なバックグランド較正を可能にすると好都合な場合がある。

【００３６】

ノイズおよび不測の故障の影響を軽減し、かつ全般的に推定較正係数の精度を改善すべく、複数の較正シーケンスからの係数の平均化を用いて、較正を統計的に精密化することができる。

【００３７】
本発明が従来技術よりも有利である点の１つは、不要なバックグランド較正を抑制することができることである。動作状態が安定している時にバックグランド較正を抑圧することによりＡ／Ｄコンバータを通過する信号の流れは中断されず、従ってビット誤り率が改善される。
【００３８】
別の長所は、不要なバックグランド較正を抑圧して電力を節約することである。この特徴は、特に移動端末等の電池式の機器において効果的である。
【００３９】
本発明は、最も知られたＡ／Ｄコンバータ構造のバックグランド較正に適用可能な包括的な方法を示しており、よってディジタル無線システムに係る用途のみならず、多くの用途に適用する。
【００４０】
本発明は特定の較正体系に制限されない。その代わり、広範囲な新規的かつ既存のバックグランド較正体系の１つを用いると同時に本発明を用いることによりシステム性能全体を改善することが可能となる。
【００４１】
さらに、本発明は、添付図の補間型のスキップ・アンド・フィル(skip-and-fill)バックグランド較正に制限されない。また、主な変換経路を通過するデータの流れを時折遮断するバックグランド較正のいずれにも同様に適用可能である。一例として、主となるＡ／Ｄコンバータによりスキップされるサンプルをサンプリングするために低性能補助Ａ／Ｄコンバータを使用することができる。
【００４２】
添付の請求項に規定される本発明の範囲に逸脱することなく、本発明に様々な変形および変更を加えることができることは当業者には自明である。

REFERENCES

[1] US Pat. 5.499.027, A. N. Karanicolas, and H.-S. Lee, “Digitally self-calibrating pipeline analog-to-digital converter”.

[2] O. E. Erdogan, P. J. Hurst, and S. H. Lewis, “A 12b Digital-Background-Calibrated Algorithmic ADC with –90dB THD”, *1999 Intl. Solid-State Circ. Conf.*, pp. 316-317, Feb. 1999, IEEE.

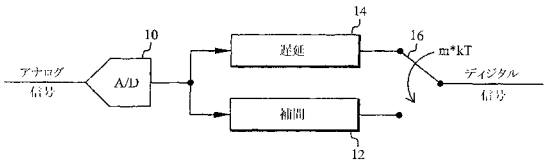
[3] U.-K. Moon, and B.-S. Song, “Background Digital Calibration Techniques for Pipelined ADC’s”, *IEEE Trans. Circ. Syst.- II*, pp. 102-109, Vol. 44, No. 2, Feb. 1997, IEEE.

[4] S.-U. Kwak, B.-S. Song, and K. Bacrania, “A 15-b, 5-Msample/s Low-Spurious CMOS ADC”, *IEEE J. Solid-State Circ.*, pp. 1866-1875, Vol. 32, No. 12, Dec. 1997, IEEE.

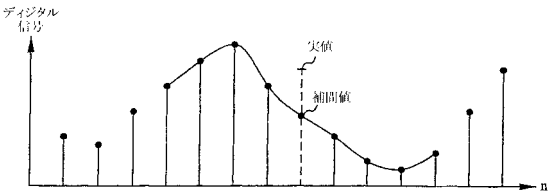
[5] B. Razavi, “Design of Analog CMOS Integrated Circuits”, McGraw-Hill, pp. 361-388.

【図面の簡単な説明】
【図１】　図１は、インターポレータを有する従来のＡ／Ｄコンバータのブロック図である。
【図２】　図２は、図１のＡ／Ｄコンバータによるサンプリングを示したタイムチャートである。
【図３】　図３は、標準的なディジタル無線システムの簡略化したブロック図である。
【図４】　図４は、動作状態が時間の経過と共にどのように変化するかを示した図である。
【図５】　図５は、最初のＡ／Ｄコンバータフォアグランド較正後のシステムレベルのビット誤り率の挙動を図示したタイムチャートである。
【図６】　図６は、Ａ／Ｄコンバータバックグランド較正を使用した場合のシステムレベルのビット誤り率の挙動を図示したタイムチャートである。
【図７】　図７は、動作状態の変化を探知する模範的な方法を示した図である。
【図８】　図８は、本発明の模範的な実施形態におけるシステムレベルのビット誤り率の挙動を図示したタイムチャートである。
【図９】　図９は、本発明に基づいたＡ／Ｄコンバータ較正方法の模範的な実施形態を図示したフローチャートである。
【図１０】　図１０は、本発明に基づいたＡ／Ｄコンバータ較正装置の模範的な実施形態を図示したブロック図である。
【図１１】　図１１は、接合部の温度センサの模範的な実施形態を示している。
【図１２】　図１２は、接合部の温度センサの別の模範的な実施形態を示している。
【図１３】　図１３は、バイアス電流センサの模範的な実施形態を示している。
【図１４】　図１４は、供給電圧センサの模範的な実施形態を示している。
【図１５】　図１５は、動作状態変化検出器の模範的な実施形態を示したブロック図である。
【図１６】　図１６は、本発明の別の実施形態におけるシステムレベルのビット誤り率の挙動を示したタイムチャートである。
【図１７】　図１７は、本発明に基づいたＡ／Ｄコンバータ較正方法の別の模範的な実施形態を示したフローチャートである。

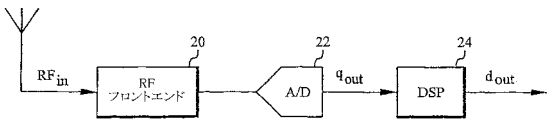
【図１】



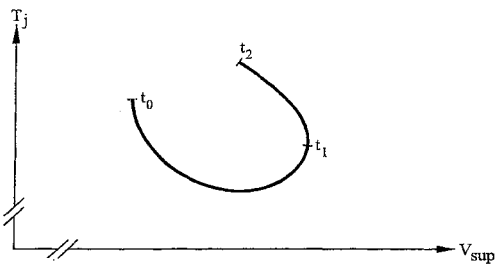
【図２】



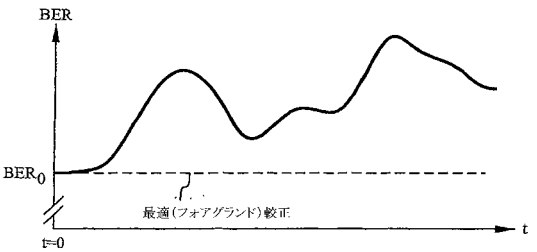
【図３】



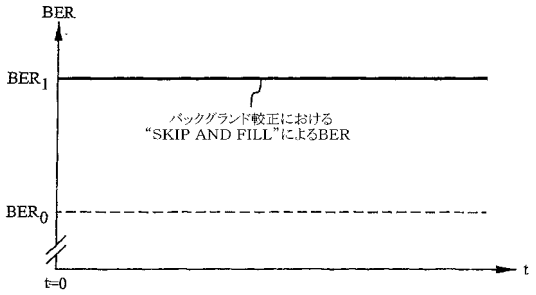
【図４】



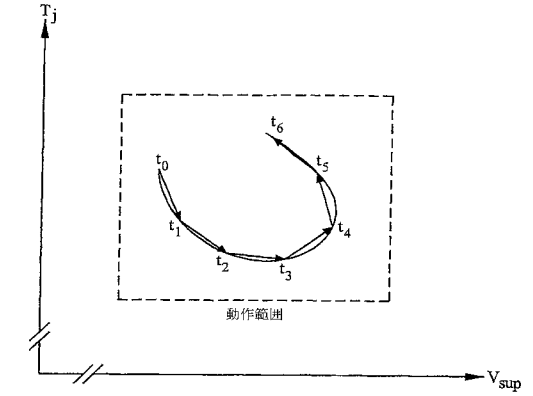
【図５】



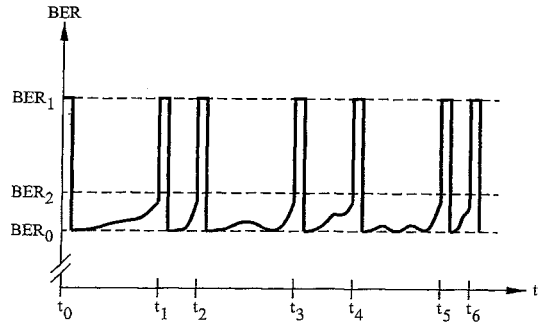
【図６】



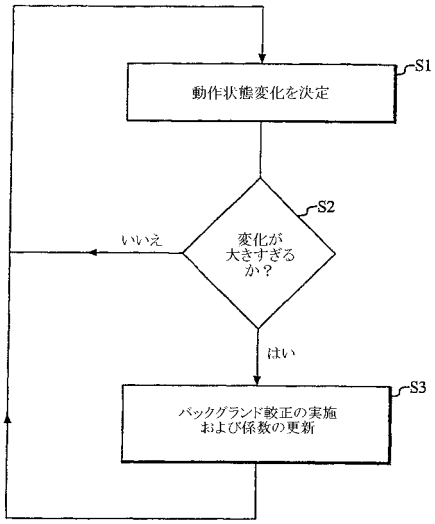
【図７】



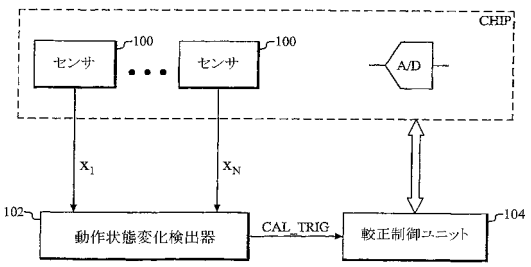
【図８】



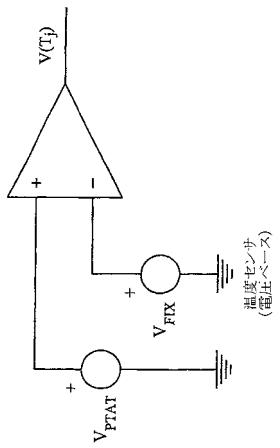
【図９】



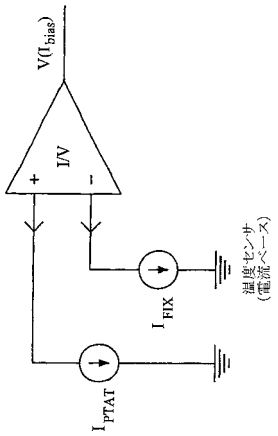
【図１０】



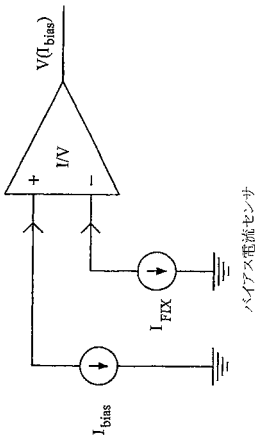
【図１１】



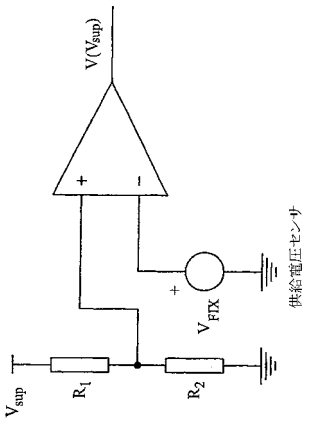
【図１２】



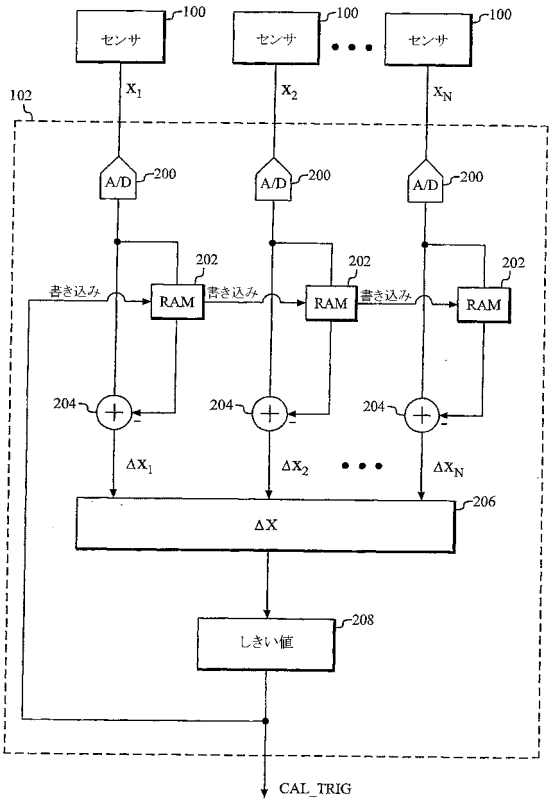
【図１３】



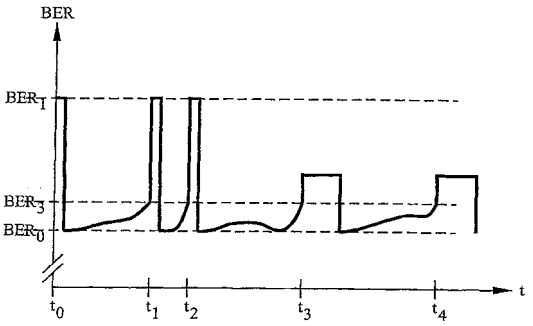
【図１４】



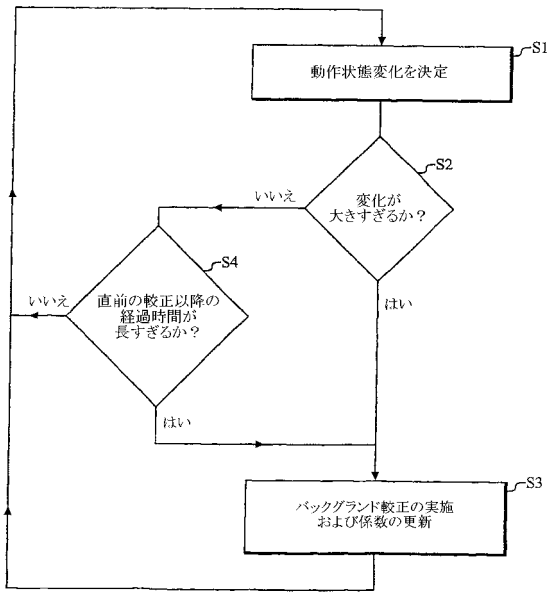
【図１５】


センサ
100
X_1
X_2
X_N
102
A/D
200
202
書き込み
RAM
204
ΔX_1
ΔX_2
ΔX_N
ΔX
206
しきい値
208
CAL_TRIG

【図１６】


BER
BER_1
BER_3
BER_0
t
t_0
t_1
t_2
t_3
t_4

【図１７】


動作状態変化を決定
S1
変化が
大きすぎるか？
S2
いいえ
はい
直前の較正以降の
経過時間が
長すぎるか？
S4
いいえ
はい
バックグランド較正の実施
および係数の更新
S3

フロントページの続き

(56)参考文献　欧州特許出願公開第９８１２０４（ＥＰ，Ａ２）
特開２０００－７８０１２（ＪＰ，Ａ）
特開平４－３０７８１８（ＪＰ，Ａ）
特開平１１－３１７６６５（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H03M　1/10