

(19) 日本国特許庁(JP)

## (12) 特 許 公 報(B2)

(11) 特許番号

特許第4474887号  
(P4474887)

(45) 発行日 平成22年6月9日(2010.6.9)

(24) 登録日 平成22年3月19日(2010.3.19)

(51) Int.Cl.

H01S 5/223 (2006.01)

F 1

H01S 5/223

前置審査

請求項の数 9 (全 14 頁)

(21) 出願番号 特願2003-342801 (P2003-342801)  
 (22) 出願日 平成15年10月1日 (2003.10.1)  
 (65) 公開番号 特開2005-109291 (P2005-109291A)  
 (43) 公開日 平成17年4月21日 (2005.4.21)  
 審査請求日 平成18年9月20日 (2006.9.20)

(73) 特許権者 000226057  
 日亜化学工業株式会社  
 徳島県阿南市上中町岡491番地1OO  
 (74) 代理人 110000202  
 新樹グローバル・アイピー特許業務法人  
 (72) 発明者 小谷 靖長  
 徳島県阿南市上中町岡491番地1OO  
 日亜化学工業株式会社内

審査官 松崎 義邦

最終頁に続く

(54) 【発明の名称】半導体レーザ素子

## (57) 【特許請求の範囲】

## 【請求項 1】

第1導電型半導体層、活性層及び第2導電型半導体層が積層された積層半導体層と、  
 前記第2導電型半導体層に接触する第2電極と、  
 前記第2導電型半導体層の上面であって、前記第2電極との接触領域以外の領域に形成された埋め込み膜と、

前記積層半導体層の側面を被覆し、前記埋め込み膜よりも実質的に厚膜の保護膜とを備える半導体レーザ素子であって、

前記保護膜が、埋め込み膜と同一材質の膜を含んで形成され、かつ前記積層半導体層の側面から第2導電型半導体層上に配置する埋め込み膜の端部を被覆するように形成され、

第2電極が、埋め込み膜及び保護膜上であって、かつ該保護膜によって被覆されないように、密着膜に接触して配置されてなり、

該密着膜は、前記第2導電型半導体層と前記第2電極との接触領域以外の部位で前記第2電極と接触し、かつ前記埋め込み膜及び保護膜上に配置されてなることを特徴とする半導体レーザ素子。

## 【請求項 2】

埋め込み膜及び保護膜が、酸化ジルコニウムを含んでなる請求項1に記載の半導体レーザ素子。

## 【請求項 3】

保護膜が、埋め込み膜の2倍以上の膜厚を有する請求項1又は2に記載の半導体レーザ

10

20

素子。

【請求項 4】

フェイスダウン実装用である請求項 1 ~ 3 のいずれか 1 つに記載の半導体レーザ素子。

【請求項 5】

密着膜が、白金族系金属からなる請求項 4 に記載の半導体レーザ素子。

【請求項 6】

第 2 導電型半導体層にストライプ状のリッジが形成されており、該リッジの上面が第 2 電極と接続され、前記リッジの側面が埋め込み膜で被覆されてなる請求項 1 ~ 5 のいずれか 1 つに記載の半導体レーザ素子。

【請求項 7】

第 2 電極が形成された領域において、リッジ上面よりも保護膜の上面が高い位置に配置される請求項 6 に記載の半導体レーザ素子。

【請求項 8】

第 2 電極が形成された領域において、保護膜が多層構造で形成されてなる請求項 1 ~ 6 のいずれか 1 つに記載の半導体レーザ素子。

【請求項 9】

第 2 電極が、第 2 導電型半導体層の上方であって、埋め込み膜及び / 又は保護膜上全面に形成されてなる請求項 1 ~ 8 のいずれか 1 つに記載の半導体レーザ素子。

【発明の詳細な説明】

【技術分野】

20

【0001】

本発明は、密着性に優れた埋め込み膜及び保護膜を有する半導体レーザ素子に関する。

【背景技術】

【0002】

近年、半導体装置、特に半導体レーザ素子は、小型、軽量、高信頼性及び高出力化が進み、パーソナルコンピュータ、DVD 等の電子機器や医療機器等の光源に利用されている。なかでも、III-V 族窒化物半導体は、比較的短波長の発光が可能であるため、盛んに研究されている。

【0003】

例えば、窒化物半導体を用いた半導体レーザは、図 5 に示すように、サファイア基板 30 上に、中間層 31 を介して、n 型 GaN 層等からなる n 型半導体層 32、InGaN 多重量子井戸からなる活性層 35 及び表面にリッジが形成された p 型 AlGaN 層等からなる p 型半導体層 36 がこの順に積層されて構成されている。n 型半導体層 32 上には n 型オーミック電極 33 及び n 型パッド電極 34 が形成されている。p 型半導体層 36 上にはリッジ上面以外の表面が ZrO<sub>2</sub> からなる埋め込み膜 38 で覆われ、リッジ上面において p 型半導体層 36 にオーミック接続された p 型オーミック電極 39 が形成されている。さらに、p 型オーミック電極 39 上の一部の領域を除いて、n 型半導体層 32、活性層 35 及び p 型半導体層 36 の表面には、SiO<sub>2</sub> と TiO<sub>2</sub> とからなる多層誘電体膜による保護膜 37 が形成されており、この保護膜 37 上に、p 型オーミック電極 39 と電気的に接続された p 型パッド電極 40 が配置している（例えば、特許文献 1）。

【特許文献 1】特開 2001-57461 号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0004】

近年、半導体レーザ素子の高出力化に伴って発生する熱を効率よく放散するために、半導体レーザ素子を、フェイスダウンで実装することが行われている。

しかし、従来からフェイスアップで実装されていた半導体レーザ素子をそのままフェイスダウンで実装すると、埋め込み膜 38 と保護膜 37 との熱膨張係数等の違いに起因して、両者の界面において剥がれが生じる。これにより、パッド電極の接続等に問題が生じ、素子の安定な動作、ひいては素子自体の信頼性を確保することが困難となる。

40

50

本発明は、上記課題に鑑みなされたものであり、光閉じ込め効果を損ねることなく、フェイスダウン実装においても埋め込み膜と保護膜との密着性を確保し、高性能及び高信頼性の半導体レーザ素子を提供することを目的とする。

#### 【課題を解決するための手段】

##### 【0005】

本発明の半導体レーザ素子は、第1導電型半導体層、活性層及び第2導電型半導体層が順に積層された積層半導体層と、前記第2導電型半導体層に接続された第2電極と、前記第2導電型半導体層の上面であって、前記第2電極との接続領域以外の領域に形成された埋め込み膜と、前記積層半導体層の側面を被覆し、前記埋め込み膜よりも実質的に厚膜の保護膜と、を備える半導体レーザ素子であって、前記保護膜が、埋め込み膜と同一材質の膜を含んで形成され、かつ前記積層半導体層の側面から第2導電型半導体層上に配置する埋め込み膜の端部を被覆するように形成されてなることを特徴とする。10

#### 【発明の効果】

##### 【0006】

本発明の半導体レーザ素子によれば、フェイスダウン実装においても埋め込み膜と保護膜との密着性を確保することができ、しかも、光閉じ込め効果等を損ねることがない。したがって、高信頼性及び高性能の半導体レーザ素子を得ることが可能となる。

特に、埋め込み膜及び保護膜が、酸化ジルコニウムを含んでなる場合には、両者の熱膨張係数の違いをなくして密着性を強固にすることができ、信頼性を確保することができる。また、光閉じ込め特性等の半導体レーザ素子の特性に悪影響を与えることがない。20

##### 【0007】

また、保護膜が、埋め込み膜の2倍以上の膜厚を有する場合には、半導体レーザ素子の特性に悪影響を与えることなく、保護膜及び埋め込み膜の双方についての機能を十分に発揮させることができるとなる。

さらに、フェイスダウン実装用である場合には、埋め込み膜と保護膜との強固な密着性に起因して、実装時の応力を十分に吸収し、両者の剥がれを有効に防止することができ、特に有用である。

##### 【0008】

また、第2電極が、埋め込み膜及び／又は保護膜上に、密着膜を介して配置されてなる場合、さらに、密着膜が白金族系金属からなる場合には、埋め込み膜と保護膜との間の密着性のみならず、埋め込み膜及び／又は保護膜と第2電極との間の密着性をも確保することができ、膜界面での剥がれを防止することが可能となり、高信頼性、高性能の半導体レーザ素子を得ることができる。30

特に、第2導電型半導体層の上面にリッジが形成されており、リッジの上面が第2電極と、側面が埋め込み膜と接触している場合には、より光の閉じ込め効果を発揮させることができ、高性能の半導体レーザ素子を得ることができる。

##### 【0009】

また、リッジ上面よりも保護膜上面の方が高い位置に形成されている場合、保護膜が多層膜によって形成されている場合には、フェイスダウン実装を行った場合においても、保護膜によるクッション作用により、リッジやリッジ周辺の膜の損傷や剥がれ等を有効に防止することができる。40

さらに、第2電極が、第2導電型半導体層の上方であって、埋め込み膜及び／又は保護膜上全面に形成されてなる場合には、第2電極が、オーミック電極の役割と、それ以外の領域において、押圧時のクッションの役割とを果たすことが可能となり、高信頼性、高性能の半導体レーザ素子を得ることができる。

#### 【発明を実施するための最良の形態】

##### 【0010】

本発明の半導体レーザ素子は、主として、積層半導体層と、第1及び第2電極と、埋め込み膜と保護膜とからなる。なお、本発明においては、積層半導体層は、通常、基板上に積層されて構成される。50

## 【0011】

積層半導体層は、第1導電型半導体層、活性層及び第2導電型半導体層が積層されて構成される。ここで第1導電型とは、n型又はp型を意味し、第2導電型とは、第1導電型と異なる導電型、つまりp型又はn型を意味する。なお、半導体層に、n型の不純物（例えば、Si、Ge、Sn等）又はp型の不純物（例えば、Be、Zn、Mn、Cr、Mg等）をドープすることにより、それぞれn導電型半導体層又はp導電型半導体層とすることができる。これらの半導体層は、特にその種類が限定されるものではなく、少なくとも1層が、あるいは第1導電型半導体層、活性層及び第2導電型半導体層の全てが窒化物半導体からなるものが適当である。さらに、III-V族窒化物半導体からなるもの、特にGaN、AlN、InN又はこれらの混晶（例えば、 $In_xAl_yGa_{1-x-y}N$ 、 $0 < x, y < 1$ ）等が好ましい。これらの半導体層は、MOVPE、MOCVD（有機金属化学気相成長法）、HVPE（ハライド気相成長法）、MBE（分子線気相成長法）等によって形成することができる。

## 【0012】

積層半導体層を形成するための基板としては、積層半導体層と同種の半導体基板であってもよいし、異種基板であってもよい。例えば、C面、R面及びA面のいずれかを主面とするサファイア、スピネル（MgAl<sub>2</sub>O<sub>4</sub>）のような絶縁性基板、窒化物半導体と格子整合する酸化物基板、ZnS、ZnO、GaAs、Si、SiC、AlN等の導電性基板等が挙げられる。好ましくは、異種基板上に結晶欠陥の少ない下地層（例えば、転位数が $1 \times 10^7$ 個/cm<sup>2</sup>以下、好ましくは $1 \times 10^6$ 個/cm<sup>2</sup>以下）を成長させた擬似半導体基板、さらに擬似窒化物半導体基板である。

## 【0013】

また、基板は、積層半導体層の内部に微細なクラックの発生を防止するために、0.01~0.3°程度のオフアングル角で、ステップ状にオフアングルしたものを用いることが好ましい。オフアングル角をこのような角度にすることにより、横方向に成長する半導体層の内部の微細なクラックの発生を防止することができる。また、選択成長する半導体層の面状態がステップ状にならず、その上に素子構造を形成しても、ステップが強調されることなく、素子自体のショートや閾値の上昇を招くことがなく、よって、寿命特性向上させることができるとなる。

## 【0014】

基板上には、第1導電型半導体層等を形成する前に、バッファ層、下地層等の半導体層を成長させてもよい。また、これらの層を形成した後、基板を研磨などの方法により薄膜化又は除去してもよいし、素子構造を形成した後に薄膜化又は除去してもよい。

特に、バッファ層を介することにより、基板と積層半導体層との間の格子定数の不正を緩和して、その上に形成される積層半導体層の転位を効率よく低減させることができる。バッファ層としては、低温、例えば200~900°C程度で成長させたものが好ましく、例えば、AlN、GaN、AlGaN及びInGaN等が挙げられる。バッファ層の膜厚は、数十~数百オングストローム程度が適当である。

## 【0015】

バッファ層上に、ラテラル成長による下地層を形成する場合には、さらに転位を低減させることができる。この下地層は、バッファ層表面に周期的なストライプ状、格子状、網目状又は島状等の半導体層による成長核を形成し、さらに成長核を起点として、半導体層を、互いに接合するまで横方向に成長させることにより形成することができる。

また、基板上にパターン化された保護膜を成長させ、保護膜上に半導体層を成長させた後、横方向成長を停止することにより周期配列されたT字状断面を有する半導体層を形成する。なお、この半導体層には横方向に成長した領域に低欠陥領域が形成される。さらに、この半導体層の上面又は上面及び横方向成長した側面を成長核として、再度半導体層を、互いに接合するまで成長させ、基板の全面を被覆する半導体層を形成する。これにより、半導体層が互いに接合した部分の直下は空洞が形成され、接合部には転位が集中することなく低転位領域が広範囲で形成される。

## 【0016】

ここでの保護膜としては、この膜の表面に半導体層が成長しないか、成長しにくい性質を有する膜であることが適当であり、例えば、酸化ケイ素、窒化ケイ素、酸化チタン、酸化ジルコニウム等の酸化物；窒化チタン等の窒化物；これらの積層膜；タングステン、チタン、タンタル等の1200以上<sup>10</sup>の融点を有する高融点金属等の膜が挙げられる。なかでも、酸化ケイ素及び窒化ケイ素が好ましい。これらの膜をパターン化して形成する方法として、フォトリソグラフィ技術を用いて所定形状のマスクを形成し、そのマスクを介して、例えば、蒸着、スパッタ法、CVD法等の気相成膜技術を用いて成膜する方法が挙げられる。保護膜のパターン化形状は、例えば、ドット状、ストライプ状、碁盤面状、メッシュ状等が挙げられ、なかでもストライプ状が好ましく、さらに、ストライプがオリエンテーションフラット面（例えば、サファイア面のA面）に垂直に配置する形状がより好ましい。

## 【0017】

保護膜が形成された基板上の面積は、保護膜が形成されていない面積よりも大きい方が、転位を防止して良好な結晶性を有する基板を得るために、より好ましい。例えば、保護膜がストライプ状である場合のストライプ幅と保護膜が形成されていない領域（窓領域）の幅とは、10:2以上であることが適当である。また、保護膜のストライプ幅は、例えば、2~200μm程度、好ましくは15~100μm程度であり、窓領域の幅は、例えば、2~200μm程度、好ましくは2~100μm程度である。これにより、その上に形成される半導体層が保護膜を覆い易くなり、転位を良好に防止することができる。<sup>20</sup>

## 【0018】

活性層は、例えば、第1導電型半導体層と第2導電型半導体層との接合面に平行な面内であって、その内部においてストライプ状に電流が狭窄された領域、いわゆる導波路を有している。活性層は、単一の材料（元素又は化合物等、以下同義）での単層又は多層構造であってもよいが、異なる材料（組成元素が異なる化合物、組成元素の種類が同じで組成比が異なる化合物等、以下同義）での多層構造、特に量子井戸構造（単一量子又は多重量子井戸）であることが好ましい。なお、半導体層が下地層の上に形成されている場合には、導波路領域の下方の領域における下地層は、上述したような低転位領域が配置していることが好ましい。

## 【0019】

第1導電型半導体層及び第2導電型半導体層は、活性層をサンドイッチするように配置しており、例えば、それぞれn型及びp型のクラッド層として形成されていることが適当である。また、クラッド層の他に、第1導電型半導体層としては、クラッド層と活性層との間あるいはクラッド層の活性層とは反対側に、光ガイド層、クラック防止層、コンタクト層、キャップ層等が、第2導電型半導体層としては、活性層とクラッド層との間あるいはクラッド層の活性層とは反対側に、電子閉じ込め層、光ガイド層、キャップ層、コンタクト層等が、1種又は2種以上組み合わせられて設けられていてよい。<sup>30</sup>

## 【0020】

具体的には、基板上に、下地層、n型不純物ドープ窒化物半導体層からなるn型コンタクト層、n型不純物ドープIn<sub>a</sub>Ga<sub>1-a</sub>N(0.05<a<0.2)からなるクラック防止層、Al<sub>b</sub>Ga<sub>1-b</sub>N(0.05<b<0.3)を含んでなる超格子多層膜構造のn型クラッド層、クラッド層よりもバンドギャップエネルギーの小さい窒化物半導体層(InAlGaN)からなるn型ガイド層、In<sub>c</sub>Ga<sub>1-c</sub>N(0<c<1)からなる多重量子井戸構造の活性層、p型不純物ドープAl<sub>d</sub>Ga<sub>1-d</sub>N(0<d<1)からなる少なくとも1層以上のp型電子閉じ込め層（省略可能）、クラッド層よりもバンドギャップエネルギーの小さい窒化物半導体層(InAlGaN)からなるp型ガイド層、Al<sub>e</sub>Ga<sub>1-e</sub>N(0.05<e<0.3)を含んでなる超格子多層膜構造のp型クラッド層、p型不純物ドープ窒化物半導体層からなるp型コンタクト層からなるストライプ形状のリッジを有する窒化物半導体層の積層構造が挙げられる。<sup>40</sup>

## 【0021】

10

20

30

40

50

第2導電型半導体層の表面には、ストライプ状のリッジが形成されていることが好ましい。リッジの幅は特に限定されるものではないが、0.1～10μm程度、さらに0.5～5μm程度が適当であり、1.5～5μm程度がより好ましい。リッジの高さは、第2導電型半導体層の膜厚に依存して適宜調整することができ、例えば、0.2～3μm程度が挙げられ、0.3～0.5μm程度が好ましい。

#### 【0022】

また、第2導電型半導体層、活性層及び第1導電型半導体層の一部は、例えば、リッジの一方向側において、通常、膜厚方向に一部除去されることにより第1導電型半導体層の上面の一部が露出されているが、これとは反対側、つまりリッジの他方側において、第2導電型半導体層の一部又は全部が、第2導電型半導体層と活性層の一部又は全部とが、第2導電型半導体層と活性層と第1導電型半導体層の一部又は全部とが膜厚方向に除去されてもよい。これにより、活性層-第2導電型半導体層間（あるいは、さらに活性層-第1導電型半導体層間）の容量を小さくすることができ、ひいては、駆動初期のインピーダンスを安定化させ、より迅速にレーザ光を発振させることができるとともに、ウォーミングアップを短くし、タイムロスなく応答速度の速い装置を得ることが可能となる。

#### 【0023】

第1電極及び第2電極は、通常、第1導電型半導体層及び第2導電型半導体層上に、少なくともその一部が電気的に接続されるように形成されている。なお、電気的に接続される領域以外においては、第1電極及び第2電極は、それぞれ絶縁膜、誘電体膜、埋め込み膜、保護膜等を介して、積層半導体層上に配置していてもよい。これらの電極は、導電性材料により形成されているのであればその材料は特に限定されるものではなく、第1導電型半導体層及び第2導電型半導体層に対してオーミック接触が得られる材料であることが好ましい。例えば、アルミニウム、ニッケル、金、銀、銅、クロム、モリブデン、チタン、インジウム、ガリウム、タンゲステン、白金族系材料（例えば、Pt、Rh、Pd、Ir、Ru、Os等）等の金属及びITO、ZnO、SnO<sub>2</sub>等の導電性酸化物等の単層又は積層層により形成することができる。より具体的には、第2電極は、Ni-Au系、Ni-Au-Pt系、Pd-Pt系、Ni-Pt系等の電極材料、第1電極は、Ti-Al系、V-Pt系、Ti-Al-Ti-Pt系、W-Al-W系、Ti-Mo-Ti-Pt系等の電極材料が挙げられる。これら電極は、例えば、100nm～10μm程度の膜厚で形成することができる。

第1電極及び第2電極は、いずれも、オーミック電極とパッド電極とから構成されていることが好ましい。オーミック電極は、通常、上述したように、半導体層と直接接觸しているものであり、パッド電極は、半導体層とは接觸せずに、その一部においてオーミック電極に電気的に接続されているものである。

#### 【0024】

埋め込み膜は、少なくとも、第2導電型半導体層の上面であって、第2導電型半導体層と第2電極との接続領域以外の領域に形成されている。第2導電型半導体層にリッジが形成されている場合には、通常、リッジの上面が第2電極と接続されるため、それ以外の領域上に埋め込み膜が形成される。

埋め込み膜は、種々の材料で形成することができるが、光の閉じ込め効果、半導体層への密着性等を考慮すると、酸化ジルコニア（Zr酸化物）からなる膜が好ましい。

#### 【0025】

この埋め込み膜は、例えば、スパッタリング法、ECRスパッタリング法、CVD法、ECR-CVD法、ECR-プラズマCVD法、蒸着法、EB法等の公知の方法で形成することができる。なかでも、ECRスパッタリング法、ECR-CVD法、ECR-プラズマCVD法等が好ましい。

第2導電型半導体層の上面における第2電極との接続領域以外の領域に、埋め込み膜を形成する方法は、例えば、積層半導体層上全面に、埋め込み膜を上述した方法を利用して積層した後、当該分野で公知の方法、例えば、フォトリソグラフィ及びエッチング工程により所望の形状のマスクを形成し、このマスクを用いて埋め込み膜をエッチング除去する

10

20

30

40

50

方法、あるいは、リフトオフ法等により除去する方法等が挙げられる。

**【0026】**

埋め込み膜の膜厚は、例えば、光の閉じ込め効果を考慮して、400～2500オングストローム程度、好ましくは500～1000オングストローム程度が挙げられる。

なお、埋め込み膜の成膜方法によっては、リッジの側面における膜厚が第2導電型半導体層の上面における膜厚よりも薄膜となったり、第2導電型半導体層の側面に若干回りこむこともあり得るが、いずれの側面においても、後述する保護膜で被覆されるため、密着性及び光の閉じ込め効果等において影響はない。

**【0027】**

保護膜は、少なくとも積層半導体層の側面全面を被覆し、さらに積層半導体層の側面から第2導電型半導体層上に配置する埋め込み膜の端部を被覆するように形成されてなる。つまり、保護膜は、積層半導体層の上に形成された埋め込み膜を、その両側において押さえる作用を有する。これにより、埋め込み膜の剥がれ、特に積層半導体層の端部及び縁部における剥がれを防止することができる。この保護膜は、任意に電気的な接続をする領域以外、例えば、上述したように、オーミック電極とパッド電極との接続領域を除いて、第2導電型半導体層の上面全面を被覆することが好ましい。

10

**【0028】**

また、第2導電型半導体層上ではない領域において半導体層が露出している場合には、その表面をも被覆していることが好ましく、例えば、第1電極が形成される第1導電型半導体層表面等の一部が被覆されていてもよい。埋め込み膜の端部を被覆する程度は、特に限定されるものではないが、積層半導体層上面、つまり、活性層における導波路領域の上方における光の閉じ込め効果を損ねずに十分な制御を確保することができる必要である。例えば、リッジが形成されている場合に、そのリッジの端部から5～15μm程度離れたところまで、また別の観点から、第2導電型半導体層の幅にかかわらず、第2導電型半導体層上面の60%程度以上、好ましくは80%程度以上が挙げられる。これにより、特にフェイスダウン実装時の保護膜／埋め込み膜の界面におけるはがれを有效地に防止することができる。

20

**【0029】**

保護膜は、埋め込み膜と同一材料（材質）の膜を含んで形成されていることが必要である。ここで同一材質とは、例えば、埋め込み膜がZr酸化物によって形成されているのであれば、保護膜もZr酸化物によって形成されていることを意味し、その製造方法等によって、組成に若干の差異が生じることがあってもよい。また、埋め込み膜がZr酸化物により単層で形成されている場合に、保護膜としては、Zr酸化物の単層であってもよく、少なくともZr酸化物をその中に含む積層膜であってもよい。例えば、埋め込み膜と接触する側においてZr酸化物からなる膜が配置した積層層が好ましく、Zr酸化物を下層のみに含むSi酸化物膜との2層構造積層膜（Zr酸化物/Si酸化物膜等）、Zr酸化物膜をSi酸化物膜の上下に配置した3層構造膜（Zr酸化物/Si酸化物/Zr酸化物等）等が挙げられる。

30

**【0030】**

保護膜は、実質的に埋め込み膜よりも厚膜、つまり、少なくとも積層半導体膜の側面を種々のダメージ、作用等から保護するのに十分な膜厚を有していることが必要である。ここで、実質的に埋め込み膜よりも厚膜とは、その成膜方法等により、保護膜の側面の一部等において部分的に薄く形成される場合があるが、このような部分的に薄膜状になる場合を除いて、その大部分が埋め込み膜よりも厚膜であることを意味する。具体的には、2000オングストロームより厚く、7000オングストローム程度より薄い膜厚が挙げられ、4000～5000オングストローム程度が適当である。特にSi酸化物との積層膜ではZr酸化物/Si酸化物の膜厚が、200～1300/1000～4000オングストローム程度、Zr酸化物/Si酸化物/Zr酸化物の膜厚が、200～1300/1000～4000/200～1300オングストローム程度、総膜厚が4000～5000オングストローム程度が挙げられる。

40

50

## 【0031】

なお、半導体レーザ素子は、上述したように、第1電極及び第2電極として、オーミック電極上にパッド電極が形成される。パッド電極は、オーミック電極上ののみならず、通常、上述した埋め込み膜及び／又は保護膜上にわたって形成されている。この場合、パッド電極と、埋め込み膜及び／又は保護膜との密着性を確保するために、両者の間に、密着膜が配置していることが好ましい。つまり、埋め込み膜及び保護膜とパッド電極とが直接接觸することなく、密着膜にのみ接觸するように、密着膜を配置することが好ましい。また、埋め込み膜及び／又は保護膜と、オーミック電極とが直接接觸することなく、又は一部接觸するのみで、密着膜とも接觸するように配置していくてもよい。

密着膜としては、例えば、白金族系金属等の単層又は積層層が挙げられる。白金族系金属としては、長周期律表及び短周期律表のいずれかにおけるVIII族の金属、例えば、Rh、Ru、Pd、Pt、Os、Ir、Hf等が挙げられる。なかでも、Rhを含有する単層膜又は後述する電極側にRhを含有する層が配置する積層膜が好ましい。

## 【0032】

密着膜は、上述した埋め込み膜と同様に、当該分野で公知の方法によって形成することができ、所定の形状にパターニングする場合には、上述したように、フォトリソグラフィ及びエッチング法、リフトオフ法等を利用することができる。パターニングは密着膜の形状によっては、上述した埋め込み膜と同時にやってよい。密着膜の膜厚は、用いる材料等により適宜調整することができ、例えば、50～500オングストローム程度、好ましくは100～300オングストローム程度が挙げられる。

なお、密着膜を形成した後、熱処理することが好ましい。ここで熱処理は、密着膜が形成された半導体層を、例えば、400～700程度の温度範囲で、1～30分間加熱することにより行うことができる。熱処理は、電気炉を利用したファーネスアニール法によって行ってよいし、ハロゲンランプ、電子ビーム、エキシマレーザ等を利用したRTA法によって行ってよい。熱処理は、大気雰囲気下又は酸素雰囲気下で行うことが好ましい。このような熱処理によって、パッド電極との密着性をより向上させることができる。

## 【0033】

以下に本発明の半導体レーザ素子の実施例を詳細に説明する。

## 【実施例】

## 【0034】

## (実施例1)

まず、図1に示す半導体レーザ素子を製造するために、サファイア基板10上に、GaNからなるバッファ層を介して、アンドープGaNからなる窒化物半導体層をラテラル成長させることにより、下地層11を形成する。次に、下地層11上に、SiドープGaNからなるn型コンタクト層、In<sub>0.06</sub>Ga<sub>0.94</sub>Nからなるクラック防止層、アンドープAlGaNからなるA層とSiドープGaNからなるB層とを交互積層させたn型クラッド層、n型光ガイド層を成長させる。これにより、n型半導体層12を形成する。

## 【0035】

続いて、SiドープIn<sub>0.05</sub>Ga<sub>0.95</sub>Nからなる障壁層とアンドープIn<sub>0.1</sub>Ga<sub>0.9</sub>Nからなる井戸層とを交互3回積層させ、その上に障壁層を積層させた多重量子井戸構造(MQW)の活性層15を成長させる。次いで、MgドープAlGaNからなるp型電子閉じ込め層、アンドープGaNからなるp型光ガイド層、アンドープAl<sub>0.16</sub>Ga<sub>0.84</sub>Nからなる層とMgドープGaNからなる層とを交互積層させた超格子層からなるp型クラッド層、Mgドープp型GaNからなるp型コンタクト層を成長させる。これによりp型半導体層16を形成する。その後、窒素雰囲気中でウェハを700度アニーリングして、p型半導体層16をさらに低抵抗化する。

## 【0036】

このようにして窒化物半導体を積層した後、所望の形状のマスクを用いて、p型半導体

10

20

30

40

50

層16、活性層15、n型半導体層12の一部を順次エッティングし、n電極を形成するn型コンタクト層の表面を露出させる。その後、最上層のp型コンタクト層上に、SiO<sub>2</sub>膜及びレジスト膜を形成し、フォトリソグラフィ及びエッティング工程によって、レジスト膜を所定形状にパターニングし、さらにこのレジスト膜をマスクとしてSiO<sub>2</sub>膜をパターニングする。このようにして得られたマスクを用いて、p型コンタクト層に、幅1.8μm、高さ0.48μm程度のストライプ状のリッジを形成する。

#### 【0037】

続いて、先に形成したSiO<sub>2</sub>膜によるマスクを残したまま、p型層表面に、ECRスパッタリング法によって、埋め込み膜18としてZrO<sub>2</sub>膜を、膜厚550オングストロームで形成する。その後、BHF液に20分間浸漬して、水洗、超音波洗浄及びリンスを行い、ストライプ状のリッジの上面に形成したSiO<sub>2</sub>膜と、埋め込み膜18とをリフトオフ法によって溶解除去する。10

#### 【0038】

次に、リッジ上及びn型コンタクト層上に、スパッタ法と、フォトリソグラフィ及びエッティング工程とによって、Ni-Auからなるp型オーム電極19a及びTi/Al/Ti/Pt/Auからなるn型オーム電極13を、それぞれ形成する。その後、60~200にて約5~30分間アッシャーする。なお、さらにアニール処理を行ってもよい。

#### 【0039】

次いで、積層半導体層の側面とn型オーム電極13との一部を被覆する保護膜17aを、ECRスパッタ法によって、ZrO<sub>2</sub>膜により、膜厚4000オングストロームで形成し、リフトオフ法により、リッジ上及びその周辺の保護膜17aを除去する。なお、この保護膜17aは、n型半導体層12が露出している側のp型半導体層16端部から50~00μm程度まで、反対側のp型半導体層16端部から10~60μm程度まで、p型半導体層16上の端部を被覆するように形成する。その上に、Ti/Ptからなる密着膜20aを形成し、所望の形状にパターニングする。20

#### 【0040】

その後、p型オーム電極19aに接続されるように、所定の形状のPt/Auからなるp型パッド電極21aを、p型オーム電極19a上及び密着膜20a上に形成し、60~200にて約5~30分間アッシャーする。30

このような工程により、フェイスダウン実装用の半導体レーザ素子を得る。

#### 【0041】

また、比較例として、保護膜を、SiO<sub>2</sub>とTiO<sub>2</sub>との交互2回積層膜とする以外、上記と同様の半導体レーザ素子を形成した。

#### 【0042】

得られた各半導体レーザ素子について、サブマウント基板上にフェイスダウン実装し、強制的に半導体レーザ素子を基板上から引き剥がすことにより、埋め込み膜と保護膜との間の密着性を評価した。

その結果、従来の半導体レーザ素子においては80%以上の確率で、埋め込み膜と保護膜との間で剥がれが生じていることが確認された。一方、埋め込み膜と保護膜とがともにZrO<sub>2</sub>膜で形成された半導体レーザ素子では、埋め込み膜と保護膜との間での剥がれが15%程度であり、その大半がサブマウント基板とパッド電極との間で生じていることが確認された。これは、埋め込み膜と保護膜とが同じ材質で形成されているため、フェイスダウン実装工程での加熱時における熱膨張係数の差異がなくなり密着性が向上したものであると考えられる。40

#### 【0043】

また、通常、フェイスダウン実装すると、レーザ素子を構成するサファイヤ基板及び半導体層等の重量や、実装時の応力が、リッジやp型オーム電極、あるいは電極の両側に配置する埋め込み膜等に集中する。さらに、熱処理や押圧等により、その応力は増大する。したがって、従来のような埋め込み膜/保護膜の構成では、本来密着性が強固でない50

ことに加え、これらの応力に耐えきれずに、埋め込み膜／保護膜の界面で剥離が生じることとなる。

しかし、上記実施例においては、フェイスダウン実装においても、埋め込み膜／保護膜が、集中した応力に十分に耐え、両者の間の剥離を防止することができる。

#### 【0044】

さらに、上記実施例においては、リッジ及びp型オーミック電極の総膜厚に比較して、埋め込み膜及び保護膜の総膜厚が厚い場合、あるいは、各膜厚にかかわらず、リッジの上面が、保護膜の上面よりも低い位置に配置されている場合には、フェイスダウン実装時に上から押圧がかかったとしても、リッジ部分のみに応力が集中せずに、その両側に配置する埋め込み膜／保護膜がクッショニングの役割を果たして、リッジ付近の保護膜、電極等のスパッタ膜のはがれや割れ等の物理的な損傷を回避することが可能となる。しかも、基板として異種基板を用いた場合でも、フェイスダウン実装時に、保護幕がクッショニングとなって、基板と積層半導体層との界面にかかる応力を緩和することができるため、これらの界面におけるダメージをも緩和することができ、より歩留まりを向上させることができる。10

#### 【0045】

また、埋め込み膜及び保護膜と同じ材質により形成する場合には、通常、積層半導体層の側面から上面にわたって、一層構造で形成することが考えられる。しかし、両者の機能に起因して、それらの膜厚はそれぞれ相当に異なっている。つまり、積層半導体層の上面の埋め込み膜は、光閉じ込め効果を制御する必要があり、膜厚の増加にしたがって光吸収効果が増大するために、比較的薄膜で形成することを要する。一方、その側面に位置する保護膜は、側面保護等の機能のために、比較的厚膜で形成することを要する。したがって、両者を一層構造で形成することは適切な膜厚を選択することができず、さらに、エッチング等によってその膜厚を制御しようとすると、埋め込み膜／保護膜に不要なダメージを与えることとなり、光閉じ込め効果等に悪影響を及ぼすこととなる。また、エッチングの程度を $\mu\text{m}$ オーダーで制御することは困難である。20

#### 【0046】

一方、上記実施例においては、埋め込み膜／保護膜と同じ材質により形成する場合であっても、2層構造として、それぞれの機能に応じた膜厚に設定することができるために、光閉じ込め効果等を適切に確保することができる。しかも、2層目の保護膜が埋め込み膜の端部及び縁部を抑える役割を果たすために、その密着性が確保され、フェイスダウン実装を行っても埋め込み膜／保護膜の界面での密着性を強固なものとし、剥がれを防止することができる。30

したがって、高性能の半導体レーザ素子を、歩留まりよく、かつ高い信頼性で、安価に得ることが可能となる。

#### 【0047】

##### (実施例2)

この実施例は、図2に示すように、保護膜17bを、下層から順に、膜厚1000オングストロームのZrO<sub>2</sub>膜22、膜厚3000オングストロームのSiO<sub>2</sub>膜23、膜厚1000オングストロームのZrO<sub>2</sub>膜24の積層膜とした以外、実施例1と同様に半導体レーザ素子を形成した。40

また、得られた半導体レーザ素子について、実施例1と同様に、埋め込み膜と保護膜との間の密着性を評価した。

その結果、実施例1とほぼ同様の結果が得られた。また、保護膜の絶縁耐圧を測定したところ、実施例1の半導体レーザ素子と比較して、耐圧特性が向上していることが確認された。

#### 【0048】

##### (実施例3)

この実施例は、図3に示すように、保護膜17aを、膜厚4000オングストロームのZrO<sub>2</sub>膜とし、膜厚100オングストロームのRh膜からなる密着膜20bをリッジ上部を除くp型半導体層16上方に形成し、その上面及びリッジ上部にp型オーミック電極50

19 b を形成した以外、実施例 1 と同様に半導体レーザ素子を形成した。

また、得られた半導体レーザ素子について、実施例 1 と同様に、埋め込み膜と保護膜との間の密着性を評価した。

その結果、実施例 1 とほぼ同様の結果が得られた。また、保護膜の絶縁耐圧を測定したところ、実施例 1 の半導体レーザ素子と比較して、耐圧特性が向上していることが確認された。

#### 【0049】

##### (実施例 4)

この実施例は、図 4 に示すように、密着膜を形成せず、さらに、リッジに対して、第 1 電極が形成された側と反対側において、p 型半導体層 16 の端部から 150 μm 程度の長さで、n 型半導体層 12 の途中までエッチング除去することにより、保護膜 17c を側面において階段状に形成した以外、実施例 1 と同様に半導体レーザ素子を形成した。  
10

また、得られた半導体レーザ素子について、実施例 1 と同様に、埋め込み膜と保護膜との間の密着性を評価した。

その結果、実施例 1 とほぼ同様の結果が得られた。

なお、このような形状の半導体レーザ素子においては、フェイスダウン実装時におけるサブマウント側の膜の半導体層側面への回り込みを、階段形状によって防止することができる。

#### 【産業上の利用可能性】

#### 【0050】

本発明は、レーザ素子を応用することができる全てのデバイス、例えば、CD プレーヤ、MD プレーヤ、各種ゲーム機器、DVD プレーヤ、電話回線や海底ケーブル等の基幹ライン・光通信システム、レーザメス、レーザ治療機、レーザ指圧機等の医療機器、レーザビームプリンタ、ディスプレイ等の印刷機、各種測定装置、レーザ水準器、レーザ測長機、レーザスピードガン、レーザ温度系等の光センシング機器、レーザ電力輸送等の種々の分野において利用することができる。  
20

#### 【図面の簡単な説明】

#### 【0051】

【図 1】本発明の半導体装置の一実施形態を示す概略断面図である。

【図 2】本発明の半導体装置の別の実施形態を示す概略断面図である。  
30

【図 3】本発明の半導体装置のさらに別の実施形態を示す概略断面図である。

【図 4】本発明の半導体装置のさらに別の実施形態を示す概略断面図である。

【図 5】従来の半導体装置である半導体レーザを示す概略断面図である。

#### 【符号の説明】

#### 【0052】

10 サファイア基板

11 下地層

12 n 型半導体層（第 1 導電型半導体層）

13 n 型オーミック電極（第 1 電極）

14 n 型パッド電極（第 1 電極）  
40

15 活性層

16 p 型半導体層（第 2 導電型半導体層）

17a、17b、17c 保護膜

18 埋め込み膜

19a、19b p 型オーミック電極（第 2 電極）

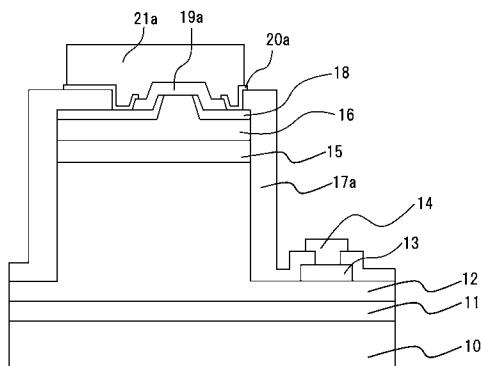
20a、20b 密着膜

21a、21b、21c p 型パッド電極（第 2 電極）

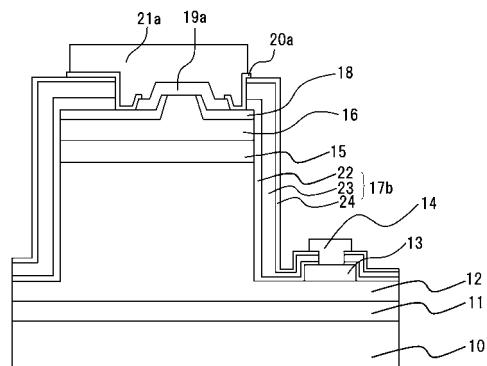
22、24 Zr 酸化物膜

23 Si 酸化物膜

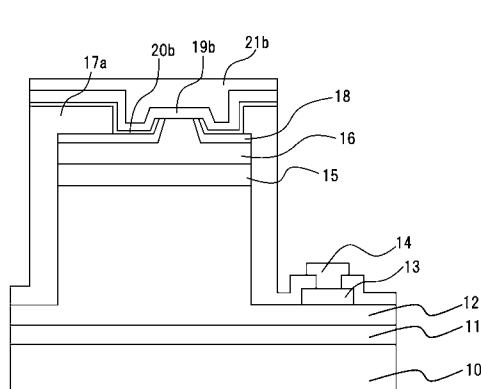
【図1】



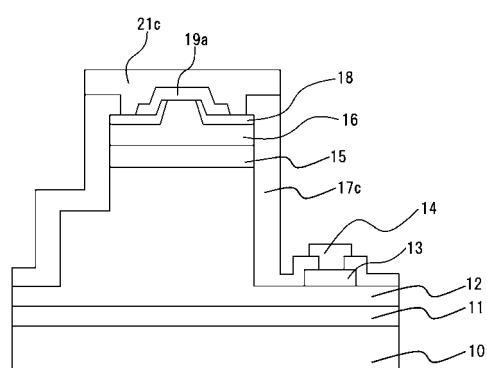
【図2】



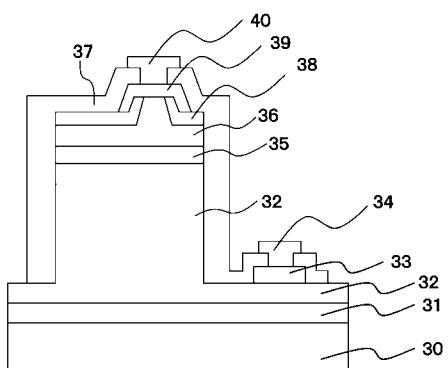
【図3】



【図4】



【図5】



---

フロントページの続き

(56)参考文献 国際公開第02/101894(WO,A1)  
国際公開第01/061804(WO,A1)  
特開2001-057461(JP,A)  
特開2002-359436(JP,A)  
国際公開第03/036771(WO,A1)  
特開2002-299762(JP,A)  
特開2003-101155(JP,A)  
特開2002-237661(JP,A)  
国際公開第02/103865(WO,A1)  
特開2002-171024(JP,A)  
特開平10-284801(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01S5/00-5/50