

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号
特許第4393768号
(P4393768)

(45) 発行日 平成22年1月6日 (2010.1.6)

(24) 登録日 平成21年10月23日 (2009.10.23)

(51) Int. Cl.

F I

GO 6 F 13/42 (2006.01)

HO 4 L 7/00 (2006.01)

HO 4 L 29/00 (2006.01)

GO 6 F 13/42 3 5 O A

HO 4 L 7/00 Z

HO 4 L 13/00 S

請求項の数 24 (全 14 頁)

(21) 出願番号	特願2002-558146 (P2002-558146)	(73) 特許権者	507219491
(86) (22) 出願日	平成14年1月11日 (2002.1.11)		エヌエックスピー ビー ヴィ
(65) 公表番号	特表2004-518208 (P2004-518208A)		N X P B. V.
(43) 公表日	平成16年6月17日 (2004.6.17)		オランダ国 5 6 5 6 エイジー アインド
(86) 国際出願番号	PCT/IB2002/000065		ーフェン ハイ テク キャンパス 6 O
(87) 国際公開番号	W02002/057930		High Tech Campus 6 O
(87) 国際公開日	平成14年7月25日 (2002.7.25)		, NL-5 6 5 6 AG Eindhov
審査請求日	平成16年12月9日 (2004.12.9)		ven, Netherlands
(31) 優先権主張番号	09/766,308	(74) 代理人	100147485
(32) 優先日	平成13年1月19日 (2001.1.19)		弁理士 杉村 憲司
(33) 優先権主張国	米国 (US)	(74) 代理人	100134005
			弁理士 澤田 達也
		(72) 発明者	セシオン ディー シー
			オランダ国 5 6 5 6 アー アー アイ
			ンドーフェン プロフホルストラーン 6
			最終頁に続く

(54) 【発明の名称】 リアルタイムチャネル較正方法および装置

(57) 【特許請求の範囲】

【請求項 1】

データ経路の伝送時間を較正するための回路を含む並列データ通信装置であって、
1つが送信ノードであり、他の1つが受信ノードである少なくとも2つのノード間でデ
ータを並列に渡すための複数のデータ経路とデータ較正のための追加された較正経路との
並列装置、および、

前記並列装置から、較正用のデータ・シーケンスを渡すための1つの経路を選択するよ
うに構成された経路選択回路、および、

前記送信ノードにおいて、前記選択した1つの経路上でデータ・シーケンスを送信し、
同時に、前記並列装置内の他の1つの経路上で、前記選択した1つの経路上のデータ・シ
ーケンスと予め一致させたデータ・シーケンスを送信し、前記受信ノードに設けた比較回
路において、前記選択した1つの経路上のデータ・シーケンスを、前記並列装置内の他の
1つの経路上の前記予め一致させたデータ・シーケンスと比較するように構成されている
較正モード回路であって、前記較正モード回路が前記比較の結果に応じて、前記選択した
1つの経路または前記他の1つの経路の伝送時間を調整するようにも構成されている較正
モード回路

を有する並列データ通信装置。

【請求項 2】

前記データ・シーケンスを送信するように構成された前記較正モード回路の第1の部分
が前記送信ノードに位置し、前記データ・シーケンスを比較するように構成された前記較

10

20

正モード回路の第2の部分が前記受信ノードに位置し、前記第1の部分または前記第2の部分のいずれかが、前記比較の結果に応じて、前記選択した1つの経路または前記他の1つの経路の伝送時間を調整するように構成され、前記較正モード回路および前記並列装置が、前記追加された較正経路を、較正用のデータを渡すための1つのモードと較正用ではないデータを渡すための別のモードで選択的に使用するよう構成されている、請求項1に記載の並列データ通信装置。

【請求項3】

前記較正モード回路が、更に、前記複数のデータ経路を1つずつ選択して前記他の1つの経路とし、前記選択した1つの経路上のデータ・シーケンスを、前記他の1つの経路上の前記予め一致させたデータ・シーケンスと比較するように構成され、前記較正モード回路が、前記比較の結果に応じて、前記複数のデータ経路の少なくとも1つの伝送時間を調整するように構成されている、請求項1に記載の並列データ通信装置。

10

【請求項4】

前記較正モード回路が前記経路選択回路を含み、前記経路選択回路が、前記複数のデータ経路の1つについての前記較正モード回路の動作シーケンスを制御するように構成されている、請求項1に記載の並列データ通信装置。

【請求項5】

前記経路選択回路が、前記複数のデータ経路の各々についての前記較正モード回路の動作シーケンスを制御するように構成されている、請求項4に記載の並列データ通信装置。

【請求項6】

20

複数のデータ・ドライバを更に含み、前記データ・ドライバの各々が少なくとも2つの入力を有し、前記入力の1つが前記複数のデータ経路の1つに結合され、前記入力の他の1つが前記複数のデータ経路の他の1つに結合され、前記データ・ドライバの各々が、前記2つの入力の一方からのデータを選択的に入力するように構成されている、請求項4に記載の並列データ通信装置。

【請求項7】

前記ノードの間で並列に渡される前記データを同期させるように構成されている同期回路を更に含む、請求項6に記載の並列データ通信装置。

【請求項8】

データ経路の伝送時間を較正するための回路を含む並列データ通信装置であって、
第1のノードから第2のノードに、同時に並列にNビットのデータを渡すためのM個のデータ経路と、前記M個のデータ経路の伝送時間を較正するための追加された較正経路とを含む（MはNより大きい）並列装置と、

30

前記第1のノードにおいて前記M個の経路のそれぞれに結合されているM個のデータ・ドライバと、

前記第2のノードにおいて前記M個の経路のそれぞれに結合されているM個のデータ・レシーバと、

前記M個のデータ・ドライバを制御して、前記並列装置から、較正用のデータ・シーケンスを渡すための1つの経路を選択するように構成された経路選択回路と、

前記第1のノードにおいて、前記選択した1つの経路上でデータ・シーケンスを送信し、同時に、前記並列装置内の他の1つの経路上で、前記選択した1つの経路上のデータ・シーケンスと予め一致させたデータ・シーケンスを送信する手段と、

40

前記第2のノードにおいて、前記選択した1つの経路上のデータ・シーケンスを、前記Nビットのデータの1つとして前記並列装置内の他の1つの経路上で送信される前記予め一致させたデータ・シーケンスと比較するように構成されている較正回路であって、前記較正回路が、前記比較の結果に応じて、前記選択した1つの経路または前記他の1つの経路の伝送時間を調整するようにも構成されている較正回路を有する、並列データ通信装置。

【請求項9】

前記経路選択回路が、前記M個の経路の1つについての前記較正モード回路の動作シー

50

ケンスを制御するように構成されている請求項 8 に記載の並列データ通信装置。

【請求項 10】

前記経路選択回路が、前記 M 個の経路の各々についての前記較正モード回路の動作シーケンスを制御するように構成されている、請求項 9 に記載の並列データ通信装置。

【請求項 11】

前記データ・ドライバの各々が、前記複数のデータ・ドライバの別の 1 つに入力として選択的に結合された入力からデータを入力するように構成されている、請求項 10 に記載の並列データ通信装置。

【請求項 12】

前記データ・ドライバの各々が、前記複数のデータ・ドライバの別の隣接した 1 つに入力として選択的に結合された入力からデータを入力するように構成され、前記データ・ドライバの各々と前記複数のデータ・ドライバの前記隣接した 1 つとが、前記 M 個の経路の直に隣接した経路に結合されている、請求項 10 に記載の並列データ通信装置。

10

【請求項 13】

前記較正モード回路の動作シーケンスが、前記選択した 1 つの経路により送信されるデータ・シーケンスと、前記他の 1 つの経路上の前記予め一致させたデータ・シーケンスとが、許容できる許容差を越えてスキューされていることを示す前記比較の結果に応じて、前記他の 1 つの経路の伝送時間を調整することを含む、請求項 10 に記載の並列データ通信装置。

【請求項 14】

20

前記選択した 1 つの経路上のデータ・シーケンスと、前記他の 1 つの経路上の前記予め一致させたデータ・シーケンスとが、許容できる許容差を越えてスキューされていることを示す前記比較の結果に応じて、前記較正回路が、エラー信号を提供するように更に構成されている、請求項 8 に記載の並列データ通信装置。

【請求項 15】

前記選択した 1 つの経路上のデータ・シーケンスと、前記他の 1 つの経路上の前記予め一致させたデータ・シーケンスとを受信し、かつ処理するように構成されている排他的論理和回路を更に含み、前記較正回路が、前記選択した 1 つの経路上のデータ・シーケンスと前記予め一致させたデータ・シーケンスとが許容できる許容差を越えてスキューされていることに応じて、エラー信号を提供するように更に構成され、かつ、前記較正回路が、前記選択した 1 つの経路または前記他の 1 つの経路の伝送時間を調整するように更に構成されている、請求項 8 に記載の並列データ通信装置。

30

【請求項 16】

前記排他的論理和回路の前記出力のフィルタ処理を行うために結合されたフィルタを更に含み、前記フィルタが、通信の品質を示すために、データが前記許容できる許容差を越えてスキューされたか否かを提供するように構成されている、請求項 15 に記載の並列データ通信装置。

【請求項 17】

前記較正回路が、前記選択した 1 つの経路上のデータ・シーケンス、及び他の 1 つの経路上の前記予め一致させたデータ・シーケンスを共にサンプリングし、そして、前記排他的論理和回路を用いて、前記共にサンプリングしたデータ・シーケンスどうしの排他的論理和をとることによって、前記比較を実行するように更に構成されている、請求項 15 に記載の並列データ通信装置。

40

【請求項 18】

前記較正回路が、前記複数のデータ経路の各々についての前記較正モード回路の動作シーケンスを制御するように構成されている経路選択回路を含み、前記 M 個のデータ・ドライバの各々が、前記複数のデータ・ドライバの別の 1 つに入力として選択的に結合された入力からデータを入力するように構成され、かつ、前記ノードの間で並列に渡される前記データを同期させるように構成されている同期回路を更に含む、請求項 14 に記載の並列データ通信装置。

50

【請求項 19】

データ経路の伝送時間を較正するための回路を含む並列データ通信装置であって、

1つが送信ノードであり、他の1つが受信ノードである少なくとも2つのノードの間で並列にデータを渡すための複数のデータ経路とデータ経路の伝送時間較正のための追加された較正経路の並列装置と、

前記並列装置に結合された制御回路であって、前記制御回路が、前記複数のデータ経路の各々及び前記追加された較正経路を1つずつ順に選択して、較正用のデータ・シーケンス用に割当て、各々の前記割当ての間、前記送信ノードにおいて、前記較正用のデータ・シーケンスを、前記選択した1つの経路上で送信し、同時に、前記選択した1つの経路上のデータ・シーケンスと予め一致させたデータ・シーケンスを前記並列装置内の他の1つの経路上で送信する制御回路と、

10

前記制御回路に結合され、前記受信ノードにおいて、前記選択した1つの経路上の前記較正用のデータ・シーケンスを、前記複数のデータ経路の各々及び前記追加された較正経路のうち他の1つの経路上の、前記較正用のデータ・シーケンスと予め一致させたデータ・シーケンスと比較するように構成されている較正モード回路であって、前記較正モード回路が、前記比較の結果に応じて、前記選択した1つの経路の伝送時間を調整するようにも構成されている較正モード回路と、

有する並列データ通信装置。

【請求項 20】

前記制御回路と前記較正モード回路が、前記複数のデータ経路と前記追加された較正経路の前記並列装置の直に隣接した対の間で比較を行うように構成されている、請求項 19 に記載の並列データ通信装置。

20

【請求項 21】

1つが送信ノードであり、他の1つが受信ノードである少なくとも2つのノードの間で並列にデータを渡すための複数のデータ経路を有する並列データ通信装置であって、

データ経路の伝送時間較正のための較正経路と、

前記複数のデータ経路と前記較正経路との並列装置から、較正用のデータ・シーケンスを渡すための1つの経路を選択するように構成された経路選択回路と、

前記送信ノードにおいて、前記選択した1つの経路上でデータ・シーケンスを送信し、同時に、前記並列装置内の他の1つの経路上で、前記選択した1つの経路上のデータ・シーケンスと予め一致させたデータ・シーケンスを送信する手段と、

30

前記受信ノードにおいて、前記選択した1つの経路上の前記較正用のデータ・シーケンスを、前記並列装置内の他の1つの経路上の、前記較正用のデータ・シーケンスと予め一致させたデータ・シーケンスと比較するための手段と、

前記比較の結果に応じて、前記選択した1つの経路の伝送時間を調整するための手段とを有する並列データ通信装置。

【請求項 22】

1つが送信ノードであり、他の1つが受信ノードである少なくとも2つのノードの間で並列にデータを渡すための複数のデータ経路を含む回路装置のための並列データ通信の方法であって、データ経路の伝送時間較正のための較正経路が前記回路装置内に設けられている方法において、

40

経路選択制御手段によって、前記複数のデータ経路と前記較正経路との並列装置から、較正用のデータ・シーケンスを渡すための1つの経路を選択することと、

前記送信ノードによって、前記選択した1つの経路上でデータ・シーケンスを送信し、同時に、前記並列装置内の他の1つの経路上で、前記選択した1つの経路上のデータ・シーケンスと予め一致させたデータ・シーケンスを送信することと、

前記受信ノードにおけるデータ・シーケンスの比較手段によって、前記選択した1つの経路上のデータ・シーケンスを、前記並列装置内の他の1つの経路上の、前記選択した1つの経路上のデータ・シーケンスと予め一致させたデータ・シーケンスと比較することと

50

前記比較の結果に応じて、データ経路の伝送時間の調整手段によって、前記選択した1つの経路の伝送時間を調整することとを有する、並列データ通信の方法。

【請求項23】

前記経路選択制御手段によって、前記複数のデータ経路の各々及び前記追加された較正経路を1つずつ順に選択して、前記較正用のデータ・シーケンス用に割当ててることを更に含み、各々の前記割当ての間、前記較正用のデータ・シーケンスを、前記選択した1つの経路に渡す、請求項22に記載の方法。

【請求項24】

前記比較を、前記複数のデータ経路と前記追加された較正経路の前記並列装置の直に隣接した対の間で実行する、請求項23に記載の方法。

【発明の詳細な説明】

【0001】

【発明が属する技術分野】

本発明は、一般に、データ通信を目的とする。より詳しくは、本発明は、並列データ相互接続回路によりデータを転送するための方法および装置、ならびにノード間の転送においてスキューされたデータによって引き起こされるエラーの較正と解決に関する。

【0002】

【従来の技術】

より複雑な回路に対する継続する要求が、シリコン・ウェハの小さい領域に超大規模集積回路を製造することにより実現された著しい成果をもたらした。これらの複雑な回路は、しばしば、データ・シーケンスに動作し、次いでこのデータを更なる処理のために渡す、機能的に定義されたブロックとして設計される。このような機能的に定義されたブロックからのこの通信は、同じチップ内の個々の集積回路（または「チップ」）間で、およびより離れて位置する通信回路装置とシステムの間で、少量または多量のデータで渡すことができる。構成に関係なく、この通信は、データの完全性が保持され、かつチップセット設計が、実施空間および利用可能な動作電力について実行可能な限界に対し感度が高いことを保証するために、通常、厳密に制御されたインターフェースを要求する。

【0003】

回路の複雑さが増加するに伴い、データが回路ブロックの間で渡される速度を相応に増加させることが要求されてきた。これらの高速通信アプリケーションの多くは、多重データ・ビットが並列通信経路によって同時に送信される並列データ相互接続伝送を使用することにより、実施することができる。このような「並列バス(parallel bussing)」は、高データ転送速度でデータ転送を達成するために良好に受け入れられているアプローチである。（時には、データとともに渡されるクロックによって定められる）所定のデータ-伝送速度に対して、（ビット/秒で測定される）相互接続バンド幅は、並列データ相互接続を有するデータ信号の数にデータ伝送速度を乗算したものに相当する。

【0004】

典型的なシステムは、例えば、ケーブル、他の相互接続、および/またはチップ上の内部バスを介した形で、並列データ・バスにインターフェースをとり、かつ並列データ・バスを介して通信する、多数のモジュール（すなわち、1つ以上の協調機能チップ）を含むことが出来る。伝送モジュールは、伝送モジュール上のクロックと同期をとって、このバスを介してデータを伝送する。この様に、並列信号ライン上の遷移は、伝送モジュールを、互いに、および/または伝送モジュール上のクロックと同期関係にしておく。並列データ相互接続の他方の端で、受信モジュールは、並列データ・バス上のデータを受信する。ここで、相互接続はクロック信号を渡し、受信クロックは、典型的に、伝送モジュールのクロックから導かれるかそれと同期している。データが、並列信号ラインを介して渡される速度は、（並列）「バス・レート」と称されることもある。

【0005】

このようなシステムの場合、受信された信号（および、該当する場合には、受信クロック

10

20

30

40

50

)は、適切なデータ回復を提供するために、伝送クロックと特別の位相関係を有するべきである。予想された時間の量「スキュー」が、しばしば、伝送されたデータ信号自体の間、およびこのデータ信号と受信側での受信クロックの間に存在する。スキューは、例えば、並列相互接続の信号ラインの容量および誘導の負荷によって導入される伝送遅延、入出力ドライバ・ソースの変化、シンボル間干渉、および伝送ラインのインピーダンスおよび長さの変化を含む、多数の現象によって生じる可能性がある。どの現象がスキューを生じるかに関係なく、現象は、通信されているデータに対して、および、多くのアプリケーションでの全体的な通信システムに対して、完全性について深刻な問題を呈する。

【0006】

このスキュー問題に対処する多数の先行のアプローチがあったが、これらのアプローチの多くは、較正処理の実行を可能とするために、その信号経路をサービスから外すことを要求した。さらに、一部の較正処理は、効率が悪く、かつチャンネルを、相当な時間、サービスから外すことを要求する。このような「ダウンタイム」は、しばしば、コストが掛かりすぎ、かつ一部のアプリケーションでは耐えられない可能性がある。

【0007】

したがって、並列バスを介したデータ通信を向上させることは、実行可能性が高く、かつより高速な並列バスのアプリケーションを可能にする。この結果、スキューを生じさせる現象の存在下でも、データの完全性を維持しつつ、高速回路に対する要求に直接貢献することが出来る。本発明の様々な観点は、上述した問題に対処し、かつ他のアプリケーションにも有効である通信方法および装置を提供する。

【0008】

【課題を解決するための手段】

本発明の様々な観点は、上述した問題に対処し、かつ解決する様な並列相互接続回路によるデータ転送を目的とする。並列データ・バスによる高速データ転送を含む1つの具体的なアプリケーションの場合、本発明は、データの完全性を保持しつつ、データ-伝送速度の著しい増加を可能にする。

【0009】

本発明の1つの特定の具体的な実施例は、デジタル・データが2つの通信ノードの間で並列に転送される並列データ通信装置を含む。この装置は、データを少なくとも2つのノード間で並列に渡すためのデータ経路とデータ経路の伝送時間較正のための追加された較正経路の並列装置、および較正経路上のデータ・シーケンスを多重データ経路の1つ上の予め一致させたデータ・シーケンスと比較するように適合化されている較正モード回路であって、この較正モード回路がこの比較に応じて伝送時間を調整するためにも適合化されている較正モード回路を含む。

【0010】

本発明の別の具体的な実施例によれば、並列データ通信装置は、第1のノードから第2のノードへ並列に同時にNビットのデータを渡すM個の経路と第1のノードから第2のノードへ並列に渡されるデータを較正するために追加された較正経路の並列装置を含む（ここで、Mは、Nより大きい）。さらに、第1のノードでM個の経路にそれぞれ結合されるM個のデータ・ドライバと第2のノードでM個の経路にそれぞれ結合されるM個のデータ・レシーバも含む。較正回路は、M個の経路の内の選択された1つ上のデータ・シーケンスを、Nビットのデータの1つを渡す経路上の予め一致させたデータ・シーケンスと比較し、かつ、この較正回路が、この比較の結果に応じてMビットのデータの選択された1つに対する伝送時間を調整する。

【0011】

本発明の重要な別の観点は、データ経路が較正中に交替する割当てを有する、データ較正のための追加された較正経路を使用することを含む上述のデータ経路の使用を目的とする。データ経路の1つ、または追加された較正経路は、他の経路が無較正データを渡すために使用される間に、較正データを渡すために選択され、次いで、別の経路が、他の経路が無較正データを渡すために使用される間に、較正データを渡すために選択される。割当て

のこの交替は、各比較に応じて伝送時間を調整しながら続く。

【0012】

この交替する割当ての実施のより具体的な観点は、データ経路の直に隣接した対の間で比較を実行することに関する。この方法の場合、スキューを正確に減らす可能性は、最大となる。

【0013】

本発明の他の一実施例は、上述の実施例と一致する様に実施される方法、通信の完全性を保持するために予備の経路として較正経路を使用しながら各々のデータ経路を通して較正手順を交替する手順、および較正手順を制御し、かつデータがスキューされたか否かを検出する様々な実施例を、それぞれ目的とする。

10

【0014】

上述の本発明の要約は、各例示の実施例または本発明のあらゆる実施を記載するものではない。とりわけ、次の図および詳細な説明は、これらの実施例の一例に過ぎない。

【0015】

【発明を実施するための形態】

本発明は、添付の図面と関連して本発明の様々な実施例の以下の詳細な説明を考慮して、より完全に理解することができる。

【0016】

本発明が、様々な修正および代替形態に従う一方、この詳細は図面の具体例により示され、かつ詳細に記載されるであろう。しかしながら、この目的が、本発明を、記載される特定の実施例に限定するものではないことを、理解すべきである。これに反して、この目的は、全ての修正、等価物、および添付の請求項に記載の本発明の精神と範囲の範囲内に入っている代替を含むことである。

20

【0017】

本発明は、一般に、並列データ相互接続回路によって相互に結合された2つのモジュール間でデータを転送するための方法および装置に適用できる。本発明は、本発明を使用しなければ、典型的なスキュー抑止回路および処理のコストによって不利な立場に置かれるであろう、高いデータの完全性から利益を得る、特に、高速データ転送アプリケーションに有利であることが分かった。このようなアプリケーションの具体例には、特に、極めて広帯域の光ネットワーキング、SSTL、およびRSL(rambus signaling logic)、ケーブル、他の相互接続、および／またはチップ上の内部バスを介した形で、並列データ・バスにインターフェイスをとり、かつ並列データ・バスを介して通信するモジュールが、挙げられる。他の具体的なアプリケーションは、電気通信中継システムと他のネットワーク化されたインフラストラクチャ、高性能なサーバ・クラスタ、記憶領域ネットワーク、および多くの他の高性能システムを含む。本発明がこのようなアプリケーションに必ずしも限定されるわけではないが、本発明の様々な観点の認識は、このような環境における具体例を論じることにより最適に得られる。

30

【0018】

本発明の1つの具体的な実施例によれば、並列データ装置は、デジタル・データを、並列データ・バスの一部としてのデータ・ラインを用いてクロック通信経路に沿って搬送されるクロック信号によってセットされるクロック速度で渡す。この装置は、更に、この並列データ・バスを形成しているデータ経路の較正のための「較正」経路と、較正経路によるデータ・シーケンスを多重経路の1つに渡されつつある予め一致させたデータ・シーケンスと比較するように適合化され、かつこの比較に応じてこの1つの経路に対する伝送時間を調整するように適合化されている論理および／または処理回路とを含む。

40

【0019】

図1は、本発明の具体的な実施例によるこのような並列データ相互接続通信装置100を示す。この通信装置100は、第1および第2の通信ノード（または端子）102、104と、並列に同時にNビットのデータを渡すための並列な一組のM個の経路とを含む。このM個の経路は、図1で、106A、106B～106Mとして表されている。ここで、Mは、典型的に、この並列通信で

50

使用されているビット(N)の数より少なくとも1つ大きい。典型的に、この装置100は、並列に 2^X ビットのデータを通信する。ここで、Xは少なくとも2に等しく、かつMは 2^X より僅かに大きい。

【0020】

この通信装置100は、追加された較正経路がノード102からノード104に、並列に渡されるデータを調整するために使用されるので、この表されたN個のデータ経路より少なくとも1つ多いデータ経路を含む。ノード102および104の一方または両方と関係している較正回路は、M個のデータ経路の選択された1つ（較正経路）上のデータ・シーケンスを、Nビットのデータの1つの（無較正データ経路上の）予め一致させたデータ・シーケンスと比較するように設計されている。この予め一致させたデータが、ある許容差しきい値を越えてスキューされることの検出に応じて、この無較正データ経路に対する伝送時間は、データ・シーケンスが互いに同期するように調整される。必要条件では無いが、典型的なアプリケーションは、互いにすぐに隣接している経路を較正することによって最適の較正を実現する。このような実施の場合、M個のデータ経路の1つに影響を与えているスキュー問題は、そのすぐ隣のデータ経路にも影響を与えている可能性が高い。

10

【0021】

具体的な一実施例の場合、この追加された較正経路は、較正データを渡すための較正データ経路として、またはNビットのデータのそれぞれのデータを並列に渡すためのデータ経路の1つとしての何れかで機能するよう、選択的に、割り当てられる。1つのアプリケーションの場合、この選択的な割当ては、従来のデータ（すなわち、この較正に無関係なデータ）を渡すため残りのM-1のデータ経路を使用する間、このM個のデータ経路の各々を介して交替する。

20

【0022】

もう1つの実施例では、M個のデータ経路の1つは、較正データを渡すための較正データ経路としてのみ機能するように確保されている。このアプローチは、ビットの数(N)が少ない、または、スキューされたデータの関係が主にM個のデータ経路の小グループに向けられる場合、有効である。例えば、この状況は、外部状態によりさらされるM個のデータ経路の1つが、スキュー問題により影響されやすい場合に、生じる可能性がある。

【0023】

この並列データ相互接続通信装置100は、他の実施例およびアプリケーションを示す一般的なブロック図の形で表される。例えば、通信ノード102および104は、単信または双方向半二重通信、または全二重通信用に実施することが出来る。ここで、各ノード102および104は、M個のデータ経路を駆動しかつM個のデータ経路を介して受信されたデータを復号化する回路を含む。さらに、この通信ノード102および104の一方または両方を、M個の経路の別の1つに対する伝送一時間と比較してM個の経路の1つに対して伝送一時間遅延を起こす伝送一時間調整回路とともに実施することも出来る。同様に、伝送一時間調整および／または較正経路の選択を制御するための信号を、何れのノードからも制御することが出来る。別の具体的なアプリケーションにおいて、M個のデータ経路が、長さが重要となり、かつノード102と104の間に（図1に図示せず）データ-リピータ・ノードを含む場合、伝送一時間調整回路は、さらに、（オプションとして、追加された信号-制御回路とともに）データ-リピータ・ノードにおいて実施することも出来る。

30

40

【0024】

さらに、図2は、本発明による別の並列データ相互接続通信装置200を示す。この通信装置200は、図1の並列データ相互接続通信装置100のより具体的な実施であり、かつ、第1のノード202と第2のノード204間でデータを結合させるための9つのデータ経路を使用して、8ビットの並列データ相互接続の機能を果たすことを目的とする。第1のノード202は、並列伝送のための8-ビット・データを与えるように適合化されたデータバッファ206、およびデータバッファ206を供給し、かつノード202と204の間の通信に関する他の作業を実行するように適合化された（例えば、プログラム可能なプロセッサ装置を有している）データ処理回路208とを含んでいる、図示する目的のために機能的に表されているいくつかのブ

50

ロックを含む。これらの作業は、セレクト・ロジック210に、較正テストが実行されるべき、M個のデータ経路の次の1つを選択するように命令すること、ノード204におけるデータ経路較正テストから生じるフィードバック・データを受信すること、およびテストされたデータ経路を較正し、かつスキューを除くために適切な伝送-時間調整を決定することを含むことが出来る。当業者は、単一のチップ（例えば、CPU、ASICおよび／または他の回路構成）または通信的に結合された一組の回路として使用することにより、機能的に表されたブロック206、208、210、および212を、実施することが出来ることを理解するであろう。この特定の実施は、アプリケーションおよび指定された通信要求に依存している。

【0025】

この具体的な実施例の場合、セレクト・ロジック210は、較正テストを実行するために1回につき9つのデータ経路のうちの1つを選択する。図2に示すように、セレクト・ロジック210は、ノード202からノード204に較正データを渡す際に使用されるそれぞれのデータ経路ドライバおよびデータ経路受信-バッファを選択するために使用される、2つの制御信号、XSEL 214とRCVSEL 216を生成する。図2によって示される実施は、追加された較正経路が、較正データを渡すための較正データ経路として、またはNビットのデータのそれぞれの1つを並列に渡すためのデータ経路の1つとしての何れかで機能するように、選択的に割り当てられる、上述のアプローチに適する。1つの具体的なアプローチは、セレクト・ロジック210が、較正比較のためにすぐに隣接したデータ経路を使用する間、冗長なデータ経路割当てが9つのデータ経路の各々を通して交替するように2つの制御信号214および216を生成する、較正モードを起動させるデータ処理回路208を含む。

【0026】

この様に、セレクト・ロジック210は、対応するデータ経路「A～I」が第1の割り当てられた較正データ経路として機能するように、制御信号214および216を、データ・ドライバの1つ（例えば、データ・ドライバ220A）、および対応するデータ-受信バッファ222（例えば、データ-受信バッファ222A）に対して、それぞれ生成させることが出来る。8-データ・ビットは、次いで、従来通り、並列データ・シーケンスをノード202からノード204に渡すために使用される。データ経路「A」が較正データ経路として機能するように割り当てられると、これらの8-データ・ビット（またはライン）は、データ・ドライバ220B～220Iをそれぞれ供給しているXD0～XD7として表される。データ・ドライバ220Aは、次いで、現在割り当てられている較正経路を駆動するために使用され、かつ、データ・ドライバ220Bによって渡されるデータ・シーケンスと一致するデータ・シーケンスを供給される。XSEL信号214（9ビット長）は、ドライバにその「/1」（すなわち、上にバーを付けた「1」）入力におけるデータを無視することを命令するために、各データ・ドライバ220A～220Iの「G1」セレクト・ポートに結合される。データ経路「A」が較正データ経路として機能するように割り当てられると、データ・ドライバ220BがXD0ラインに対して上記一致するデータ・シーケンスを送信する間、データ・ドライバ220Aは、較正データを送信する。ノード204において、データ-受信バッファ222Bは、XD0ラインのデータを受信し、かつ送り、データ-受信バッファ222Aは、データ-受信バッファ222Aの「GI」入力を制御するRCVSEL信号216に応じて、上記一致する較正データ・シーケンスを無視する。

【0027】

上記一致するデータ・シーケンスの伝送に応答して、データ-受信バッファ222Aと222Bの間に位置する比較回路230は、耐えられないスキューがあるか否かを決定するために使用される。例えば、このようなスキューは、データ-遷移点で一致することに失敗している2つのデータ・シーケンスによって示されるだろう。万一耐えられないスキューが検出された場合、比較回路230は、エラー信号を生成する。このエラー信号は、次いで、データ経路「A」および「B」の一方または両方の伝送時間を調整するために使用される。この結果、それらは、耐えられないスキューが無くなるように較正される。比較回路230が、2つの照合されるデータ・シーケンスを比較し、かつ、対応するスキュー許容差の程度を示しているグリッチを無視するように何れも設計することが出来るラッチング回路またはアナロ

10

20

30

40

50

グ（例えば、RC）ローパスフィルタを使用して、耐えられないスキューが無く、用意にフィルタをかけることが出来るグリッチのみを出力する排他的論理和回路として、（受信バッファの前または後に）実施させることが出来ることは、理解されるであろう。並列データ・デスキュー(parallel-data deskewing)とは関係なく、このエラー検出アプローチは、初期の位相同期ループ(PLL)回路でおよびより最近ではFM無線で使用される技法に関する。別の特別な具体的な実施例の場合、デスキューされた(deskewed)ラインは、最初に、サンプリングされ、次いで、サンプリングされた結果は「排他的論理和演算される」。この代替アプローチは、検出される差異が全く無い適度に広い領域を提供するのに役立つ。この領域は、サンプリングメカニズムが、（例えば、セットアップ／ホールド違反に起因して）動かなくなる遷移領域によって境を接し、2つのサンプリングされるラインが1つつオフになり、かつ平均50%の使用率を有する領域によって囲まれている。この例では、データ処理回路206または240の1つは、境界を見つけ出し、かつ考慮中のラインを中間点にセットする。

10

【0028】

エラー調整の実施は、多数の方法で取り扱うことが出来る。例えば、比較回路230によって最初に生成されるエラー信号を、ノード204でのデータ処理回路240のような処理回路に送り、次いで、時間調整ロジック212に対してノード202にフィードバックすることが出来る。このフィードバックは、比較回路230からノード202のデータ処理回路208（または時間調整ロジック212）に向けることが出来る、または、これに代えて、最初に、ノード204のデータ処理回路240に、次いで、ノード202のデータ処理回路208（または、時間調整ロジック212）に供給することも出来る。

20

【0029】

特定のデータ経路が伝送時間調整を要求するという指示の受信に応じて、時間調整ロジック212は、対応するデータ経路に対して調整可能な遅延回路によって導入されたあらかじめ設定された遅延（もしあれば）を増減することを、可変遅延回路252Aおよび／または252Bに信号で伝える。この可変遅延回路は、例えば、所望の遅延程度と相応するその電流の不足(starvation)程度に応じて実施されるカレント-スターブド(current-starved)インバータを使用すること、またはチェイン内で起動されるこのような各素子が遅延を増加させる、選択可能な論理および／または容量素子のチェインを使用することを含む、様々な方法で実施することが出来る。交替される較正経路割当てを含む上述の論議および具体的な実施と一致して、較正は、較正経路として使用されるデータ経路「A」を用いて完了され、セレクト・ロジック210は、次のデータ経路「B」が較正経路として割り当てられ、かつXD0データ・ラインがデータ経路「A」を介した普通の伝送用にリルートされるように、その制御信号214および216を変える。このリルーティング制御は、XD0～XD7のデータ・ラインの各々が220A～220Iのデータ・ドライバの一对を供給し、かつ何れのデータ経路が較正経路用に使用されるべきかを調整する、制御信号214および216を使用することによって達成することが出来る。この具体例の場合、リルーティングにおける次の動作は、データ・ドライバ220Aを供給するために、XD0データ・ラインを、かつデータ・ドライバ220C～220Iを供給するために、XD1～XD7のデータ・ラインをそれぞれ割り当てることを含む。この割り当てられた較正経路のドライバになるデータ・ドライバ220Bには、データ・ドライバ220Cによって渡されつつあるデータ・シーケンスを照合するデータ・シーケンスが供給される。ノード204において、データ-受信バッファ222Bおよび222Cは、データ経路「A」の較正処理に関して上述した様に、較正目的のために照合しているデータ・シーケンスを処理し、かつ比較する。

30

40

【0030】

上述の具体例の場合、各データ経路の較正テストおよび再較正は、データ・チャネルが使用中であっても、起こり得るので、このことによりノード202と204の間のデータ伝送を中断する必要性を軽減することが出来ることは、有利である。

【0031】

図2の通信装置200と一致して、以下の表は較正制御条件の2つの具体例を示す。このバリ

50

エーションは、デスキューされている各ラインが、その2つの隣り合うラインの何れとも比較することができるという事実に基づく。

表1：第1のデスキュー制御割り当て			
テスト中のライン	XSEL	RCVSEL	エラーフラグ
A	000000001	11111111	ERR0
B	000000001	11111110	ERR0
C	000000011	11111100	ERR1
D	000000111	11111000	ERR2
E	000001111	11110000	ERR3
F	000011111	11100000	ERR4
G	000111111	11000000	ERR5
H	001111111	10000000	ERR6
I	011111111	00000000	ERR7

10

表2：交替のデスキュー制御割り当て			
テスト中のライン	XSEL	RCVSEL	エラーフラグ
A	000000001	11111111	ERR0
B	000000011	11111110	ERR0
C	000000111	11111100	ERR1
D	000001111	11111000	ERR2
E	000011111	11110000	ERR3
F	000111111	11100000	ERR4
G	001111111	11000000	ERR5
H	011111111	10000000	ERR6
I	011111111	00000000	ERR7

20

【0032】

本発明は、上述の特定の具体例に限定されるべきではなく、むしろ、添付の請求の範囲で公正に規定されている全ての本発明の観点（本発明が本発明の範囲内に入ると考えることが出来る様々な修正、等価処理、ならびに多数の構造）が含まれるものと理解すべきである。例えば、相対的に高速な性能を要求していないあるアプリケーションは、制御および／またはエラーのフィードバック信号を渡すための1つ以上の別々のチャンネル(214、216、219、250)なしで、実施することが出来る。むしろ、この制御および／またはフィードバックのデータは、必要に応じて、双方向通信（例えば、8-データ・ビット）でデータ経路を使用することにより、一方のノードから他方のノードまで通信することが出来る。更に、上述の通信ノードの各々は、典型的に、データおよび較正信号（すなわち、各データ経路）の各々のための周知の同期回路を含むことは、理解されるであろう。本請求項は、このような代替アプローチを含むものである。

30

40

【図面の簡単な説明】

【図1】本発明による、較正制御を含む並列データ通信装置の一般的なブロック図である。

【図2】本発明による、並列データ通信のためのさらに詳細な具体的な実施例の図である。

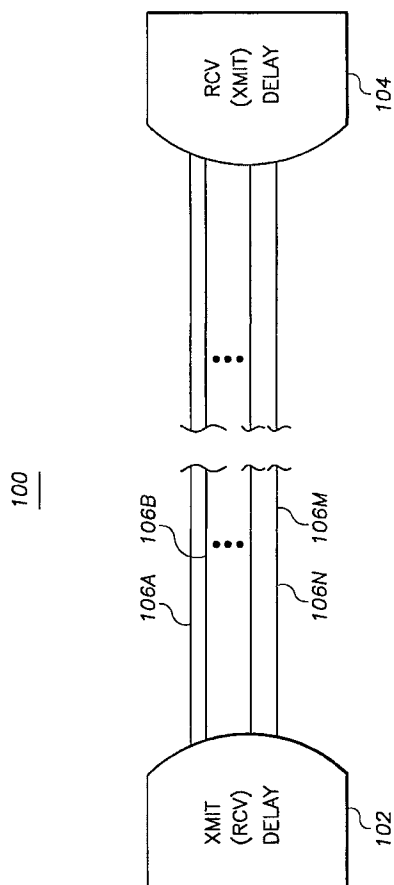
【符号の説明】

- 100 並列データ相互接続通信装置
- 102 第1の通信ノード
- 104 第2の通信ノード
- 200 並列データ相互接続通信装置

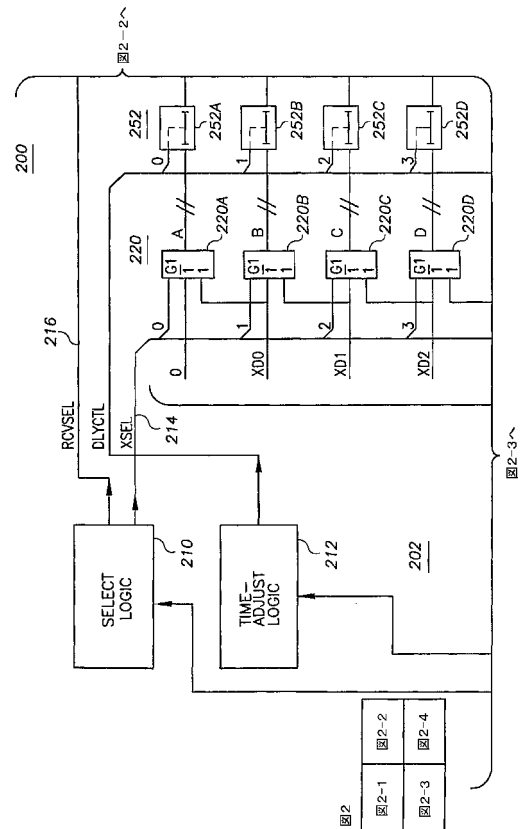
50

- 202 第1の通信ノード
- 204 第2の通信ノード
- 208 データ処理回路
- 210 セレクト・ロジック
- 212 時間調整ロジック
- 216 制御信号
- 220 データ・ドライバ

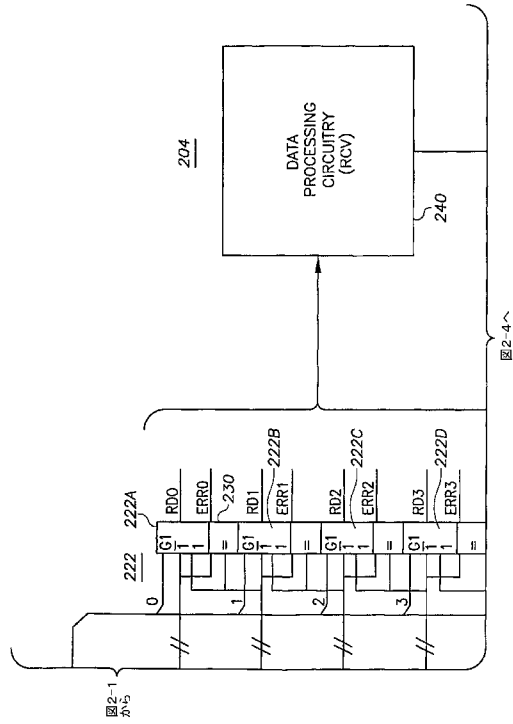
【図 1】



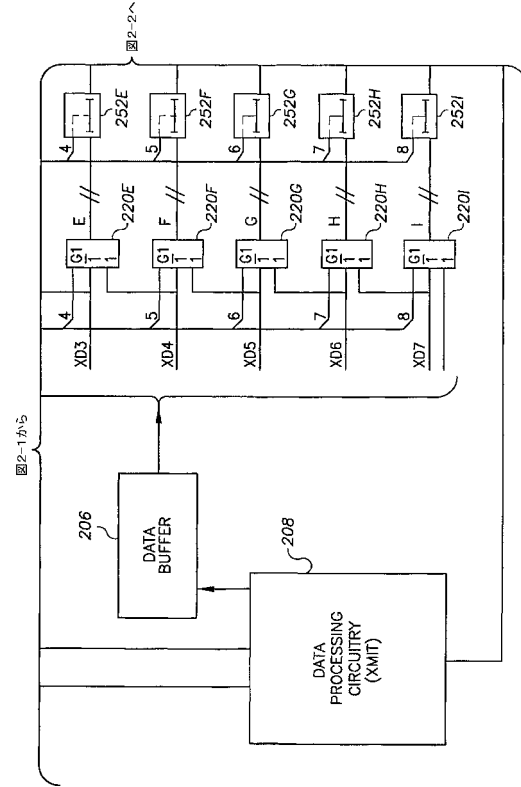
【図 2 - 1】



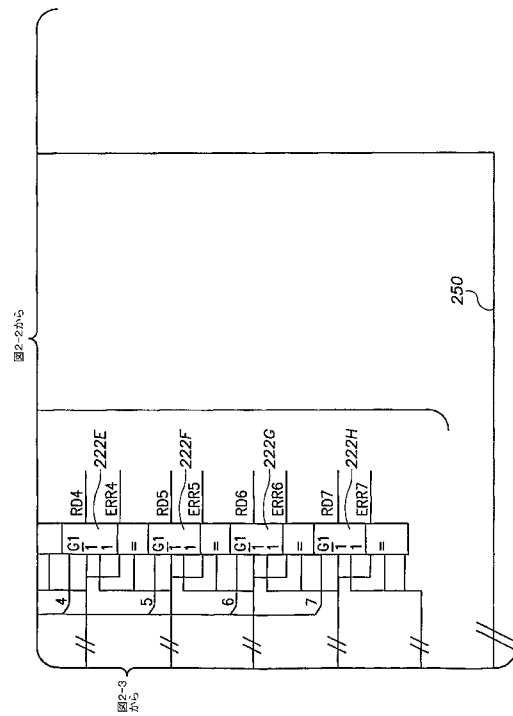
【図 2 - 2】



【図 2 - 3】



【図 2 - 4】



フロントページの続き

審査官 梅景 篤

- (56)参考文献 特開平11-112483 (JP, A)
国際公開第96/029655 (WO, A1)
特開平9-64853 (JP, A)
国際公開第99/046687 (WO, A1)
特開2000-29828 (JP, A)
特開2001-36508 (JP, A)
特開平2-272942 (JP, A)
特開平11-88310 (JP, A)
特開平9-26934 (JP, A)

- (58)調査した分野(Int.Cl., DB名)

G06F 13/38-13/42

G06F 13/00

G06F 1/04

H04L 7/00

H04L 29/00