

(19)



Europäisches Patentamt
European Patent Office
Office européen des brevets



(11) Veröffentlichungsnummer: **0 410 117 A2**

(12)

EUROPÄISCHE PATENTANMELDUNG

(21) Anmeldenummer: **90110820.9**

(51) Int. Cl.⁵: **B61L 1/18**

(22) Anmeldetag: **07.06.90**

(30) Priorität: **26.07.89 DD 331160**
26.07.89 DD 331161

(43) Veröffentlichungstag der Anmeldung:
30.01.91 Patentblatt 91/05

(84) Benannte Vertragsstaaten:
DE FR GB IT

(71) Anmelder: **VEB Geräte- und Regler-Werk**
Leipzig
Baalsdorfer Strasse 55
DDR-7027 Leipzig(DD)

(72) Erfinder: **Wieczorek, Alfred**
Grosssteinberger Strasse 66
DDR-7027 Leipzig(DD)

Erfinder: **Hess, Wolfgang, Dr.-Ing.**

Am Klosterfeld 13
DDR-7126 Mölkau(DD)

Erfinder: **Richter, Thomas**
Podelwitzerstrasse 26
DDR-7022 Leipzig(DD)

Erfinder: **Heinze, Wolfgang**
Pleissenstrasse 2
DDR-7113 Markkleeberg(DD)

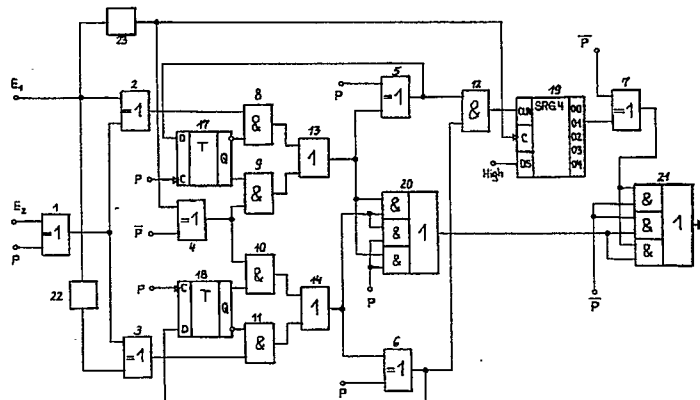
Erfinder: **Blume, Hartmut**
Lessingstrasse 5
DDR-7232 Bad Lausick(DD)

(74) Vertreter: **Klitzsch, Gottfried**
Maximilianstrasse 58
D-8000 München 22(DE)

(54) **Verfahren zur Erhöhung der Sicherheit der Signalübertragung in Gleisstromkreisen sowie Schaltungsanordnung zur Durchführung des Verfahrens.**

(57) Bei diesem Verfahren bzw. dieser Schaltungsanordnung erfolgt eine Erhöhung der Sicherheit der Signalübertragung in Gleisstromkreisen durch Einfügen einer sicheren Telegrammauswertung derart, daß ein empfangenes Gleistelegrogramm bitweise mit einem ungestörten, von einem Telegrammgenerator bereitgestellten Vergleichstelegrogramm verglichen wird. Um hierbei den Zustand gestört dann zu signalisie-

ren, wenn in zwei oder mehreren aufeinanderfolgenden Gleistelegrogrammen ein Fehler auftritt, wird das empfangene Gleistelegrogramm auf Gleichheit zu einem ungestörten Vergleichstelegrogramm geprüft und in eine Taktfrequenz so umgesetzt, daß die Phasenlage des Ergebnis der Gleichheitsprüfung wird und eine telegrammzahlabhängige Verzögerung für den Übergang in den gestörten bzw. nicht gestörten Zustand programmierbar ist.



VERFAHREN ZUR ERHÖHUNG DER SICHERHEIT DER SIGNALÜBERTRAGUNG IN GLEISSTROMKREISEN SOWIE SCHALTUNGSANORDNUNG ZUR DURCHFÜHRUNG DES VERFAHRENS

Die Erfindung betrifft ein Verfahren zur Erhöhung der Sicherheit der Signalübertragung in Gleisstromkreisen sowie eine Schaltungsanordnung zur Durchführung des Verfahrens durch Einfügen einer sicheren Telegrammauswertung derart, daß ein empfangenes Gleistelegramm bitweise mit einem ungestörten, von einem Telegrammgenerator bereitgestellten Vergleichstelegramm verglichen wird.

Es sind technische Lösungen bekannt, die ein empfangenes Telegramm direkt im Parallel- oder Serienbetrieb mit einem ungestörten Telegramm vergleichen. Dabei sind nicht nur derartige Lösungen bekannt, bei denen aus ungestörte Telegramm vom Sender über Leitungsverbindung dem Empfänger zugeführt wird, sondern auch solche Lösungen, wie aus der DD-PS 210 004 hervorgeht, bei denen das ungestörte Telegramm im Empfänger durch einen Telegrammgenerator erzeugt und für den Vergleich herangezogen wird. Dabei wird das empfangene Telegramm bitweise mit einem internen Vergleichstelegramm verglichen. Das Ergebnis des Vergleiches ist ein Gleichspannungspegel, der über eine Verzögerungsschaltung das Gleisrelais steuert. Prüfzyklen am Ende des Telegramms testen die Schaltung auf Funktionsfähigkeit, in deren Ergebnis ein akustisches oder optisches Signal ausgelöst wird. Nachteile dieser Lösung sind der statische nicht überwachte Ausgangspegel nach dem Vergleich, die Verzögerungsschaltung im Relaissteuerkreis außerhalb der Telegrammbewertung und die zyklische Funktionsprüfung der Logikschaltung, die selbst nicht eigensicher ist und im Fehlerfall auf den Empfänger nicht mit Zwangsschaltung in den definiert sicheren Zustand wirkt. Gemäß der DD-PS 208 520 ist ein vom Gleis empfangenes Telegramm mit einem ungestörten Telegramm und einem Prägetakt zu verknüpfen, wobei aus der Phasenlage des Ausgangssignals der gestörte bzw. nicht gestörte Zustand erkannt wird. Als nachteilig hat sich hierbei jedoch herausgestellt, daß derartige Schaltungen sehr störanfällig sind, da jedes gestörte Bit zur Signalisation des gestörten Zustandes führt. Da einzelne Bitfehler innerhalb der Signalübertragung immer wieder durch Störbeeinflussungen auftreten können, würde es bei jeder derartigen Störung zur Signalisation des gestörten Zustandes kommen. Besonders nachteilig wirkt sich das bei schnellem Wechsel zwischen gestörtem und nicht gestörtem Gleistelegramm aus.

Hier will die Erfindung Abhilfe schaffen. Aufgabe der Erfindung ist es deshalb, ein Verfahren sowie eine Schaltungsanordnung zur Erhöhung der Sicherheit der Signalübertragung in Gleisstromkrei-

sen zu schaffen, mit denen der bitweise Vergleich eines empfangenen Gleistelegramms mit einem ungestörten, durch einen Telegrammgenerator bereitgestellten Vergleichstelegramm derart zu realisieren ist, daß der Zustand gestört dann signalisiert wird, wenn in zwei oder mehreren aufeinanderfolgenden Gleistelegrammen ein Fehler auftritt.

Zur Lösung dieser Aufgabe wird ein Verfahren zur Erhöhung der Sicherheit der Signalübertragung in Gleisstromkreisen angegeben, das dadurch gekennzeichnet ist, daß ein ungestörtes Vergleichstelegramm mit einem Taktsignal verknüpft wird, das Ergebnis dieser Verknüpfung mit dem zuvor synchronisierten, empfangenen Gleistelegramm ein weiteres Mal verknüpft wird und aus der Phasenlage des Ausgangssignals dieser Verknüpfung die Aussage, ob das empfangene gleistelegramm gestört oder nicht gestört ist, erfolgt, wobei das gestörte Gleistelegramm gegenüber dem nicht gestörten durch ein um 180° phasenverschobenes Ausgangssignal gekennzeichnet ist.

Entspricht die Phasenlage des Ausgangssignals dem nicht gestörten Zustand, wird über eine Speicherschaltung der Logikfluß für das ungestörte Empfangssignal freigegeben. Bei gestörtem Ausgangssignal wird durch Veränderung der Phasenlage über die Speicherschaltung der Weg für das dem gestörten Zustand entsprechende um 180° phasenverschobene Taktsignal freigegeben. Dieser Zustand wird solange aufrechterhalten, bis mit dem nächsten Gleistelegramm die Phasenlage kurzzeitig auf die dem ungestörten Zustand entsprechende umgestellt wird. Zu diesem Zweck ist ein Startbit Bestandteil eines jeden Gleistelegramms. Ist das weiterhin empfangene Gleistelegramm nicht gestört, bleibt diese Phasenlage bestehen. Bei weiter gestörtem Gleistelegramm erfolgt die erneute Umstellung in den gestörten Zustand.

Entsprechend dieser Verfahrensweise ist es demzufolge unerheblich, ob die Störung in aufeinanderfolgenden Gleistelegrammen an gleicher oder unterschiedlicher Stelle auftritt. Es ist außerdem unerheblich, ob in aufeinanderfolgenden Gleistelegrammen nur ein oder mehrere Fehler auftreten, da die Umstellung in den gestörten Zustand stets mit den ersten Fehler innerhalb der Telegrammzykluszeit erfolgte. Der gesamte Verfahrensablauf erfolgt parallel dazu ein weiteres Mal mit um genau ein Telegrammlänge verzögertem Gleistelegramm. Auf diese Weise liegen zwei Signale an, die so miteinander verknüpft werden, daß die Verknüpfung als OR-Funktion für die nicht gestörte Phasenlage wirkt.

Durch die Verzögerung um eine Telegramm-

länge wirkt eine Störung immer nur dann, wenn mindestens zwei Gleistelegramme in Folge störungsbehaftet sind. Das hat zur Folge, daß die Störanfälligkeit der Telegrammübertragung wesentlich herabgesetzt werden kann. Durch parallele Erweiterung des Verfahrens kann diese Verzögerung der Störsignalisation auf drei und mehr Gleistelegramme verändert werden.

In vorteilhafter Erweiterung des erfindungsgemäßen Verfahrens soll der Übergang vom gestörten in den nicht gestörten Zustand zur Beruhigung des Ausgangssignals bei schnellem Wechsel zwischen gestörtem und nicht gestörtem Gleistelegramm mit einer längeren Verzögerungszeit versehen sein. Die gestörte Phasenlage wird dazu mittels einer weiteren Speicherschaltung solange aufrechterhalten, bis eine, in vorteilhafter Weise programmierbare, Anzahl ungestörter Gleistelegramme über eine logische Verknüpfung das Ausgangssignal in die ungestörte Phasenlage umstellt.

Zur Durchführung dieses Verfahrens ist eine Schaltungsanordnung geeignet, die dadurch gekennzeichnet ist, daß das empfangene synchronisierte Gleistelegramm auf den ersten Eingang eines ersten Exklusiv-OR, eine Logikschaltung zur Startbitselektierung und gleichzeitig auf eine Verzögerungsschaltung geschaltet ist, dessen Ausgang auf den ersten Eingang eines zweiten Exklusiv-OR geschaltet ist. Über ein drittes Exklusiv-OR wird ein durch einen Telegrammgenerator erzeugtes ungestörtes Vergleichstelegramm mit einem Prägetakt verknüpft, dessen Ausgangssignal auf die jeweils zweiten Eingänge des ersten und zweiten Exklusiv-OR geschaltet ist, deren Ausgänge jeweils auf den ersten Eingang eines ersten und zweiten AND-Gatters geschaltet sind.

An den Eingängen eines vierten Exklusiv-OR liegen das von der Logikschaltung aus dem Gleistelegramm selektierte Startbit und der um 180° phasenverschobene Prägetakt an. Der Ausgang dieses Exklusiv-OR ist auf die ersten Eingänge eines dritten und vierten AND-Gatters geschaltet. Die Ausgänge des ersten und dritten AND-Gatters sind auf ein erstes OR-Gatter und die Ausgänge des zweiten und vierten AND-Gatters auf ein zweites OR-Gatter geschaltet. Der Ausgang des ersten OR-Gatters ist auf ein fünftes und der Ausgang des zweiten OR-Gatters auf ein sechstes Exklusiv-OR geschaltet, an deren zweiten Eingängen jeweils der Prägetakt anliegt. Außerdem sind die Ausgänge des ersten und des zweiten OR-Gatters über eine AND-OR-Verknüpfung mit dem Prägetakt verknüpft. Die Ausgänge des fünften und des sechsten Exklusiv-OR sind jeweils auf die Dateneingänge eines ersten und zweiten Speichers geschaltet. An den Takteingängen beider Speicher liegt der Prägetakt an. Während der negierte Datenausgang des ersten Speichers auf den zweiten Eingang des

ersten AND-Gatters geschaltet ist, ist der Datenausgang auf den zweiten Eingang des dritten AND-Gatters geschaltet. Der negierte Datenausgang des zweiten Speichers ist auf den zweiten Eingang des zweiten AND-Gatters und der Datenausgang auf den zweiten Eingang des vierten AND-Gatters geschaltet.

In vorteilhafter Ausgestaltung der Erfindung sind die Ausgänge des fünften und sechsten Exklusiv-OR außerdem mittels eines AND-Gatters miteinander verknüpft und auf den Rücksetzeingang eines Schieberegisters geschaltet, an dessen Takteingang die Logikschaltung zur Startbitselektierung angeordnet ist. Der Ausgang des Schieberegisters ist über ein weiteres Exklusiv-OR mit dem um 180° phasenverschobenen Prägetakt verknüpft und auf eine AND-OR-Verknüpfung geschaltet, die durch das Einfügen des um 180° phasenverschobenen Prägetaktes als AND-Funktion für den nicht gestörten Zustand wirkt.

Im folgenden wird die Erfindung anhand von einer ein Ausführungsbeispiel darstellenden Zeichnung näher erläutert:

Bei der in der Zeichnung gezeigten Schaltungsanordnung wird das empfangene Gleistelegramm dem ersten Eingang E₁ eines Exklusiv-OR 2 und über die Verzögerungsschaltung 22 dem ersten Eingang des Exklusiv-OR 3 zugeführt. Über ein Exklusiv-OR 1 wird das am Eingang E₂ anliegende, von einem Telegrammgenerator erzeugte, ungestörte Vergleichstelegramm mit dem Prägetakt p verknüpft und das Ausgangssignal auf die jeweils zweiten Eingänge der Exklusiv-OR 2; 3 geschaltet. Die Ausgänge der Exklusiv-OR 2; 3 sind jeweils auf den ersten Eingang eines AND-Gatters 8 bzw. eines AND-Gatters 11 geschaltet. An den Eingängen eines weiteren Exklusiv-OR 4 liegen das mit Hilfe der Logikschaltung 23 aus der Anfangskennung des empfangenen Gleistelegramms selektierte Startbit und der um 180° phasenverschobene Prägetakt $\bar{p}$ an. Der Ausgang des Exklusiv-OR 4 ist jeweils auf den ersten Eingang der AND-Gatter 9; 10 geschaltet. Während die Ausgänge der AND-Gatter 8; 9 über ein OR-Gatter 13 verknüpft sind, sind die Ausgänge der AND-Gatter 10; 11 über ein OR-Gatter 14 verknüpft. Die Ausgänge der OR-Gatter 13; 14 werden über eine AND-OR-Verknüpfung 20 mit dem Prägetakt p verknüpft. Außerdem ist der Ausgang des OR-Gatters 13 über das Exklusiv-OR 5 und der Ausgang des OR-Gatters 14 über das Exklusiv-OR 6 mit dem Prägetakt p verknüpft. Der Ausgang des Exklusiv-OR 5 ist auf den Dateneingang eines Speichers 17 und der Ausgang des Exklusiv-OR 6 auf den Dateneingang eines Speichers 18 geschaltet. Am Takteingang beider Speicher 17; 18 liegt der Prägetakt p an. Der negierte Datenausgang des Speichers 17 ist auf den zweiten Eingang des AND-

Gatters 8 und der Datenausgang des Speichers 17 auf den zweiten Eingang des AND-Gatters 9 geschaltet. Analog ist der negierte Datenausgang des Speichers 18 auf den zweiten Eingang des AND-Gatters 11 und der Datenausgang des Speichers 18 auf den zweiten Eingang des AND-Gatters 10 geschaltet. Die Ausgänge der Exklusiv-OR 5; 6 sind auf ein AND-Gatter 12 geführt, dessen Ausgang am Rücksetzeingang eines Schieberegisters 19 liegt. Das Schieberegister 19 wird mit den aus der Anfangskennung der Gleistelegramme durch die Logikschaltung 23 selektierten Startbits getaktet. Der Dateneingang des Schieberegisters 19 liegt auf H-Potential. Der Ausgang des Schieberegisters 19 wird über ein Exklusiv-OR 7 mit dem um 180° phasenverschobenen Prägetakt $\bar{p}$ verknüpft. Der Ausgang der AND-OR-Verknüpfung 20 ist über eine AND-OR-Verknüpfung 21 mit dem Ausgang des Exklusiv-OR 7 und dem um 180° phasenverschobenen Prägetakt $\bar{p}$ verknüpft.

Im folgenden wird die Funktion der Schaltungsanordnung, deren Grundgedanke darin besteht, daß ein von einem Telegrammgenerator bereitgestelltes ungestörtes Vergleichstelegramm mit einem Prägetakt verknüpft wird und das Ergebnis dieser Verknüpfung mit dem empfangenen Gleistelegramm so verknüpft wird, daß die Phasenlage des Ausgangssignals das Kriterium für die Aussage gestörtes oder nicht gestörtes Gleistelegramm ist, näher erläutert:

Das von einem Telegrammgenerator bereitgestellte, am Eingang E_2 anliegende, ungestörte Vergleichstelegramm wird mit dem Prägetakt p mittels des Exklusiv-OR 1 verknüpft. Das Ergebnis dieser Verknüpfung wird über das Exklusiv-OR 2 mit dem synchronisierten Gleistelegramm ein weiteres Mal verknüpft. Das Ausgangssignal dieser Verknüpfung ist nach seiner logischen Wandlung am Ausgang des OR-Gatters 13 phasengleich dem Prägetakt, bei ungestörtem Gleistelegramm. Bei Auftreten einer Störung innerhalb einer Telegrammzykluszeit wird mit der ersten Störung über das Exklusiv-OR 5 der Speicher 17 so gestellt, daß über das Exklusiv-OR 4, das AND-Gatter 9 und das OR-Gatter 13 nur der Weg für den um 180° phasenverschobenen Prägetakt $\bar{p}$ freigegeben wird. Dieser Zustand bleibt über die gesamte Telegrammdauer erhalten. Aus der Anfangskennung des nächsten Gleistelegramms selektiert die Logikschaltung 23 das am Anfang jedes Gleistelegramms stehende Startbit. Dieses am Exklusiv-OR 4 anliegende Startbit stellt die Phasenlage am Ausgang des OR-Gatters 13 kurzzeitig auf die Phasenlage des Prägetaktes p um. Ist das weiterhin empfangene Gleistelegramm nicht gestört, bleibt diese Phasenlage bestehen, da der Speicher 17 umgestellt wurde. Bei weiterhin gestörtem Gleistelegramm wird der Speicher 17 in die bereits beschriebene Lage zu-

rückgestellt und gibt wiederum den Signalweg für den um 180° phasenverschobenen Prägetakt $\bar{p}$ frei. Der gesamte beschriebene Ablauf erfolgt über den parallel aufgebauten Schaltungsteil, das heißt über das Exklusiv-OR 3, das AND-Gatter 10, das AND-Gatter 11, das OR-Gatter 14 und den Speicher 18 ein weiteres Mal mit dem mittels der Verzögerungsschaltung 22 um genau eine Telegrammlänge verzögerten Gleistelegramm. Die Ausgangssignale beider Schaltungsteile, die an den Ausgängen der OR-Gatter 13; 14 anliegen, werden mittels der AND-OR-Verknüpfung 20 mit dem Prägetakt p ein weiteres Mal verknüpft. Die Phasenlage des Ausgangssignals der AND-OR-Verknüpfung 20 signalisiert den gestörten bzw. nicht gestörten Zustand.

Der Vorteil dieser Schaltungsanordnung besteht darin, daß durch die Verzögerung um ein Gleistelegramm in einem Schaltungsteil eine Störung immer nur dann wirkt, wenn mindestens in zwei aufeinanderfolgenden Gleistelegrammen Fehler auftreten. Für die Funktion der Schaltungsanordnung ist es dabei unerheblich, ob innerhalb der aufeinanderfolgenden gestörten Gleistelegramme gleiche oder unterschiedliche Bitfehler auftreten.

Um bei häufigem Wechsel zwischen gestörtem und ungestörtem Gleistelegramm eine Beruhigung des Ausgangssignals zu erreichen, kann in vorteilhafter Ausführung dieser Schaltungsanordnung eine Verzögerung des Übergangs vom gestörten in den nicht gestörten Zustand vorgenommen werden. Das bedeutet, daß mittels des Schieberegisters programmierbar ist, wieviel ungestörte Gleistelegramme in Folge anliegen müssen, damit das Ausgangssignal den ungestörten Zustand einnimmt. Zu diesem Zweck werden die Ausgangssignale der Exklusiv-OR 5; 6 mittels eines AND-Gatters 12 verknüpft und das Ergebnis dieser Verknüpfung auf den Rücksetzeingang des Schieberegisters 19 geschaltet. Das Schieberegister 19 wird mit den aus der Anfangskennung der Gleistelegramme mittels der Logikschaltung 23 selektierten Startbits getaktet. Der Dateneingang des Schieberegisters 19 liegt auf H-Potential. Der Ausgang des Schieberegisters 19 wird entsprechend der gewünschten Anzahl ungestörter Gleistelegramme gewählt. Das an diesem Ausgang anliegende Ausgangssignal wird mittels des Exklusiv-OR 7 mit dem um 180° phasenverschobenen Prägetakt $\bar{p}$ verknüpft. Das Ergebnis dieser Verknüpfung und das Ausgangssignal der AND-OR-Verknüpfung 20 werden über die AND-OR-Verknüpfung 21 ein weiteres Mal mit dem um 180° phasenverschobenen Prägetakt $\bar{p}$ verknüpft. Die Phasenlage des Ausgangssignals der AND-OR-Verknüpfung 21 signalisiert den gestörten bzw. nicht gestörten Zustand.

Ansprüche

1. Verfahren zur Erhöhung der Sicherheit der Signalübertragung in Gleisstromkreisen durch Einfügen einer sicheren Telegrammauswertung derart, daß ein empfangenes Gleistelegamm bitweise mit einem ungestörten, von einem Telegrammgenerator bereitgestellten Vergleichstelegamm verglichen wird, gekennzeichnet durch, daß

das ungestörte Vergleichstelegamm mit einem Taktsignal verknüpft wird, das Ergebnis dieser Verknüpfung mit dem empfangenen, zuvor synchronisierten Gleistelegamm ein weiteres Mal verknüpft wird, aus der Phasenlage des Ausgangssignales dieser Verknüpfung die Aussage gestörtes oder nicht gestörtes Gleistelegamm derart erfolgt, daß das gestörte Empfangssignal durch ein um 180° phasenverschobenes Ausgangssignal gekennzeichnet ist, bei gestörtem Gleistelegamm durch Veränderung der Phasenlage des Ausgangssignals über eine Speicherschaltung der Weg nur für das den gestörten Zustand entsprechende, um 180° phasenverschobene Taktsignal freigegeben wird, dieser Zustand solange aufrechterhalten wird, bis er mit dem nächsten Gleistelegamm kurzzeitig auf die ungestörte Phasenlage umgestellt wird, bei weiterhin ungestörtem Gleistelegamm dieser Zustand aufrechterhalten wird, während bei weiterhin gestörtem Gleistelegamm erneut die Umstellung in den gestörten Zustand erfolgt, der gesamte Verfahrensablauf ein weiteres Mal mit um genau eine Telegrammlänge verzögertem Gleistelegamm vorgenommen wird, und daß das Ausgangssignal, dessen Phasenlage durch das unverzögerte Gleistelegamm bestimmt wird, und das Ausgangssignal, dessen Phasenlage durch das verzögerte Gleistelegamm bestimmt wird, zusammen mit dem Taktsignal so miteinander logisch verknüpft werden, daß in Verbindung mit der Verzögerung um eine Telegrammlänge der gestörte Zustand dann eingenommen wird, wenn einem gestörten Gleistelegamm ein weiteres gestörtes Gleistelegamm folgt.

2. Verfahren nach Anspruch 1, gekennzeichnet durch, daß

die dem gestörten Zustand entsprechende Phasenlage mittels einer weiteren Speicherschaltung solange aufrechterhalten bleibt, bis eine programmierbare Anzahl gestörter Gleistelegamme das Ausgangssignal in die dem ungestörten Zustand entsprechende Phasenlage umstellt.

3. Schaltungsanordnung zur Durchführung des Verfahrens nach den Ansprüchen 1 und 2, gekennzeichnet dadurch, daß

das empfangene synchronisierte Gleistelegamm auf den ersten Eingang E_1 eines ersten Exklusiv-OR (2), eine Logikschaltung (23) zur Selektion des Startbits und auf eine Verzögerungsschaltung (22), die das Gleistelegamm genau um eine Tele-

grammlänge verzögert, geschaltet ist, dessen Ausgang auf den ersten Eingang eines zweiten Exklusiv-OR (3) geschaltet ist, ein drittes Exklusiv-OR (1) ein durch den Telegrammgenerator erzeugtes ungestörtes Vergleichstelegamm mit einem Prägetakt (p) verknüpft, dessen Ausgang auf den jeweils zweiten Eingang der Exklusiv-OR (2;3) geschaltet ist, deren Ausgänge auf den jeweils ersten Eingang von AND-Gattern (8; 11) geschaltet sind, an den Eingängen eines vierten Exklusiv-OR (4), das von der Logikschaltung (23) aus dem Gleistelegamm selektierte Startbit und der um 180° phasenverschobene Prägetakt ($\bar{p}$) anliegen, während sein Ausgang auf die ersten Eingänge eines dritten und vierten AND-Gatters (9; 10) geschaltet ist, die Ausgänge der AND-Gatter (8; 9) auf ein OR-Gatter (13) und die Ausgänge der AND-Gatter (10; 11) auf ein OR-Gatter (14) gelegt sind, wobei die Ausgänge der OR-Gatter (13; 14) über eine AND-OR-Verknüpfung (20) mit dem Prägetakt (p) verknüpft sind und außerdem der Ausgang des OR-Gatters (14) mittels eines Exklusiv-OR (6) mit dem Prägetakt (p) verknüpft ist, und daß der Ausgang des Exklusiv-OR (5) auf den Dateneingang eines Speichers (17) und der Ausgang des Exklusiv-OR (6) auf den Dateneingang eines Speichers (18) geschaltet ist, wobei beide Speicher (17; 18) mit dem Prägetakt (p) getaktet sind und der negierte Datenausgang des Speichers (17) auf den zweiten Eingang des AND-Gatters (8), der Datenausgang des Speichers (17) auf den zweiten Eingang des AND-Gatters (9) und der negierte Datenausgang des Speichers (18) auf den zweiten Eingang des AND-Gatters (11) und der Datenausgang des Speichers (18) auf den zweiten Eingang des AND-Gatters (10) geschaltet ist.

4. Schaltungsanordnung nach Anspruch 3, gekennzeichnet dadurch, daß

die Ausgänge der Exklusiv-OR (5; 6) mittels eines AND-Gatters (12) miteinander verknüpft sind, dessen Ausgang auf den Rücksetzeingang eines mit den durch die Logikschaltung (23) aus den Gleistelegammen selektierten Startbits getakteten Speichers (19) geschaltet ist, dessen Dateneingang auf H-Potential liegt, während sein Datenausgang über ein Exklusiv-OR (7) mit dem um 180° phasenverschobenen Prägetakt ($\bar{p}$) verknüpft ist, wobei der Ausgang des Exklusiv-OR (7) mittels einer AND-OR-Verknüpfung (21) mit dem Ausgang der AND-OR-Verknüpfung (20) und dem um 180° phasenverschobenen Prägetakt ($\bar{p}$) verknüpft ist.

