

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4445351号
(P4445351)

(45) 発行日 平成22年4月7日(2010.4.7)

(24) 登録日 平成22年1月22日(2010.1.22)

(51) Int.Cl. F I
 H O 1 L 25/07 (2006.01) H O 1 L 25/04 C
 H O 1 L 25/18 (2006.01)

請求項の数 4 (全 37 頁)

(21) 出願番号	特願2004-253276 (P2004-253276)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成16年8月31日(2004.8.31)	(74) 代理人	100092820 弁理士 伊丹 勝
(65) 公開番号	特開2006-73664 (P2006-73664A)	(72) 発明者	下川 一生 神奈川県横浜市磯子区新磯子町33番地 株式会社東芝 生産技術センター内
(43) 公開日	平成18年3月16日(2006.3.16)	(72) 発明者	小梁川 尚 神奈川県横浜市磯子区新磯子町33番地 株式会社東芝 生産技術センター内
審査請求日	平成19年1月23日(2007.1.23)	(72) 発明者	大石 昌子 神奈川県横浜市磯子区新磯子町33番地 株式会社東芝 生産技術センター内

最終頁に続く

(54) 【発明の名称】 半導体モジュール

(57) 【特許請求の範囲】

【請求項1】

実装基板と、

表面及び裏面を有すると共に前記表面が前記実装基板と面するように前記実装基板にフリップチップボンディングで実装された複数のパワースイッチングデバイスチップと、

前記実装基板にフリップチップボンディングで実装されると共に前記複数のパワースイッチングデバイスチップに形成されたトランジスタのゲートを駆動するための駆動用ICチップと、

前記複数のパワースイッチングデバイスチップの前記裏面上にそれぞれ配置された複数のヒートシンク部と、

前記複数のパワースイッチングデバイスチップ及び前記駆動用ICチップを一つのパッケージとして封止する樹脂部材と、

を備え、

前記実装基板は、側面、前記複数のパワースイッチングデバイスチップ及び前記駆動用ICチップと対向する対向面及びこの面の反対側に位置する反対面により規定されており

、

前記実装基板は、

前記反対面に形成された配線と、

前記反対面のこれらのチップと対応する領域に形成されると共に前記配線と同じ厚みの段差補正部と、を含む

ことを特徴とする半導体モジュール。

【請求項 2】

前記複数のヒートシンク部の少なくとも一つは、複数の箇所前記実装基板に固定されている、

ことを特徴とする請求項 1 に記載の半導体モジュール。

【請求項 3】

前記複数のヒートシンク部は、それぞれ、前記実装基板の電極と電気的に接続される端子を有すると共に前記複数のパワースイッチングデバイスチップの前記裏面と電気的に接続されており、

これらの端子は一行に並んでいる

10

ことを特徴とする請求項 1 又は 2 に記載の半導体モジュール。

【請求項 4】

前記複数のヒートシンク部は互いにつながり、一枚のヒートシンク板を構成しており、前記複数のパワースイッチングデバイスチップは、前記裏面どうしが前記ヒートシンク板を介して電気的に接続されており、

前記複数のパワースイッチングデバイスチップの少なくとも一つは、前記表面に形成された第 1 及び第 2 の主電極と、前記表面から前記裏面に到達する貫通孔に形成されると共に前記第 2 の主電極と前記裏面とを電気的に接続する接続導電部と、を含む

ことを特徴とする請求項 1 ~ 3 のいずれか 1 項に記載の半導体モジュール。

【発明の詳細な説明】

20

【技術分野】

【0001】

本発明は、例えばマルチチップモジュールのような半導体モジュールに関する。

【背景技術】

【0002】

DC - DC コンバータは、ある電圧の直流電流を異なる電圧の直流電流に変換する装置である。DC - DC コンバータは高効率で小型化が可能であるため、小型の電子機器（例えばノートパソコンや携帯電話のような情報通信機器）に組み込まれる電源として利用されている。

【0003】

30

パソコン等の情報通信機器は、CPU の微細化・高速化により電源（駆動電源）の低電圧・大電流化が進んでいる。CPU 用の電源電圧は 1995 年において、5.0 (V) や 3.3 (V) が主流であったが、クロック周波数が 1 GHz を超える高性能 CPU の登場で近年では、1.5 (V) にまで低電圧化し、電流も 100 (A) クラスが必要となっている。また、CPU の動作速度に対応するため電源回路の動作周波数も 1 MHz 以上が要求されている。このため、電源回路を構成するトランジスタのスイッチングの高速化も重要となっている。

【0004】

電源の低電圧・大電流化によって、これまでの電源システムの形態も変化している。ひとつの電源で複数の回路に電力を供給する形態は、配線の僅かな寄生インピーダンスによっても電圧降下が発生するため、回路に必要な電圧が供給されず誤動作を起こす原因となる。そのため現在は電源の分散化が進み、それぞれの負荷に対応した電源を負荷の近くに置く形態に移行している。

40

【0005】

例えば、ノートパソコンで説明すると、ノートパソコンは CPU、液晶画面及びハードディスク等の負荷を備えている。それぞれの負荷に対応した電源（つまり、DC - DC コンバータ）が負荷の近くに配置されている。

【0006】

従来、大電力用の DC - DC コンバータのうち、同期整流方式の非絶縁型降圧式のコンバータは、N チャネル型のパワー MOSFET (Metal Oxide Semiconductor Field Effec

50

t Transistor)、S B D (Schottky Barrier Diode : ショットキーバリアダイオード) 及び P W M (Pulse Width Modulation) 制御 I C 等により構成されている。これらの部品は個別にパッケージされており、パッケージされたこれらの部品がプリント基板に取り付けられている。

【 0 0 0 7 】

通常、電源回路で使用されるパワー M O S F E T のようなパワースイッチングデバイスは、オン抵抗やスイッチングによる電力損失が原因で発熱する。このため、パワー M O S F E T のチップにヒートシンク板を取り付けて熱をチップの外部に放出させる必要がある。なお、半導体チップにヒートシンク板を取り付けた構造を有する高周波マルチチップモジュールが、特許文献 1 に開示されている。

10

【特許文献 1】特開平 1 1 - 4 5 9 7 6 (図 1)

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 8 】

本発明の目的は、実装スペースの小面積化、配線インピーダンスの低減及び放熱性の向上を図ることが可能な半導体モジュールを提供することである。

【課題を解決するための手段】

【 0 0 0 9 】

本発明に係る半導体モジュールの一態様は、実装基板と、表面及び裏面を有すると共に前記表面が前記実装基板と面するように前記実装基板にフリップチップボンディングで実装された複数のパワースイッチングデバイスチップと、前記実装基板にフリップチップボンディングで実装されると共に前記複数のパワースイッチングデバイスチップに形成されたトランジスタのゲートを駆動するための駆動用 I C チップと、前記複数のパワースイッチングデバイスチップの前記裏面上に配置された複数のヒートシンク部と、前記複数のパワースイッチングデバイスチップ及び前記駆動用 I C チップを一つのパッケージとして封止する樹脂部材と、を備えることを特徴とする。

20

【発明の効果】

【 0 0 1 0 】

本発明によれば、実装スペースの小面積化、配線インピーダンスの低減及び放熱性の向上を図ることが可能な半導体モジュールを実現することができる。

30

【発明を実施するための最良の形態】

【 0 0 1 1 】

以下、図面を用いて本発明の実施形態について説明する。各実施形態を説明する図において、既に説明した図の符号で示すものと同一又は同等のものについては、同一符号を付すことにより説明を省略する。本実施形態に係る半導体モジュールは、パワー M O S チップ及び駆動用 I C チップを一つのパッケージに封止したマルチチップモジュールである。このモジュールは D C - D C コンバータの一部として機能する。

【 0 0 1 2 】

なお、パワー M O S チップは、ゲート絶縁膜がシリコン酸化膜を含む F E T で構成されるが、本発明はこれに限定されず、ゲート絶縁膜がシリコン酸化膜以外の絶縁膜 (例えば高誘電体膜) からなる F E T で構成されるパワー M I S (Metal Insulator Semiconductor) チップにも適用される。パワー M O S チップやパワー M I S チップは、パワースイッチングデバイスとも称される。

40

【 0 0 1 3 】

[第 1 実施形態]

(半導体モジュールの構造)

第 1 実施形態に係る半導体モジュールの構造について図 1 ~ 図 3 を用いて説明する。図 1 は、第 1 実施形態に係る半導体モジュール 1 の平面図である。図 2 は、図 1 の A 1 - A 2 線に沿った断面図であり、図 3 は、図 1 の B 1 - B 2 線に沿った断面図である。

【 0 0 1 4 】

50

半導体モジュール1は、実装基板(例えばプリント基板)3と、この上に実装された二つのパワーMOSチップ5,7(パワースイッチングデバイスの一例)及び駆動用ICチップ9と、を備える。駆動用ICチップ9は、パワーMOSチップ5,7に形成されたMOSFETのゲートを駆動するためのチップである。パワーMOSチップ5及び駆動用ICチップ9は正方形形状を有しており、パワーMOSチップ7は長方形形状を有している。これにより、正方形形状の実装基板3にチップ5,7,9を効率的に配置できる。

【0015】

図4は、パワーMOSチップ5,7の一部の断面図である。チップ5,7は、多数の縦型のMOSFETが並列接続された構造を有する。詳しく説明すると、チップ5,7は、n型のエピタキシャル層11を有するn⁺型のシリコン基板13を備える。エピタキシャル層11の上層はp型のボディ領域15である。多数のトレンチゲート17がボディ領域15を貫通するように、エピタキシャル層11に形成されている。トレンチゲート17の周囲にはゲート酸化膜19が形成されている。

10

【0016】

ボディ領域15の表面にn⁺型のソース領域21が形成されている。トレンチゲート17やソース領域21を覆うように層間絶縁膜23が形成されている。層間絶縁膜23には、コンタクトホールが形成されており、このコンタクトホールを介してソース電極24がボディ領域15やソース領域21に接続されている。シリコン基板13がn⁺型のドレイン領域となる。シリコン基板13の裏面の全面にはドレイン電極43が形成されている。

【0017】

20

図1~図3に示すように、実装基板3は、正方形形状の樹脂板25を有する。樹脂板25の四つの側面には、多数の外部端子27が所定のピッチで設けられている。端子27は半円筒状を有しており、このため実装基板3の縁は外部端子27の箇所で窪んでいる。樹脂板25の両面には、外部端子27と接続された配線29が形成されている。外部端子27及び配線29は、銅箔等の導体から構成される。

【0018】

樹脂板25の両面には、配線29を覆うようにソルダーレジスト31が形成されている。ソルダーレジスト31は、外部端子27を覆っておらず、また配線29のうち電極32a,32bとなる箇所の上に開口を有する。電極32a,32b上に半田などの接続材33がスクリーン印刷により形成されている。

30

【0019】

樹脂板25には多数のスルーホールが形成されている。スルーホールの側面には、例えばメッキにより銅等の導体膜35が形成されている。導体膜35により樹脂板25の両面の配線29が電気的に接続されている。導体膜35の内側には、樹脂37が充填されている。電気抵抗を下げるために、樹脂37の代わりに銅等の金属粉を含む樹脂を充填してもよい。

【0020】

パワーMOSチップ5,7及び駆動用ICチップ9が実装基板3にフリップチップボンディングで実装されている。詳しくは、パワーMOSチップ5,7の表面には、ゲート電極パッド39及びソース電極パッド41が形成され、裏面にドレイン電極43が形成されている。電極パッド39,41は、図4に示すソース電極24の上層に形成されている。電極パッド39,41の上にバンプ電極が形成されることもある。ゲート電極パッド39は、多数のトレンチゲート17と共通接続されている。ソース電極パッド41は、ソース電極24と接続されている。

40

【0021】

パワーMOSチップ5,7のゲート電極パッド39及びソース電極パッド41並びに駆動用ICチップ9の電極パッド49は、接続材33により実装基板3の電極32aに半田付けされている。チップ5,7,9と実装基板3とのスペースは、アンダーフィル材51で埋められている。

【0022】

50

パワーMOSチップ5の裏面47(図4)上には、パワーMOSチップ5を覆うように正方形のヒートシンク部53が配置され、同様に、パワーMOSチップ7の裏面47(図4)上には、パワーMOSチップ7を覆うように長形状のヒートシンク部55が配置されている。ヒートシンク部53, 55は、それぞれが一枚の金属性のヒートシンク板である。

【0023】

ヒートシンク部53, 55は、側部の一部が端子59として機能する。ヒートシンク部53は、四辺のうちの一辺に端子59が設けられている。これに対して、ヒートシンク部55は、四辺のうち向かい合う二つの長辺(つまり、長形状のチップ7の向かい合う二つの長辺側)に端子59が設けられている。ヒートシンク部53, 55は、端子59の箇所
10
で折り曲げられて段差が形成され、接続材33により実装基板3の電極32bに半田付けされている。したがって、ヒートシンク部53, 55は、電極32bの箇所で実装基板3に固定される共に実装基板3の配線29と電氣的に接続される。

【0024】

ヒートシンク部53は端子59が一つなので、一箇所で固定されていることになる。一方、ヒートシンク部55は端子59が二つなので、二箇所で固定されていることになる。これはヒートシンク部53, 55を含む電気回路の要求からである。したがって、電気回路の要求により、例えば、ヒートシンク部53に端子59が二つ形成される場合、ヒートシンク部53は二箇所で実装基板3に固定される。なお、ヒートシンク部が一箇所で固定される場合、ヒートシンク部の実装基板に対する平行度を維持できないこともある。この
20
場合の対応策については第2実施形態で説明する。

【0025】

ヒートシンク部53, 55の端子59以外の平面部は、パワーMOSチップ5, 7の裏面と対向しており、ヒートシンクとして機能する。上記平面部において、ヒートシンク部53, 55は、パワーMOSチップ5, 7の裏面のドレイン電極43に導電性の接続材57により半田付けされている。したがって、ヒートシンク部は、それぞれ、パワーMOSチップのうち対応するパワーMOSチップの裏面のドレイン電極(なお、チップの裏面側にソース電極がある場合はソース電極)と電氣的に接続される。

【0026】

ヒートシンク部53, 55は、(1)パワーMOSチップ5, 7を覆い、(2)その端子59が電極32bと接続され、(3)ヒートシンク部53, 55の高さが同じ(つまり同一面内)である。したがって、ヒートシンク部53, 55の段差の大きさは、接続材57の厚み、パワーMOSチップ5, 7の厚み、電極パッド39, 41の高さ、接続材33の高さ及び電極32a, 32bの高さを考慮して決める。
30

【0027】

また、ヒートシンク部53, 55は、ヒートシンクとしての機能及び配線としての機能を有する。よって、その材料は、熱的及び電氣的に良好な伝導性を有する銅が用いられる。しかしながら、アルミニウムを用いることもできる。アルミニウムは、銅よりも電気抵抗が高いが、軽量で加工性が良好だからである。また、ヒートシンク部53, 55の材料として、鉄系の材料(例えば42Alloy)を使用することもできる。この材料は、パワー
40
MOSチップ5, 7の材料と熱膨張係数の値が近いので、ヒートシンク部53, 55が熱膨張による疲労を受けにくくすることができる。

【0028】

ヒートシンク部53, 55として、アルミニウムや鉄系の材料を使用する場合、ヒートシンク部53, 55の接続材33と接続される部分(つまり端子59)や接続材57と接続される部分に、金属層(例えば、銅、金、銀、ニッケル)や合金層(例えば、半田、銀口ウ)を、蒸着、溶射メッキ、メッキなどにより形成してもよい。これらの層を形成すれば、接続性を良好にすることができる。

【0029】

なお、ヒートシンク部53, 55の材料や厚みは、通常、互いに同じである。しかしな
50

から、パワーMOSチップ5, 7の発熱量の違い等の理由で、互いに異ならせてもよい。

【0030】

ヒートシンク部53, 55の厚みが小さすぎると、ヒートシンク部53, 55の温度が急激に上昇するので好ましくない。したがって、ヒートシンク部53, 55の厚みの目安は、例えば、100 μ m以上(さらには200 μ m以上)あればよい。

【0031】

また、ヒートシンク部53, 55は、それぞれ、パワーMOSチップ5, 7の裏面を完全に覆うことにより、放熱性を良好にすると共に電気抵抗を小さくしている。しかしながら、ヒートシンク部53, 55が、パワーMOSチップ5, 7の裏面を完全に覆わず、一部露出しているもよい。

10

【0032】

パワーMOSチップ5, 7及び駆動用ICチップ9を一つのパッケージとして封止する樹脂部材61が実装基板3の上に固定されている。ヒートシンク部53, 55は、それぞれ、対応するパワーMOSチップ5, 7の裏面と面する一方の面63及びこれの反対側にある他方の面65を有している。他方の面65が半導体モジュール1の外部に露出している。したがって、全てのヒートシンク部が半導体モジュール1の外部に露出している。

【0033】

(DC-DCコンバータの回路構成及び動作)

次に、半導体モジュール1を含むDC-DCコンバータの回路構成及び動作について説明する。図5は、このDC-DCコンバータ67の回路図である。DC-DCコンバータ67は、同期整流方式の非絶縁型降圧式である。この回路が最も電力損失を低減し変換効率を高めることができる。

20

【0034】

高電位側のパワーMOSチップ(制御側素子)5及び低電位側のパワーMOSチップ(同期整流側素子)7は、ともにオン抵抗が低く、かつ低ゲート容量のNチャネル型MOSFETが使用されている。パワーMOSチップ7は、VFの低いSBD(ショットキーリアダイオード)69が並列に接続されている。パワーMOSチップ5, 7のゲート端子には、ゲートを駆動するための駆動用ICチップ9が接続されている。

【0035】

チップ5, 7のゲートは通常時、PWM(Pulse Width Modulation)制御によって駆動されている。PWM制御とは、スイッチング式電源の直流出力電圧を安定化させるための制御方式である。つまり、スイッチング・トランジスタ(パワーMOSチップ5)のON時間とOFF時間の割合を変えて、出力電圧を制御する。出力電圧が低下するとON時間を長くし、上昇すると短くすることによって、常に一定の電圧を保つことができる。なお、チップ5, 7のゲートをPFM(Pulse Frequency Modulation)制御によって駆動することもできる。PFM制御とは、スイッチング・トランジスタ(パワーMOSチップ5)のON時間は一定のまま、スイッチング周波数を変えて出力電力を制御する。出力電圧が低下するとスイッチング周波数を高くし、上昇すると低くすることによって、常に一定の電圧を保つことができる制御である。

30

【0036】

DC-DCコンバータ67の出力側には、インダクタ71およびコンデンサ73が接続されている。DC-DCコンバータ67の出力には、例えばCPU75のような負荷が接続される。

40

【0037】

次に、DC-DCコンバータ67の基本的な動作について、図5及び図6を用いて説明する。図6は、パワーMOSチップ5, 7に入力される信号のタイミングチャートである。入力電圧VINが例えば24Vの場合、このコンバータ67により、例えば1.5Vに変換されてCPU75に供給される。

【0038】

まず、時刻t1において、パワーMOSチップ7のMOSFET(M2)がオフの状態

50

でパワーMOSチップ5のMOSFET(M1)をオンさせる。これにより、入力電圧VINによって矢印(1)に示す電流が流れ、インダクタ71を介してCPU75に電力が供給される。つぎに、時刻t2でMOSFET(M1)をオフさせる。これにより、入力電圧VINによるCPU75への電力の供給は停止される。その替わり、インダクタ71に蓄えられた電力によって、矢印(2)に示す電流がSBD69を介して転流することにより、CPU75に電力が供給される。

【0039】

MOSFET(M1)とMOSFET(M2)の貫通防止のために設定された所定のデッドタイムDTが経過したのち、時刻t3において、MOSFET(M2)をオンさせる。MOSFET(M2)はSBD69よりも抵抗が小さいため、インダクタ71に蓄えられた電力により生じる電流は、SBD69でなく、矢印(3)に示すようにMOSFET(M2)を介して転流する。これにより、CPU75に電力が供給される。コンデンサ73は出力電圧波形を平滑化するため使用される。パワーMOSチップ7、つまりMOSFET(M2)がなくても、DC-DCコンバータとして機能する。

10

【0040】

ここで、MOSFET(M2)を設けた理由を説明する。時刻t2により、SBD69を介して矢印(2)の電流が流れる。SBD69に電流が流れると、それにより電圧降下が生じ、その分だけCPU75に供給される電力にロスが生じる。MOSFETはSBDよりも電圧降下を小さくできる。そこで、デッドタイムDT中は、SBD69を経由させて電流を流し、デッドタイムDT経過後は、MOSFET(M2)を経由させて電流を流すことにより、CPU75に効率良く電力を供給している。

20

【0041】

(第1実施形態の主な効果)

次に、第1実施形態の主な効果を説明する。第1実施形態によれば、半導体モジュール1を含む半導体装置(例えばDC-DCコンバータ67)の実装スペースの小面積化、配線インピーダンスの低減及び放熱性の向上を図ることができる。以下、詳細に説明する。

【0042】

従来のDC-DCコンバータは、パワーMOSチップ、駆動用ICチップ、SBD(ショットキーバリアダイオード)等の部品が個別にパッケージされており、パッケージされたこれらの部品がプリント基板に取り付けられている。近年、パソコン等の低電圧化及び大電流化が急激に進んでおり、このような構造のDC-DCコンバータでは、実装スペースの増大、配線インピーダンスの増加、熱の放散が難しくなるといった問題が生じる。

30

【0043】

まず、実装スペースの増大について説明する。現在のDC-DCコンバータに必要な電流容量は、MOSFET単体(一個のパワーMOSチップ)の定格電流を超えることがある。このような場合、複数個のパワーMOSチップを並列接続することにより、上記必要な電流容量を賄っている。したがって、大電流化に対応するためにはパワーMOSチップの数を増やさなければならない。この結果、実装スペースが増えるので、DC-DCコンバータを小型化できない問題が生じる。

【0044】

つぎに、配線インピーダンスの増加について説明する。実装スペースが増えることにより実装基板が大面積化すると、必然的に配線長が増えるため抵抗やインダクタンスの増加につながる。抵抗の増加は電圧降下の原因となり、負荷に供給する電圧が不足し誤動作を起こす原因となる。また、インダクタンスの増加は高速化や高周波化を妨げ、さらにリングングも増加するためこれも誤動作の原因となる。

40

【0045】

最後に熱の放散が難しくなる問題について説明する。CPUのような負荷は、発熱量が多いため負荷自身に大きなヒートシンク部を取り付ける必要がある。したがって、上記負荷の近くでは、パワーMOSチップのヒートシンク部の取り付けスペースを確保することが難しい。パワーMOSチップにヒートシンク部を取り付けない場合、パワーMOSチッ

50

プの過大な電力損失を避けるためには、パワーMOSチップの個数を増やしてMOSFETの抵抗を下げなければならない。しかし、パワーMOSチップの個数が増えるため、実装スペースの増大や配線インピーダンスの増加という問題が生じる。

【0046】

第1実施形態に係る半導体モジュール1によれば、パワーMOSチップ5,7及び駆動用ICチップ9が一つのパッケージに収容されている、つまり、これらのチップが同一外囲器に搭載されている。このため、DC-DCコンバータ67の実装スペースの小面積化(小型化)を図ることができる。

【0047】

また、小型化により実装密度が向上するため、素子間の配線を短くできる。これにより、DC-DCコンバータ67の配線インピーダンスを低減できる。よって、DC-DCコンバータ67の高速化および高周波化が可能となる。

【0048】

さらに、ヒートシンク部53,55により、パワーMOSチップ5,7から発生した熱を効率的に放散できる。特に、ヒートシンク部53,55の他方の面65が半導体モジュール1の外部に露出しているため、放熱性をさらに向上させることができる。また、第1実施形態によれば、パワーMOSチップ5,7をフリップチップボンディングにより実装し、パワーMOSチップ5,7の裏面の上にそれぞれヒートシンク部53,55が配置されている。これにより、実装面積を増やすことなくヒートシンク部53,55を配置できると共にパワーMOSチップ5,7がCPUの近くに配置されていても、CPUにヒートシンク部を取り付ける際の障害とならない。さらに、ヒートシンク部53,55が接続材57によりパワーMOSチップ5,7に取り付けられている。接続材57は熱伝導性が優れているので、チップ5,7で発生した熱は速やかに接続材57を介してヒートシンク部53,55に伝わる。この点からも熱を効率的に放散することができる。

【0049】

なお、駆動用ICチップ9にはヒートシンク部が取り付けられていない。つまり、駆動用ICチップ9は、パワーMOSチップ5,7のようにヒートシンク部で覆われていない。しかしながら、駆動用ICチップ9から発生する熱を効率的に放散するために、駆動用ICチップ9の裏面上にヒートシンク部を配置してもよい。

【0050】

また、第1実施形態によれば、次の効果も生じる。ヒートシンク部53,55はパワーMOSチップ5,7のドレイン電極43と実装基板3の配線29とを接続する配線としての機能も有する。ヒートシンク部53,55は電流経路の幅が広いいため、寄生抵抗や寄生インダクタンスが小さい配線となる。

【0051】

(第1実施形態の変形例)

図7は第1実施形態に係る半導体モジュール1の変形例の平面図であり、図1と対応する。パワーMOSチップ7が低電位側回路を構成し、パワーMOSチップ5が高電位側回路を構成する。パワーMOSチップ7が三つのチップ7-1,7-2,7-3に分割されている。この点で、図7の半導体モジュール1は図1のそれと異なる。ヒートシンク部55のうち、各チップ7-1,7-2,7-3と対応する領域が、各チップのヒートシンク部となる。したがって、この場合、複数のヒートシンク部が互いにつながり、一枚のヒートシンク板(ヒートシンク部55)を構成していると言える。

【0052】

図1のパワーMOSチップ7は、その寸法が比較的大きい。よって、熱膨張量が大きいので、熱応力も大きくなる。そこで、図7の変形例では、パワーMOSチップ7を寸法の比較的小さい三つのチップ7-1,7-2,7-3に分割している。これにより、電流量を確保しつつ熱応力を低減している。なお、熱応力低減ではなく、半導体モジュール1に大電流を流すために、複数のパワーMOSチップ7-1,7-2,7-3を配置する場合もある。

10

20

30

40

50

【 0 0 5 3 】

この変形例では、低電位側回路及び高電位側回路のうち、低電位側回路が三つのパワーMOSチップを有する。しかしながら、高電位側回路及び低電位側回路の少なくとも一方が、複数のパワーMOSチップを有すればよい。また、チップの個数も三つに制限されず、二つ以上であればよい。

【 0 0 5 4 】

[第 2 実施形態]

図 8 は、第 2 実施形態に係る半導体モジュール 1 の平面図である。図 9 は、図 8 の C 1 - C 2 線に沿った断面図である。図 8 及び図 9 を用いて、第 2 実施形態を第 1 実施形態と相違する点を中心に説明する。

10

【 0 0 5 5 】

第 2 実施形態では、パワーMOSチップ 5 を覆うヒートシンク部 5 3 が、駆動用 IC チップ 9 を覆うように駆動用 IC チップ 9 の上まで延びている。パワーMOSチップ 5 と駆動用 IC チップ 9 とでヒートシンク部 5 3 を共用している。したがって、ヒートシンク部 5 3 とは別に駆動用 IC チップ 9 を覆うヒートシンク部を配置した場合に比べて、ヒートシンク部を大面積にでき、その分だけ放熱性を向上させることができる。

【 0 0 5 6 】

但し、駆動用 IC チップ 9 の裏面 7 7 はグランド電位であり、パワーMOSチップ 5 のドレイン電極 4 3 の電位と異なる。したがって、ヒートシンク部 5 3 と駆動用 IC チップ 9 との間は樹脂部材 6 1 で絶縁されている。つまり、ヒートシンク部 5 3 は、駆動用 IC チップ 9 と絶縁されて駆動用 IC チップ 9 の上まで延びている。

20

【 0 0 5 7 】

逆の構造、つまり、ヒートシンク部 5 3 が駆動用 IC チップ 9 の裏面 7 7 と接続材により接続され、ヒートシンク部 5 3 とパワーMOSチップ 5 との間が樹脂部材 6 1 で絶縁された構造も可能である。熱は、樹脂よりも導電性の接続材 5 7 を介した方がヒートシンク部 5 3 に伝導しやすい。パワーMOSチップ 5 は駆動用 IC チップ 9 よりも発熱量が多い。このため、第 2 実施形態では、パワーMOSチップ 5 がヒートシンク部 5 3 と接続材 5 7 より接続されている。

【 0 0 5 8 】

上記接続により、ヒートシンク部 5 3 の電位がパワーMOSチップ 5 のドレイン電位と同じになる。よって、駆動用 IC チップ 9 は、電位が固定されたヒートシンク部 5 3 によりシールドされることになる。駆動用 IC チップ 9 の裏面 7 7 はグランド電位である。DC - DC コンバータが高周波化すると、高周波によりグランド電位が変動し、駆動用 IC チップ 9 が誤動作する可能性がある。第 2 実施形態では、駆動用 IC チップ 9 が電位の固定されたヒートシンク部 5 3 でシールドされるので、高周波によるグランド電位の変動を防止することが可能となる。

30

【 0 0 5 9 】

チップ 5 , 9 間にはヒートシンク部の端子がないため、チップ 5 , 9 間の距離は比較的短い。したがって、チップ 5 の裏面に接続材 5 7 を形成する際、接続材 5 7 が広がり、接続材 5 7 がチップ 9 と接触する可能性がある。そこで、第 2 実施形態では、駆動用 IC チップ 9 を薄く研磨することにより、駆動用 IC チップ 9 の厚み (例えば 140 μm) をパワーMOSチップ 5 の厚み (例えば 150 μm) より小さくしている。これにより、チップ 5 , 9 間の平面的な面積を増加させることなく、チップ 5 , 9 の裏面どうしを離すことができる。

40

【 0 0 6 0 】

ところで、第 2 実施形態では、ヒートシンク部 5 3 が駆動用 IC チップ 9 上まで延びているため、ヒートシンク部 5 3 は長形状を有している。図 10 は、第 2 実施形態に係るヒートシンク部 5 3 の斜視図である。ヒートシンク部 5 3 には、一つ端子 5 9 が設けられており、一箇所実装基板 3 に固定されている。さらに、端子 5 9 は、ヒートシンク部 5 3 の長辺の一部に形成されている。したがって、ヒートシンク部 5 3 の保持が不安定とな

50

り、ヒートシンク部 5 3 の実装基板 3 に対する平行度を維持できないことがある。端子をもう一箇所設ければ、平行度を維持することが可能であるが、電気回路上、端子が必要でないこともある。

【 0 0 6 1 】

このような場合、図 1 1 に示す第 2 実施形態に係るヒートシンク部 5 3 の変形例によれば、ヒートシンク部 5 3 の平行度を維持することができる。ヒートシンク部 5 3 は、向かい合う二つの短辺側が折り曲げられることにより、二つの折曲部 7 9 が形成されている。折曲部 7 9 は、実装基板 3 のソルダーレジスト 3 1 上に載せられる。これにより、一つの端子 5 9 を有するヒートシンク部 5 3 の平行度を維持することができる。

【 0 0 6 2 】

[第 3 実施形態]

第 3 実施形態では、S B D が内蔵された低電位側のパワー M O S チップを備えたことがこれまでの実施形態と異なる。図 1 2 は、第 3 実施形態に備えられる低電位側のパワー M O S チップ 7 a の一部の断面図であり、図 4 のパワー M O S チップ 7 と対応する。M O S F E T の形成領域の終端 8 1 から所定の距離を離して、S B D 6 9 が形成されている。この所定の距離とは、M O S F E T と S B D とが互いに干渉しない距離である。

【 0 0 6 3 】

S B D 6 9 は、エピタキシャル層 1 1 と、この上に形成されたアルミニウム等からなる金属膜 8 3 と、で構成される。エピタキシャル層 1 1 と金属膜 8 3 とが接触することにより、この接触部分にショットキーバリアが形成される。S B D 6 9 は、パワー M O S チップ 7 の M O S F E T と並列接続されている。なお、S B D 6 9 の替りに p n 接合を有するダイオードを用いることも可能である。

【 0 0 6 4 】

第 3 実施形態のように、S B D 6 9 を内蔵したパワー M O S チップ 7 a を半導体モジュールに使用すれば、S B D 6 9 のチップを使用した場合に比べて部品点数を削減出来る。このため、半導体モジュールの組立時間を短縮できると共に半導体モジュールの小型化も可能となる。また、パワー M O S チップ 7 a と S B D 6 9 のチップとを接続する配線が不要となる。よって、この配線のインピーダンスを無くすことができるため、高速性能の良い半導体モジュールが得られる。

【 0 0 6 5 】

[第 4 実施形態]

図 3 に示す第 1 実施形態に係る半導体モジュール 1 では、ヒートシンク部 5 3 , 5 5 の二つとも半導体モジュール 1 の外部に露出させている。ヒートシンク部 5 3 , 5 5 を半導体モジュール 1 の外部に露出させた方が放熱効果は上がる。一方、パワー M O S チップ 5 , 7 どうしや外部とのショートを防止する必要もある。第 4 実施形態に係る半導体モジュールは、このショート防止構造を主な特徴としている。

【 0 0 6 6 】

図 1 3 ~ 図 1 6 は、第 4 実施形態に係る半導体モジュールの第 1 ~ 第 4 態様の断面図であり、図 3 と対応する。図 1 3 に示す第 1 態様の半導体モジュール 1 では、ヒートシンク部 5 3 , 5 5 は樹脂部材 6 1 で覆われている。つまり、複数のヒートシンク部が全て樹脂部材 6 1 で覆われている。これにより、上記ショート防止を達成している。パワー M O S チップ 5 , 7 の発熱量が比較的小さければ、ヒートシンク部 5 3 , 5 5 を樹脂部材 6 1 で覆っていても、チップ 5 , 7 の動作に問題は生じない。このような場合に、第 1 態様を用いることができる。なお、図 3 に示すヒートシンク部 5 3 , 5 5 の上に樹脂部材 6 1 を形成する代わりに、グリス等を被覆してもよい。

【 0 0 6 7 】

図 1 4 に示す第 2 態様の半導体モジュール 1 は、図 3 に示す半導体モジュールのヒートシンク部 5 3 , 5 5 上に絶縁性のヒートシンク板 8 5 が形成された構造を有する。ヒートシンク板 8 5 の材料は、例えばセラミックスである。第 2 態様によれば、第 1 態様に比べて放熱性を向上させることができる。

10

20

30

40

50

【 0 0 6 8 】

図 1 5 に示す第 3 態様の半導体モジュール 1 は、樹脂部材 6 1 で覆われたヒートシンク部 5 3 と、外部に露出しているヒートシンク部 5 5 とを備える。したがって、複数のヒートシンク部のうち、一部のヒートシンク部が半導体モジュールの外部に露出している。パワー MOS チップ 7 の発熱量が比較的大きいため、ヒートシンク部 5 5 を外部に露出させている。ヒートシンク部 5 3 は樹脂部材 6 1 で覆われているため、パワー MOS チップ 5 , 7 どちらのショートを防止できる。

【 0 0 6 9 】

第 3 態様では、ヒートシンク部 5 5 を外部に露出させるために、パワー MOS チップ 7 の厚みをパワー MOS チップ 5 の厚みよりも大きくしている。これ以外に、実装基板の電極 3 2 a、接続材 3 3、電極パッド 3 9 , 4 1、接続材 5 7 についても同様のことが言える。例えば、パワー MOS チップ 7 に対応する電極 3 2 a の高さを、パワー MOS チップ 5 に対応する電極 3 2 a の高さより大きくするのである。チップの厚み、電極の高さ等を組み合わせてもよいし、いずれか一つでもよい。

【 0 0 7 0 】

図 1 6 に示す第 4 態様の半導体モジュール 1 は、外部に露出しているヒートシンク部 5 3 , 5 5 を備え、パワー MOS チップ 5 の裏面上のヒートシンク部 5 3 は端子 5 9 を有さない。したがって、ヒートシンク部 5 3 は配線としての機能を有さない。

【 0 0 7 1 】

[第 5 実施形態]

図 1 7 は、第 5 実施形態に係る半導体モジュール 1 の平面図である。図 1 8 は、図 1 7 の D 1 - D 2 線に沿った断面図である。図 1 の半導体モジュール 1 と異なる点は、ソルダーレジスト 3 1 の外縁の位置である。以下、第 5 実施形態を詳細に説明する。

【 0 0 7 2 】

実装基板 3 は、これまでの実施形態の実装基板 3 も同様であり、側面 8 7、チップ 5 , 7 , 9 と対向する対向面 8 9 及びこの面 8 9 の反対側に位置する反対面 9 1 により規定されている。一方、これまでの実施形態と異なり、第 5 実施形態のソルダーレジスト 3 1 は、樹脂部材 6 1 の縁部と対向面 8 9 とで挟まれると共に樹脂部材 6 1 の縁部に沿って樹脂部材 6 1 からみ出して対向面 8 9 に形成されている。これにより、モールドの際に樹脂部材 6 1 が外部端子 2 7 に流れるのを防止している。この効果については、次の第 5 実施形態に係る半導体モジュール 1 の組み立て工程でさらに説明する。

【 0 0 7 3 】

図 1 9 ~ 図 2 4 は、第 5 実施形態に係る半導体モジュール 1 の組み立て工程を示す図であり、実装基板 3 等の断面が表れている。図 1 9 に示すように、配線 2 9、電極 3 2 a , 3 2 b 等が形成された状態の実装基板 3 を用意する。配線 2 9 はソルダーレジスト 3 1 で覆われ、電極 3 2 a , 3 2 b は露出している。実装基板 3 のサイズは、縦横 1 1 mm である。

【 0 0 7 4 】

図 2 0 に示すように、電極 3 2 a , 3 2 b 上に接続材 3 3 を印刷法により、供給する。接続材 3 3 は、はんだであり、具体的には、Sn 1 0 P b 9 0 はんだである。はんだ材料には、Sn - P b 系のはんだ材ではなく、Sn - Z n 系はんだ、Sn - B i 系はんだなどを使用しても良い。

【 0 0 7 5 】

次に、図 2 1 に示すように、マウンタ (図示せず) を使用して、パワー MOS チップ 5 , 7 の電極パッド 3 9 , 4 1 及び図示しない駆動用 IC チップ 9 の電極パッドを、電極 3 2 a と対向させて、チップ 5 , 7 , 9 をマウントする。パワー MOS チップ 5 の寸法は、縦横 2 mm、厚さ 2 5 0 μ m である。パワー MOS チップ 7 の寸法は、縦横 3 mm × 5 mm、厚さ 2 5 0 μ m である。駆動用 IC チップ 9 の寸法は、縦横 2 mm、厚さ 2 0 0 μ m である。

【 0 0 7 6 】

上記チップがマウントされた実装基板 3 をリフロー炉に通して、はんだ接合を行う。リフロー加熱時の温度プロファイルの一例を図 25 に示す。加熱は、室温から 180 まで 60 秒で一定速度昇温し、180 から 220 まで 80 秒で緩やかに昇温したのち、220 から 320 まで 40 秒で一定速度昇温するプロファイルを用いた。

【0077】

はんだ接合をした後、フラックス残渣を除去するため、はんだ接合後の実装基板 3 を洗浄する。この実装基板 3 を、例えば、市販のフラックス洗浄液につけ、45 kHz の超音波を 10 分間印加することにより、フラックス残渣は洗浄される。

【0078】

次に、図 22 に示すように、チップ 5, 7, 9 と実装基板 3 とのスペースに、アンダーフィル材 51 をディスペンサーによって供給する。アンダーフィル材 51 は毛細管現象により上記スペースに充填される。毛細管現象を発生しやすくするために、アンダーフィル材 51 中のフィラーの量は少ない。したがって、アンダーフィル材 51 中のフィラーのパーセンテージは、樹脂部材 61 のそれよりも低い。アンダーフィル材も樹脂である。よって、樹脂部材 61 及びアンダーフィル材 51 からなる樹脂部材は、チップ 5, 7, 9 と実装基板 3 とのスペースに位置する部分が他の部分よりもフィラー含有量が少ないとすることができる。

【0079】

その後、熱処理によりアンダーフィル材 51 を硬化させる。なお、上記スペースをこの後の樹脂封止にて使用する樹脂で充填でき、この方法でも特性上および信頼性上問題なければ、アンダーフィル材を使用しなくとも良い。

そして、チップ 5, 7, 9 の裏面上、電極 32b 上に、それぞれ、接続材 57, 33 をディスペンサ法により供給する。はんだ材には、上記フリップチップ接続で用いた接続材のはんだである Sn10Pb90 の融点よりも高い融点を有する Sn5Pb95 はんだを使用している。はんだ材には、例えば Sn-Pb-Ag 系のものを使用しても良いが、はんだ材の融点は、フリップチップ接続で用いた接続材よりも高いものを供給する。この理由は、この後の第 5 実施形態の主な効果の箇所を説明する。

【0080】

図 22 の工程後、図 23 に示すように、多機能マウンタを用いて、ヒートシンク部 53, 55 をマウントする。ヒートシンク部 53, 55 は、厚さ 200 μm の銅のフレームを使用した。

【0081】

次に、ヒートシンク部 53, 55 がマウントされた実装基板 3 をリフロー炉に通して、ヒートシンク部 53, 55 をはんだ接合する。ここでの加熱プロファイルは、前記加熱プロファイルとピーク温度のみが異なり、ピーク温度 330 の条件で加熱する。リフロー後には、フラックス残渣の洗浄を実施する。

【0082】

そして、洗浄後の実装基板 3 を図 24 に示すように、モールド金型 93 に入れて、チップ 5, 7, 9 を樹脂封止する、モールド工程を実施する。具体的に説明すると、モールド工程は、180 に保持されたモールド金型 93 に上記洗浄後の実装基板 3 を入れ、樹脂を 10 秒かけて金型 93 内部に充填させた後、60 秒間金型 93 内で保持して、樹脂を硬化させる。その後、チップ 5, 7, 9 が樹脂封止された実装基板 3 を金型から取り出す。

【0083】

通常、多数の実装基板 3 が一枚の状態でもールド工程まで実施される。したがって、ダイシング又は金型内抜きにより、実装基板 3 を個片化する。以上により、半導体モジュールが完成する。

【0084】

もし、ヒートシンク部 53, 55 の他方の面 65 (外部に露出する面) に樹脂漏れが発生していた場合、モールド前に、ヒートシンク部 53, 55 の他方の面 65 の全面にテープを貼った後にモールドを行い、モールド後にテープを剥がすことで樹脂漏れを防止して

10

20

30

40

50

もよい。

【0085】

第5実施形態の主な効果を説明する。第5実施形態では、モールド金型93の開口部を規定するエッジ95全体がソルダーレジスト31と接触している。つまり、エッジ95と実装基板3の対向面89とでソルダーレジスト31を挟んだ状態にされている。ソルダーレジスト31は比較的柔軟性があるので、エッジ95と対向面89との間に隙間が発生しない。この結果、外部端子27に樹脂が漏れるのを防止することができる。エッジ95とソルダーレジスト31との接触面の幅は例えば100 μ mである。また、図24に示すように、第5実施形態では、パワーMOSチップ5,7の裏面のドレイン電極43とヒートシンク部53,55とを電氣的に接続する接続材57(第1の接続材の一例)と、

10

【0086】

接続材33,57を同一組成のはんだ材(つまり融点と同じ)にしてもよい。しかし、この場合、接続材57をリフローさせて、パワーMOSチップ5,7のドレイン電極43とヒートシンク部53,55とを接続する際に、熔融した接続材57を凝固させた後、室温まで温度を下げる段階において、接続材33の信頼性に問題(例えば、パンプオープン:接続材33から電極パッド39,41が剥がれること)が発生することがある。これは

20

【0087】

第5実施形態では、接続材57の融点が接続材33の融点よりも高いので、熔融した接続材57を凝固させた後、室温まで温度を下げる段階において、接続材33は凝固していない状態である。したがって、接続材33には上記原因が発生しないため、パンプオープンなどを防止できる。この結果、第5実施形態によれば、接続材33の信頼性、ひいては半導体パッケージの信頼性を向上させることができる。

【0088】

なお、第5実施形態では、接続材33,57の材料としてはんだを用いたが、金属粉含有の樹脂ペーストを用いることもできる。また、一方の接続材をはんだとし、他方の接続材を樹脂ペーストにしてもよい。

30

【0089】

ところで、本発明には、図26~図28に示す実施形態も含まれる。これらの図は、図3と対応する。図26の半導体モジュール1において、チップ5,7,9と実装基板3とのスペースに、アンダーフィル材51が設けられておらず、その場所に樹脂部材61が埋め込まれている。

【0090】

上記スペースは狭いので、樹脂部材61をモールドする際に上記スペースに樹脂部材61が入り込まないことがあり、樹脂部材61に気泡が発生する。そこで、図3の半導体モジュール1では、モールドの前に上記スペースにアンダーフィル材51を注入することにより、気泡の発生を防止している。

40

【0091】

モールドにより、チップ5,7,9と実装基板3とのスペースに樹脂部材61が入り込む場合、図26の半導体モジュール1となる。これにより、アンダーフィル材の注入工程を省略することができる。

【0092】

図27の半導体モジュール1が図3に示す半導体モジュール1と異なる点は、樹脂部材61及びアンダーフィル材51が設けられていないことである。

50

【 0 0 9 3 】

樹脂部材 6 1 が設けられていないため、パワー M O S チップ 5 , 7、駆動用 I C チップ (図示せず) 及びヒートシンク部 5 3 , 5 5 の全体が露出している。また、アンダーフィル材 5 1 が設けられていないため、これらのチップと実装基板 3 との間に隙間が形成されている。

【 0 0 9 4 】

樹脂部材 6 1 及びアンダーフィル材 5 1 を設けなくても、半導体モジュールの使用に支障が生じない場合がある。このような場合に図 2 7 の半導体モジュール 1 を用いることができる。例えば、実装基板 3 がセラミックス基板であると、実装基板 3 の熱膨張率とチップ 5 , 7 のそれとが近くなる。したがって、チップ 5 , 7 の発熱により、実装基板 3 やチップ 5 , 7 が膨張しても、接続材 3 3 が電極パッド 3 9 , 4 1 から剥がれることはない。つまり、接続材 3 3 の信頼性が低下しない。図 2 7 の半導体モジュール 1 では、樹脂部材 6 1 及びアンダーフィル材 5 1 を設けていないので、半導体モジュールの製造コストを下げることができる。

【 0 0 9 5 】

図 2 8 の半導体モジュール 1 が図 2 7 の半導体モジュール 1 と異なる点は、パワー M O S チップ 5 , 7 及び駆動用 I C チップ (図示せず) と実装基板 3 とのスペースに、アンダーフィル材 5 1 が埋め込まれていることである。したがって、実装基板の電極 3 2 a、接続材 3 3 及び電極パッド 3 9 , 4 1 のみが樹脂封止されている。

【 0 0 9 6 】

ゲート電極パッド 3 9 やソース電極パッド 4 1 の箇所には、チップ 5 , 7 の発熱により発生した熱応力が集中する。熱応力が原因で、接続材 3 3 が電極パッド 3 9 , 4 1 から剥がれるのを、アンダーフィル材 5 1 により防止することが可能となる。

【 0 0 9 7 】

[第 6 実施形態]

図 2 9 は、第 6 実施形態に係る半導体モジュール 1 の裏面図である。一方、図 3 0 は、第 5 実施形態に係る半導体モジュール 1 の裏面図である。裏面は、実装基板 3 の面のうち、チップ 5 , 7 , 9 と対向する対向面の反対側に位置する反対面 9 1 である。

【 0 0 9 8 】

反対面 9 1 には、外部端子 2 7 から延びた端子板 9 7 が形成されている。端子板 9 7 は、一つ外部端子 2 7 のみと接続されていたり、複数の外部端子 2 7 と共通接続されていたりしている。反対面 9 1 には、端子板 9 7 どうしを接続する配線 2 9 が形成されている。配線 2 9 や端子板 9 7 はソルダレジスト 3 1 で覆われている。図 3 0 の第 5 実施形態に係る半導体モジュール 1 の配線 2 9 に比べて、図 2 9 の第 6 実施形態に係る半導体モジュール 1 の配線 2 9 は幅がかなり広い。図 2 9 の配線 2 9 は、反対面 9 1 のうち、チップ 5 , 7 , 9 と対応する領域をほぼ覆っている。図 2 9 の配線 2 9 は、段差補正部としての機能も有する。以下、段差補正部について説明する。

【 0 0 9 9 】

図 3 1 は、モールド金型 9 3 に入れられた、樹脂封止前の実装基板 3 等の断面図であり、図 2 4 と対応する。図 2 4 では反対面 9 1 に段差が形成されていないが、実際には図 3 1 に示すように段差 9 9 が形成されている。これは、図 3 0 に示すように、反対面 9 1 上に、配線 2 9 や端子板 9 7 の形成部と非形成部とがあると、非形成部に位置するソルダレジスト 3 1 と、形成部に位置するソルダレジスト 3 1 とに高さの差が生じるからである。配線 2 9 や端子板 9 7 の厚みは、例えば、 $35\ \mu\text{m}$ である。したがって、段差 9 9 は $35\ \mu\text{m}$ 程度である。

【 0 1 0 0 】

しかし、このような段差 9 9 が生じた状態でモールドすると、モールド金型 9 3 内に注入された樹脂の圧力により、モールド金型 9 3 内において、図 3 2 に示すような実装基板 3 のたわみが発生する。これにより、バンプオープン等が起こり、半導体モジュールの信頼性が低下する。段差 9 9 が $18\ \mu\text{m}$ 程度でも、このような問題が生じる。

【 0 1 0 1 】

これに対して、図 2 9 の第 6 実施形態に係る半導体モジュール 1 において、配線 2 9 が段差補正部としても機能するので、ソルダーレジスト 3 1 に段差が発生するのを防止できる。この結果、モールドの際に上記たわみが発生することはないので、半導体モジュールの信頼性を向上させることができる。

【 0 1 0 2 】

なお、図 3 3 に示す第 6 実施形態の変形例のように、ダミー配線 1 0 1 を段差補正部にしてもよい。ダミー配線 1 0 1 は、配線 2 9 と同時に形成されたものであり、配線と同じ厚みである。したがって、ダミー配線 1 0 1 によっても、ソルダーレジスト 3 1 に段差が発生するのを防止できる。ダミー配線 1 0 1 は、いずれの配線とも接続されていない。

10

【 0 1 0 3 】

[第 7 実施形態]

図 3 4 は、第 7 実施形態に係る半導体モジュールに備えられるパワー MOS チップ 5 の表面 4 5 を示す平面図である。表面 4 5 には、一つのゲート電極パッド 3 9 と多数のソース電極パッド 4 1 が形成されている。ゲート電極パッド 3 9 は、図 4 のトレンチゲート 1 7 の引き出し電極である。ソース電極パッド 4 1 は、第 1 の主電極の一例である図 4 のソース電極 2 4 の引き出し電極である。この実施形態では、図 4 のドレイン電極 4 3 が第 2 の主電極である。

【 0 1 0 4 】

モールドの際に、熱により、実装基板 3 は延びる。この延びの影響は、コーナー部に近づくに従い大きくなる。したがって、コーナー部に位置する電極パッドは熱応力でバンプオープンしやすい。通常、ゲート電極パッド 3 9 は、表面 4 5 のコーナー部に形成される。しかし、ゲート電極パッド 3 9 は一つであるため、バンプオープンが発生すると、半導体モジュールが不良品となる。

20

【 0 1 0 5 】

そこで、第 7 実施形態では、ゲート電極パッド 3 9 の周囲にソース電極パッド 4 1 を形成している。したがって、ゲート電極パッド 3 9 がコーナー部に位置しないので、ゲート電極パッド 3 9 の熱応力によるバンプオープンを防止できる。

【 0 1 0 6 】

[第 8 実施形態]

図 3 5 は、第 8 実施形態に係る半導体モジュール 1 の平面図である。図 3 6 は、図 3 5 の E 1 - E 2 線に沿った断面図であり、図 3 7 は、図 3 5 の F 1 - F 2 線に沿った断面図である。第 8 実施形態が図 8 の第 2 実施形態と主に相違するのは、ヒートシンク部 5 3 , 5 5 が互いにつながり、一枚のヒートシンク板 1 0 3 を構成していることである。

30

【 0 1 0 7 】

パワー MOS チップ 5 (第 1 のパワー M I S チップの一例) の表面には、ドレイン電極パッド 1 0 5 及びゲート電極パッド 1 0 7 が形成され、裏面にはソース電極 1 0 9 が形成されている。一方、パワー MOS チップ 7 (第 2 のパワー M I S チップの一例) は、パワー MOS チップ 5 と比較して、ドレインとソースが逆に配置されている。つまり、パワー MOS チップ 7 の表面には、ソース電極パッド 1 1 1 及びゲート電極パッド 1 1 3 が形成

40

【 0 1 0 8 】

第 8 実施形態に係るパワー MOS チップ 5 , 7 のそれぞれの構造を説明する。図 3 8 は、パワー MOS チップ 5 の一部の断面図である。チップ 5 は、 p^+ 型のシリコン基板 1 1 7 及びこの上に形成されたエピタキシャル層である p^- 型のベース領域 1 1 9 を備える。シリコン基板 1 1 7 は p^+ 型のソース領域として機能する。シリコン基板 1 1 7 の裏面の全面は、ソース電極 1 0 9 とコンタクトしている。

【 0 1 0 9 】

ベース領域 1 1 9 には、互いに接する n^+ 型のドレイン領域 1 2 1 及び n^- 型のドリフト領域 1 2 3 が形成されている。ベース領域 1 1 9 には、ドリフト領域 1 2 3 と間隔を設

50

けて n^+ 型のソース領域125が形成されている。ドリフト領域123とソース領域125との間の上にはゲート酸化膜を介してゲート127が形成されている。ゲート127によりベース領域119にチャンネルが形成される。このチャンネル及びドリフト領域123を介して、ドレイン領域121とソース領域125が導通する。

【0110】

ソース領域125の隣には、ベース領域119を貫通してシリコン基板117に到達する p^+ 型の導通領域129が形成されている。導通領域129とソース領域125とは、ショート電極131により電氣的に接続されている。これにより、ソース領域125とベース領域119とがショートされる。

【0111】

ゲート127及びショート電極131を覆うように層間絶縁膜133が形成されている。層間絶縁膜133上にはドレイン電極135が形成されている。ドレイン電極135は、層間絶縁膜133に形成されたコンタクトホールを介してドレイン領域121とコンタクトしている。

【0112】

上記構造を有するパワーMOSチップ5は、チップの表面に平行な方向に電流を流す、いわゆる横型である。これに対して、パワーMOSチップ7は、チップの表面に垂直な方向に電流を流す、いわゆる縦型である。図39は、第8実施形態に係るパワーMOSチップ7の一部の断面図である。チップ7は、 n^+ 型のシリコン基板137及びこの上に形成されたエピタキシャル層である n^- 型のドリフト領域139を備える。シリコン基板137は n^+ 型のドレイン領域として機能する。シリコン基板137の裏面の全面は、ドレイン電極115とコンタクトしている。ドリフト領域139はシリコン基板137の表面に垂直な方向に電流経路を有する。

【0113】

ドリフト領域139には、複数の p 型のベース領域141が間隔を設けて形成されている。各ベース領域141には、互いに間を隔てて n^+ 型のソース領域143が形成されている。ベース領域141間の上にはゲート酸化膜を介してゲート145が形成されている。ゲート145によりベース領域141にチャンネルが形成される。このチャンネルを介して、ソース領域143とドリフト領域139とが導通する。

【0114】

ゲート145を覆うように層間絶縁膜147が形成されている。層間絶縁膜147上にはソース電極149が形成されている。ソース電極149は、層間絶縁膜147に形成されたコンタクトホールを介してソース領域143及びベース領域141とコンタクトしている。

【0115】

図3に示すように、これまでの実施形態では、パワーMOSチップ5のソース電極パッド41とパワーMOSチップ7のドレイン電極43とが、接続材33、配線29、接続材33、端子59及びヒートシンク部55を介して接続されている。これに対して、第8実施形態によれば、パワーMOSチップ5のソース電極109とパワーMOSチップ7のドレイン電極115がヒートシンク板103を介して接続される。したがって、第8実施形態によれば、電流経路を短くできるため、配線抵抗を小さくできると共に電流経路の寄生インダクタンスを小さくすることができる。よって、第8実施形態に係る半導体モジュールを組み込んだ電子装置（例えば、DC-DCコンバータ）の高効率化を図ることができる。

【0116】

[第9実施形態]

図40は、第9実施形態に係る半導体モジュール1の断面図である。実装基板3の断面構造や裏面の構造は省略されている。第9実施形態に係る半導体モジュール1は、図35～図37に示す第8実施形態に係る半導体モジュール1と同様に、ヒートシンク部53、55は互いにつながり、一枚のヒートシンク板103を構成している。パワーMOSチッ

10

20

30

40

50

プ5, 7の裏面どうしがヒートシンク板103を介して電氣的に接続されている。

【0117】

一方、第9実施形態に係るパワーMOSチップ5, 7の構造は、第8実施形態に係るそれらの構造と相違する。パワーMOSチップ5はPチャンネル型であり、パワーMOSチップ7はNチャンネル型である。これらのチップ5, 7の表面には、ゲート電極パッド151、ソース電極パッド153、ドレイン電極パッド155が形成されている。チップ5, 7には、チップを貫通する接続導電部157が形成されている。ドレイン電極パッド155は、接続導電部157を介してチップ5, 7の裏面のドレイン電極159と電氣的に接続されている。電極パッド151, 153, 155は、接続材33により、実装基板3の電極32aと接続されている。なお、電極パッド151, 153, 155の上にバンプ電極

10

【0118】

第9実施形態において、図5に示す半導体モジュール1の出力VOUTは、次の二つの電流経路から引き出すことができる。一つは、ヒートシンク板103、ヒートシンク部の端子及び実装基板3の配線で構成される電流経路である。もう一つは、ヒートシンク板103、接続導電部157、ドレイン電極パッド155、接続材33及び実装基板3の配線で構成される電流経路である。

【0119】

ドレイン電極パッド155がパワーMOSチップ5, 7の表面に形成されているので、ヒートシンク板103とチップ5, 7とを絶縁することもできるし、ヒートシンク板103自体を絶縁体にすることもできる。これらの場合、ユーザが必要に応じて行わなければならないヒートシンク板103の外部からの絶縁施策を省略でき、その上、EMI等を抑制できる。また、このように絶縁すると、パワーMOSチップ5, 7を共にNチャンネル型にしながら、配線抵抗及びインダクタンスを低減できる。なお、これらの場合、パワーMOSチップ5, 7のドレイン電極159は、実装基板3に形成された配線を介して電氣的に接続される。

20

【0120】

図41は、第9実施形態に備えられるパワーMOSチップ7の一部の断面図である。このチップ7は、接続導電部及びその付近以外は、図39のパワーMOSチップ7と同様の構造を有する。第9実施形態において、ソース電極153が第1の主電極の一例であり、ドレイン電極159が第2の主電極の一例である。

30

【0121】

パワーMOSチップ7の表面から裏面に到達する貫通孔161が、チップ7に形成されている。貫通孔161の直径は10 μ m以上である。貫通孔161には、接続導電部157が埋め込まれている。接続導電部157は、貫通孔161に例えばCuをメッキすることにより形成される。貫通孔161の直径が10 μ m以上なので接続導電部157は比較的太くなる。このため、接続導電部157の抵抗は、接続導電部157の替わりに、ボンディングワイヤ等を用いてドレイン電極を実装基板3の電極に接続した場合の抵抗よりも小さくできる。接続導電部157は、厚さが5 μ m以上のドレイン電極159とコンタクトしている。厚さが5 μ m以上なので、(1)n⁺型のシリコン基板137からドレイン電極159を通り接続導電部157に至る電流経路の抵抗を下げることができ、(2)シリコン層を貫通する貫通孔161を形成する際にストップパとして利用できる。

40

【0122】

パワーMOSチップ7の表面側には、接続導電部157を囲むn⁺型の不純物領域163が形成されている。不純物領域163は、pベース領域141から延びてくる空乏層が接続導電部157に到達するのを防止している。つまり、不純物領域163により、pベース領域141とドレイン電極159との非導通を維持する。この非導通は、貫通孔161の表面に絶縁層を形成することによっても実現できる。この場合、空乏層が貫通孔161の表面の絶縁層にまで到達しても、直ちにpベース領域141とドレイン電極159と

50

の間の導通が成立しない。よって、設計上、貫通孔161とpベース領域141との間の距離を減らすことができるため、チップ面積を縮小できる。なお、第9実施形態に係るパワーMOSチップ5は、図41の各部の導電型を逆にした構造を有する。

【0123】

第9実施形態では、ドレイン電極及びソース電極の両方がチップ5,7の表面に引き出されている。よって、ドレイン電極と実装基板3の配線29との距離を短くできるため、この電流経路の配線抵抗を小さくできる。また、実装基板3上において、ソース電極と接続する配線29とドレイン電極と接続する配線との距離を短くできるため、この電流経路の寄生インダクタンスを小さくできる。

【0124】

なお、第9実施形態はプレーナ型のMOSFETであるが、トレンチ型のMOSFETでもよい。トレンチ型では、MOSFET自体の抵抗が小さくなるため、半導体モジュール内の回路の抵抗をさらに下げることができる。

【0125】

第9実施形態は、第8実施形態と同様に、電流経路を短くできる。このため、配線抵抗を小さくできると共に電流経路の寄生インダクタンスを小さくすることができる。よって、第9実施形態に係る半導体モジュールを組み込んだ電子装置（例えば、DC-DCコンバータ）の効率化を図ることができる。

【0126】

[第10実施形態]

図42は、第10実施形態に係る半導体モジュール1の平面図であり、図43は、図42のG1-G2線に沿った断面図である。第10実施形態は、図8に示す第2実施形態に、さらに、デカップリングコンデンサ165,167,169（以下、コンデンサということもある）が半導体モジュール1に内蔵されている。これらのコンデンサは、半導体モジュール1の電源端子と接地端子との間の配線インダクタンスをキャンセルするために、電源端子と接地端子との間に接続される。

【0127】

コンデンサ165,167,169は、実装基板3上に配置してもよいが、第10実施形態では、図43に示すように実装基板3の凹部171に、コンデンサ165,167,169の一部を埋め込んだ構造にしている。コンデンサ165,167,169は比較的寸法が大きいので、実装基板3上に配置すると、半導体モジュール1は、コンデンサ165,167,169の箇所突き出した構造になるからである。また、凹部171にコンデンサ165,167,169を形成することにより、これらの位置を低くできるので、ヒートシンク部53,55をコンデンサ165,167,169上まで延ばすことができる。よって、ヒートシンク部53,55の面積を大きくできるので、放熱性を向上させることができる。

【0128】

次に、コンデンサ165,167,169が接続される電源端子、接地端子について説明する。図44は、第10実施形態に係る半導体モジュール1の回路図である。図45は、第10実施形態に係る半導体モジュール1の外部端子とコンデンサとの関係を示す図である。第10実施形態で、デカップリングコンデンサを共通にせず、三つ設けた理由を説明する。

【0129】

パワー系のIC回路では、大電流が流れる第1のブロックと、電流が少し又はほとんど流れない第2のブロックとがある。第1及び第2のブロックの接地端子を共通にすると、電流が少し又はほとんど流れない第2のブロックの接地配線に、第1のブロックからの大電流が流れる。よって、これによる電圧降下の影響を第2のブロックが受けることになる。そこで、第1のブロックと第2のブロックとで接地端子を分けることにより、上記影響を防止する。第1のブロックの接地端子はPGND（パワーグランド）端子と称され、第2のブロックの接地端子はSGND（シグナルグランド）と称される。

10

20

30

40

50

【 0 1 3 0 】

パワーMOSチップ5, 7で構成される回路は第1のブロックに相当し、駆動用ICチップ9は第2のブロックに相当するため、コンデンサを二つ設ける必要がある。しかしながら、駆動用ICチップ9も第1及び第2のブロックに分けることができる。すなわち、駆動用ICチップ9は、パワーMOSチップ5, 7のゲートを駆動するゲート駆動部173と、外部からの信号をゲート駆動部173へ伝達する信号伝達部175と、に分けることができる。信号伝達部175は信号伝達の他に、演算機能も有する。ゲート駆動部173には比較的大きな電流が流れ、これに対して、信号伝達部175にはほとんど電流が流れない。そこで、ゲート駆動部173の接地端子と信号伝達部175の接地端子とを分けている。

10

【 0 1 3 1 】

よって、接地端子には、パワーMOSチップ5, 7で構成される回路の接地端子であるPGND端子と、ゲート駆動部173の接地端子であるIC-PGND端子と、信号伝達部175の接地端子であるSGND端子と、の三種類がある。パワーMOSチップ5, 7で構成される回路の電源端子であるVIN端子とPGND端子との間にコンデンサ165が接続され、ゲート駆動部173の電源端子であるVDD端子とIC-PGND端子との間にコンデンサ169が接続され、信号伝達部175の電源端子であるVDD端子とSGND端子との間にコンデンサ167が接続されている。

【 0 1 3 2 】

第10実施形態によれば、半導体モジュール1にデカップリングコンデンサ165, 167, 169が内蔵されている。したがって、これらのコンデンサが半導体モジュール1に外付けされている場合に比べて、電源端子と接地端子とを接続する配線を短くできるので、配線のインダクタンスを低減することができる。

20

【 0 1 3 3 】

[第 1 1 実施形態]

図46は、第11実施形態に係る半導体モジュール1の平面図である。図47は、図46のH1-H2線に沿った断面図である。図48は、図46の半導体モジュール1の裏面図である。第11実施形態は、図1に示す第1実施形態において、さらに、電源端子及び接地端子の位置を規定したものである。

【 0 1 3 4 】

実装基板3の第1の側面177に配置された外部端子27の全部が、パワーMOSチップ5, 7で構成される回路のVIN端子に割り当てられている。第1の側面177と隣り合う第2の側面179に配置された外部端子27の全部が、上記回路のPGND端子に割り当てられている。実装基板3の第1の側面177と対向する第3の側面181に配置された外部端子27の一部が、図44に示すVOUT端子に割り当てられている。残る最後の第4の側面183に配置された外部端子27が、IC-PGND端子、VDD端子、SGND端子等に割り当てられている。なお、これらの端子については、第10実施形態で説明している。

30

【 0 1 3 5 】

第11実施形態では、第10実施形態と異なり、デカップリングコンデンサが半導体モジュール1に外付けされている。例えば、図48に示すように、VIN端子とPGND端子との間にデカップリングコンデンサ165が外付けで接続されている。

40

【 0 1 3 6 】

VIN端子は第1の側面177、PGND端子は第2の側面179にそれぞれ配置されている。つまり、これらの端子は、隣り合う二つの側面に配置されている。したがって、デカップリングコンデンサ165が外付けであっても、VIN端子とPGND端子とを接続する配線を短くできるので、配線のインダクタンスを低減することができる。

【 0 1 3 7 】

ところで、チップ5, 7で構成される回路の電流経路は、図47に示すように、二つある。一つは、VIN端子-VOUT端子の電流経路(1)であり、もう一つは、PGND

50

端子 V O U T 端子の電流経路 (2) である。

【 0 1 3 8 】

V O U T 端子を第 3 の側面 1 8 1 に配置しているの、第 4 の側面 1 8 3 に配置するのに比べて、電流経路 (1)、(2) を短くできる。また、チップ 5 , 7 で構成される回路に設けられた三つの端子 5 9 が一列に並んでいる。このため、電流経路 (1) を短くすることができる。さらに、長方形のチップ 7 において、端子 5 9 は、向かい合う二つの長辺側が配置されているので、二つの短辺側に配置されるのに比べて、電流経路 (1) を短くできる。

【 0 1 3 9 】

以上説明したように、第 1 1 実施形態では、V I N 端子と P G N D 端子とを接続する配線を短くでき、かつ電流経路を短くできるので、第 1 1 実施形態に係る半導体モジュールを組み込んだ電子装置の高効率化を図ることができる。

【 0 1 4 0 】

[第 1 2 実施形態]

図 4 9 は、第 1 2 実施形態に係る半導体モジュール 1 の平面図である。第 1 2 実施形態は、パワー M O S チップ 5 , 7 を n 個ずつ (チップ 5 - 1 ~ 5 - n、チップ 7 - 1 ~ 7 - n : n は複数) を備えている。そして、半導体モジュール 1 により制御する負荷に流れる電流値に応じて、駆動用 I C チップ 9 が駆動するパワー M O S チップ 5 , 7 の数を変えるようにしたことを主な特徴とする。

【 0 1 4 1 】

図 5 0 は、第 1 2 実施形態に係る半導体モジュール 1 を含む D C - D C コンバータ 6 7 の回路図である。図 5 0 の D C - D C コンバータ 6 7 は、図 5 の D C - D C コンバータ 6 7 に、さらに、負荷となる C P U 7 5 の電流を検出する負荷電流検出回路 1 8 5 を備える。半導体モジュール 1 は、n 個のパワー M O S チップ 5 , 7 及びこれらのゲートを駆動する駆動用 I C チップ 9 を備える。

【 0 1 4 2 】

駆動用 I C チップ 9 は、高電位側及び低電位側の駆動チップ数決定テーブル 1 8 7 , 1 8 9、高電位側及び低電位側の駆動チップ数切替回路 1 9 1 , 1 9 3、並びに高電位側及び低電位側のチップ駆動回路 1 9 5 - 1 ~ 1 9 5 - n、1 9 7 - 1 ~ 1 9 7 - n を備える。チップ駆動回路は、各チップに対応している。

【 0 1 4 3 】

負荷電流に応じて駆動するチップ数のデータをこれらのテーブル 1 8 5 , 1 8 7 に記憶させる。このデータは、パワー M O S チップ 5 , 7 のオン抵抗、ゲート容量、数等を考慮して予め決めておく。負荷電流検出回路 1 8 5 によって検出した負荷電流の値がテーブル 1 8 7 , 1 8 9 のデータと比較されて、実際に駆動する所定数のチップが決定される。

【 0 1 4 4 】

この決定に基づいて、駆動チップ数切替回路 1 9 1 , 1 9 3 は、チップ駆動回路 1 9 5 - 1 ~ 1 9 5 - n、1 9 7 - 1 ~ 1 9 7 - n のうち、所定数のチップ駆動回路を動作させる。これにより、高電位側及び低電位側において、所定数のパワー M O S チップが駆動される。

【 0 1 4 5 】

第 1 2 実施形態の主な効果を説明する。同期整流方式降圧型 D C - D C コンバータの損失には、パワー M O S チップのオン抵抗による定常損失と、それ以外の損失 (スイッチング損失、ゲートチャージ損失等) とがある。上記 D C - D C コンバータの大電流動作における損失は、主に定常損失であり、小電流動作における損失は、主にそれ以外の損失である。したがって、上記 D C - D C コンバータの大電流動作では、定常損失を低減させることが効果的であり、一方、小電流動作では、それ以外の損失を低減させることが効果的である。

【 0 1 4 6 】

定常損失の低減は、M O S のオン抵抗を小さくすれば達成できる。それ以外の損失の低

10

20

30

40

50

減は、ゲート容量を小さくすれば達成できる。パワーMOSチップの面積を大きくすれば、MOSのオン抵抗を小さくできるが、ゲート容量が増える。逆に、パワーMOSチップの面積を小さくすれば、ゲート容量を小さくできるが、MOSのオン抵抗が大きくなる。

【0147】

したがって、大電流動作ではパワーMOSチップの面積を大きくすればよく、小電流動作ではパワーMOSチップの面積を小さくすればよいことになる。第12実施形態では、負荷に流れる電流値に応じて、駆動するパワーMOSチップ5,7の数を変えることにより、パワーMOSチップ5,7の面積を調節している。すなわち、大電流動作では、駆動するパワーMOSチップ5,7の数を増やし、小電流動作では、数を減らしている。したがって、第12実施形態によれば、大電流動作、小電流動作を問わず、DC-DCコンバータの効率的な動作が可能となる。

10

【0148】

[第13実施形態]

第13実施形態は、FDA(フルデジタルオーディオ)に適用されるスピーカドライバである。図51は、第13実施形態に係るスピーカドライバ199の回路図である。パワーMOSチップ5,7、駆動用ICチップ9及びLとCからなるローパスフィルタ201のセット203が二つで、一つのチャンネル(スピーカ)に対応する。

【0149】

MOS1(チップ5)及びMOS4(チップ7)がオン、MOS2(チップ7)及びMOS3(チップ5)がオフの状態と、MOS1及びMOS4がオフ、MOS2及びMOS3がオンの状態と、を交互に繰り返すことにより、スピーカ205を駆動する。一般に、MOS1、MOS2、MOS3、MOS4は同一特性のチップを使用する。したがって、次に示すように、チップ5とチップ7はサイズが同じで、共に正方形を有する。

20

【0150】

図51のスピーカドライバを構成する半導体モジュールは、次の二つが考えられる。一つは、図52に示すように、一つのセット203を搭載した半導体モジュール1である(ハーフブリッジ構成)。この場合、半導体モジュール1が二つ必要となる。もう一つは、図53に示すように、二つのセット203を搭載した半導体モジュール1である(フルブリッジ構成)。この場合は、半導体モジュール1が一つでスピーカドライバ199を構成する。いずれも、ローパスフィルタ201の図示を省略している。一つのセット203において、駆動用ICチップ9は、パワーMOSチップ5とパワーMOSチップ7と等距離の位置に配置されている。

30

【0151】

図46に示す第11実施形態と同様に、VIN端子とPGND端子とを、隣り合わせにすることにより、外付けするデカップリングコンデンサの配線の長さを短くできる。駆動用ICチップ9からパワーMOSチップ5,7のゲートに接続する配線が短くなるように、チップ5,7,9を配置している。

【0152】

[実施形態の構成の要約]

以上説明した発明を実施するための最良の形態の構成について要約すると、次のようになる。

40

(1):例えば第1実施形態と対応

実装基板と、

表面及び裏面を有すると共に前記表面が前記実装基板と面するように前記実装基板にフリップチップボンディングで実装された複数のパワースイッチングデバイスチップと、

前記実装基板にフリップチップボンディングで実装されると共に前記複数のパワースイッチングデバイスチップに形成されたトランジスタのゲートを駆動するための駆動用ICチップと、

前記複数のパワースイッチングデバイスチップの前記裏面上にそれぞれ配置された複数のヒートシンク部と、

50

前記複数のパワースイッチングデバイスチップ及び前記駆動用 IC チップを一つのパッケージとして封止する樹脂部材と、を備える

ことを特徴とする半導体モジュール。

(2) : 例えば第 1 実施形態と対応

前記複数のヒートシンク部の少なくとも一つは、複数の箇所では前記実装基板に固定されている

ことを特徴とする(1)に記載の半導体モジュール。

(3) : 例えば第 1 実施形態と対応

前記複数のヒートシンク部には、複数の箇所では前記実装基板に固定されているヒートシンク部と、一箇所では前記実装基板に固定されているヒートシンク部とがある

ことを特徴とする(1)に記載の半導体モジュール。

(4) : 例えば第 1 実施形態と対応

前記複数のヒートシンク部は、それぞれ、前記実装基板の電極と電気的に接続される端子を有すると共に前記複数のパワースイッチングデバイスチップの前記裏面と電気的に接続されており、

前記複数のヒートシンク部の中に、二箇所では前記実装基板に固定されているヒートシンク部があり、

このヒートシンク部の前記端子は、前記二箇所では前記実装基板の前記電極と電気的に接続されている

ことを特徴とする(1)に記載の半導体モジュール。

(5) : 例えば第 1 実施形態と対応

複数のヒートシンク部は、それぞれ、一枚のヒートシンク板であり、

これらのヒートシンク板は互いに厚みが異なる

ことを特徴とする(1)に記載の半導体モジュール。

(6) : 例えば第 1 実施形態と対応

複数のヒートシンク部は、それぞれ、一枚のヒートシンク板であり、

これらのヒートシンク板は互いに材料が異なる

ことを特徴とする(1)に記載の半導体モジュール。

(7) : 例えば第 1 実施形態と対応

前記複数のヒートシンク部の全てが前記半導体モジュールの外部に露出している

ことを特徴とする(1)に記載の半導体モジュール。

(8) : 例えば第 1 実施形態と対応

前記半導体モジュールは、

前記駆動用 IC チップで制御される高電位側回路及び低電位側回路を備え、

前記高電位側回路及び前記低電位側回路の少なくとも一方は、前記複数のパワースイッチングデバイスチップを有する

ことを特徴とする(1)に記載の半導体モジュール。

(9) : 例えば第 1 実施形態と対応

(1)に記載の前記半導体モジュールを含む、

ことを特徴とする DC - DC コンバータ。

(10) : 例えば第 2 実施形態と対応

前記複数のヒートシンク部のうち少なくとも一つが、前記駆動用 IC チップと絶縁されて前記駆動用 IC チップの上まで延びている

ことを特徴とする(1)に記載の半導体モジュール。

(11) : 例えば第 2 実施形態と対応

前記複数のヒートシンク部には、複数の箇所では前記実装基板に固定されているヒートシンク部と、一箇所では前記実装基板に固定されているヒートシンク部とがあり、

後者のヒートシンク部には折曲部が形成されており、この折曲部は前記実装基板のソルダーレジスト上に載せられている

ことを特徴とする(1)に記載の半導体モジュール。

10

20

30

40

50

- (1 2) : 例えば第 3 実施形態と対応
前記複数のパワースイッチングデバイスチップのうち少なくとも一つのチップに前記トランジスタと並列接続されたダイオードが内蔵されている
ことを特徴とする (1) に記載の半導体モジュール。
- (1 3) : 例えば第 4 実施形態と対応
前記複数のヒートシンク部の全てが前記樹脂部材で覆われている
ことを特徴とする (1) に記載の半導体モジュール。
- (1 4) : 例えば第 4 実施形態と対応
前記複数のヒートシンク部は、それぞれ、前記複数のパワースイッチングデバイスチップの前記裏面と電気的に接続されると共に一枚のヒートシンク板であり、
前記複数のヒートシンク部を覆うように配置された一枚の絶縁性ヒートシンク板を備える
ことを特徴とする (1) に記載の半導体モジュール。
- (1 5) : 例えば第 4 実施形態と対応
前記複数のヒートシンク部のうち、一部のヒートシンク部が前記半導体モジュールの外部に露出している
ことを特徴とする (1) に記載の半導体モジュール。
- (1 6) : 例えば第 4 実施形態と対応
前記複数のヒートシンク部には、前記実装基板の電極と電気的に接続される端子を有するものと有さないものがある
ことを特徴とする (1) に記載の半導体モジュール。
- (1 7) : 例えば第 5 実施形態と対応
前記実装基板は、側面、前記複数のパワースイッチングデバイスチップ及び前記駆動用 IC チップと対向する対向面及びこの面の反対側に位置する反対面により規定されており、
前記実装基板は、
前記側面に形成された外部端子と、
前記樹脂部材の縁部と前記対向面とで挟まれると共に前記樹脂部材の縁部に沿って前記樹脂部材からはみ出して前記対向面に形成されたソルダーレジストと、を含む
ことを特徴とする (1) に記載の半導体モジュール。
- (1 8) : 例えば第 5 実施形態と対応
前記半導体モジュールは、
前記複数のヒートシンク部のそれぞれを、前記複数のパワースイッチングデバイスチップの前記裏面に形成された電極と電気的に接続する第 1 の接続材と、
前記複数のパワースイッチングデバイスチップの前記表面に形成された電極と前記実装基板の電極とを電気的に接続する第 2 の接続材と、を備え、
前記第 1 の接続材の融点は、前記第 2 の接続材の融点よりも高い
ことを特徴とする (1) に記載の半導体モジュール。
- (1 9) : 例えば第 5 実施形態と対応
前記第 1 及び第 2 の接続材は、金属粉含有の樹脂ペーストである
ことを特徴とする (1 8) に記載の半導体モジュール。
- (2 0) : 例えば第 5 実施形態と対応
前記第 1 及び第 2 の接続材は、はんだである
ことを特徴とする (1 8) に記載の半導体モジュール。
- (2 1) : 例えば第 5 実施形態と対応
前記樹脂部材は、前記複数のパワースイッチングデバイスチップと前記実装基板との間のスペースに位置する部分が他の部分よりもフィラー含有量が少ない
ことを特徴とする (1) に記載の半導体モジュール。
- (2 2) : 例えば第 5 実施形態と対応
前記複数のパワースイッチングデバイスチップ及び前記駆動用 IC チップとのスペース

10

20

30

40

50

に前記樹脂部材が埋め込まれている

ことを特徴とする(1)に記載の半導体モジュール。

(23) : 例えば第6実施形態と対応

前記実装基板は、側面、前記複数のパワースイッチングデバイスチップ及び前記駆動用ICチップと対向する対向面及びこの面の反対側に位置する反対面により規定されており

、

前記実装基板は、

前記反対面に形成された配線と、

前記反対面のこれらのチップと対応する領域に形成されると共に前記配線と同じ厚みの段差補正部と、を含む

10

ことを特徴とする(1)に記載の半導体モジュール。

(24) : 例えば第6実施形態と対応

前記段差補正部は、前記配線の幅を広げたものである

ことを特徴とする(23)に記載の半導体モジュール。

(25) : 例えば第6実施形態と対応

前記段差補正部は、ダミー配線である

ことを特徴とする(23)に記載の半導体モジュール。

(26) : 例えば第7実施形態と対応

複数のパワースイッチングデバイスチップのそれぞれの前記表面には、第1の主電極、この電極の引き出し電極となる複数の電極パッド及び前記ゲートの引き出し電極となるゲート電極パッドが形成され、前記裏面には第2の主電極が形成されており、

20

前記複数のパワースイッチングデバイスチップの少なくとも一つは、前記ゲート電極パッドの周囲に前記複数の電極パッドが形成されている

ことを特徴とする(1)に記載の半導体モジュール。

(27) : 例えば第8実施形態と対応

前記複数のヒートシンク部は互いにつながり、一枚のヒートシンク板を構成しており、

前記複数のパワースイッチングデバイスチップは、ドレイン電極パッドが形成された前記表面及びソース電極が形成された前記裏面を有する第1のパワーMISチップと、ソース電極パッドが形成された前記表面及びドレイン電極が形成された前記裏面を有する第2のパワーMISチップと、であり、

30

前記複数のパワースイッチングデバイスチップは、前記裏面同士が前記ヒートシンク板を介して電氣的に接続されている

ことを特徴とする(1)に記載の半導体モジュール。

(28) : 例えば第9実施形態と対応

前記複数のヒートシンク部は互いにつながり、一枚のヒートシンク板を構成しており、

前記複数のパワースイッチングデバイスチップは、前記裏面どうしが前記ヒートシンク板を介して電氣的に接続されており、

前記複数のパワースイッチングデバイスチップの少なくとも一つは、前記表面に形成された第1及び第2の主電極と、前記表面から前記裏面に到達する貫通孔に形成されると共に前記第2の主電極と前記裏面とを電氣的に接続する接続導電部と、を含む

40

ことを特徴とする(1)に記載の半導体モジュール。

(29) : 例えば第10実施形態と対応

前記半導体モジュールは、電源端子及び接地端子を備え、

前記電源端子と前記接地端子との間に接続されたデカップリングコンデンサが前記半導体モジュールに内蔵されている

ことを特徴とする(1)に記載の半導体モジュール。

(30) : 例えば第10実施形態と対応

前記実装基板は、前記デカップリングコンデンサが配置される凹部を有する

ことを特徴とする(29)に記載の半導体モジュール。

(31) : 例えば第10実施形態と対応

50

前記駆動用 I C チップは、ゲート駆動部と、外部からの信号を前記ゲート駆動部へ伝達する信号伝達部と、を有しており、

前記電源端子は、前記駆動用 I C チップの電源端子である V D D 端子及び前記複数のパワースイッチングデバイスチップで構成される回路の電源端子である V I N 端子であり、

前記接地端子は、前記ゲート駆動部の接地端子である I C - P G N D 端子、前記信号伝達部の接地端子である S G N D 端子及び前記複数のパワースイッチングデバイスチップで構成される回路の接地端子である P G N D 端子であり

前記デカップリングコンデンサは、前記 V D D 端子と前記 I C - P G N D 端子との間に接続された第 1 のデカップリングコンデンサ、前記 V D D 端子と前記 S G N D 端子との間に接続された第 2 のデカップリングコンデンサ及び前記 V I N 端子と前記 P G N D 端子との間に接続された第 3 のデカップリングコンデンサである

ことを特徴とする (2 9) に記載の半導体モジュール。

(3 2) : 例えば第 1 1 実施形態と対応

前記半導体モジュールは、前記複数のパワースイッチングデバイスチップで構成される回路の電源端子と接地端子を備え、

前記電源端子は前記実装基板の隣り合う二つの側面の一方に配置され、前記接地端子は他方に配置される

ことを特徴とする (1) に記載の半導体モジュール。

(3 3) : 例えば第 1 1 実施形態と対応

前記複数のヒートシンク部は、それぞれ、前記実装基板の電極と電気的に接続される端子を有すると共に前記複数のパワースイッチングデバイスチップの前記裏面と電気的に接続されており、

これらの端子は一列に並んでいる

ことを特徴とする (1) に記載の半導体モジュール。

(3 4) : 例えば第 1 1 実施形態と対応

前記複数のパワースイッチングデバイスチップの少なくとも一つは長方形形状を有しており、

前記長方形形状のチップに対応するヒートシンク部は、前記実装基板の電極と電気的に接続される端子を有すると共に前記長方形形状のチップの前記裏面と電気的に接続されており、

これらの端子は一列に並んでいる

前記長方形形状のチップの向かい合う二つの長辺側に前記端子が配置されている

ことを特徴とする (1) に記載の半導体モジュール。

(3 5) : 例えば第 1 2 実施形態と対応

前記駆動用 I C チップは、前記半導体モジュールにより制御する負荷に流れる電流値に応じて、駆動する前記複数のパワースイッチングデバイスチップの数を定める

ことを特徴とする (1) に記載の半導体モジュール。

(3 6) : 例えば第 1 3 実施形態と対応

(1) に記載の前記半導体モジュールは、

表面及び裏面を有すると共に前記表面が前記実装基板と面するように前記実装基板にフリップチップボンディングで実装された複数の他のパワースイッチングデバイスチップと

前記実装基板にフリップチップボンディングで実装されると共に前記複数の他のパワースイッチングデバイスチップに形成されたトランジスタのゲートを駆動するための他の駆動用 I C チップと、

前記実装基板にフリップチップボンディングで実装されると共に前記複数の他のパワースイッチングデバイスチップに形成されたトランジスタのゲートを駆動するための他の駆動用 I C チップと、

前記複数の他のパワースイッチングデバイスチップの前記裏面上にそれぞれ配置された複数の他のヒートシンク部と、を備え、

前記樹脂部材は、前記複数の他のパワースイッチングデバイスチップ及び前記他の駆動用 I C チップを一つのパッケージとして封止する、前記半導体モジュールを含むスピーカドライバ。

(3 7) : 例えば第 5 実施形態と対応

実装基板と、

表面及び裏面を有すると共に前記表面が前記実装基板と面するように前記実装基板にフリップチップボンディングで実装された複数のパワースイッチングデバイスチップと、

前記実装基板にフリップチップボンディングで実装されると共に前記複数のパワースイッチングデバイスチップに形成されたトランジスタのゲートを駆動するための駆動用ＩＣチップと、

前記複数のパワースイッチングデバイスチップの前記裏面上にそれぞれ配置された複数のヒートシンク部と、を備え、

前記複数のパワースイッチングデバイスチップ及び前記駆動用ＩＣチップの全体が露出されていると共にこれらのチップと前記実装基板との間に隙間が形成されている

10

ことを特徴とする半導体モジュール。

(3 8) : 例えば第 5 実施形態と対応

実装基板と、

表面及び裏面を有すると共に前記表面が前記実装基板と面するように前記実装基板にフリップチップボンディングで実装された複数のパワースイッチングデバイスチップと、

前記実装基板にフリップチップボンディングで実装されると共に前記複数のパワースイッチングデバイスチップに形成されたトランジスタのゲートを駆動するための駆動用ＩＣチップと、

前記複数のパワースイッチングデバイスチップの前記裏面上にそれぞれ配置された複数のヒートシンク部と、

20

前記複数のパワースイッチングデバイスチップ及び前記駆動用ＩＣチップと前記実装基板とのスペースに埋め込まれたアンダーフィル材と、を備え、

前記複数のパワースイッチングデバイスチップ及び前記駆動用ＩＣチップの全体が露出されている

ことを特徴とする半導体モジュール。

【図面の簡単な説明】

【 0 1 5 3 】

【図 1】第 1 実施形態に係る半導体モジュールの平面図である。

【図 2】図 1 の A 1 - A 2 線に沿った断面図である。

【図 3】図 1 の B 1 - B 2 線に沿った断面図である。

30

【図 4】第 1 実施形態に備えられるパワー MOS チップの一部の断面図である。

【図 5】第 1 実施形態に係る DC - DC コンバータの回路図である。

【図 6】図 5 のパワー MOS チップ 5 , 7 に入力される信号のタイミングチャートである。

【図 7】第 1 実施形態に係る半導体モジュールの変形例の平面図である。

【図 8】第 2 実施形態に係る半導体モジュールの平面図である。

【図 9】図 8 の C 1 - C 2 線に沿った断面図である。

【図 1 0】第 2 実施形態に係るヒートシンク部の斜視図である。

【図 1 1】第 2 実施形態に係るヒートシンク部の変形例の斜視図である。

【図 1 2】第 3 実施形態に備えられる低電位側のパワー MOS チップの一部の断面図である。

40

【図 1 3】第 4 実施形態に係る半導体モジュールの第 1 態様の断面図である。

【図 1 4】第 4 実施形態に係る半導体モジュールの第 2 態様の断面図である。

【図 1 5】第 4 実施形態に係る半導体モジュールの第 3 態様の断面図である。

【図 1 6】第 4 実施形態に係る半導体モジュールの第 4 態様の断面図である。

【図 1 7】第 5 実施形態に係る半導体モジュールの平面図である。

【図 1 8】図 1 7 の D 1 - D 2 線に沿った断面図である。

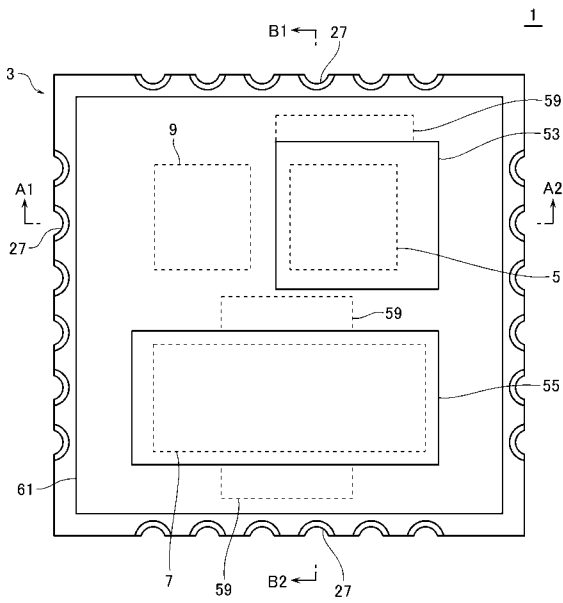
【図 1 9】第 5 実施形態に係る半導体モジュールの組み立てを説明する第 1 工程図である。

【図 2 0】同第 2 工程図である。

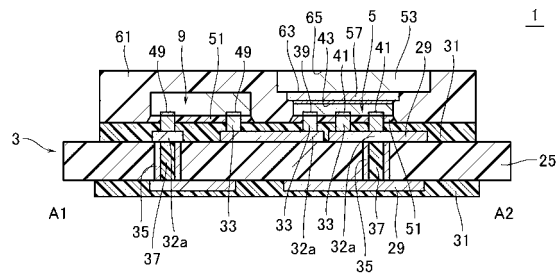
50

- 【図 2 1】同第 3 工程図である。
- 【図 2 2】同第 4 工程図である。
- 【図 2 3】同第 5 工程図である。
- 【図 2 4】同第 6 工程図である。
- 【図 2 5】第 5 実施形態に係る半導体モジュールの組み立てにおいて、はんだのリフロー加熱時の温度プロファイルの一例を示すグラフである。
- 【図 2 6】本発明の一つの実施形態に係る半導体モジュールの断面図である。
- 【図 2 7】本発明の他の実施形態に係る半導体モジュールの断面図である。
- 【図 2 8】本発明のさらに他の実施形態に係る半導体モジュールの断面図である。
- 【図 2 9】第 6 実施形態に係る半導体モジュールの裏面図である。 10
- 【図 3 0】第 5 実施形態に係る半導体モジュールの裏面図である。
- 【図 3 1】モールド金型に入れられた、樹脂封止前の実装基板等の断面図である。
- 【図 3 2】実装基板にたわみが発生している状態を示す図である。
- 【図 3 3】第 6 実施形態に係る半導体モジュールの変形例の裏面図である。
- 【図 3 4】第 7 実施形態に係る半導体モジュールに備えられるパワー MOS チップの表面を示す平面図である。
- 【図 3 5】第 8 実施形態に係る半導体モジュールの平面図である。
- 【図 3 6】図 3 5 の E 1 - E 2 線に沿った断面図である。
- 【図 3 7】図 3 5 の F 1 - F 2 線に沿った断面図である。
- 【図 3 8】第 8 実施形態に係るパワー MOS チップ 5 の一部の断面図である。 20
- 【図 3 9】第 8 実施形態に係るパワー MOS チップ 7 の一部の断面図である。
- 【図 4 0】第 9 実施形態に係る半導体モジュールの断面図である。
- 【図 4 1】第 9 実施形態に備えられるパワー MOS チップの一部の断面図である。
- 【図 4 2】第 1 0 実施形態に係る半導体モジュールの平面図である。
- 【図 4 3】図 4 2 の G 1 - G 2 線に沿った断面図である。
- 【図 4 4】第 1 0 実施形態に係る半導体モジュールの回路図である。
- 【図 4 5】第 1 0 実施形態に係る半導体モジュールの外部端子とコンデンサとの関係を示す図である。
- 【図 4 6】第 1 1 実施形態に係る半導体モジュールの平面図である。
- 【図 4 7】図 4 6 の H 1 - H 2 線に沿った断面図である。 30
- 【図 4 8】図 4 6 の半導体モジュールの裏面図である。
- 【図 4 9】第 1 2 実施形態に係る半導体モジュールの平面図である。
- 【図 5 0】第 1 2 実施形態に係る半導体モジュールを含む DC - DC コンバータの回路図である。
- 【図 5 1】第 1 3 実施形態に係るスピーカドライバの回路図である。
- 【図 5 2】図 5 1 のスピーカドライバを構成する半導体モジュール（ハーフブリッジ構成）の平面図である。
- 【図 5 3】図 5 1 のスピーカドライバを構成する半導体モジュール（フルブリッジ構成）の平面図である。
- 【符号の説明】 40
- 【 0 1 5 4 】
- 1・・・半導体モジュール、3・・・実装基板、5,7・・・パワー MOS チップ、9・・・駆動用 IC チップ、17・・・トレンチゲート、45・・・パワー MOS チップの表面、47・・・パワー MOS チップの裏面、53,55・・・ヒートシンク部、59・・・端子、61・・・樹脂部材、101・・・ダミー配線（段差補正部の一例）、103・・・ヒートシンク板、157・・・接続導電部

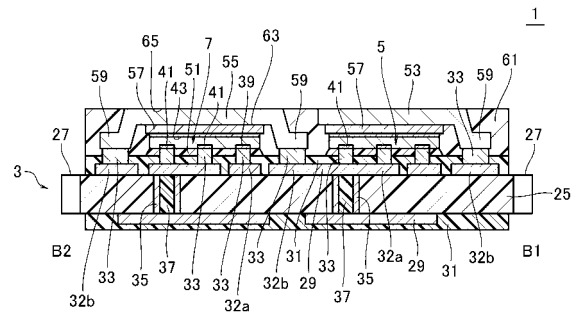
【図1】



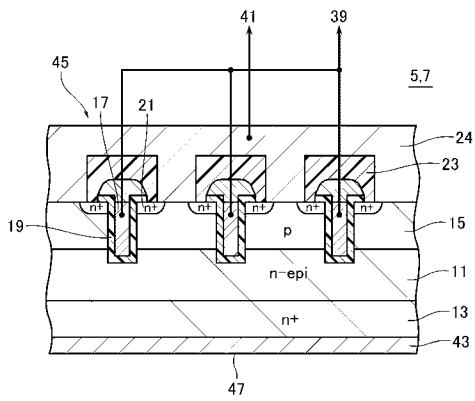
【図2】



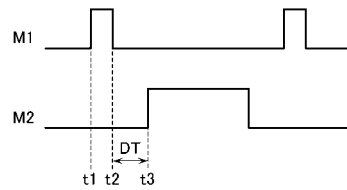
【図3】



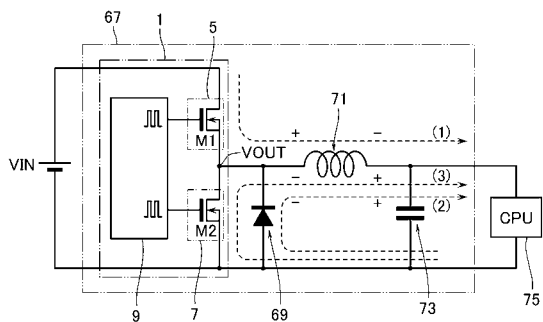
【図4】



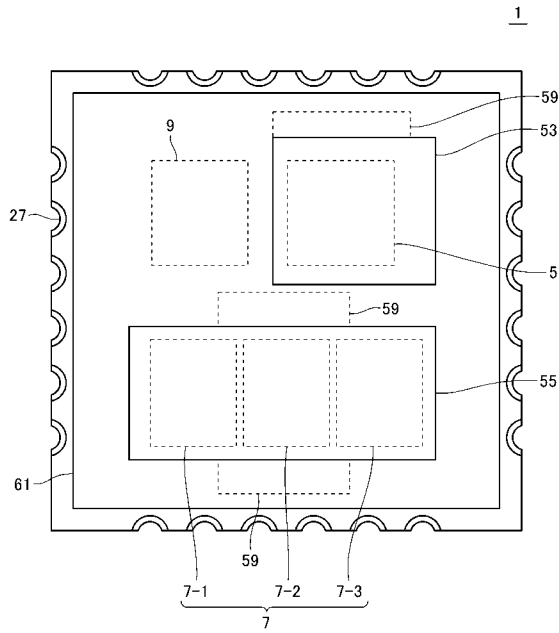
【図6】



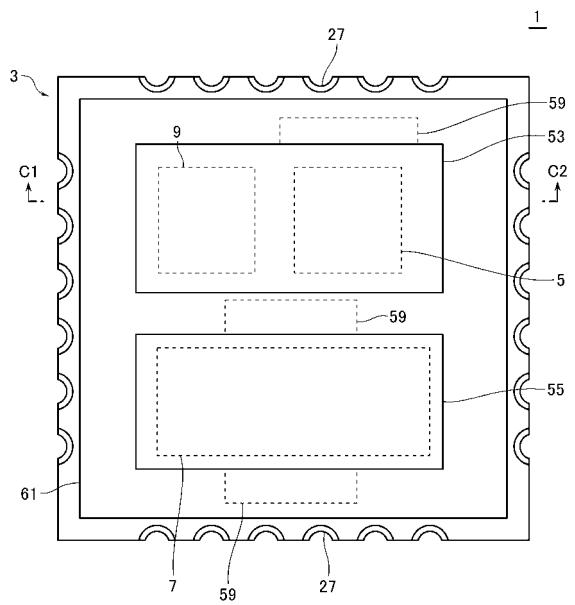
【図5】



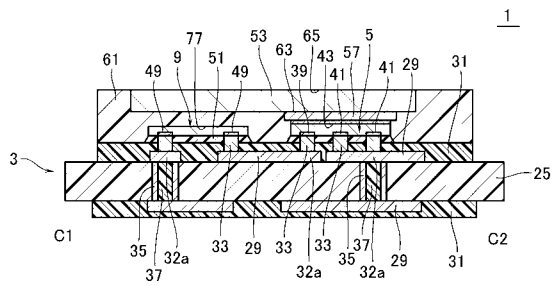
【図7】



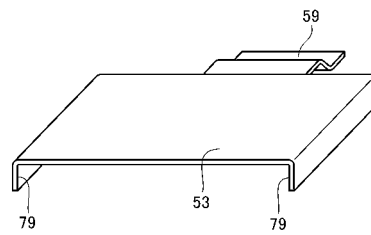
【図8】



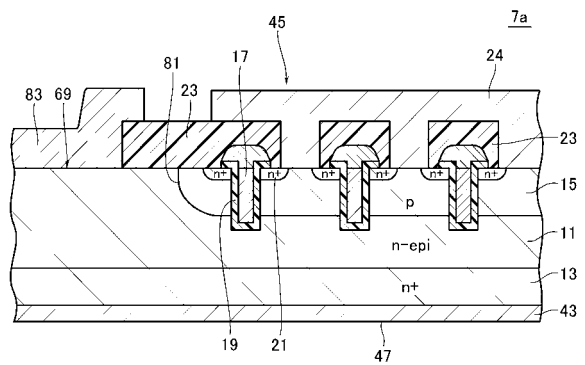
【図9】



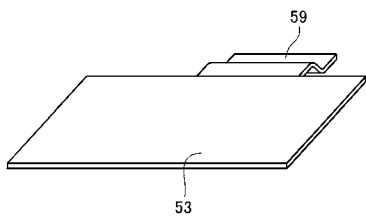
【図11】



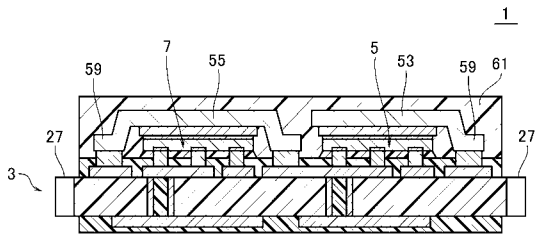
【図12】



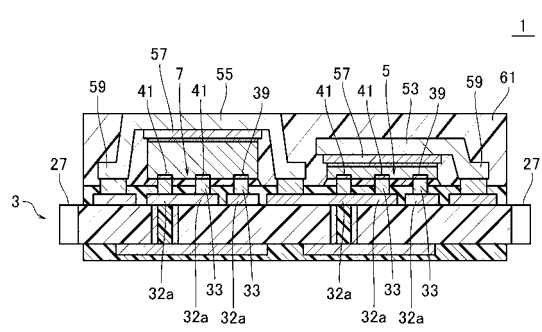
【図10】



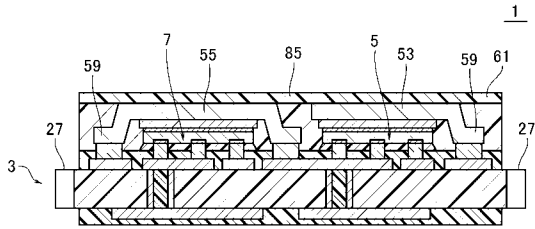
【図13】



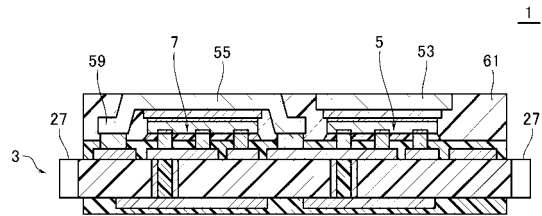
【図15】



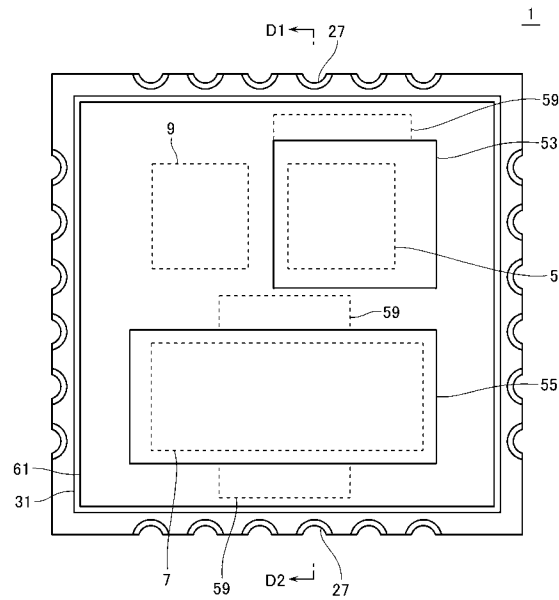
【図14】



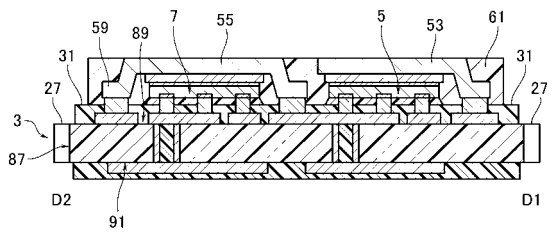
【図16】



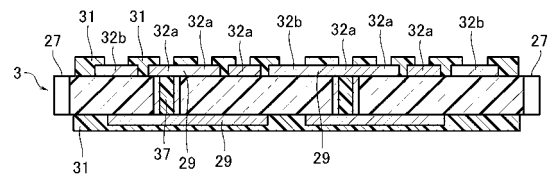
【図17】



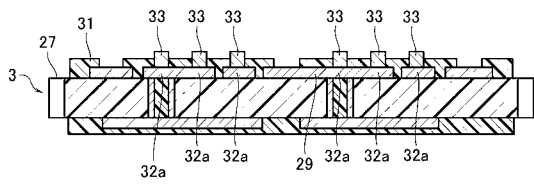
【図18】



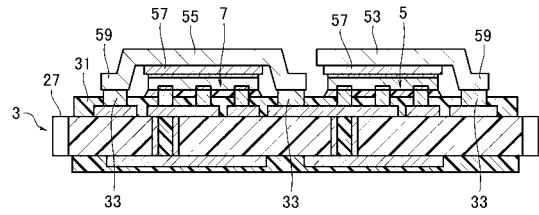
【図19】



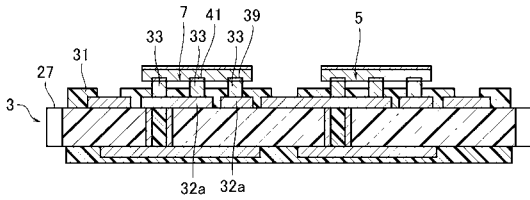
【図 20】



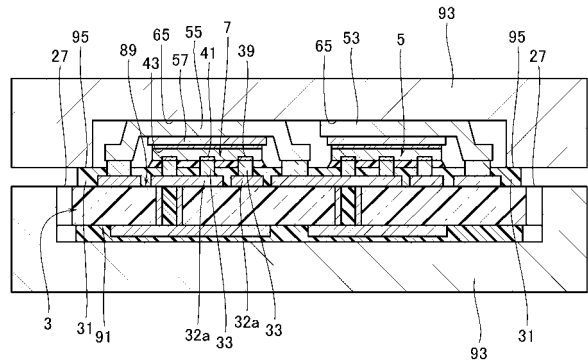
【図 23】



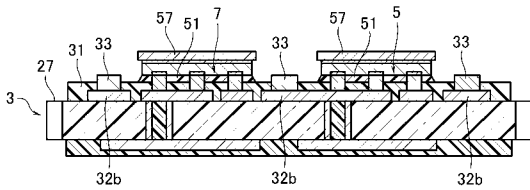
【図 21】



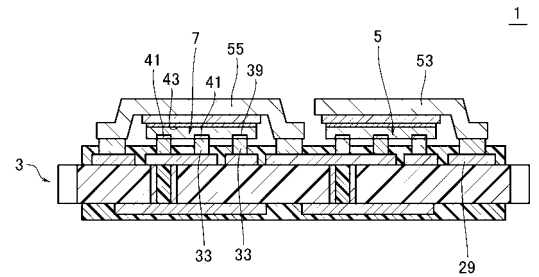
【図 24】



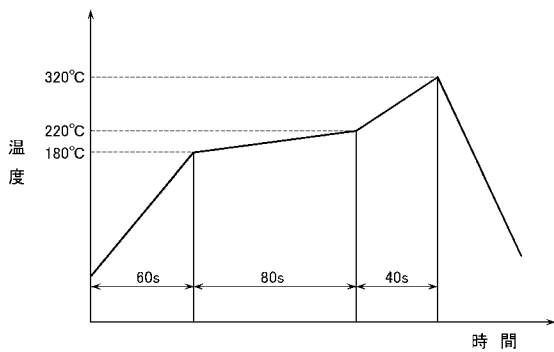
【図 22】



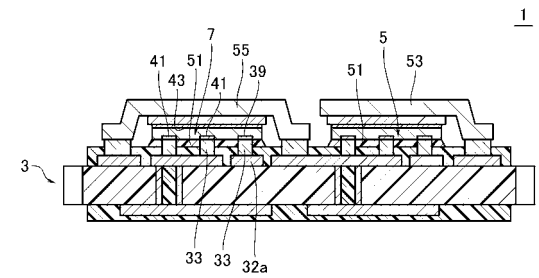
【図 27】



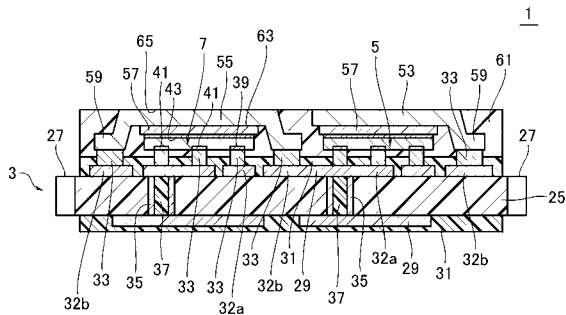
【図 25】



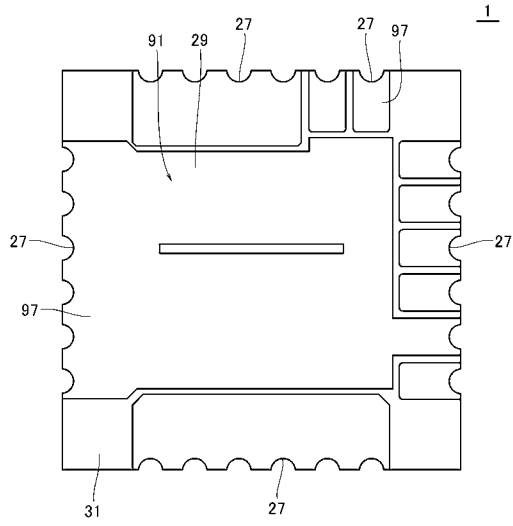
【図 28】



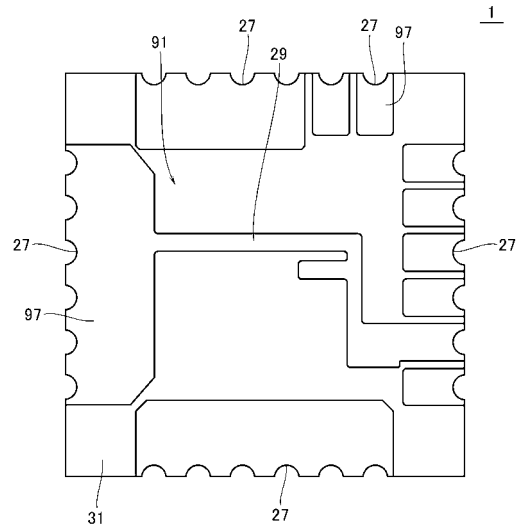
【図 26】



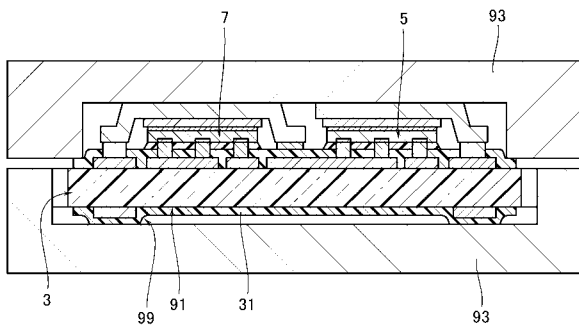
【図 29】



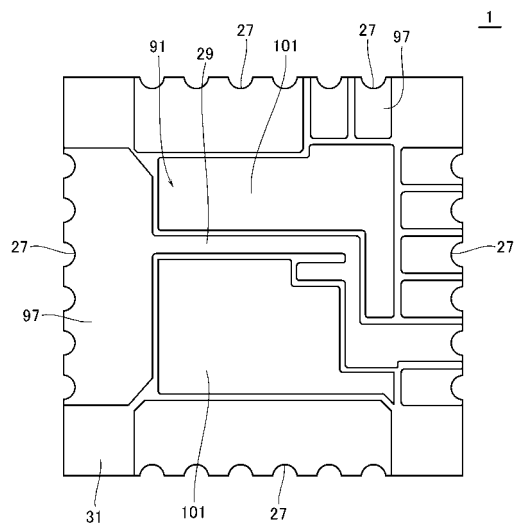
【図 30】



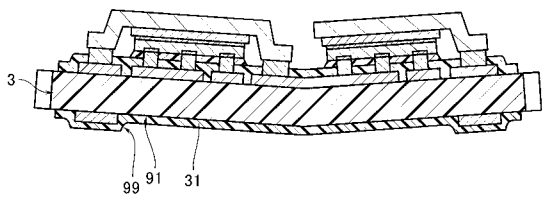
【図 31】



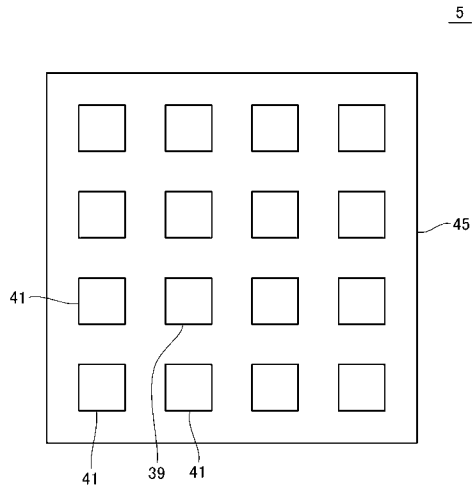
【図 33】



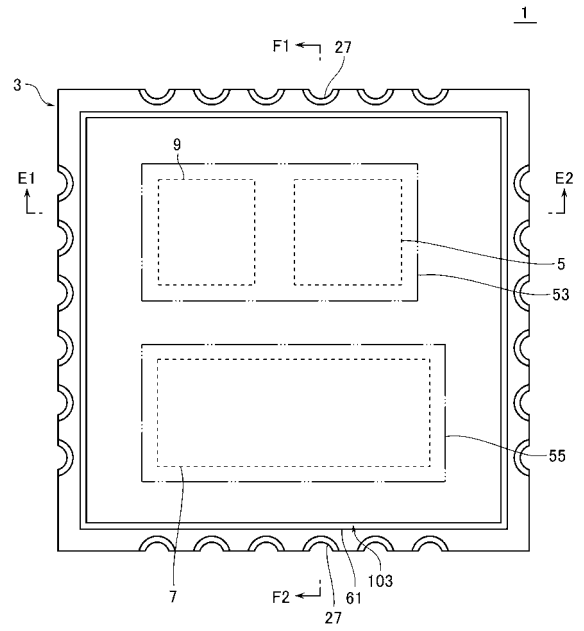
【図 32】



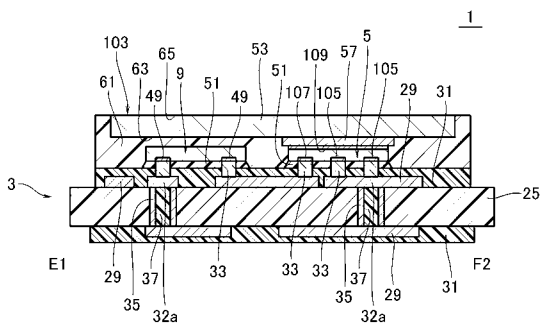
【図34】



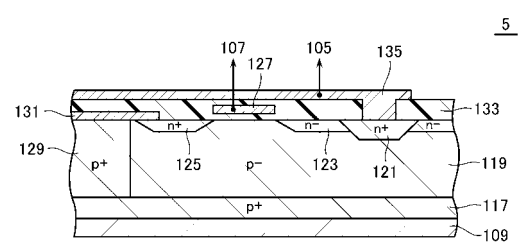
【図35】



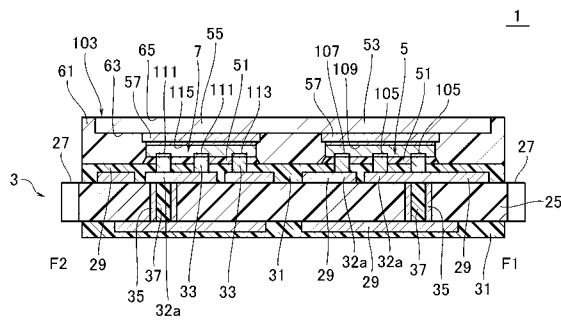
【図36】



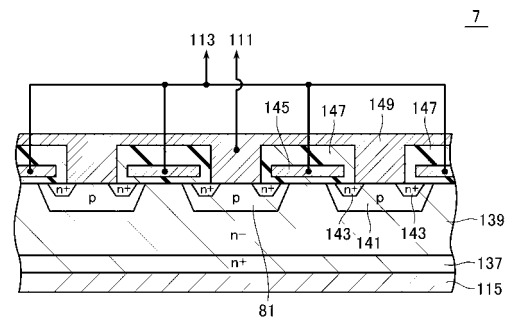
【図38】



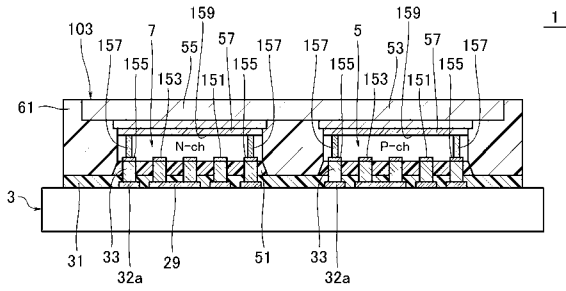
【図37】



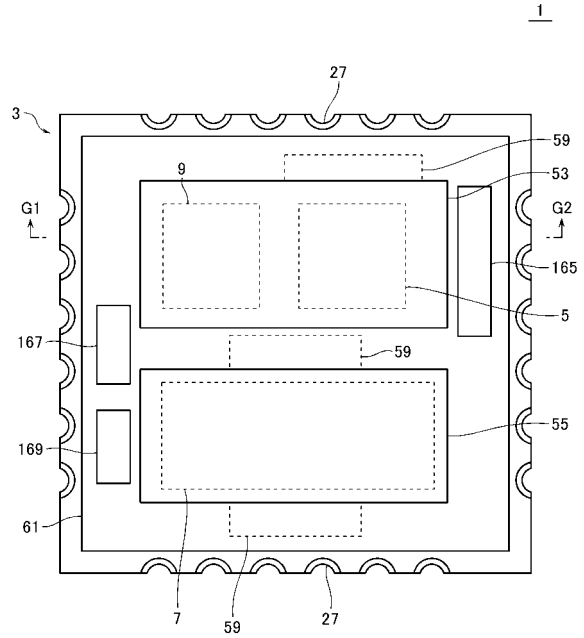
【図39】



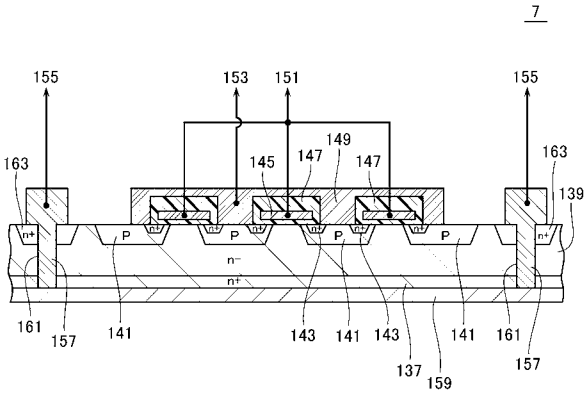
【図40】



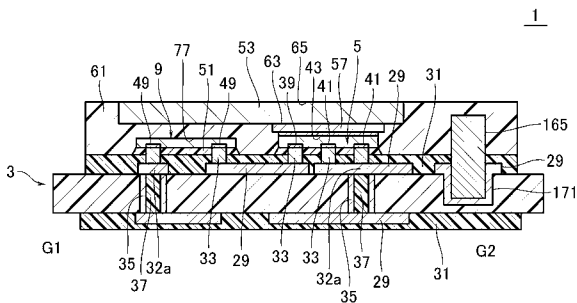
【図42】



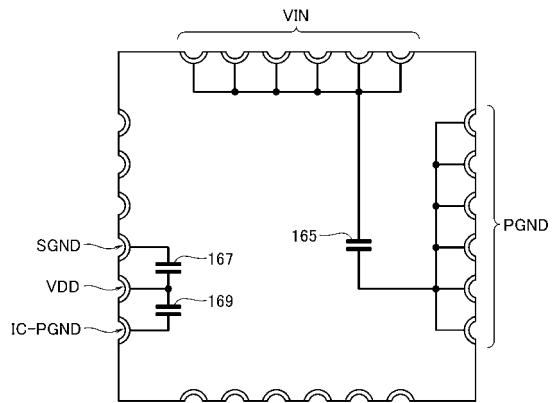
【図41】



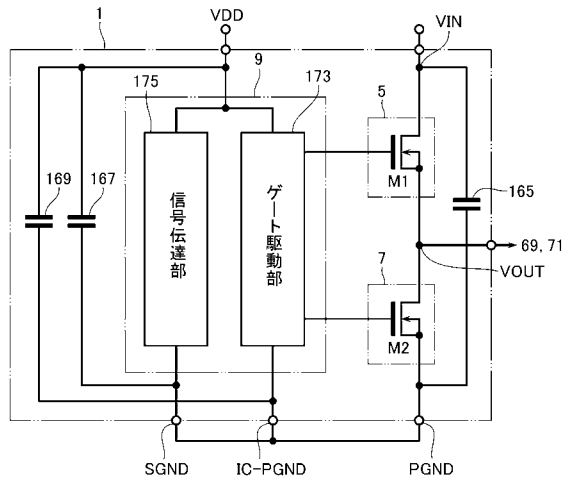
【図43】



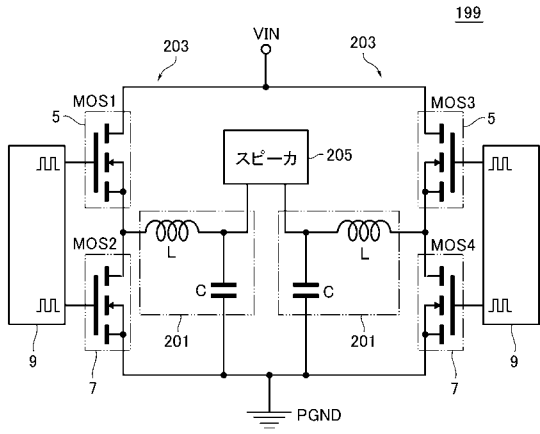
【図45】



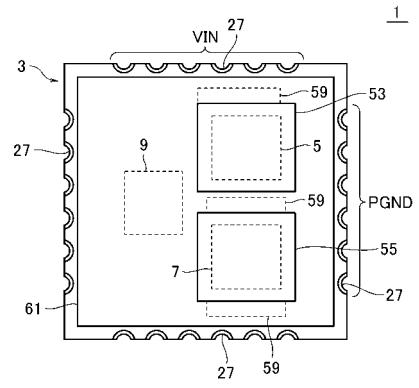
【図44】



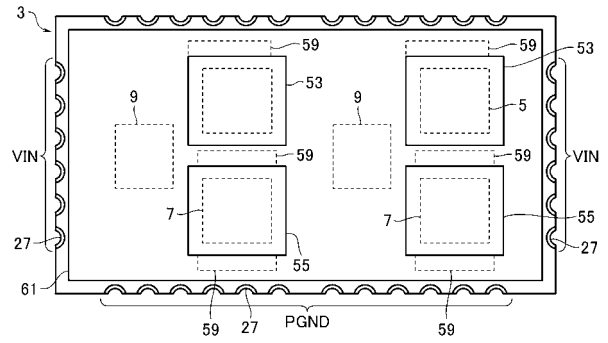
【図51】



【図52】



【図53】



フロントページの続き

- (72)発明者 山田 達也
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 薄田 修
兵庫県揖保郡太子町鷗300番地 株式会社東芝 姫路半導体工場内
- (72)発明者 遠藤 佳紀
兵庫県揖保郡太子町鷗300番地 株式会社東芝 姫路半導体工場内
- (72)発明者 三浦 泰基
兵庫県揖保郡太子町鷗300番地 株式会社東芝 姫路半導体工場内
- (72)発明者 豊島 正規
神奈川県横浜市磯子区新磯子町33番地 株式会社東芝 生産技術センター内
- (72)発明者 大村 一郎
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 中川 明夫
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 松下 憲一
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 川口 雄介
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 新井 晴輝
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 武井 洋
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 川野 友広
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 吉川 典朗
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 高橋 守郎
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 マイクロエレクトロニクスセンター内
- (72)発明者 斎藤 康人
神奈川県横浜市磯子区新磯子町33番地 株式会社マニファクチャリングソリューション内
- (72)発明者 浦瀬 昌弘
兵庫県揖保郡太子町鷗300番地 株式会社東芝 姫路半導体工場内

審査官 酒井 英夫

- (56)参考文献 特開2001-291823(JP,A)
特開2002-314029(JP,A)
特開2004-221460(JP,A)
特開2005-223008(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 25/00 - 25/18, 23/36