

(19)日本国特許庁(JP)

(12)公表特許公報(A)

(11)公表番号
特表2024-541584
(P2024-541584A)

(43)公表日 令和6年11月8日(2024.11.8)

(51)国際特許分類	F I	テーマコード (参考)
H 0 3 F 3/45 (2006.01)	H 0 3 F 3/45	5 J 5 0 0
H 0 3 F 3/34 (2006.01)	H 0 3 F 3/34	2 3 0
H 0 3 F 1/32 (2006.01)	H 0 3 F 1/32	

審査請求 未請求 予備審査請求 未請求 (全29頁)

(21)出願番号	特願2024-532177(P2024-532177)	(71)出願人	507107291
(86)(22)出願日	令和4年11月29日(2022.11.29)		テキサス インスツルメンツ インコーポ レイテッド
(85)翻訳文提出日	令和6年7月16日(2024.7.16)		アメリカ合衆国 テキサス州 7 5 2 6 5 - 5 4 7 4 ダラス メール ステーション 3 9 9 9 ピーオーボックス 6 5 5 4 7 4
(86)国際出願番号	PCT/US2022/051158	(74)代理人	230129078
(87)国際公開番号	WO2023/097099		弁護士 佐藤 仁
(87)国際公開日	令和5年6月1日(2023.6.1)	(72)発明者	アンモル シャルマ
(31)優先権主張番号	17/537,358		アメリカ合衆国 9 5 0 3 5 カリフォル ニア州 ミルピタス, ジンジャーウッド ドライブ 1 2 6 3
(32)優先日	令和3年11月29日(2021.11.29)	F ターム (参考)	5J500 AA01 AA12 AC21 AC92 AF09 AF10 AF15 AH09 AH25 AK08 AK09 AK28
(33)優先権主張国・地域又は機関	米国(US)		最終頁に続く
(81)指定国・地域	AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA ,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,A T,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR ,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC, 最終頁に続く		

(54)【発明の名称】 向上したスルー性能及び低静止電流を備えるトランスコンダクタ

(57)【要約】

半導体デバイス（200）が、基準電位入力（206）とフィードバック電位入力（210）の間の差の関数として出力電流を提供する低電力高速差動トランスコンダクタ（202）を含む。トランスコンダクタンスは基準電位及びフィードバック電位間の差の絶対値が増加するにつれて増加する。トランスコンダクタは基準電位を受け取るための基準入力段（204）と基準入力段に直列に結合される基準負荷（220）とを含む。トランスコンダクタはフィードバック電位を受け取るためのフィードバック入力段（208）とフィードバック入力段に直列に結合されるフィードバック負荷（224）とを含む。トランスコンダクタは基準入力段及びフィードバック入力段を介して総電流を制御するよう構成される電流制限構成要素（212）も含む。トランスコンダクタは、基準電位及びフィードバック電位間の差に起因する総電流の変化を補償する、基準負荷から電流制限構成要素への負のフィードバック経路（236）を含む。

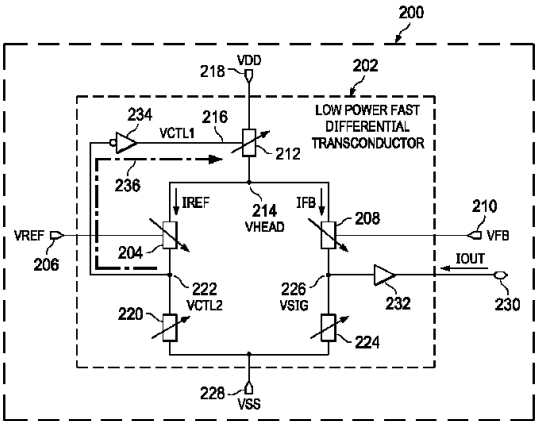


FIG. 2

【特許請求の範囲】

【請求項 1】

トランスコンダクタを含む半導体デバイスであって、
基準電位を受け取るように構成される基準入力段と、
フィードバック電位を受け取るように構成されるフィードバック入力段と、
前記基準入力段及び前記フィードバック入力段を介して総電流を制御するように構成される、電流制限構成要素と、
前記基準入力段に直列に結合される基準負荷と、
前記フィードバック入力段に直列に結合されるフィードバック負荷と、
出力バッファを介して前記フィードバック負荷に結合される出力電流端子と、
前記基準負荷から前記電流制限構成要素への負のフィードバックループと、
を含み、
前記出力電流端子が、前記基準電位と前記フィードバック電位との差の関数である出力電流を提供するように構成され、
前記負のフィードバックループが、前記基準電位と前記フィードバック電位との差に起因して前記総電流における変化を補償するように構成され、前記基準電位と前記フィードバック電位との前記差が、前記基準電位から前記フィードバック電位を減じたものである、
半導体デバイス。

10

【請求項 2】

20

請求項 1 に記載の半導体デバイスであって、前記トランスコンダクタのトランスコンダクタンスが、前記基準電位と前記フィードバック電位との間の前記差の絶対値が増加するにつれて増加する、半導体デバイス。

【請求項 3】

請求項 1 に記載の半導体デバイスであって、前記トランスコンダクタが、吸込み (sunk) 出力機能性を備える前記出力電流を提供するように構成され、前記出力電流が、前記半導体デバイスの前記出力電流端子と接地端子との間に接続される出力ドライバを制御することによって制御される、半導体デバイス。

【請求項 4】

請求項 1 に記載の半導体デバイスであって、前記トランスコンダクタが、ソース (sourced) 出力機能性を備える前記出力電流を提供するように構成され、前記出力電流が、前記半導体デバイスの前記出力電流端子と電力端子との間に接続される出力ドライバを制御することによって制御される、半導体デバイス。

30

【請求項 5】

請求項 1 に記載の半導体デバイスであって、前記トランスコンダクタが、双方向出力機能性を備える前記出力電流を提供するように構成され、前記出力電流が、前記半導体デバイスの前記出力電流端子と電力端子との間に接続される出力ドライバを制御することと、前記半導体デバイスの前記出力電流端子と接地端子との間に接続される別の出力ドライバを制御することと、によって制御される、半導体デバイス。

【請求項 6】

40

請求項 1 に記載の半導体デバイスであって、前記トランスコンダクタが、前記出力電流の相補極性を提供するように構成され、そのため、前記出力電流が、前記基準電位と前記フィードバック電位との間の前記差が増加するときに減少し、前記基準電位と前記フィードバック電位との間の前記差が減少するときに増加するようになっている、半導体デバイス。

【請求項 7】

請求項 1 に記載の半導体デバイスであって、前記トランスコンダクタが、前記出力電流の非相補極性を提供するように構成され、そのため、前記出力電流が、前記基準電位と前記フィードバック電位との間の前記差が増加するときに増加し、前記基準電位と前記フィードバック電位との間の前記差が減少するときに増加するようになっている、半導体デバ

50

イス。

【請求項 8】

請求項 1 に記載の半導体デバイスであって、前記電流制限構成要素が n チャネル電界効果トランジスタ (N F E T) を含む、半導体デバイス。

【請求項 9】

請求項 1 に記載の半導体デバイスであって、前記電流制限構成要素が p チャネル電界効果トランジスタ (P F E T) を含む、半導体デバイス。

【請求項 10】

請求項 1 に記載の半導体デバイスであって、前記基準負荷が N F E T を含む、半導体デバイス。

10

【請求項 11】

請求項 1 に記載の半導体デバイスであって、前記フィードバック負荷が N F E T を含む、半導体デバイス。

【請求項 12】

請求項 1 に記載の半導体デバイスであって、前記負のフィードバックループが反転バッファを含む、半導体デバイス。

【請求項 13】

請求項 12 に記載の半導体デバイスであって、前記反転バッファが、制御ドライバに直列に結合される制御負荷を含む、半導体デバイス。

【請求項 14】

請求項 13 に記載の半導体デバイスであって、前記制御ドライバが、前記基準負荷及び前記基準入力段に接続される、半導体デバイス。

20

【請求項 15】

請求項 13 に記載の半導体デバイスであって、前記電流制限構成要素が、前記制御負荷及び前記制御ドライバに接続される、半導体デバイス。

【請求項 16】

請求項 13 に記載の半導体デバイスであって、前記制御負荷が P F E T として実装され、前記制御ドライバが N F E T として実装される、半導体デバイス。

【請求項 17】

請求項 1 に記載の半導体デバイスであって、前記電流制限構成要素に直列に結合される電流センサを更に含む、半導体デバイス。

30

【請求項 18】

請求項 1 に記載の半導体デバイスであって、更に、
前記電流制限構成要素と前記基準入力段との間に直列に結合される第 1 の抵抗器と、
前記電流制限構成要素と前記フィードバック入力段との間に直列に結合される第 2 の抵抗器と、
を含む、半導体デバイス。

【請求項 19】

請求項 1 に記載の半導体デバイスであって、前記出力バッファが、増幅されたトランスコンダクタンスを提供するように構成される増幅器を含む、半導体デバイス。

40

【請求項 20】

請求項 1 に記載の半導体デバイスであって、
前記基準入力段が第 1 の基準入力段であり、
前記フィードバック入力段が第 1 のフィードバック入力段であり、
前記電流制限構成要素が第 1 の電流制限構成要素であり、
前記基準負荷が第 1 の基準負荷であり、
前記フィードバック負荷が第 1 のフィードバック負荷であり、
前記出力バッファが第 1 の出力バッファであり、
前記負のフィードバックループが第 1 の負のフィードバックループであり、
前記総電流が第 1 の総電流であり、

50

前記半導体デバイスがさらに、

前記基準電位を受け取るように構成される第2の基準入力段と、

前記フィードバック電位を受け取るように構成される第2のフィードバック入力段と

、
前記第2の基準入力段及び前記第2のフィードバック入力段を介して総電流を制御するように構成される、第2の電流制限構成要素と、

前記第2の基準入力段に直列に結合される第2の基準負荷と、

前記第2のフィードバック入力段に直列に結合される第2のフィードバック負荷と、

前記第2のフィードバック負荷と前記電流出力電流端子との間に結合される、第2の出力バッファと、

前記第2の基準負荷から前記第2の電流制限構成要素への第2の負のフィードバックループと、

を含み、

前記第2の負のフィードバックループが、前記基準電位と前記フィードバック電位との差に起因して、前記第2の基準入力段及び前記第2のフィードバック入力段を介する前記総電流における変化を補償するように構成される、

半導体デバイス。

【発明の詳細な説明】

【技術分野】

【0001】

本記載は、半導体デバイスの分野に関する。より具体的に言えば、限定はしないが、本記載は半導体デバイスにおけるトランスコンダクタに関する。

【背景技術】

【0002】

差動トランスコンダクタは、2つの電圧入力間の差のほぼ線形の関数である出力電流を提供する。差動トランスコンダクタは、例えば、電圧レギュレータ、フィルタ、及び増幅器において用いられる。差動トランスコンダクタの2つの重要な性能パラメータは、スルーレート及び静止電流である。スルーレートは、2つの電圧入力が異なるときの出力電流の尺度である。静止電流は、2つの電圧入力等しいとき、差動トランスコンダクタによって消費される電流の尺度である。

【発明の概要】

【0003】

本記載は、本明細書ではトランスコンダクタと称する低電力高速差動トランスコンダクタを含む、半導体デバイスを説明する。トランスコンダクタは、基準電位を受け取るように構成される基準入力段と、基準入力段に直列に結合される基準負荷とを含む。トランスコンダクタは、フィードバック電位を受け取るように構成されるフィードバック入力段と、フィードバック入力段に直列に結合されるフィードバック負荷とを含む。トランスコンダクタは更に、基準入力段及びフィードバック入力段を介して総電流を制御するように構成される電流制限構成要素を含む。トランスコンダクタは、基準電位とフィードバック電位との間の差の関数である出力電流を提供するように構成される出力電流端子を含む。トランスコンダクタは、基準電位がフィードバック電位とは異なるとき、総電流における変化を補償するように構成される、基準負荷から電流制限構成要素への負のフィードバック経路を含む。トランスコンダクタンスは、基準電位とフィードバック電位との間の差における変化に対する、出力電流端子での出力電流における変化の比であり、基準電位とフィードバック電位との間の差の絶対値が増加するにつれて増加する。

【図面の簡単な説明】

【0004】

【図1】トランスコンダクタンス及び出力電流に対する、例示のトランスコンダクタについての基準電位とフィードバック電位との間の差を示すグラフである。

【0005】

【図 2】例示のトランスコンダクタを含む半導体デバイスの概念概略図である。

【0006】

【図 3】例示のトランスコンダクタを示す回路概略図である。

【0007】

【図 4】別の例示のトランスコンダクタを示す回路概略図である。

【0008】

【図 5】別の例示のトランスコンダクタを示す回路概略図である。

【0009】

【図 6】別の例示のトランスコンダクタを示す回路概略図である。

【0010】

【図 7】別の例示のトランスコンダクタを示す回路概略図である。

【0011】

【図 8】別の例示のトランスコンダクタを示す回路概略図である。

【0012】

【図 9】別の例示のトランスコンダクタを示す回路概略図である。

【発明を実施するための形態】

【0013】

図面は必ずしも一定の縮尺で描かれていない。本記載は、行為又は事象の例示される順に限定されず、いくつかの行為又は事象が、異なる順で、及び／又は他の行為又は事象と同時に、生じ得る。また、いくつかの例示される行為又は事象は任意選択である。

【0014】

本明細書で例示されるいくつかの例は、奥行き及び幅を有する様々な領域を備える 2 次元図で示されているが、それらの領域は、実際には 3 次元構造であるデバイスの一部を図示し得る。したがって、それらの領域は、実際のデバイス上で製作されるとき、長さ、幅、及び奥行きを含む 3 次元を有する。

【0015】

トランスコンダクタは、基準電位を受け取るように構成される基準入力段と、フィードバック電位を受け取るように構成されるフィードバック入力段とを含む。電流制限構成要素が、基準入力段及びフィードバック入力段を介して総電流を制御する。基準負荷が基準入力段に直列に結合され、フィードバック負荷がフィードバック入力段に直列に結合される。出力電流ノードが、出力電流を提供するように構成される。トランスコンダクタンスを増加させることは、基準電位がフィードバック電位とは異なるときに総電流における変化を補償するように構成される、基準負荷から電流制限構成要素への負のフィードバック経路によって達成される。基準入力段及びフィードバック入力段に直列の電流制限構成要素を有する結果、フィードバック電位が基準電位と等しいとき、トランスコンダクタはより少ない電力を引き出すことになり、これは、有利なことに、正のフィードバックループを備えるトランスコンダクタを有する半導体デバイスと比べて、半導体デバイスの静止電流を減少させ得る。本トランスコンダクタの更なる利点が、フィードバック電位が基準電位とは異なるときの出力電流であるスルー電流が、フィードバック電位が基準電位と等しいときには存在しないことであり、これは静止電流を更に減少させ得る。

【0016】

いくつかの例において、トランスコンダクタは、吸込み(sunk)出力機能性を提供し得、この例では、出力電流は、半導体デバイスの出力ノードと接地端子との間に接続される出力ドライバを制御することによって制御される。いくつかの例において、トランスコンダクタはソース(sourced)出力機能性を提供し得、この例では、出力電流は、半導体デバイスの出力ノードと電力端子との間に接続される出力ドライバを制御することによって制御される。いくつかの例において、トランスコンダクタは双方向出力機能性を提供し得、この例では、出力電流は、半導体デバイスの出力ノードと電力端子との間に接続される出力ドライバを制御することによって、並びに、半導体デバイスの出力ノードと接地端子との間に接続される別の出力ドライバを制御することによって、制御される。いくつか

の例において、トランスコンダクタは、出力電流の相補極性を提供し得、この例では、基準電位とフィードバック電位との間の差が増加するとき、出力電流は減少し、その逆も同様である。基準電位とフィードバック電位との間の差は、本説明の目的で、基準電位からフィードバック電位を減じたものとして定義される。いくつかの例において、トランスコンダクタは、出力電流の非相補極性を提供し得、この例では、基準電位とフィードバック電位との間の差が増加するとき、出力電流は増加し、その逆も同様である。

【0017】

本説明の目的で、或る構成要素が別の構成要素に「接続」又は「結合」されていると記載される場合、それは、他方の要素に直接接続又は直接結合されてもよく、或いは介在構成要素が存在してもよい。いずれの場合も、共に結合又は接続される構成要素は、結合又は接続された構成要素間で、直流(DC)導電性があり得る。或る構成要素が別の構成要素に「直接結合」又は「直接接続」されていると言及される場合、半導体デバイスの金属相互接続などの導電体の例外の可能性はあるが、他の意図的に配設された介在構成要素は存在しない。構成要素は、構成要素間のDC導電性は可能でないが、相互の誘起効果又は容量効果によって影響を受け得、具体的にその旨の記載がない限り、結合又は接続されているとは見なされない。

【0018】

本記載において、電流フローなどトランスコンダクタの様々な構成要素の動作特性を説明する。説明する構成要素の動作特性は、半導体デバイスの動作の間に生じ、半導体デバイスが動作していないときに現れることは予測されない。

【0019】

図1は、トランスコンダクタンス及び出力電流に対する、例示のトランスコンダクタについての基準電位とフィードバック電位との間の差を示すグラフである。グラフ100において、横軸は、基準電位とフィードバック電位との間の差である。基準電位とフィードバック電位との間の差は、例として、ミリボルトで表され得る。左縦軸102はトランスコンダクタンスである。トランスコンダクタンスは、例として、ボルト当たりのアンペア数である、ジーメンス単位で表され得る。場合によっては、トランスコンダクタンスはミリジーメンス単位で表され得、或いはトランスコンダクタンスはマイクロジーメンス単位で表される場合もある。トランスコンダクタンス曲線104は、基準電位とフィードバック電位との間の差について、5ミリボルト内でおよそ0ミリボルトの値の最小値を有する。トランスコンダクタンス曲線104は、基準電位とフィードバック電位との間の差の正値及び負値の両方について上向きに凹であり、これは、有利なことに、平坦の又は下向きに湾曲したトランスコンダクタンス曲線を有するトランスコンダクタに比べて、トランスコンダクタに結合される回路についての回復時間を減少させるために一層多くの電流を提供する。この例では、すべてのトランスコンダクタンス値は正である。

【0020】

右縦軸106は出力電流である。出力電流は、例として、場合によってはマイクロアンペアの単位で、又は他の場合においてミリアンペアで、表され得る。この例では、出力電流曲線108は、すべてが正であるトランスコンダクタンス値と一貫して、基準電位とフィードバック電位との間の差の正の値について上向きに凹であり、差の負の値については下向きに凹である。

【0021】

図2は、例示のトランスコンダクタを含む、半導体デバイスの概念概略図である。半導体デバイス200は、例として、電圧レギュレータ、高速増幅器、又はフィルタとして実装され得る。トランスコンダクタ202は、基準入力ポート206において、図2において「VREF」と標示される基準電位を受け取るように構成される基準入力段204を含む。トランスコンダクタ202は、フィードバック入力ポート210において、図2において「VFB」と標示されるフィードバック電位を受け取るように構成されるフィードバック入力段208を含む。この例では、基準入力段204は負のトランスコンダクタンスを有し、基準電位VREFが増加することで基準入力段204を介する電流は減少し、そ

の逆も同様である。同様に、フィードバック入力段 208 は負のトランスコンダクタンスを有し、フィードバック電位 V_{FB} が増加することでフィードバック入力段 208 を介する電流は減少し、その逆も同様である。

【0022】

トランスコンダクタ 202 は、分岐ノード 214 において、基準入力段 204 及びフィードバック入力段 208 に直列に結合される電流制限構成要素 212 を含む。基準入力段 204 及びフィードバック入力段 208 は、図 2 に示されるように、並列の電流経路にある。電流制限構成要素 212 は電流制御ノード 216 を有する。電流制限構成要素 212 を介する電流は、半導体デバイス 200 の動作の間、図 2 において電流制御ノード 216 上の「 V_{CTL1} 」と標示される第 1 の制御電位によって調整される。この例の電流制限構成要素 212 は、正のトランスコンダクタンスを有し、電流制御ノード 216 上の第 1 の制御電位 V_{CTL1} が増加することで、電流制限構成要素 212 を介する電流は増加し、その逆も同様である。電流制限構成要素 212 は、基準入力段 204 及びフィードバック入力段 208 への接続とは反対の電力端子 218 に接続される。電力端子 218 は、図 2 において「 V_{DD} 」と標示される正の電力電位において、電流をトランスコンダクタ 202 に提供するように構成され、そのため、電力端子 218 からの電流が、電流制限構成要素 212 を介して基準入力段 204 及びフィードバック入力段 208 へ流れることになる。電流制限構成要素 212 を介する電流は、図 2 において「 I_{REF} 」と標示される基準入力段 204 を介する基準電流と、図 2 において「 I_{FB} 」と標示されるフィードバック入力段 208 を介するフィードバック電流とに分けられる。

10

20

【0023】

トランスコンダクタ 202 は基準負荷 220 を含み、基準負荷 220 は、制御信号ノード 222 を介して基準入力段 204 に接続される。基準電流 I_{REF} は、基準入力段 204、制御信号ノード 222、及び基準負荷 220 を介して流れる。基準負荷 220 は、図 2 に概略的に示されるように、基準負荷 220 を介する基準電流 I_{REF} の関数として変動するインピーダンスを有し得、そのため、制御信号ノード 222 において、図 2 において「 V_{CTL2} 」と標示される第 2 の制御電位が、基準電流 I_{REF} の関数となる。

【0024】

トランスコンダクタ 202 は、出力信号ノード 226 を介してフィードバック入力段 208 に接続されるフィードバック負荷 224 を含む。フィードバック入力段 208 を介するフィードバック電流 I_{FB} は、出力信号ノード 226 及びフィードバック負荷 224 を介して流れる。フィードバック負荷 224 は、図 2 に概略的に示されるように、フィードバック負荷 224 を介するフィードバック電流 I_{FB} の関数として変動するインピーダンスを有し得、そのため、制御信号ノード 222 において、図 2 において「 V_{SIG} 」と標示される出力信号電位が、フィードバック電流 I_{FB} の関数となる。

30

【0025】

基準負荷 220 及びフィードバック負荷 224 は、それぞれ、基準入力段 204 及びフィードバック入力段 208 への接続とは反対の接地端子 228 に接続される。接地端子 228 は、図 2 において「 V_{SS} 」と標示される接地電位において電流を受け取るように構成される。基準電流 I_{REF} 及びフィードバック電流 I_{FB} は、接地端子 228 へ流れる。

40

【0026】

トランスコンダクタ 202 は出力電流端子 230 を含み、出力電流端子 230 は、出力バッファ 232 を介して出力信号ノード 226 に結合される。出力バッファ 232 は、出力信号ノード 226 における出力信号電位 V_{SIG} を、出力電流端子 230 を介して流れる、図 2 において「 I_{OUT} 」と標示される出力電流へと変換する。

【0027】

制御信号ノード 222 は、図 2 に示されるように、反転制御バッファ 234 を介して電流制限構成要素 212 の電流制御ノード 216 に結合され、そのため、第 1 の制御電位 V_{CTL1} は、第 2 の制御電位 V_{CTL2} に対して負の相関関係を有する。制御信号ノード

50

222を、反転制御バッファ234を介して電流制御ノード216に結合すると、負のフィードバック経路236が提供され、負のフィードバック経路236は、フィードバック電位VFBにおける変動に起因してフィードバック電流IFBが変化するときに分岐ノード214において、図2において「VHEAD」と標示されるヘッド電位における変動を補償する。半導体デバイス200の動作の間、フィードバック電位VFBが減少するとき、フィードバック入力段208のインピーダンスが減少し、フィードバック入力段208の負のトランスコンダクタンスに起因してフィードバック電流IFBが増加して、出力信号電位VSIGを増加させ、出力電流IOUTを増加させる。フィードバック入力段208のインピーダンスが減少するのでヘッド電位VHEADは減少して、基準電流VREFを減少させ、第2の制御電位VCTL2を減少させる。反転制御バッファ234は、第1の制御電位VCTL1を増加させ、これは、電流制限構成要素212のインピーダンスを減少させ、それによって、フィードバック電流IFBを更に増加させ、出力電流IOUTを更に増加させ、これがトランスコンダクタ202のトランスコンダクタンスを増加させる。反対に、フィードバック電位VFBが増加するとき、フィードバック入力段208のインピーダンスが増加し、フィードバック電流IFBが減少して、出力信号電位VSIGを減少させ、出力電流IOUTを減少させる。第2の制御電位VCTL2は増加し、反転制御バッファ234は、電流制限構成要素212のインピーダンスを増加させる第1の制御電位VCTL1を減少させ、それによってフィードバック電流IFBを更に減少させ、出力電流IOUTを更に減少させ、これは、トランスコンダクタ202のトランスコンダクタンスを増加させる。そのため、負のフィードバック経路236は、フィードバック電位VFBが基準電位VREFとは異なるとき、トランスコンダクタ202の増加したトランスコンダクタンスを提供する。

10

20

30

40

50

【0028】

図3は、例示のトランスコンダクタの回路概略図である。トランスコンダクタ302は、基準入力ポート306において、図3において「VREF」と標示される基準電位を受け取るように構成される基準入力段304を含む。トランスコンダクタ302は、フィードバック入力ポート310において、図3において「VFB」と標示されるフィードバック電位を受け取るように構成されるフィードバック入力段308を含む。この例では、基準入力段304及びフィードバック入力段308は、負のトランスコンダクタンスを有するpチャネル電界効果トランジスタ(PFET)として実装され得る。

【0029】

トランスコンダクタ302は、分岐ノード314において、図3に示されるように、並列の電流経路において、基準入力段304に及びフィードバック入力段308に直列に結合される電流制限構成要素312を含む。この例では、電流制限構成要素312は、正のトランスコンダクタンスを有するnチャネル電界効果トランジスタ(NFET)として実装され得る。電流制限構成要素312は、トランスコンダクタ302の動作の間、図3において「VCTL1」と標示される第1の制御電位を有する、電流制御ノード316を有する。電流制限構成要素312は、図3において「VDD」と標示される正の電力電位において、電流をトランスコンダクタ302に提供するように構成される電力端子318に結合される。電流は、電力端子318から電流制限構成要素312を介して流れ、図3において「IREF」と標示される、基準入力段304を介する基準電流と、図3において「IFB」と標示される、フィードバック入力段308を介するフィードバック電流とに分かれる。

【0030】

トランスコンダクタ302は、出力信号ノード326を介してフィードバック入力段308に接続されるフィードバック負荷324を含む。この例では、フィードバック負荷324は、NMOSダイオードとして構成されるNFETとして実装され得、図3に示されるように、NMOSダイオードのゲートがNMOSダイオードのドレインに直接接続される。図3において「VSG」と標示される、出力信号ノード326における出力信号電位は、フィードバック電流IFBに起因してフィードバック負荷324両端の電圧降下に

等しい。

【0031】

トランスコンダクタ302は、制御信号ノード322を介して基準入力段304に接続される基準負荷320を含む。この例では、基準負荷320はN F E Tとして実装される。基準負荷320のゲートが、図3において「N B I A S」と標示されるN M O S バイアス電位を基準負荷320のゲートに提供するように構成される、N M O S バイアス端子338に接続され得る。N M O S バイアス電位N B I A Sは、基準負荷320の閾値電位より上であるが飽和電位より著しく下であり得、そのため、基準負荷320は線形モードで動作していることになる。図3において「V C T L 2」と標示される制御信号ノード322における第2の制御電位は、基準電流I R E Fに起因して基準負荷320の両端の電圧降下に等しい。

10

【0032】

基準負荷320及びフィードバック負荷324は、図3において「V S S」と標示される接地電位において電流を受け取るように構成される接地端子328に接続される。基準電流I R E F及びフィードバック電流I F Bは、接地端子328へ流れる。

【0033】

トランスコンダクタ302は出力電流端子330を含み、出力電流端子330は、出力バッファ332を介して出力信号ノード326に結合される。出力バッファ332は、出力信号ノード326における出力信号電位V S I Gを、図3において「I O U T」と標示され、出力電流端子330を介して流れる、出力電流に変換する。この例では、出力バッファ332は、出力信号ノード326に直列に結合される、この例ではP F E Tとして実装される出力負荷340とこの例ではN F E Tとして実装される出力ドライバ342とを含み、出力信号ノード326は、出力負荷340のドレインと出力ドライバ342のドレインとに接続される。出力負荷340のゲートがP M O S バイアス端子344に接続され、P M O S バイアス端子344は、図3において「P B I A S」と標示されるP M O S バイアス電位を、出力負荷340のゲートに提供するように構成される。P M O S バイアス電位P B I A Sは、出力負荷340の閾値電位より下であるが、飽和電位より著しく上であり得、そのため、出力負荷340は線形モードで動作していることになる。出力ドライバ342のゲートが、出力信号ノード326に接続される。出力負荷340のソースが、電力端子318に接続される。出力ドライバ342のソースが、接地端子328に接続される。この例の出力バッファ332は、出力電流I O U Tについての相補極性を有する吸込み出力機能性を提供する。

20

30

【0034】

制御信号ノード322は、図3に示されるように、反転制御バッファ334を介して電流制限構成要素312の電流制御ノード316に結合され、そのため、第1の制御電位V C T L 1は、第2の制御電位V C T L 2に対して負の相関関係を有する。この例では、反転制御バッファ334は、制御信号ノード322に直列に結合される、この例ではP F E Tとして実装される制御負荷346とこの例ではN F E Tとして実装される制御ドライバ348とを含み、制御信号ノード322は、制御負荷346のドレインと制御ドライバ348のドレインとに接続される。制御負荷346のゲートが、P M O S バイアス端子344に接続される。制御ドライバ348のゲートが、制御信号ノード322に接続される。制御負荷346のソースが、電力端子318に接続される。制御ドライバ348のソースが、接地端子328に接続される。反転制御バッファ334を介して制御信号ノード322を電流制御ノード316に結合すると、負のフィードバック経路336が提供され、負のフィードバック経路336は、フィードバック電位V F Bにおける変動に起因してフィードバック電流I F Bが変化するとき分岐ノード314において、図3において「V H E A D」と標示されるヘッド電位における変動を減少させる。

40

【0035】

トランスコンダクタ302の動作は、図2のトランスコンダクタ202について説明したように進行する。トランスコンダクタ302は、フィードバック電位V F Bと基準電位

50

VREFとの間の差の絶対値が増加するにつれて、トランスコンダクタンスにおける所望の増加を提供し得る。また、この例のトランスコンダクタ302は、負のフィードバック経路336の実装に起因して、より複雑なトランスコンダクタに比べて面積がより小さくなり得、有利なことに、トランスコンダクタ302を含む半導体デバイス300についてより小さな面積を可能にする。

【0036】

図4は、別の例示のトランスコンダクタの回路概略図である。トランスコンダクタ402は、基準入力ポート406において、図4において「VREF」と標示される基準電位を受け取るように構成される基準入力段404を含む。トランスコンダクタ402は、フィードバック入力ポート410において、図4において「VFB」と標示されるフィードバック電位を受け取るように構成されるフィードバック入力段408を含む。この例では、基準入力段404及びフィードバック入力段408は、図4に示されるようにPFETとして実装され得る。

10

【0037】

トランスコンダクタ402は、図4に示されるように、この例ではNFETとして実装される電流制限構成要素412を含み、電流制限構成要素412は、分岐ノード414において、基準入力段404及びフィードバック入力段408に直列に結合される。電流制限構成要素412は、トランスコンダクタ402の動作の間、図4において「VCTL1」と標示される第1の制御電位を有する電流制御ノード416を有する。電流制限構成要素412は、電力端子418に結合され、電力端子418は、図4において「VDD」と標示される正の電力電位において電流をトランスコンダクタ402に提供するように構成される。

20

【0038】

トランスコンダクタ402はフィードバック負荷424を含み、フィードバック負荷424は、この例ではNMOSダイオードとして実装され、出力信号ノード426を介してフィードバック入力段408に接続される。出力信号ノード426において、図4において「VSIG」と標示される出力信号電位は、フィードバック電流IFBに起因してフィードバック負荷424の両端の電圧降下に等しい。

【0039】

トランスコンダクタ402は基準負荷420を含み、基準負荷420は、この例ではNFETとして実装され、制御信号ノード422を介して基準入力段404に接続される。基準負荷420のゲートが、NMOSバイアス端子438に接続され得る。制御信号ノード422において、図4において「VCTL2」と標示される第2の制御電位は、基準電流IREFに起因して基準負荷420の両端の電圧降下に等しい。基準負荷420及びフィードバック負荷424は、図4において「VSS」と標示される接地電位における電流を受け取るように構成される接地端子428に接続される。

30

【0040】

トランスコンダクタ402を含む半導体デバイス400の動作の間、電流は、電力端子418から電流制限構成要素412を介して流れ、分岐ノード414において、図4において「IREF」と標示される基準入力段404を介する基準電流と、図4において「IFB」と標示されるフィードバック入力段408を介するフィードバック電流とに分かれる。基準電流IREFは、制御信号ノード422及び基準負荷420を介して、接地端子428へ流れる。フィードバック電流IFBは、出力信号ノード426及びフィードバック負荷424を介して、接地端子428へ流れる。

40

【0041】

制御信号ノード422は、図4に示されるように、反転制御バッファ434を介して電流制限構成要素412の電流制御ノード416に結合され、そのため、第1の制御電位VCTL1は、第2の制御電位VCTL2に対して負の相関関係を有する。この例では、反転制御バッファ434は、制御信号ノード422に直列に結合される、この例ではPFETとして実装される制御負荷446とこの例ではNFETとして実装される制御ドライバ

50

448とを含み、制御信号ノード422は、制御負荷446のドレインと制御ドライバ448のドレインとに接続される。制御負荷446のゲートが、PMOSバイアス端子444に接続される。制御ドライバ448のゲートが、制御信号ノード422に接続される。制御負荷446のソースが電力端子418に接続される。制御ドライバ448のソースが接地端子428に接続される。反転制御バッファ434を介して制御信号ノード422を電流制御ノード416に結合すると、負のフィードバック経路436が提供され、負のフィードバック経路436は、フィードバック電位VFBにおける変動に起因してフィードバック電流IFBが変化するときに分岐ノード414において、図4において「VHEAD」と標示されるヘッド電位における変動を減少させる。

【0042】

トランスコンダクタ402は、出力バッファ432を介して出力信号ノード426に結合される出力電流端子430を含む。出力バッファ432は、出力信号ノード426における出力信号電位VSIGを、出力電流端子430を介して流れる、図4において「IOUT」と標示される出力電流に変換する。この例では、出力バッファ432は、増幅されたトランスコンダクタンスを提供するために、2つの並列電流経路を含む。

【0043】

出力バッファ432の第1の電流経路が、直列に結合される、図4において「R1」と標示される第1の抵抗器450aと、この例ではPFETとして実装される第1の出力負荷440aと、この例ではNFETとして実装される第1の出力ドライバ442aとを含む。第1の抵抗器450aの第1の端子が電力端子418に接続される。第1の出力負荷440aのソースが、第1の抵抗器R1 450aの第2の端子に接続される。第1の出力ドライバ442aのソースが接地端子428に接続される。

【0044】

出力バッファ432の第2の電流経路が、直列に結合される、図4において「R2」と標示される第2の抵抗器450bと、この例ではPFETとして実装される第2の出力負荷440bと、この例ではNFETとして実装される第2の出力ドライバ442bとを含む。第2の抵抗器450bの第1の端子が電力端子418に接続される。第2の出力負荷440bのソースが、第2の抵抗器R2 450bの第2の端子に接続される。第2の出力ドライバ442bのソースが接地端子428に接続される。

【0045】

第1の出力負荷440a及び第2の出力負荷440bのゲートは、第1の出力負荷440aのドレインに接続され、そのため、第1の出力負荷440aはPMOSダイオードとして動作する。第1の出力ドライバ442a及び第2の出力ドライバ442bのゲートは、出力信号ノード426に接続される。第1の抵抗器R1 450a、第2の抵抗器R2 450b、第1の出力負荷440a、第2の出力負荷440b、第1の出力ドライバ442a、及び第2の出力ドライバ442bは、増幅されたトランスコンダクタンスを提供するように構成される出力バッファ432の増幅器を提供する。

【0046】

出力バッファ432は、この例ではPMOSソースフォロワとして実装される出力段452を含む。出力段452のソースが、第1の出力負荷440aのソースに接続される。出力段452のゲートが、第2の出力ドライバ442bのドレインに接続される。出力段452のドレインが出力電流端子430に接続される。

【0047】

トランスコンダクタ402の動作は、図3の出力信号ノード326における出力信号電位VSIGの発生まで、図3のトランスコンダクタ302の動作と同様である。出力バッファ432は、第1の抵抗器450aの抵抗に対する第2の抵抗器450bの抵抗の比にほぼ等しい係数で、出力信号ノード426における出力信号電位VSIGを増幅する。そのため、基準入力段404、フィードバック入力段408、基準負荷420、及びフィードバック負荷424の真性トランスコンダクタンスが、第1の抵抗器450aの抵抗に対する第2の抵抗器450bの抵抗の比にほぼ等しい係数で増幅されて、トランスコンダク

10

20

30

40

50

タ 4 0 2 が出力信号ノード 4 2 6 においてより大きな負荷を駆動できるようにする。フィードバック電位 V_{FB} が基準電位 V_{REF} に等しいとき、トランスコンダクタ 4 0 2 がスルー電流を引き出さないことに起因して、トランスコンダクタ 4 0 2 の静止電流は、等価のトランスコンダクタンス値を有する類似のトランスコンダクタよりも低い。

【 0 0 4 8 】

この例の出力バッファ 4 3 2 は、出力電流 I_{OUT} に対する相補極性を有するソース出力機能性を提供する。ソース出力機能性は、出力信号ノード 3 2 6 に接続される接地負荷にとって有利であり得る。増幅されたトランスコンダクタンスを有するトランスコンダクタ 4 0 2 は、トランスコンダクタ 4 0 2 を含む半導体デバイス 4 0 0 の外にあるキャパシタを駆動させるために特に有利であり得る。

10

【 0 0 4 9 】

図 5 は、別の例示のトランスコンダクタの回路概略図である。トランスコンダクタ 5 0 2 は基準入力段 5 0 4 を含み、基準入力段 5 0 4 は、基準入力ポート 5 0 6 において、図 5 において「 V_{REF} 」と標示される基準電位を受け取るように構成される。トランスコンダクタ 5 0 2 は、フィードバック入力ポート 5 1 0 において、図 5 において「 V_{FB} 」と標示されるフィードバック電位を受け取るように構成されるフィードバック入力段 5 0 8 を含む。この例では、基準入力段 5 0 4 及びフィードバック入力段 5 0 8 は、図 5 に示されるように $PFEET$ として実装され得る。

【 0 0 5 0 】

トランスコンダクタ 5 0 2 は電流制限構成要素 5 1 2 を含み、電流制限構成要素 5 1 2 は、図 5 に示されるように、この例では $NFET$ として実装され、分岐ノード 5 1 4 において、基準入力段 5 0 4 及びフィードバック入力段 5 0 8 に直列に結合される。電流制限構成要素 5 1 2 は、トランスコンダクタ 5 0 2 の動作の間、図 5 において「 V_{CTL1} 」と標示される第 1 の制御電位を有する電流制御ノード 5 1 6 を有する。

20

【 0 0 5 1 】

この例のトランスコンダクタ 5 0 2 は、電流制限構成要素 5 1 2 に直列に結合される電流センサ 5 5 4 を含む。この例では、電流センサ 5 5 4 は $PFEET$ として実装される。電流センサ 5 5 4 のドレインが、電流センサ 5 5 4 のゲート及び電流制限構成要素 5 1 2 のドレインに接続される。電流センサ 5 5 4 のソースが電力端子 5 1 8 に接続され、電力端子 5 1 8 は、図 5 において「 V_{DD} 」と標示される正の電力電位において電流をトランスコンダクタ 5 0 2 に提供するように構成される。そのため、この例の電流センサ 5 5 4 は、 $PMOS$ ダイオードとして構成される。この例では、電流センサ 5 5 4 のゲートは、トランスコンダクタ 5 0 2 の動作の間、図 5 において「 V_{SIG} 」と標示される出力信号電位を有する出力信号ノード 5 2 6 を提供する。

30

【 0 0 5 2 】

トランスコンダクタ 5 0 2 は、制御信号ノード 5 2 2 を介して基準入力段 5 0 4 に接続される、この例では $NFET$ として実装される基準負荷 5 2 0 を含む。基準負荷 5 2 0 のゲートが、 $NMOS$ バイアス端子 5 3 8 に接続され得る。

【 0 0 5 3 】

トランスコンダクタ 5 0 2 は、この例では $NMOS$ ダイオードとして実装されるフィードバック負荷 5 2 4 を含む。フィードバック負荷 5 2 4 のドレインが、フィードバック入力段 5 0 8 に接続される。基準負荷 5 2 0 及びフィードバック負荷 5 2 4 は、図 5 において「 V_{SS} 」と標示される接地電位において電流を受け取るように構成される接地端子 5 2 8 に接続される。

40

【 0 0 5 4 】

電流は、電力端子 5 1 8 から電流センサ 5 5 4 を介して、電流制限構成要素 5 1 2 を介して流れ、分岐ノード 5 1 4 において、図 5 において「 I_{REF} 」と標示される基準入力段 5 0 4 を介する基準電流と、図 5 において「 I_{FB} 」と標示されるフィードバック入力段 5 0 8 を介するフィードバック電流とに分かれる。基準電流 I_{REF} は、制御信号ノード 5 2 2 及び基準負荷 5 2 0 を介して、接地端子 5 2 8 へ流れる。制御信号ノード 5 2 2

50

において、図 5 において「VCTL2」と標示される第 2 の制御電位は、基準電流 IREF に起因して基準負荷 520 の両端の電圧降下に等しい。フィードバック電流 IFB は、フィードバック負荷 524 を介して接地端子 528 へ流れる。

【0055】

制御信号ノード 522 は、図 5 に示されるように、反転制御バッファ 534 を介して電流制限構成要素 512 の電流制御ノード 516 に結合され、そのため、第 1 の制御電位 VCTL1 は、第 2 の制御電位 VCTL2 に対して負の相関関係を有する。この例では、反転制御バッファ 534 は、制御信号ノード 522 に直列に結合される、この例では PFEET として実装される制御負荷 546 とこの例では NFET として実装される制御ドライバ 548 とを含み、制御信号ノード 522 は、制御負荷 546 のドレインと制御ドライバ 548 のドレインとに接続される。制御負荷 546 のゲートが、PMOS バイアス端子 544 に接続される。制御ドライバ 548 のゲートが、制御信号ノード 522 に接続される。制御負荷 546 のソースが、電力端子 518 に接続される。制御ドライバ 548 のソースが、接地端子 528 に接続される。反転制御バッファ 534 を介して制御信号ノード 522 を電流制御ノード 516 に結合すると、負のフィードバック経路 536 が提供され、負のフィードバック経路 536 は、フィードバック電位 VFB における変動に起因してフィードバック電流 IFB が変化するときに分岐ノード 514 において、図 5 において「VHEAD」と標示されるヘッド電位における変動を減少させる。

【0056】

トランスコンダクタ 502 は、出力バッファ 532 を介して出力信号ノード 526 に結合される出力電流端子 530 を含む。出力バッファ 532 は、出力信号ノード 526 における出力信号電位 VSIG を、出力電流端子 530 を介して流れる、図 5 において「IOUT」と標示される出力電流に変換する。この例では、出力バッファ 532 は、出力信号ノード 526 に直列に結合される、この例では NFET として実装される出力負荷 540 とこの例では PFEET として実装される出力ドライバ 542 とを含み、出力信号ノード 526 は、出力負荷 540 のドレインと出力ドライバ 542 のドレインとに接続される。出力負荷 540 のゲートが、NMOS バイアス端子 538 に接続される。出力ドライバ 542 のゲートが、出力信号ノード 526 に接続される。出力負荷 540 のソースが、接地端子 528 に接続される。出力ドライバ 542 のソースが、電力端子 518 に接続される。この例の出力バッファ 532 は、出力電流 IOUT に対する相補極性を有するソース出力機能性を提供する。トランスコンダクタ 502 の動作は、図 3 のトランスコンダクタ 302 の動作と同様であり、電流センサ 554 が、ソース出力機能性を可能にするために出力信号電位 VSIG を提供する。相補極性は、トランスコンダクタ 502 を含む半導体デバイス 500 の外にあるネットワークに適切であり得る。

【0057】

図 6 は、別の例示のトランスコンダクタの回路概略図である。トランスコンダクタ 602 は、基準入力ポート 606 において、図 6 において「VREF」と標示される基準電位を受け取るように構成される基準入力段 604 と、フィードバック入力ポート 610 において、図 6 において「VFB」と標示されるフィードバック電位を受け取るように構成されるフィードバック入力段 608 とを含む。この例では、基準入力段 604 及びフィードバック入力段 608 は、負のトランスコンダクタンスを有する PFEET として実装され得る。

【0058】

トランスコンダクタ 602 は、分岐ノード 614 において、図 6 に示されるように、並列の電流経路において、基準入力段 604 とフィードバック入力段 608 とに直列に結合される電流制限構成要素 612 を含む。この例では、電流制限構成要素 612 は、正のトランスコンダクタンスを有する NFET として実装され得る。電流制限構成要素 612 は、トランスコンダクタ 602 の動作の間、図 6 において「VCTL1」と標示される第 1 の制御電位を有する電流制御ノード 616 を有する。電流制限構成要素 612 は、図 6 において「VDD」と標示される正の電力電位において電流をトランスコンダクタ 602 に

提供するように構成される電力端子 6 1 8 に結合される。電流は、電力端子 6 1 8 から電流制限構成要素 6 1 2 を介して流れ、図 6 において「I R E F」と標示される基準入力段 6 0 4 を介する基準電流と、図 6 において「I F B」と標示されるフィードバック入力段 6 0 8 とに分かれる。

【0059】

トランスコンダクタ 6 0 2 はフィードバック負荷 6 2 4 を含み、フィードバック負荷 6 2 4 は、出力信号ノード 6 2 6 を介してフィードバック入力段 6 0 8 に接続される。この例では、フィードバック負荷 6 2 4 は N M O S ダイオードとして実装され得、N M O S ダイオードのゲートが、図 6 に示されるように、N M O S ダイオードのドレインに直接接続される。出力信号ノード 6 2 6 において、図 6 において「V S I G」と標示される出力信号電位は、フィードバック電流 I F B に起因してフィードバック負荷 6 2 4 の両端の電圧降下に等しい。

10

【0060】

トランスコンダクタ 6 0 2 は、制御信号ノード 6 2 2 を介して基準入力段 6 0 4 に接続される基準負荷 6 2 0 を含む。この例では、基準負荷 6 2 0 は N F E T として実装され得る。基準負荷 6 2 0 のゲートが N M O S バイアス端子 6 3 8 に接続され得る。制御信号ノード 6 2 2 において、図 6 において「V C T L 2」と標示される第 2 の制御電位は、基準電流 I R E F に起因して基準負荷 6 2 0 の両端の電圧降下に等しい。

【0061】

基準負荷 6 2 0 及びフィードバック負荷 6 2 4 は、図 6 において「V S S」と標示される接地電位において電流を受け取るように構成される接地端子 6 2 8 に接続される。基準電流 I R E F 及びフィードバック電流 I F B は、接地端子 6 2 8 へ流れる。

20

【0062】

制御信号ノード 6 2 2 は、図 6 に示されるように、反転制御バッファ 6 3 4 を介して電流制限構成要素 6 1 2 の電流制御ノード 6 1 6 に結合され、そのため、第 1 の制御電位 V C T L 1 は、第 2 の制御電位 V C T L 2 に対して負の相関関係を有する。この例では、反転制御バッファ 6 3 4 は、制御信号ノード 6 2 2 に直列に結合される、この例では P F E T として実装される制御負荷 6 4 6 とこの例では N F E T として実装される制御ドライバ 6 4 8 とを含み、制御信号ノード 6 2 2 は、制御負荷 6 4 6 のドレインと制御ドライバ 6 4 8 のドレインとに接続される。制御負荷 6 4 6 のゲートが、P M O S バイアス端子 6 4 4 に接続される。制御ドライバ 6 4 8 のゲートが、制御信号ノード 6 2 2 に接続される。制御負荷 6 4 6 のソースが、電力端子 6 1 8 に接続される。制御ドライバ 6 4 8 のソースが、接地端子 6 2 8 に接続される。反転制御バッファ 6 3 4 を介して制御信号ノード 6 2 2 を電流制御ノード 6 1 6 に結合すると、負のフィードバック経路 6 3 6 が提供され、負のフィードバック経路 6 3 6 は、フィードバック電位 V F B における変動に起因してフィードバック電流 I F B が変化するとき分岐ノード 6 1 4 において、図 6 において「V H E A D」と標示されるヘッド電位における変動を減少させる。

30

【0063】

トランスコンダクタ 6 0 2 は、出力バッファ 6 3 2 を介して出力信号ノード 6 2 6 に結合される出力電流端子 6 3 0 を含む。出力バッファ 6 3 2 は、出力信号ノード 6 2 6 における出力信号電位 V S I G を、出力電流端子 6 3 0 を介して流れる、図 6 において「I O U T」と標示される出力電流に変換する。この例では、出力バッファ 6 3 2 は、出力電流ミラー 6 5 6 の出力電流センサ 6 4 0 に直列の、この例では N F E T として実装される、出力ドライバ 6 4 2 を含む。出力電流ミラー 6 5 6 は、出力信号ノード 6 2 6 に接続される出力段 6 5 2 を含む。この例では、出力電流センサ 6 4 0 及び出力段 6 5 2 は、P F E T として実装され得る。出力ドライバ 6 4 2 のソースが接地端子 6 2 8 に接続される。出力電流センサ 6 4 0 のソース及び出力段 6 5 2 のソースが、電力端子 6 1 8 に接続される。

40

【0064】

トランスコンダクタ 6 0 2 の動作は、出力バッファ 6 3 2 まで、図 3 のトランスコンダ

50

クタ 302 について説明したように進行する。出力電流ミラー 656 は、図 3 の出力バッファ 332 よりも多くの電流を提供し、トランスコンダクタ 602 が、トランスコンダクタ 302 より低い値の正の電力電位 V_{DD} で動作できるようにする。この例の出力バッファ 632 は、出力電流 I_{OUT} についての非相補極性を有するソース出力機能性を提供する。非相補極性は、トランスコンダクタ 602 を含む半導体デバイス 600 の外にあるネットワークに適切であり得る。

【0065】

図 7 は、別の例示のトランスコンダクタの回路概略図である。トランスコンダクタ 702 は、基準入力ポート 706 において、図 7 において「 V_{REF} 」と標示される基準電位を受け取るように構成される基準入力段 704 と、フィードバック入力ポート 710 において、図 7 において「 V_{FB} 」と標示されるフィードバック電位を受け取るように構成されるフィードバック入力段 708 とを含む。この例では、基準入力段 704 及びフィードバック入力段 708 は、図 7 に示されるように、 $PFEET$ として実装され得る。

10

【0066】

この例のトランスコンダクタ 702 は、電流制限構成要素 712 に直列に結合される電流センサ 754 を含む。この例では、図 7 に示されるように、電流センサ 754 は $PFEET$ として実装され、電流制限構成要素 712 は $NFEET$ として実装される。電流センサ 754 のドレインが、電流センサ 754 のゲートと電流制限構成要素 712 のドレインとに接続される。電流センサ 754 のソースが、図 7 において「 V_{DD} 」と標示される正の電力電位において電流をトランスコンダクタ 702 に提供するように構成される電力端子 718 に接続される。そのため、この例の電流センサ 754 は $PMOS$ ダイオードとして構成される。この例では、電流センサ 754 のゲートは、トランスコンダクタ 702 の動作の間、図 7 において「 V_{SIG} 」と標示される出力信号電位を有する出力信号ノード 726 を提供する。電流制限構成要素 712 は、トランスコンダクタ 702 の動作の間、図 7 において「 V_{CTL1} 」と標示される第 1 の制御電位を有する電流制御ノード 716 を有する。電流制限構成要素 712 は、分岐ノード 714 において、基準入力段 704 及びフィードバック入力段 708 に直列に結合される。

20

【0067】

トランスコンダクタ 702 は、制御信号ノード 722 を介して基準入力段 704 に接続される、この例では $NFEET$ として実装される基準負荷 720 を含む。基準負荷 720 のゲートが、 $NMOS$ バイアス端子 738 に接続され得る。制御信号ノード 722 において、図 7 において「 V_{CTL2} 」と標示される第 2 の制御電位は、基準電流 I_{REF} に起因して基準負荷 720 の両端の電圧降下に等しい。

30

【0068】

トランスコンダクタ 702 は、この例では $NMOS$ ダイオードとして実装されるフィードバック負荷 724 を含む。フィードバック負荷 724 のドレインが、フィードバック入力段 708 に接続される。基準負荷 720 及びフィードバック負荷 724 は、図 7 において「 V_{SS} 」と標示される接地電位において電流を受け取るように構成される接地端子 728 に接続される。

【0069】

電流は、電力端子 718 から電流センサ 754 を介し、電流制限構成要素 712 を介して流れ、基準入力段 704 を介する図 7 において「 I_{REF} 」と標示される基準電流と、フィードバック入力段 708 を介する図 7 において「 I_{FB} 」と標示されるフィードバック電流とに分かれる。基準電流 I_{REF} は、制御信号ノード 722 及び基準負荷 720 を介して接地端子 728 へ流れる。フィードバック電流 I_{FB} は、フィードバック負荷 724 を介して接地端子 728 へ流れる。

40

【0070】

制御信号ノード 722 は、図 7 に示されるように、反転制御バッファ 734 を介して電流制限構成要素 712 の電流制御ノード 716 に結合され、そのため、第 1 の制御電位 V_{CTL1} は、第 2 の制御電位 V_{CTL2} に対して負の相関関係を有する。この例では、反

50

転制御バッファ734は、制御信号ノード722に直列に結合される、この例ではP F E Tとして実装される制御負荷746とこの例ではN F E Tとして実装される制御ドライバ748とを含み、制御信号ノード722は、制御負荷746のドレインと制御ドライバ748のドレインとに接続される。制御負荷746のゲートが、P M O S バイアス端子744に接続される。制御ドライバ748のゲートが、制御信号ノード722に接続される。制御負荷746のソースが、電力端子718に接続される。制御ドライバ748のソースが、接地端子728に接続される。反転制御バッファ734を介して制御信号ノード722を電流制御ノード716に結合すると、負のフィードバック経路736が提供され、負のフィードバック経路736は、フィードバック電位V F Bにおける変動に起因してフィードバック電流I F Bが変化するときに分岐ノード714において、図7において「V H E A D」と標示されるヘッド電位における変動を減少させる。

10

【0071】

トランスコンダクタ702は、出力バッファ732を介して出力信号ノード726に結合される出力電流端子730を含む。出力バッファ732は、出力信号ノード726における出力信号電位V S I Gを、出力電流端子730を介して流れる、図7において「I O U T」と標示される出力電流に変換する。この例では、出力バッファ732は、この例ではP M O S ソースフォロワとして実装される出力段752を含む。出力段752のソースが、電力端子718に接続される。出力段752のゲートが、出力信号ノード726に接続される。出力段752のドレインが、出力電流端子730に接続される。この例の出力バッファ732は、出力電流I O U Tに対する非相補極性を有するソース出力機能性を提供する。トランスコンダクタ702の動作は、図3のトランスコンダクタの動作と同様であり、電流センサ754が、ソース出力機能性を可能にするために出力信号電位V S I Gを提供する。出力段752は、有利なことに、ドライバ／負荷バッファよりも多くの電流を提供し得、トランスコンダクタ702を含む半導体デバイス700において占める面積がより少ない。

20

【0072】

図8は、別の例示のトランスコンダクタの回路概略図である。トランスコンダクタ802は、基準入力ポート806において、図8において「V R E F」と標示される基準電位を受け取るように構成される第1の基準入力段804aを含み、これは、フィードバック入力ポート810において、図8において「V F B」と標示されるフィードバック電位を受け取るように構成される第1のフィードバック入力段808aと対になっている。この例では、第1の基準入力段804a及び第1のフィードバック入力段808aは、図8に示されるように、P F E Tとして実装され得る。

30

【0073】

トランスコンダクタ802は、図8に示されるように、この例ではN F E Tとして実装される第1の電流制限構成要素812aを含む。第1の電流制限構成要素812のソースが、第1の分岐ノード814aに接続される。第1の電流制限構成要素は、第1の電流制御ノード816aを有し、第1の電流制御ノード816aは、トランスコンダクタ802の動作の間、図8において「V C T L 1 a」と標示される第1の制御電位を有する。この例のトランスコンダクタ802は、第1の電流制限構成要素812aに直列に結合される電流センサ854を含む。この例では、電流センサ854はP F E Tとして実装される。電流センサ854のドレインが、電流センサ854のゲートと第1の電流制限構成要素812aのドレインとに接続される。電流センサ854のソースが、図8において「V D D」と標示される正の電力電位において、電流をトランスコンダクタ802に提供するように構成される電力端子818に接続される。そのため、この例の電流センサ854はP M O S ダイオードとして構成される。この例では、電流センサ854のゲートは、トランスコンダクタ802の動作の間、図8において「V S I G a」と標示される第1の出力信号電位を有する第1の出力信号ノード826aを提供する。

40

【0074】

この例では、第1の基準入力段804aは、図8において「R 1」と標示される第1の

50

抵抗器 858 を介して、第 1 の電流制限構成要素 812 a に接続される。第 1 のフィードバック入力段 808 a は、図 8 において「R2」と標示される第 2 の抵抗器 860 を介して、第 1 の電流制限構成要素 812 a に接続される。

【0075】

トランスコンダクタ 802 は第 1 の基準負荷 820 a を含み、第 1 の基準負荷 820 a は、この例では N F E T として実装され、第 1 の制御信号ノード 822 a を介して第 1 の基準入力段 804 a に接続される。第 1 の基準負荷 820 a のゲートが、N M O S バイアス端子 838 に接続され得る。

【0076】

トランスコンダクタ 802 は、この例では N M O S ダイオードとして実装される、第 1 のフィードバック負荷 824 a を含む。第 1 のフィードバック負荷 824 a のドレインが、第 1 のフィードバック入力段 808 a に接続される。第 1 のフィードバック負荷 824 a のゲートが、第 1 のフィードバック負荷 824 a のドレインに接続され得、そのため、第 1 のフィードバック負荷 824 a は、この例では N M O S ダイオードとして実装される。第 1 の基準負荷 820 a 及び第 1 のフィードバック負荷 824 a のソースが、図 8 において「VSS」と標示される接地電位において電流を受け取るように構成される接地端子 828 に接続される。

【0077】

電流は、電力端子 818 から電流センサ 854 を介し、第 1 の電流制限構成要素 812 a を介して流れ、第 1 の抵抗器 R1 858 及び第 1 の基準入力段 804 a を介する、図 8 において「IREFa」と標示される第 1 の基準電流と、第 2 の抵抗器 R2 860 及び第 1 のフィードバック入力段 808 a を介する、図 8 において「IFBa」と標示される第 1 のフィードバック電流とに分かれる。基準電流 IREFa は、第 1 の制御信号ノード 822 a 及び第 1 の基準負荷 820 a を介して、接地端子 828 へ流れる。第 1 の制御信号ノード 822 a において、図 8 において「VCTL2a」と標示される第 2 の制御電位は、基準電流 IREFa に起因して、第 1 の基準負荷 820 a の両端の電圧降下に等しい。フィードバック電流 IFFBa は、第 1 のフィードバック負荷 824 a を介して接地端子 828 へ流れる。

【0078】

第 1 の制御信号ノード 822 a は、図 8 に示されるように、第 1 の反転制御バッファ 834 a を介して第 1 の電流制限構成要素 812 a の第 1 の電流制御ノード 816 a に結合され、そのため、第 1 の制御電位 VCTL1a は、第 2 の制御電位 VCTL2a に対して負の相関関係を有する。この例では、第 1 の反転制御バッファ 834 a は、第 1 の制御信号ノード 822 a に直列に結合される、この例では P F E T として実装される第 1 の制御負荷 846 a とこの例では N F E T として実装される第 1 の制御ドライバ 848 a とを含み、第 1 の制御信号ノード 822 a は、第 1 の制御負荷 846 a のドレインと第 1 の制御ドライバ 848 a のドレインとに接続される。第 1 の制御負荷 846 a のゲートが、P M O S バイアス端子 844 に接続される。第 1 の制御ドライバ 848 a のゲートが、第 1 の制御信号ノード 822 a に接続される。第 1 の制御負荷 846 a のソースが、電力端子 818 に接続される。第 1 の制御ドライバ 848 a のソースが、接地端子 828 に接続される。第 1 の反転制御バッファ 834 a を介して第 1 の制御信号ノード 822 a を第 1 の電流制御ノード 816 a に結合すると、第 1 の負のフィードバック経路 836 a が提供され、第 1 の負のフィードバック経路 836 a は、フィードバック電位 VFB における変動に起因して第 1 のフィードバック電流 IFFBa が変化するとき第 1 の分岐ノード 814 a において、図 8 において「VHEADa」と標示される第 1 のヘッド電位における変動を減少させる。

【0079】

この例のトランスコンダクタ 802 は、基準入力ポート 806 から基準電位 VREF を受け取るように構成される第 2 の基準入力段 804 b を含み、これは、フィードバック入力ポート 810 からフィードバック電位 VFB を受け取るように構成される第 2 のフィー

10

20

30

40

50

ドバック入力段 808b と対になっている。第 2 の基準入力段 804b は、図 8 において「R3」と標示される第 3 の抵抗器 862 を介して第 2 の分岐ノード 814b に接続される。第 2 のフィードバック入力段 808b は、図 8 において「R4」と標示される第 4 の抵抗器 864 を介して第 2 の分岐ノード 814b に接続される。

【0080】

トランスコンダクタ 802 は第 2 の電流制限構成要素 812b を含み、第 2 の電流制限構成要素 812b は、図 8 に示されるように、第 2 の分岐ノード 814b において、それぞれ、第 3 の抵抗器 R3 862 及び第 4 の抵抗器 R4 864 を介して、並列の電流経路において、第 2 の基準入力段 804b に及び第 2 のフィードバック入力段 808b に直列に結合される。この例では、第 2 の電流制限構成要素 812b は、正のトランスコンダクタンスを有する N F E T として実装され得る。第 2 の電流制限構成要素 812b は、トランスコンダクタ 802 の動作の間、図 8 において「V C T L 1 b」と標示される第 3 の制御電位を有する第 2 の電流制御ノード 816b を有する。第 2 の電流制限構成要素 812b は、電力端子 818 に結合される。電流は、電力端子 818 から第 2 の電流制限構成要素 812b を介して流れ、第 2 の基準入力段 804b を介する、図 8 において「I R E F b」と標示される第 2 の基準電流と、第 2 のフィードバック入力段 808b を介する、図 8 において「I F B b」と標示される第 2 のフィードバック電流とに分かれる。

10

【0081】

トランスコンダクタ 802 は第 2 のフィードバック負荷 824b を含み、第 2 のフィードバック負荷 824b は、第 2 の出力信号ノード 826b を介して第 2 のフィードバック入力段 808b に接続される。この例では、第 2 のフィードバック負荷 824b は、図 8 に示されるように、N M O S ダイオードとして実装され得る。第 2 の出力信号ノード 826b において、図 8 において「V S I G b」と標示される第 2 の出力信号電位は、第 2 のフィードバック電流 I F B b に起因して、第 2 のフィードバック負荷 824b の両端の電圧降下に等しい。

20

【0082】

トランスコンダクタ 802 は第 2 の基準負荷 820b を含み、第 2 の基準負荷 820b は、第 2 の制御信号ノード 822b を介して第 2 の基準入力段 804b に接続される。この例では、第 2 の基準負荷 820b は、N F E T として実装され得る。第 2 の基準負荷 820b のゲートが、N M O S バイアス端子 838 に接続され得る。第 2 の制御信号ノード 822b において、図 8 において「V C T L 2 b」と標示される第 4 の制御電位は、第 2 の基準電流 I R E F b に起因して、第 2 の基準負荷 820b の両端の電圧降下に等しい。

30

【0083】

第 2 の基準負荷 820b 及び第 2 のフィードバック負荷 824b のソースが、接地端子 828 に接続される。第 2 の基準電流 I R E F b 及び第 2 のフィードバック電流 I F B b は、接地端子 828 へ流れる。

【0084】

第 2 の制御信号ノード 822b は、図 8 に示されるように、第 2 の反転制御バッファ 834b を介して、第 2 の電流制限構成要素 812b の第 2 の電流制御ノード 816b に結合され、そのため、第 3 の制御電位 V C T L 1 b は、第 4 の制御電位 V C T L 2 b に対して負の相関関係を有する。この例では、第 2 の反転制御バッファ 834b は、第 2 の制御信号ノード 822b に直列に結合される、この例では P F E T として実装される第 2 の制御負荷 846b とこの例では N F E T として実装される第 2 の制御ドライバ 848b とを含み、第 2 の制御信号ノード 822b は、第 2 の制御負荷 846b のドレインと第 2 の制御ドライバ 848b のドレインとに接続される。第 2 の制御負荷 846b のゲートが、P M O S バイアス端子 844 に接続される。第 2 の制御ドライバ 848b のゲートが、第 2 の制御信号ノード 822b に接続される。第 2 の制御負荷 846b のソースが、電力端子 818 に接続される。第 2 の制御ドライバ 848b のソースが、接地端子 828 に接続される。第 2 の反転制御バッファ 834b を介して第 2 の制御信号ノード 822b を第 2 の電流制御ノード 816b に結合すると、第 2 の負のフィードバック経路 836b が提供さ

40

50

れ、第2の負のフィードバック経路836bは、フィードバック電位VFBにおける変動に起因して第2のフィードバック電流IFBbが変化するとき第2の分岐ノード814bにおいて、図8において「VHEADb」と標示される第2のヘッド電位における変動を減少させる。

【0085】

トランスコンダクタ802は出力電流端子830を含み、出力電流端子830は、出力バッファ832を介して、第1の出力信号ノード826a及び第2の出力信号ノード826bに結合される。出力バッファ832は、第1の出力信号ノード826aにおける第1の出力信号電位VSGaと第2の出力信号ノード826bにおける第2の出力信号電位VSGbとを、出力電流端子830を介して流れる、図3において「IOUT」と標示される出力電流に変換する。この例では、出力バッファ832は、ドレイン間に直列に結合される、この例ではPFETとして実装される第1の出力ドライバ842aとこの例ではNFETとして実装される第2の出力ドライバ842bとを含む。第1の出力ドライバ842aのソースが電力端子818に接続され、第2の出力ドライバ842bのソースが接地端子828に接続される。第1の出力信号ノード826aは、第1の出力ドライバ842aのゲートに接続され、第2の出力信号ノード826bは、第2の出力ドライバ842bに接続される。出力電流端子830は、第1の出力ドライバ842aのドレインと第2の出力ドライバ842bのドレインとに接続される。この例の出力バッファ832は、出力電流IOUTに対する非相補極性を有する双方向出力機能性を提供する。抵抗器R1858、R2860、R3862、及びR4864は、有利なことに、フィードバック電位VFBと基準電位VREFとの間の差の関数として出力電流IOUTにおける更なる線形性を提供し得る。双方向出力機能性は、トランスコンダクタ802を含む半導体デバイス800の外にあるネットワークに適切であり得る。

【0086】

図9は、別の例示のトランスコンダクタの回路概略図である。トランスコンダクタ902は第1の基準入力段904aを含み、第1の基準入力段904aは、基準入力ポート906において図9において「VREF」と標示される基準電位を受け取るように構成され、フィードバック入力ポート910において、図9において「VFB」と標示されるフィードバック電位を受け取るように構成される第1のフィードバック入力段908aと対になっている。この例では、第1の基準入力段904a及び第1のフィードバック入力段908aは、図9に示されるように、NFETとして実装され得る。トランスコンダクタ902の動作の間、図9において「IREFa」と標示される第1の基準電流が、第1の基準入力段904aを介して流れ、図9において「IFBa」と標示される第1のフィードバック電流が、第1のフィードバック入力段908aを介して流れる。

【0087】

トランスコンダクタ902は、第1の分岐ノード914aにおいて、図9に示されるように並列の電流経路において第1の基準入力段904aに及び第1のフィードバック入力段908aに直列に結合される、第1の電流制限構成要素912aを含む。この例では、第1の電流制限構成要素912aは、負のトランスコンダクタンスを有するPFETとして実装され得る。第1の電流制限構成要素912aは、トランスコンダクタ902の動作の間、図9において「VCTL1a」と標示される第1の制御電位を有する第1の電流制御ノード916aを有する。第1の電流制限構成要素912aのドレインが、図9において「VSS」と標示される接地電位において電流を受け取るように構成される接地端子928に結合される。第1の基準電流IREFa及び第1のフィードバック電流IFBaは、第1の分岐ノード914aにおいて組み合わせられ、第1の電流制限構成要素912aを介して接地端子928へ流れる。

【0088】

トランスコンダクタ902は第1の基準負荷920aを含み、第1の基準負荷920aは、この例ではPFETとして実装され、第1の制御信号ノード922aを介して第1の基準入力段904aに接続される。第1の基準負荷920aのゲートが、PMOSバイア

10

20

30

40

50

ス端子 944 に接続され得る。

【0089】

トランスコンダクタ 902 は、この例では PMOS ダイオードとして実装される、第 1 のフィードバック負荷 924 a を含む。第 1 のフィードバック負荷 924 a のドレインが、第 1 のフィードバック入力段 908 a に接続される。第 1 のフィードバック負荷 924 a のゲートが、第 1 のフィードバック負荷 924 a のドレインに接続され得、そのため、第 1 のフィードバック負荷 924 a は、この例では PMOS ダイオードとして実装される。第 1 の基準負荷 920 a 及び第 1 のフィードバック負荷 924 a のソースが、電力端子 918 に接続され、電力端子 918 は、図 9 において「VDD」と標示される正の電力電位において、トランスコンダクタ 902 に電流を提供するように構成される。

10

【0090】

電流は、接地端子 928 から第 1 の電流制限構成要素 912 a を介して流れ、第 1 の分岐ノード 914 a において、第 1 の基準電流 IREF a 及び第 1 のフィードバック電流 IFB a に分かれる。基準電流 IREF a は、第 1 の制御信号ノード 922 a 及び第 1 の基準負荷 920 a を介して、電力端子 918 へ流れる。第 1 の制御信号ノード 922 a において、図 9 において「VCTL 2 a」と標示される第 2 の制御電位は、基準電流 IREF a に起因して、VDD に関して第 1 の基準負荷 920 a の両端の電圧降下に等しい。フィードバック電流 IFB a は、第 1 のフィードバック負荷 924 a を介して電力端子 918 へ流れる。

【0091】

第 1 の制御信号ノード 922 a は、図 9 に示されるように、第 1 の反転制御バッファ 934 a を介して、第 1 の電流制限構成要素 912 a の第 1 の電流制御ノード 916 a に結合され、そのため、第 1 の制御電位 VCTL 1 a は、第 2 の制御電位 VCTL 2 a に対して負の相関関係を有する。この例では、第 1 の反転制御バッファ 934 a は、第 1 の電流制御ノード 916 a とドレイン間で直列に結合される、この例では NFET として実装される第 1 の制御負荷 946 a とこの例では PFET として実装される第 1 の制御ドライバ 948 a とを含み、第 1 の電流制御ノード 916 a は、第 1 の制御負荷 946 a のドレインと第 1 の制御ドライバ 948 a のドレインとに接続される。第 1 の制御負荷 946 a のゲートが、NMOS バイアス端子 938 に接続される。第 1 の制御ドライバ 948 a のゲートが、第 1 の制御信号ノード 922 a に接続される。第 1 の制御負荷 946 a のソースが、接地端子 928 に接続される。第 1 の制御ドライバ 948 a のソースが、電力端子 918 に接続される。第 1 の反転制御バッファ 934 a を介して第 1 の制御信号ノード 922 a を第 1 の電流制御ノード 916 a に結合すると、第 1 の負のフィードバック経路 936 a が提供され、第 1 の負のフィードバック経路 936 a は、フィードバック電位 VFB における変動に起因して第 1 のフィードバック電流 IFB a が変化するとき、第 1 の分岐ノード 914 a において、図 9 において「VHEAD a」と標示される第 1 のヘッド電位における変動を減少させる。

20

30

【0092】

この例のトランスコンダクタ 902 は、第 2 の基準入力段 904 b を含み、第 2 の基準入力段 904 b は、基準入力ポート 906 から基準電位 VREF を受け取るように構成され、フィードバック入力ポート 910 からフィードバック電位 VFB を受け取るように構成される第 2 のフィードバック入力段 908 b と対になっている。第 2 の基準入力段 904 b 及び第 2 のフィードバック入力段 908 b は、第 2 の分岐ノード 914 b に接続される。トランスコンダクタ 902 は、第 2 の電流制限構成要素 912 b を含み、第 2 の電流制限構成要素 912 b は、第 2 の分岐ノード 914 b において、第 2 の基準入力段 904 b に及び第 2 のフィードバック入力段 908 b に直列に結合される。この例では、第 2 の電流制限構成要素 912 b は、PFET として実装され得る。第 2 の電流制限構成要素 912 b は、トランスコンダクタ 902 の動作の間、図 9 において「VCTL 1 b」と標示される第 3 の制御電位を有する、第 2 の電流制御ノード 916 b を有する。

40

【0093】

50

この例のトランスコンダクタ 902 は、第 1 の電流制限構成要素 912 a に直列に結合される電流センサ 954 を含む。この例では、電流センサ 954 は N F E T として実装される。電流センサ 954 のドレインが、電流センサ 954 のゲートと第 1 の電流制限構成要素 912 a のドレインとに接続される。電流センサ 954 のソースが、接地端子 928 に接続される。そのため、この例の電流センサ 954 は、N M O S ダイオードとして構成される。この例では、電流センサ 954 のゲートは、トランスコンダクタ 902 の動作の間、図 9 において「V S I G b」と標示される第 2 の出力信号電位を有する、第 2 の出力信号ノード 926 b を提供する。またトランスコンダクタ 902 の動作の間、第 2 の基準電流 I R E F b 及び第 2 のフィードバック電流 I F B b は、第 2 の分岐ノード 914 b において組み合わせられ、第 1 の電流制限構成要素 912 a 及び電流センサ 954 を介して、接地端子 928 へ流れる。

10

【0094】

トランスコンダクタ 902 は、第 2 のフィードバック負荷 924 b を含み、第 2 のフィードバック負荷 924 b は、第 2 の制御信号ノード 922 b を介して第 2 のフィードバック入力段 908 b に接続される。この例では、第 2 のフィードバック負荷 924 b は P F E T として実装され得る。第 2 のフィードバック負荷 924 b が、電力端子 918 に接続され得る。第 2 のフィードバック負荷 924 b のゲートが、P M O S バイアス端子 944 に接続され得る。第 2 の制御信号ノード 922 b において、図 9 において「V C T L 2 b」と標示される第 4 の制御電位は、第 2 の基準電流 I R E F b に起因して、V D D に関して第 2 のフィードバック負荷 924 b の両端の電圧降下に等しい。

20

【0095】

トランスコンダクタ 902 は、第 2 の基準入力段 904 b に接続される第 2 の基準負荷 920 b を含む。この例では、第 2 の基準負荷 920 b は P M O S ダイオードとして実装され得る。第 2 の基準負荷 920 b 及び第 2 のフィードバック負荷 924 b のソースが、電力端子 918 に接続される。

【0096】

第 2 の制御信号ノード 922 b は、図 9 に示されるように、第 2 の反転制御バッファ 934 b を介して、第 2 の電流制限構成要素 912 b の第 2 の電流制御ノード 916 b に結合され、そのため、第 3 の制御電位 V C T L 1 b は、第 4 の制御電位 V C T L 2 b に対して負の相関関係を有する。この例では、第 2 の反転制御バッファ 934 b は、第 2 の電流制御ノード 916 b に直列に結合される、この例では N F E T として実装される第 2 の制御負荷 946 b とこの例では P F E T として実装される第 2 の制御ドライバ 948 b とを含み、第 2 の電流制御ノード 916 b は、第 2 の制御負荷 946 b のドレインと第 2 の制御ドライバ 948 b のドレインとに接続される。第 2 の制御負荷 946 b のゲートが、N M O S バイアス端子 938 に接続される。第 2 の制御ドライバ 948 b のゲートが、第 2 の制御信号ノード 922 b に接続される。第 2 の制御負荷 946 b のソースが、接地端子 928 に接続される。第 2 の制御ドライバ 948 b のソースが、電力端子 918 に接続される。第 2 の反転制御バッファ 934 b を介して第 2 の制御信号ノード 922 b を第 2 の電流制御ノード 916 b に結合すると、第 2 の負のフィードバック経路 936 b が提供され、第 2 の負のフィードバック経路 936 b は、フィードバック電位 V F B における変動に起因して第 2 のフィードバック電流 I F B b が変化するとき第 2 の分岐ノード 914 b において、図 9 において「V H E A D b」と標示される第 2 のヘッド電位における変動を減少させる。

30

40

【0097】

トランスコンダクタ 902 は出力電流端子 930 を含み、出力電流端子 930 は、第 1 の出力バッファ 932 a を介して第 1 の出力信号ノード 926 a に結合され、第 2 の出力バッファ 932 b を介して第 2 の出力信号ノード 926 b に結合される。この例の第 1 の出力バッファ 932 a 及び第 2 の出力バッファ 932 b は、互いの構成が反転されている。

【0098】

50

第1の出力バッファ932aは、第1の出力信号ノード926aにおける第1の出力信号電位V S I G aを、出力電流端子930を介して流れるソース出力電流部分に変換する。この例では、この例では、第1の出力バッファ932aは、増幅されたトランスコンダクタンスを提供するために2つの並列電流経路を含む。第1の出力バッファ932aの第1の電流経路が、直列に結合される、図9において「R1」と標示される第1の抵抗器950aと、この例ではN F E Tとして実装される第1の出力負荷940aと、この例ではP F E Tとして実装される第1の出力ドライバ942aとを含む。第1の抵抗器950aの第1の端子が、接地端子928に接続される。第1の出力負荷940aのソースが、第1の抵抗器950aの第2の端子に接続される。第1の出力ドライバ942aのソースが、電力端子918に接続される。第1の出力バッファ932aの第2の電流経路が、直列に結合される、図9において「R2」と標示される第2の抵抗器950bと、この例ではN F E Tとして実装される第2の出力負荷940bと、この例ではP F E Tとして実装される第2の出力ドライバ942bとを含む。第2の抵抗器950bの第1の端子が、接地端子928に接続される。第2の出力負荷940bのソースが、第2の抵抗器950bの第2の端子に接続される。第2の出力ドライバ942bのソースが、電力端子918に接続される。第1の出力負荷940a及び第2の出力負荷940bのゲートが、第1の出力負荷940aのドレインに接続され、そのため、第1の出力負荷940aはN M O Sダイオードとして動作する。第1の出力ドライバ942a及び第2の出力ドライバ942bのゲートが、第1の出力信号ノード926aに接続される。第1の出力バッファ932aは、この例ではN F E Tとして実装される第1の出力段952aを含む。第1の出力段952aのソースが、第1の出力負荷940aのソースに接続される。第1の出力段952aのゲートが、第2の出力ドライバ942bのドレインに接続される。第1の出力段952aのドレインが、出力電流端子930に接続される。第1の出力バッファ932aは、第1の出力信号ノード926aにおいて、第1の抵抗器950aの抵抗に対する第2の抵抗器950bの抵抗の比にほぼ等しい係数で、第1の出力信号電位V S I G aを増幅する。

【0099】

第2の出力バッファ932bは、第2の出力信号ノード926bにおける第2の出力信号電位V S I G bを、出力電流端子930を介して流れる吸込み出力電流部分に変換する。この例では、第2の出力バッファ932bは、増幅されたトランスコンダクタンスを提供するために2つの並列電流経路を含む。第2の出力バッファ932bの第1の電流経路が、直列に結合される、図9において「R3」と標示される第3の抵抗器950cと、この例ではP F E Tとして実装される第3の出力負荷940cと、この例ではN F E Tとして実装される第3の出力ドライバ942cとを含む。第3の抵抗器950cの第1の端子が、電力端子918に接続される。第3の出力負荷940cのソースが、第3の抵抗器950cの第2の端子に接続される。第3の出力ドライバ942cのソースが、接地端子928に接続される。第2の出力バッファ932bの第2の電流経路が、直列に結合される、図9において「R4」と標示される第4の抵抗器950dと、この例ではP F E Tとして実装される第4の出力負荷940dと、この例ではN F E Tとして実装される第4の出力ドライバ942dとを含む。第4の抵抗器950dの第1の端子が、電力端子918に接続される。第4の出力負荷940dのソースが、第4の抵抗器950dの第2の端子に接続される。第4の出力ドライバ942dのソースが、接地端子928に接続される。第3の出力負荷940c及び第4の出力負荷940dのゲートが、第3の出力負荷940cのドレインに接続され、そのため、第3の出力負荷940cはP M O Sダイオードとして動作する。第3の出力ドライバ942c及び第4の出力ドライバ942dのゲートが、第2の出力信号ノード926bに接続される。第2の出力バッファ932bは、この例ではP F E Tとして実装される第2の出力段952bを含む。第2の出力段952bのソースが、第3の出力負荷940cのソースに接続される。第2の出力段952bのゲートが、第4の出力ドライバ942dのドレインに接続される。第2の出力段952bのドレインが、出力電流端子930に接続される。第2の出力バッファ932bは、第2の出力信号ノード926bにおいて、第3の抵抗器950cの抵抗に対する第4の抵抗器950dの

抵抗の比にほぼ等しい係数で、第2の出力信号電位 V_{SIGb} を増幅する。この例の第1の出力バッファ932a及び第2の出力バッファ932bは、出力電流 I_{OUT} に対する相補極性を有する双方向出力機能性を提供する。双方向出力機能性及び相補極性は、トランスコンダクタ902を含む半導体デバイス900の外にあるネットワークに適切であり得る。特許請求の範囲内で、説明した例における改変が可能であり、他の例が可能である。

【図面】

【図1】

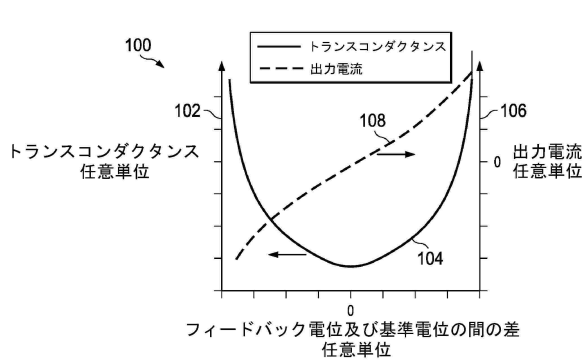


FIG. 1

【図2】

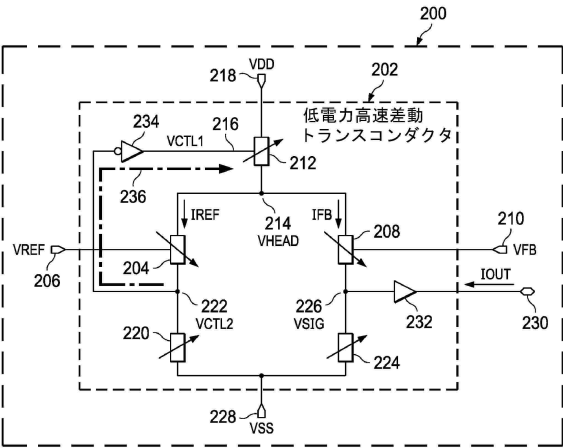


FIG. 2

【図 3】

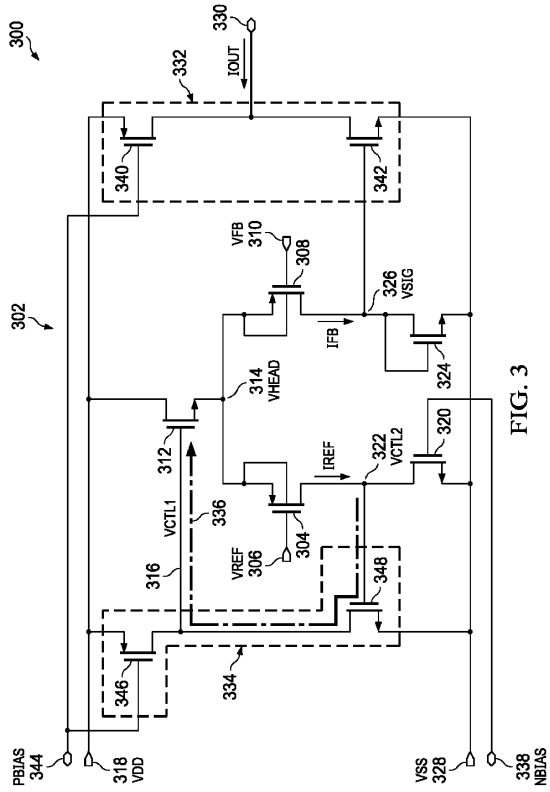


FIG. 3

【図 4】

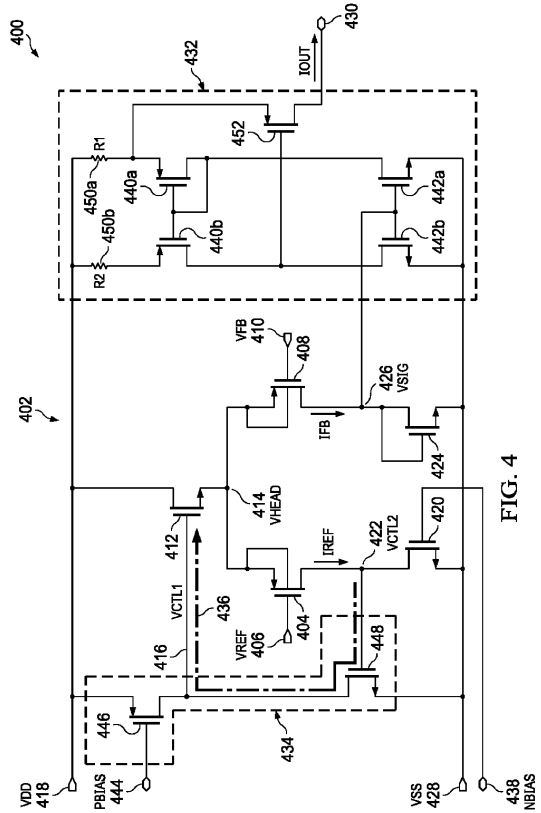


FIG. 4

【図 5】

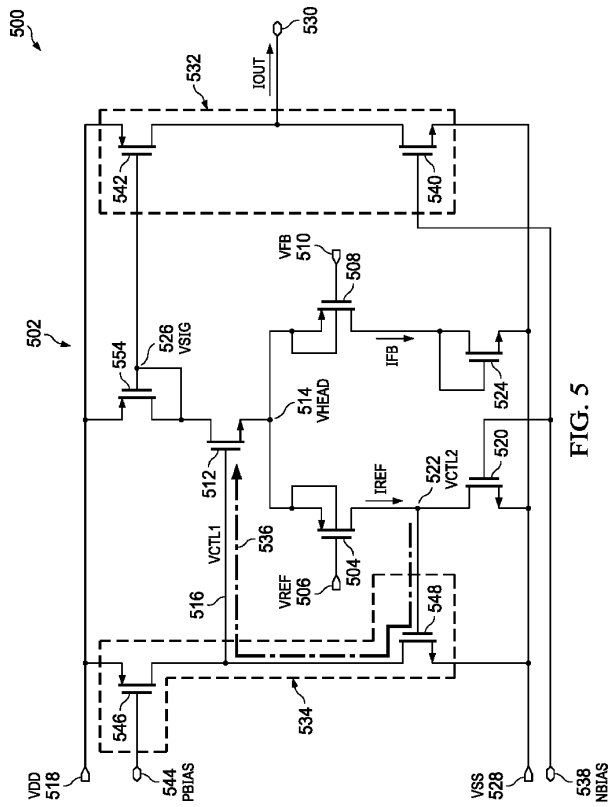


FIG. 5

【図 6】

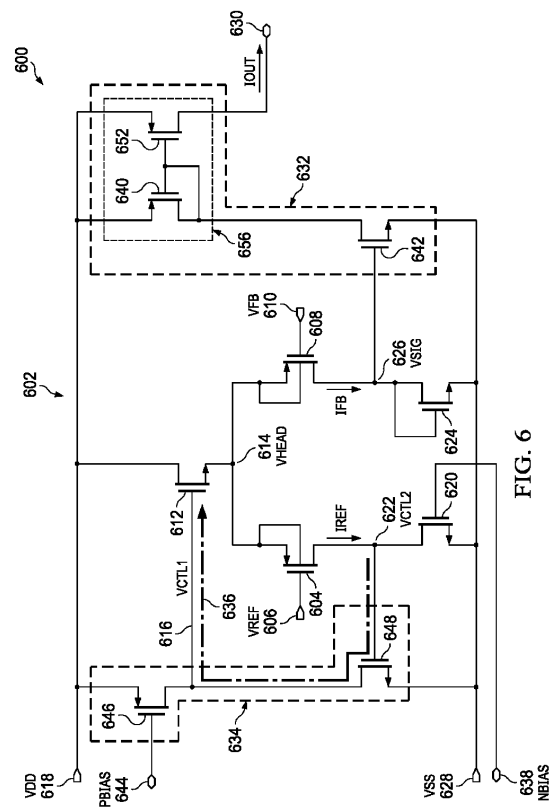


FIG. 6

10

20

30

40

50

【図 7】

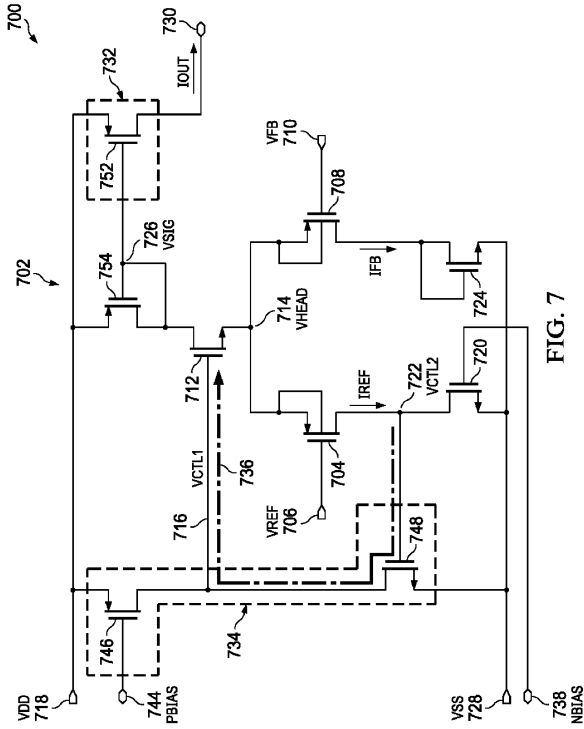


FIG. 7

【図 8】

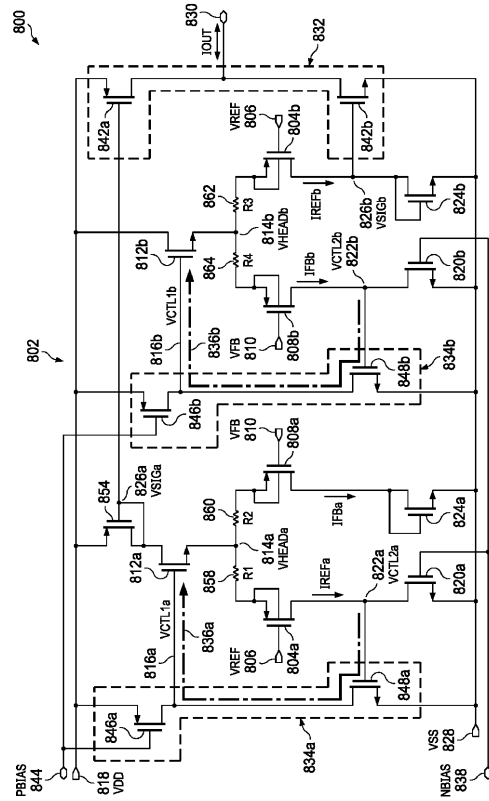


FIG. 8

【図 9】

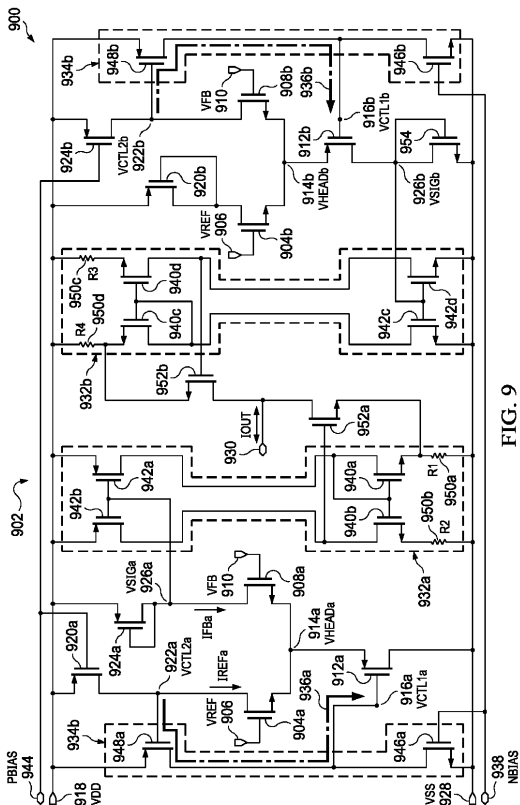


FIG. 9

10

20

30

40

50

【国際調査報告】

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/051158

A. CLASSIFICATION OF SUBJECT MATTER INV. H03F3/45 H03F3/50 ADD.		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED		
Minimum documentation searched (classification system followed by classification symbols) H03F		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) EPO-Internal		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	HUANG BIN ET AL: "A simple slew rate enhancement technique with improved linearity and preserved small signal performance", 2013 IEEE 56TH INTERNATIONAL MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS (MWSCAS), IEEE, 3 August 2014 (2014-08-03), pages 270-273, XP032648922, ISSN: 1548-3746, DOI: 10.1109/MWSCAS.2014.6908404 ISBN: 978-1-4799-4134-6 [retrieved on 2014-09-23] section B entitled: "Proposed Slew Rate Enhancement Scheme"; figure 2 ----- -/-	1-20
☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 28 March 2023		Date of mailing of the international search report 05/04/2023
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer Wienema, David

Form PCT/ISA/210 (second sheet) (April 2005)

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2022/051158

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 2007 0058780 A (KOREA ADVANCED INST SCI & TECH [KR]) 11 June 2007 (2007-06-11) figure 3 -----	1-20
A	US 2019/372537 A1 (BINET VINCENT [FR] ET AL) 5 December 2019 (2019-12-05) paragraph [0060] - paragraph [0070] -----	8
A	US 2008/136523 A1 (CHIU WEI-CHE [TW]) 12 June 2008 (2008-06-12) paragraphs [0024], [0028], [0029]; figures 5, 10, 11 -----	8

1

10

20

30

40

50

INTERNATIONAL SEARCH REPORT				International application No PCT/US2022/051158	
Information on patent family members					
Patent document cited in search report		Publication date	Patent family member(s)		Publication date
KR 20070058780	A	11-06-2007	NONE		

US 2019372537	A1	05-12-2019	FR 3082016 A1		06-12-2019
			US 2019372537 A1		05-12-2019

US 2008136523	A1	12-06-2008	TW 200826487 A		16-06-2008
			US 2008136523 A1		12-06-2008

10

20

30

40

50

フロントページの続き

MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,N
E,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,
CV,CV,CZ,DE,DJ,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IQ,IR,IS,I
T,JM,JO,JP,KE,KG,KH,KN,KP,KR,KW,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,
MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,ST,SV,
SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,WS,ZA,ZM,ZW
F ターム (参考) AM02 AT01 DN22 DN23 DP01