

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 23/60 (2006.01)

H01L 29/78 (2006.01)



[12] 发明专利说明书

专利号 ZL 200410101908.8

[45] 授权公告日 2009 年 6 月 24 日

[11] 授权公告号 CN 100505240C

[22] 申请日 2004.12.20

[21] 申请号 200410101908.8

[30] 优先权

[32] 2003.12.19 [33] JP [31] 2003-422108

[73] 专利权人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 奥岛基嗣

[56] 参考文献

US2003/0227053A1 2003.12.11

US6587320B1 2003.7.1

US5763919A 1998.6.9

审查员 唐俊峰

[74] 专利代理机构 中原信达知识产权代理有限责
任公司

代理人 穆德骏 陆 弋

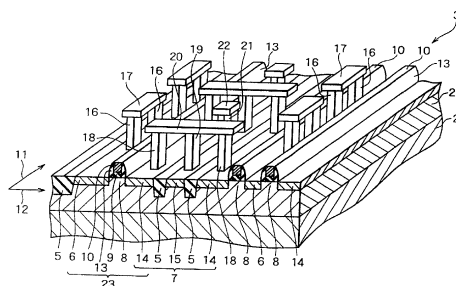
权利要求书 4 页 说明书 23 页 附图 19 页

[54] 发明名称

半导体器件

[57] 摘要

在 ESD 保护元件中, 形成多个源极区和多个镇流电阻区。在镇流电阻区中接触沟道区的区域形成漏极区, 在通过 STI 区与漏极区隔离的区域形成 n^+ 型扩散区。在漏极区上提供第三接触, 在 n^+ 型扩散区上形成第一和第二接触, 并且第一接触连接到焊盘。第二接触通过金属布线耦合到第三接触。第一和第二接触沿栅极的宽度方向布局。



1. 一种半导体器件，包括：

半导体衬底，所述半导体衬底的上表面为第一导电类型；

在所述半导体衬底的所述上表面形成的第二导电类型晶体管；

在与所述半导体衬底的所述上表面的所述第二导电类型晶体管绝缘的位置形成的第二导电类型扩散层；

布线，其设置在一区域中，该区域覆盖所述第二导电类型晶体管的源极和漏极之一的正上方的区域的至少一部分以及所述第二导电类型扩散层的正上方的区域的至少一部分；

将焊盘耦合到所述第二导电类型扩散层的第一接触；

将所述第二导电类型扩散层耦合到所述布线的第二接触；以及

将所述布线耦合到所述第二导电类型晶体管的源极和漏极之一的第三接触，

其中所述布线和所述第二导电类型扩散层具有各自的相互交叉的纵轴，并且从所述第一接触到所述第二接触的方向是所述第二导电类型晶体管的栅极的宽度方向。

2. 根据权利要求1的半导体器件，还包括与所述第二导电类型晶体管并联耦合到所述焊盘的集成电路部分，其中当静电放电电流输入到所述焊盘时，所述第二导电类型晶体管允许所述静电放电电流流过。

3. 根据权利要求2的半导体器件，其中所述焊盘为所述集成电路部分的输出焊盘。

4. 根据权利要求2的半导体器件，其中所述焊盘为所述集成电路部分的输入焊盘。

5. 根据权利要求2的半导体器件，其中所述焊盘为所述集成电路部分的电源焊盘。

6. 根据权利要求1的半导体器件，其中多个所述第二导电类型晶体管沿其栅极的纵向方向布局，每相邻的两个所述第二导电类型晶体管组成一对，源极区被形成每一对的这些第二导电类型晶体管共用。

7. 根据权利要求6的半导体器件，其中在源极区没有共用的每相邻的两个所述第二导电类型晶体管中，共用所述布线和所述第二导电类型扩散层。

8. 根据权利要求7的半导体器件，其中在源极区没有共用的所述两个第二导电类型晶体管中，共用所述第一和第二接触。

9. 根据权利要求6的半导体器件，其中相同的信号加到所述多个第二导电类型晶体管的栅极。

10. 根据权利要求1的半导体器件，还包括：

在与所述半导体衬底的所述上表面的所述第二导电类型晶体管和所述第二导电类型扩散层绝缘的位置形成另一个第二导电类型扩散层；

另一个布线，其设置在一区域中，该区域覆盖所述第二导电类型扩散层的正上方的区域的至少一部分以及所述另一个第二导电类型扩散层的正上方的区域的至少一部分；

将焊盘耦合到所述另一个第二导电类型扩散层的第四接触；以及

将所述另一个第二导电类型扩散层耦合到所述另一个布线的第五接触，其中所述第一接触将所述另一个布线耦合到所述第二导电类型扩散层，从而将所述焊盘与所述第二导电类型扩散层电连接。

11. 根据权利要求1的半导体器件，其中在所述半导体衬底的所述上表面形成第一导电类型阱，并且在所述第一导电类型阱的上表面形成所述第二导电类型晶体管和所述第二导电类型扩散层。

12. 一种半导体器件，包括：

在半导体衬底的上表面形成的第一导电类型区；

在所述第一导电类型区的上表面形成的栅极绝缘层；

在所述栅极绝缘层上提供的栅极电极；

在所述第一导电类型区中直接位于所述栅极电极下面的区域两侧分别形成的第一和第二第二导电类型区；

在所述第一导电类型区中与所述第一和第二第二导电类型区用绝缘层绝缘和隔离的位置形成的第三第二导电类型区；

在所述第一导电类型区的正上方的区域中提供的布线层；

在所述第三第二导电类型区上提供的第一和第二接触；以及

在所述第二第二导电类型区上提供的第三接触，其中所述第一和第二接触布局在彼此远离的位置，所述第三第二导电类型区通过所述第一接触耦合到焊盘，并且所述第三第二导电类型区通过所述第二接触、所述布线层和所述第三接触耦合到所述第二第二导电类型区，

其中所述布线和所述第二导电类型扩散层具有各自的相互交叉的纵轴，并且从所述第一接触到所述第二接触的方向是所述栅极电极的宽度方向。

13. 根据权利要求 12 的半导体器件，其中多个所述栅极电极沿所述栅极电极的纵向方向布局在所述第一导电类型区上，在所述第一导电类型区中直接位于所述栅极电极下面的各区域之间每隔一个区域形成所述第一第二导电类型区，在直接位于所述栅极电极下面的各区域之间的所述区域中没有形成所述第一第二导电类型区的区域中、在接触直接位于所述栅极电极下面的所述区域的各区域中形成所述各第二第二导电类型区，在所述各第二第二导电类型区之间形成所述第三第二导电类型区。

14. 根据权利要求 12 的半导体器件，还包括在所述半导体衬底的所述上表面形成的集成电路部分，其中所述焊盘是所述集成电路部分

的输出焊盘。

15. 根据权利要求 12 的半导体器件，还包括在所述半导体衬底的所述上表面形成的集成电路部分，其中所述焊盘是所述集成电路部分的输入焊盘。

16. 根据权利要求 12 的半导体器件，还包括在所述半导体衬底的所述上表面形成的集成电路部分，其中所述焊盘是所述集成电路部分的电源焊盘。

17. 一种半导体器件，包括：

焊盘；

电阻；以及

晶体管，其中所述电阻和所述晶体管与所述焊盘串连耦合，所述电阻位于使流过所述电阻的电流的方向是所述晶体管的栅极的宽度方向，以及

其中所述电阻由扩散层和第一布线以串联构造的方式构成，所述扩散层位于至少与所述晶体管绝缘且隔离的位置，所述第一布线将所述晶体管的源极或漏极与所述扩散层相连接，其中所述第一布线和所述扩散层具有各自的相互交叉的纵轴，并且在所述扩散层中流动的电流是所述晶体管的宽度方向。

半导体器件

技术领域

本发明涉及具有 ESD（静电放电）保护元件的半导体器件。本发明适用于在有限的区域中需要恒定电阻的半导体器件，并且特别适用于提供 ESD 保护元件的镇流电阻的情况。

背景技术

近来，随着半导体器件的功能和性能的增强，存在对具有超过几千个 I/O（输入/输出）管脚的多管脚半导体器件的需求。因此，单个 I/O 模块的面积显著影响整个半导体器件的尺寸的减小和成本的降低。大比例占据 I/O 模块的面积的元素是 ESD 保护元件和高驱动功率的驱动器元件。具有多个并联的栅极宽度为几十微米的 MOS（金属氧化物半导体）晶体管（手指）的多手指型（multi-finger type）保护元件用作 ESD 保护元件。

图 1 示出了 ESD 保护元件的工作特性图，加在 ESD 保护元件上的电压用横轴表示，流过 ESD 保护元件的电流用纵轴表示。图 1 是示意图，所以电压和电流的尺寸不必与实际测量相符合。

如图 1 所示，实际加到 ESD 保护元件的电压有两种类型，在出现快速恢复的方向中的电压和在没有出现快速恢复的方向中的电压。在出现快速恢复的方向中的电压是在通过控制栅极电压可以改变流过的电流量的方向中的电压，即，在 ESD 保护元件工作时施加电压的方向中的电压。例如，在 NMOS 晶体管的情况下，是在漏极变为正电位并且源极变为负电位的方向中的电压。在 PMOS 晶体管的情况下，是在源极变为正电位并且漏极变为负电位的方向中的电压。在没有出现快速恢复的方向中的电压是与出现快速恢复的方向中的电压相反的方向

中施加的电压。

为了简化说明，在下面的介绍中，在出现快速恢复方向中的电压将称作“正 ESD 电压”，在该方向流过的电流将称作“正 ESD 电流”，而在不出现快速恢复方向中的电压将称作“负 ESD 电压”，在该方向流过的电流将称作“负 ESD 电流”。对于讨论 ESD 保护元件中如何出现快速恢复的一般问题，通常讨论正 ESD 电压。在本说明书中，除非特别说明正或负极，ESD 电压为正 ESD 电压，ESD 电流正 ESD 电流性。

如图 1 中的实线 101 所示，在加到 ESD 保护元件的电压较低的范围内，电流相对于电压单调递增，但是当电压超过给定阈值时，在 MOS 晶体管中形成漏极区、沟道区和源极区分别变成集电极、基极和发射极的寄生双极型晶体管，随着寄生双极型晶体管的工作，ESD 保护元件快速恢复，以降低电阻，从而大电流流入 ESD 保护元件。如果 ESD 保护元件仅由通过 salicide 工艺（自对准硅化物工艺）形成的 MOS 晶体管构成，则工作特性变为虚线 102 表示的特性。

但是，在这种情况下，将出现问题。如图 1 所示，假如在多个手指中每个手指的最大允许电流为 X ，当每个手指的特性由虚线 102 表示时，第一个快速恢复的手指将被流过该手指的电流损坏。在这种情况下，镇流电阻加到 MOS 晶体管的漏极，将每个手指的特性设置为如虚线 103 所示的特性。即，将损坏手指的击穿电压 V_{B1} 设置得高于快速恢复起始电压 V_{SP1} 。对于该设计，在已经快速恢复的第一个手指损坏之前，其它手指依次快速恢复，从而让 ESD 电流流过。因此，电流不会集中在一个手指上，从而不会损坏全部 ESD 保护元件。

正如众所周知的，随着半导体元件的集成度变得越来越高，在栅极电极以及源极区和漏极区的上表面形成硅化物。由于硅化物具有较低的表面电阻，所以 ESD 保护元件的工作特性变成如图 1 中的虚线 102 所示的特性，从防止 ESD 的观点看将出现问题。

日本专利 No. 2773221 公开了在漏极区中设置不形成硅化物或硅化物阻挡区的区域，从而增加漏极区的电阻。图 2 示出了在日本专利 No. 2773221 中介绍的常规 ESD 保护元件的平面图。如图 2 所示，该常规 ESD 保护元件 111 具有在半导体衬底的上表面提供的源极区 112 和漏极区 113。在源极区 112 和漏极区 113 之间的区域上提供栅极 114。在漏极区 113 的上表面提供硅化物阻挡区 115。在除硅化物阻挡区 115 之外的源极区 112、栅极 114 和漏极区 113 的上表面的其它区域中形成 Ti 硅化物 116。这增加了漏极区的电阻，并且加入了镇流电阻。

日本专利未决公开 No. 2001-284583 公开了通过使用阱电阻加入镇流电阻的技术。即，在硅衬底的上表面形成深漏极扩散区。然后，以将深漏极扩散区和在其表面形成的自对准硅化物分为两个部分的方式形成沟槽隔离层，其中一部分在沟道侧，另一部分在接触侧。此时，所形成的沟槽隔离层比漏极扩散区浅，并且以流到沟槽隔离层的下部的方式在漏极扩散区中形成电流路径。日本专利未决公开 No. 2001-284583 中介绍，该设计可以在 ESD 电流的电流路径中加入镇流电阻，并且通过控制沟槽隔离层的尺寸和位置可以控制快速恢复电压。

Koen G. Verhaege 和 Christian C. Russ 的文献 ‘ “Wafer Cost Reduction through Design of High Performance Fully silicided ESD Devices”, EOS/ESD Symposium 2000, p. 18-28’ 公开了将多晶硅电阻连接到漏极区的技术。图 3 示出了常规 ESD 保护元件的剖面图。如图 3 所示，在常规 ESD 保护元件 120 中，在 P 型硅衬底 121 的上表面形成 P 阱 133，在 P 阱 133 的上表面形成 n^+ 型扩散区的源极区 122、栅极 123 和 n^+ 型扩散区的漏极区 124，从而形成 MOS 晶体管 125。漏极区 124 通过接触 126、布线 127 和接触 128 连接到电阻 129 的一端。电阻 129 的另一端通过接触 130 连接到焊盘 131。在形成在硅衬底 121 的上表面的器件隔离层 132 上形成电阻 129，并且通过器件隔离层 132 与硅衬底 121 隔离。在 P 阱 133 的上表面形成 p^+ 型扩散区 134，并施加地电

位。文献介绍了通过多晶硅电阻 129 可以加入镇流电阻。

但是,现有技术存在以下问题。首先,根据在日本专利 No. 2773221 中介绍的用硅化物阻挡区形成镇流电阻的技术,硅化物阻挡区的表面电阻为大约 $200\Omega/\square$, 从而当 ESD 保护元件的总栅极宽度为 $600\mu\text{m}$ 时,硅化物阻挡区的宽度设置为 $2\mu\text{m}$, 从而形成 0.6Ω 的镇流电阻。因此,为了获得所需的较大的镇流电阻,源极和漏极间隙增大到例如大约 3 到 $4\mu\text{m}$ 。该技术要求形成硅化物阻挡层的特殊步骤。

根据在日本专利未决公开 No. 2001-284583 中介绍的用漏极扩散区的电阻形成镇流电阻的技术,需要形成深漏极扩散区。因此,在形成深漏极扩散区时需要厚抗蚀剂。这使得难以精确控制水平形状并且妨碍设计紧凑元件。

在 Koen G. Verhaege 和 Christian C. Russ 的文献中公开的用多晶硅电阻形成镇流电阻的技术存在的问题是负 ESD 电流加到焊盘 131 时,电阻加入到 ESD 电流的电流路径中,如图 3 所示。在 ESD 保护元件 120 中,在 P 型硅衬底 121 与 n^+ 型漏极区 124 之间形成 PN 二极管。当负 ESD 电流加到焊盘 131 时,电流沿 P 阱 133-漏极区 124-接触 126-布线 127-接触 128-电阻 129-接触 130-焊盘 131 的路径流动,如图 3 中的箭头所示,由电阻 129 提供的电阻加到电流路径中。但是,当负 ESD 电流加到焊盘 131 时,ESD 保护元件不快速恢复,不需要镇流电阻,并且如果存在镇流电阻将降低保护性能。换句话说,常规 ESD 保护元件对于负 ESD 电流具有较低的保护性能。

发明内容

本发明的一个目的是提供一种小型的半导体器件,其在制造时不需要特殊步骤,并且即使对负 ESD 电流也表现出足够的保护性能。

根据本发明的半导体器件包括半导体衬底。半导体衬底的上表面

为第一导电类型。并且，半导体器件包括在半导体衬底的上表面形成的第二导电类型晶体管。半导体器件包括：在与半导体衬底上表面的第二导电类型晶体管绝缘的位置形成的第二导电类型扩散层；布线；将焊盘耦合到第二导电类型扩散层的第一接触；将第二导电类型扩散层耦合到布线的第二接触；以及将布线耦合到第二导电类型晶体管的源极和漏极之一的第三接触。

根据本发明，在焊盘与源极和漏极之一之间串连耦合第一接触、第二导电类型扩散层、第二接触、布线和第三接触。因此，当正 ESD 电流提供到焊盘时，可以在焊盘与源极和漏极中的另一个之间加入接触电阻，同时保持后面讨论的基本元件长度比现有技术中的小。当负 ESD 电流提供到焊盘时，电流流过由半导体衬底的上表面、第二导电类型扩散层和第一接触形成的电流路径，从而电流路径的电阻低。此外，可以在普通接触制造工艺中形成第一到第三接触，不需要特殊的步骤。

优选的是从第一接触向第二接触的方向为第二导电类型晶体管的栅极的宽度方向。栅极的宽度方向是垂直于从源极指向漏极的方向的方向。因此，在第二导电类型扩散层中的电流路径沿垂直于从源极指向漏极的方向的方向经过，从而可以用扩散层加入镇流电阻，而不增加源极和漏极之间的距离。由于每个手指可以彼此靠近排列，如后面所介绍的，衬底耦合效应变得更大，可以使镇流电阻的电阻值相对更低。

半导体器件还包括与第二导电类型晶体管并联耦合到焊盘的集成电路部分。当静电放电电流输入焊盘时，第二导电类型晶体管允许静电放电电流流过。这可以使集成电路部分不受 ESD 损坏。此时，焊盘也可以作为集成电路部分的输出焊盘，或者作为输入焊盘。焊盘可以是集成电路的电源焊盘。

多个第二导电类型晶体管可以沿其栅极的纵向方向布局，每相邻的两个第二导电类型晶体管成为一对，源极区被形成每一对的这些第二导电类型晶体管共用。由此，形成多手指型 ESD 保护元件。

在源极区没有共用的每相邻的两个第二导电类型晶体管中，可以共用布线和第二导电类型扩散层。这可以进一步减小布局面积。

在源极区没有共用的每相邻的两个第二导电类型晶体管中，可以共用第一和第二接触。这可以进一步减小布局面积。

半导体器件还包括：在与半导体衬底的上表面的第二导电类型晶体管和第二导电类型扩散层绝缘的位置形成另一个第二导电类型扩散层；另一个布线；将焊盘耦合到另一个第二导电类型扩散层的第四接触；以及将另一个第二导电类型扩散层耦合到另一个布线的第五接触。而且，第一接触将另一个布线耦合到第二导电类型扩散层，用于将焊盘耦合到第二导电类型扩散层。这使得电阻加到源极和漏极中的另一个上。

根据本发明的另一个半导体器件包括：在半导体衬底的上表面形成的第一导电类型区；在第一导电类型区的上表面形成的栅极绝缘层；在栅极绝缘层上提供的栅极电极；在第一导电类型区中直接位于栅极电极下面的区域两侧上分别形成的第一和第二第二导电类型区；在第一导电类型区中与第一和第二第二导电类型区用绝缘层绝缘和隔离的位置形成的第三第二导电类型区；在第一导电类型区上提供的布线层；在第三第二导电类型区上提供的第一和第二接触；以及在第二第二导电类型区上提供的第三接触。第一和第二接触布局在彼此远离的位置。第三第二导电类型区通过第一接触耦合到焊盘。第三第二导电类型区通过第二接触、布线层和第三接触耦合到第二第二导电类型区。

根据本发明的再一个半导体器件包括焊盘、电阻以及晶体管。并

且电阻和晶体管与焊盘串连耦合。电阻位于使流过电阻的电流的方向是晶体管的栅极的宽度方向。

在这种情况下，电阻可以是扩散层。并且，再一个半导体器件还包括布线和接触。该接触分别耦合在所述晶体管的源极和漏极之一与所述布线之间、所述布线与所述扩散层之间、以及所述扩散层和所述焊盘之间。

根据本发明，第一到第三接触以及第二导电类型扩散层耦合在焊盘与源极和漏极中的一个之间，从而使用接触电阻的镇流电阻可以加在焊盘与源极和漏极中的一个之间。因此，当第二导电类型晶体管用作 ESD 保护元件时，不需要特殊的步骤就能够得到基本元件长度较小、所需布局面积较小，而且即使对于负 ESD 电流也具有高保护性能的 ESD 保护元件。

附图说明

图 1 示出了 ESD 保护元件的工作特性图，其中加在 ESD 保护元件的电压用横轴表示，流过 ESD 保护元件的电流用纵轴表示；

图 2 示出了常规 ESD 保护元件的平面图；

图 3 示出了常规 ESD 保护元件的剖面图；

图 4 示意性的示出了本发明第一实施例的原理的平面图；

图 5 示出了根据本实施例的半导体器件的一部分的剖面图；

图 6 示出了在根据本实施例的半导体器件中 ESD 保护元件的平面图；

图 7 示出了图 6 所示的 ESD 保护元件的一部分的平面图；

图 8 示出了图 7 所示的 ESD 保护元件的一部分的透视图；

图 9 示出了根据本实施例的半导体器件的制造方法的剖面图；

图 10A 示出了根据本实施例的半导体器件工作的平面图；

图 10B 是沿图 10A 的线 A-B-C-D 的剖面图；

图 11A 和 11B 是用来说明实施例的效果的平面图，图 11A 示出了

沿栅极的宽度方向在 n^+ 型扩散区中形成电流路径的 ESD 保护元件，而图 11B 示出了沿栅极的纵向在 n^+ 型扩散区中形成电流路径的 ESD 保护元件；

图 12 是用来说明衬底耦合效应的示意图，其中加在 ESD 保护元件的电压用横轴表示，流过 ESD 保护元件的电流用纵轴表示；

图 13 示出了根据本发明第二实施例的 ESD 保护元件的平面图；

图 14 示出了根据本发明第三实施例的 ESD 保护元件的平面图；

图 15 示出了根据本发明第四实施例的 ESD 保护元件的平面图；

图 16 示出了根据本发明第五实施例的半导体器件的电路图；

图 17 示出了根据本发明第六实施例的半导体器件的电路图；

图 18 示出了根据本发明第七实施例的半导体器件的电路图；以及

图 19 示出了 ESD 保护元件的性能，ESD 保护元件的面积（ESD 面积）用横轴表示，ESD 保护元件的 ESD 耐用性用纵轴表示。

具体实施方式

下面将参考附图具体介绍本发明的优选实施例。首先讨论本发明的第一实施例。图 4 示意性的示出了实施例的原理的平面图。图 5 示出了根据本实施例的半导体器件的一部分的剖面图。图 6 示出了在根据本实施例的半导体器件中 ESD 保护元件的平面图。图 7 示出了图 6 所示的 ESD 保护元件的一部分的平面图。图 8 示出了图 7 所示的 ESD 保护元件的一部分的透视图。图 4 和 5 仅示出了本实施例的半导体器件的典型元件，图中省略了其它元件。

如图 4 所示，本实施例的关键点在于半导体器件具有在半导体衬底（未示出）的上表面形成的第一导电类型区 301，在第一导电类型区 301 的上表面形成的栅极绝缘层（未示出），在栅极绝缘层上形成的栅极电极 302，以及在第一导电类型区 301 中直接位于栅极电极 302 下面的区域两侧分别形成的第一第二导电类型区 303 和第二第二导电类型区 304，还具有在第一导电类型区 301 中用第二第二导电类型区 304 和绝缘隔离层 305 绝缘和隔离的位置形成的第三第二导电类型区 306 作

为电阻，在第三第二导电类型区 306 上提供有第一接触 307 和第二接触 308，以及在第二第二导电类型区 304 上提供有第三接触 310，第一接触 307 和第二接触 308 位于彼此远离的位置，第三第二导电类型区 306 通过第一接触 307 耦合到焊盘（未示出），并通过第二接触 308、布线层 309 和第三接触 310 耦合到第二第二导电类型区 304，并且基准电位加到第一第二导电类型区 303。例如，第一导电类型区 301 为 P 阱，第一第二导电类型区 303 为源极和漏极中的一个，例如，源极，第二第二导电类型区 304 为源极和漏极中的另一个，例如，漏极。

由于图 4 是示出了实施例的特征的模型的图，所以只示出了中央接触，省略了其它接触。虽然本实施例的介绍给出了第一导电类型区 301 为 P 阱的情况，但是，正如众所周知的，P 形硅衬底通常用作半导体器件的衬底。

如图 5 和 6 所示，根据本实施例的半导体器件 1 具有 P 形硅衬底 2（下文中也简称为“硅衬底 2”），在其上表面上形成彼此远离的 P 阱 26 和 N 阱（未示出）。P 阱 26 和 N 阱用隔离层 29 彼此隔离。在 P 阱 26 的上表面形成 ESD 保护元件 3。在 N 阱的上表面形成另一个 ESD 保护元件（未示出）。这些 ESD 保护元件使用 MOS 晶体管的寄生双极型工作。

下面给出在 P 阱 26 的上表面形成的 ESD 保护元件 3 的结构的具体讨论，其与在 N 阱的上表面形成另一个 ESD 保护元件的结构相似。但是，请注意，后一种 ESD 保护元件的各部分的极性与该 ESD 保护元件 3 的相应部分的极性是相反的。如图 5 和 6 所示，在硅衬底 2 的上表面围绕 ESD 保护元件 3 的区域中形成环形 p^+ 型扩散区，作为保护环（guard ring）4。在除 ESD 保护元件 3 和保护环 4 之外的硅衬底 2 的上表面的其它区域中形成 STI（浅沟槽隔离）区 5。在 ESD 保护元件 3 中，形成多个源极区 6 和多个镇流电阻区 7，并且以两个布局端部为源极区 6 的方式沿一个方向交替布局。源极区 6 为 n^+ 型扩散区。

图 7 示出了图 6 所示的区域 S, 图 8 示出了图 7 所示的区域 T。如图 7 和 8 所示, 在 P 阱 26 的上表面的源极区 6 与镇流电阻区 7 之间的区域是沟道区 8。在沟道区 8 上面提供栅极绝缘层 9, 栅极绝缘层 9 上提供栅极电极 10。因此, 多个栅极电极 10 彼此平行延伸, 或者彼此大致或基本平行延伸。栅极电极 10 延伸的方向是栅极的宽度方向 11。栅极电极 10 布局的方向, 即, 平行于硅衬底 2 的上表面并垂直于栅极的宽度方向 11 的方向, 是栅极的纵向方向 12。虽然在栅极绝缘层 9 和栅极电极 10 的两侧形成侧壁 13, 但是在图 6 和 7 中未显示出。

在与相关的沟道区 8 接触的镇流电阻区 7 中的这些区域形成漏极区 14 或 n^+ 型扩散区。在位于漏极区 14 之间的镇流电阻区 7 中的该区域中提供 n^+ 型扩散区 15。 n^+ 型扩散区 15 是电阻。在漏极区 14 与 n^+ 型扩散区 15 之间的区域形成 STI 区 5。这允许 n^+ 型扩散区 15 与硅衬底 2 中的漏极区 14 绝缘。除了 STI 区 5 的上表面之外, 在源极区 6、镇流电阻区 7 和栅极电极 10 的上表面形成硅化物层 30 (参看图 9)。在图 4 到 8 中未示出硅化物层 30。

在源极区 6 上提供多个接触 16。接触 16 沿栅极的宽度方向 11 按列布局。接触 16 的下端连接到源极区 6。每两个接触 16 组成一对。在每一对接触 16 上提供金属布线 17, 接触 16 的上端连接到金属布线 17。即, 两个接触 16 连接到一个金属布线 17。在位于接触 16 之间的漏极区 14 上的区域提供单个接触 18。在 n^+ 型扩散区 15 上提供多个接触 19。在两个不同的漏极区 14 上提供的两个接触 18 和在 n^+ 型扩散区 15 上提供的一个接触 19 沿方向 12 按列布局。在两个接触 18 和一个接触 19 上提供金属布线 20。两个接触 18 和一个接触 19 的上端连接到金属布线 20。

在接触 19 之间的 n^+ 型扩散区 15 上提供单个接触 21。在接触 21 上提供金属布线 22, 接触 21 的上端连接到金属布线 22 的下表面。因

此, 接触 21 和接触 19 沿栅极的宽度方向 11 交替布局。即, 从接触 21 到接触 19 的方向是栅极的宽度方向 11。在同一层中形成接触 16、18、19 和 21, 并且与在半导体器件中的同一层形成其它接触的同时形成。在同一层中形成金属布线 17、20 和 22, 并且与在半导体器件中的同一层形成其它金属布线的同时形成。在硅衬底 2 上提供层间绝缘层 (未示出)。接触 16、18、19 和 21 以及金属布线 17、20 和 22 埋在层间绝缘层中。

源极区 6、漏极区 14、沟道区 8、栅极绝缘层 9、栅极电极 10 和侧壁 13 构成 NMOS 晶体管 23。源极区 6 通过接触 16 和金属布线 17 耦合到地电位布线。漏极区 14 通过接触 18、金属布线 20、接触 19、 n^+ 型扩散区 15、接触 21 和金属布线 22 耦合到焊盘 (未示出)。一个 NMOS 晶体管 23 是一个手指。当多个手指并联连接时, 构成了 ESD 保护元件 3。即, 在 ESD 保护元件 3 中, 多个 NMOS 晶体管 23 沿栅极的长度方向 12 布局, 并且每两个相邻的 NMOS 晶体管 23 组成一对。在每一对 NMOS 晶体管 23 中共用源极区 6。在每一对相邻的 NMOS 晶体管 23 中共用金属布线 20 和 22、 n^+ 型扩散区 15 以及接触 19 和 21。ESD 保护元件 3 并联连接到应当防止 ESD 的内部电路 (未示出)。

下面给出 ESD 保护元件 3 的各部分的尺寸的一个例子。例如, 用 90nm 规则设计半导体器件 1。与硅衬底 2 的上表面平行的每个接触的剖面形状为矩形, 例如, 垂直长度为 $0.12\mu\text{m}$, 水平长度为 $0.12\mu\text{m}$, 或者为圆形, 例如, 直径 $0.12\mu\text{m}$ 。漏极区 14 与 n^+ 型扩散区 15 之间的距离为例如 $0.14\mu\text{m}$, 相邻的接触 19 与接触 21 之间的距离为例如 $0.20\mu\text{m}$ 。沿栅极的纵向方向 12 的等效 (comparative) 元件长度 LC 为例如 1.0 到 $1.5\mu\text{m}$; 例如, 长度 LC 为 $1.14\mu\text{m}$ 。此时, 每个接触的接触电阻为例如 10Ω 。

等效元件长度 LC 是表示沿栅极的长度方向 12 每个手指的长度的指标, 并且是为在常规半导体器件的每个手指所需的尺寸与根据本发

明的实施例的半导体器件的每个手指所需的尺寸之间提供比较的概念。因此，可以认为等效元件长度 LC 是基本元件长度。如图 7 所示，等效元件长度 LC 定义为沿方向 11 延伸的源极区 6 的中心线 SC 与沿方向 11 延伸的镇流电阻区 7 的中心线 DC 之间的距离。源极区 6 的中心线 SC 是在源极区 6 的两侧上的栅极电极 10（栅极电极 10a 和 10b）的相对端部的中心线。镇流电阻区 7 的中心线 DC 是在镇流电阻区 7 的两侧上的栅极电极 10（栅极电极 10b 和 10c）的相对端部的中心线。

下面将介绍根据本实施例的半导体器件的制造方法。图 9 示出了根据本实施例的半导体器件的制造方法的剖面图。如图 4 到 9 所示，首先，通过已知的方法以相同的工艺在 P 型硅衬底 2 的上表面形成 STI 区 5 和隔离层 29。接着，在硅衬底 2 的上表面的预定位置形成 P 阱 26 和 N 阱（未示出）。此时，以在 P 阱 26 和 N 阱之间用隔离层 29 将其彼此远离的方式形成 P 阱 26 和 N 阱。

虽然下面将讨论在 P 阱 26 的上表面形成 ESD 保护元件 3 的方法，但是在 N 阱的上表面形成另一个 ESD 保护元件也可以采用相同的方法。在 P 阱 26 的上表面形成栅极绝缘层 9、栅极电极 10 和侧壁 13。接着，在 P 阱 26 的上表面形成源极区 6、漏极区 14 和 n^+ 型扩散区 15。此时，在栅极电极 10 正下方的区域的相对位置形成源极区 6 和漏极区 14，栅极电极位于二者之间。栅极电极 10 正下方的区域，即，在源极区 6 和漏极区 14 之间的区域，成为沟道区 8。在 P 阱 26 的上表面形成 p^+ 型扩散区作为保护环 4。

接着，用已知的方法在源极区 6、漏极区 14、 n^+ 型扩散区 15、保护环 4 和栅极电极 10 的上表面形成硅化物层 30，如图 9 所示。硅化层 30 的厚度设置为例如 30nm。接着，在整个表面上淀积大约 0.6 μm 厚的由氮化硅层或氮氧化硅层等构成的层间绝缘层（未示出）。

接着，在硅衬底 2 上形成接触。此时，在源极区 6 形成接触 16，

在漏极区 14 形成接触 18，在 n^+ 型扩散区 15 形成接触 19 和 21。通过以下方法形成接触。通过例如等离子体蚀刻等已知方法在层间绝缘层的预定位置形成直径大约 $0.12\mu\text{m}$ 的圆柱形孔。孔的深度设置为穿透层间绝缘层的深度，例如，大约 $0.6\mu\text{m}$ 。在每个孔的内壁上淀积由双层膜（Ti/TiN）构成的阻挡金属，并且连接到硅化物层 30。接着，例如 W 等导电材料埋在孔中，从而形成接触。以这种方式形成的接触的电阻值大约为 20Ω ，以大约各占一半的比例包括阻挡金属层本身的电阻和阻挡金属层与硅化物层的接触电阻。

接着，同时形成连接到接触 16 的金属布线 17 和将接触 18 和 19 连接到一起的金属布线 20 以及将接触 21 连接到焊盘（外部引脚）的金属布线 22。通过已知的方法用例如铝或铜等材料形成这些金属布线。形成金属布线的工艺与形成其它必须的金属布线同时进行，其它的金属布线是，例如，将半导体器件的另一个扩散层上的接触与连接在栅极电极上形成的接触的金属布线相连接的金属布线。

接着，形成层叠的层间绝缘膜、层叠的布线、焊盘的引出装置（lead-out means）等。然后，接着进行正常所需的工序，例如，封装，由此，完成根据本实施例的半导体器件。

接着，讨论根据以上述方式构成的实施例的半导体器件的操作。图 10A 示出了根据本实施例的半导体器件操作的平面图，图 10B 是沿图 10A 的线 A-B-C-D 的剖面图。如图 10A 和 10B 所示，在 P 阱 26 与为 n^+ 型扩散区的源极区 6、漏极区 14 和 n^+ 型扩散区 15 之间形成 pn 结。

下面将讨论在将地电位施加到金属布线 17 作为基准电位，并且正 ESD 电流加到金属布线 22 所连接的焊盘的情况下的操作。从焊盘输入的正 ESD 电流通过金属布线 22-接触 21- n^+ 型扩散区 15-接触 19-金属布线 20-接触 18 的电流路径流入漏极区 14。此时，在 n^+ 型扩散区 15 中的电流路径沿栅极的宽度方向 11 从接触 21 向接触 19 延伸。因此，电

流路径包括三个接触 21、19 和 18 以及 n^+ 型扩散区 15，并且各元件的电阻串联连接。每个接触的接触电阻为例如大约 20Ω ， n^+ 型扩散区 15 的扩散层电阻为例如大约 10Ω 。因此，电流路径的总电阻为例如大约 70Ω 。如果十组这种电流路径并联连接到一个手指的漏极区 14，则加到一个手指的总电阻或镇流电阻为例如大约 7Ω 。当二十个手指并联连接时，在整个 ESD 保护元件中的镇流电阻变为例如大约 0.35Ω 。

当加到漏极区 14 的电压超过预定阈值时，NMOS 晶体管快速恢复，并且在 NMOS 晶体管 23 下面形成的寄生双极型晶体管工作，使电流通过漏极区 14-沟道区 8-源极区 6-接触 16-金属布线 17 流到地电位布线。这允许加到焊盘的 ESD 电流放电到地电位布线，从而保护内部电路不受 ESD 电流的影响。

接着，介绍施加负 ESD 电流情况下的操作。在这种情况下，电流通过硅衬底 2 (P 阱 26) - n^+ 型扩散区 15-接触 21-金属布线 22 的电流路径流入焊盘。这允许加到焊盘的负 ESD 电流放电，从而保护内部电路不受 ESD 电流的影响。此时，电流路径只包括一个接触 21，并且在 n^+ 型扩散区 15 中电流流过的距离较短，从而与输入正 ESD 电流的情况相比显著减小了镇流电阻。

当正 ESD 电流加到焊盘上时，在本实施例中，ESD 电流的电流路径包括三个接触 21、19 和 18。这使得使用这些接触的接触电阻作为镇流电阻成为可能。这使得设计更小的 ESD 保护元件，同时保证所需的镇流电阻成为可能。例如，常规 ESD 保护元件的等效元件长度为 3 到 $4\mu\text{m}$ ，而根据本实施例的等效元件长度可以设置为例如 $1.14\mu\text{m}$ 。

图 11A 和 11B 是用来说明实施例的效果的平面图，图 11A 示出了沿栅极的宽度方向在 n^+ 型扩散区中形成电流路径的 ESD 保护元件，而图 11B 示出了沿栅极的纵向在 n^+ 型扩散区中形成电流路径的 ESD 保护元件。如图 11A 所示，根据本实施例，接触 19 和接触 21 沿栅极的宽

度方向 11 布局在 n^+ 型扩散区 15 上，从而可以平行于栅极的宽度方向 11 在 n^+ 型扩散区 15 中形成电流路径。因此，能够形成具有足够长度的电流路径，同时使等效元件长度 LC 更小。如果接触 19 和接触 21 如图 11B 所示沿栅极的纵向方向 12 布局在 n^+ 型扩散区 15 上，则等效元件长度 LC 应当设置得大，以保证所需的电流路径。根据本实施例，通过以上可明显看出，沿栅极的宽度方向 11 布局接触 19 和接触 21 可以使 ESD 保护元件 3 的面积更小。这使得与常规半导体器件相比将 I/O 模块的面积减小大约 50 到 70% 成为可能。这有助于使半导体器件 1 更小。

当负 ESD 电流加到焊盘时，根据本实施例，仅有少量镇流电阻加入。此外，使等效元件长度更短可以进一步降低电流路径的电阻。结果，即使当负 ESD 电流加到焊盘时，也能够得到足够的保护性能。

另外，减小等效元件长度可以使手指之间的距离更小，从而可以使相邻的手指彼此更加靠近。这增强了衬底耦合效应，从而一个手指快速恢复时，靠近该手指的其它手指也可能快速恢复。这能够抑制电流集中到更有效地快速恢复的第一个手指上，因此能够防止手指损坏。

图 12 是用来说明衬底耦合效应的示意图，其中加在 ESD 保护元件的电压用横轴表示，流过 ESD 保护元件的电流用纵轴表示。如在背景技术中所讨论的，通常，在构成 ESD 保护元件 3 的多个 NMOS 晶体管 23 中位于中间的那个晶体管（手指）首先快速恢复，然后，其它手指依次快速恢复。此时，由于各个手指实际上彼此靠近，所以寄生双极型晶体管的操作导致衬底耦合效应，从而将快速恢复的第二和随后的手指的阈值电压下降。

即，当一个手指快速恢复并且电流流入该手指时，如图 12 中的实线 101 所示，靠近手指的衬底电位上升。结果，接近已快速恢复的第一手指的基极电位升高。因此，位于靠近已发生快速恢复的第一个手指的另一个手指在低于发生快速恢复的第一手指的快速恢复起始电压

V_{SP1} 的电压 V_{SP2} 处发生快速恢复, 如虚线 104 所示。因此, 每个手指应当加入电阻值低得足以使击穿电压 V_{B2} 超过快速恢复电压 V_{SP2} 的镇流电阻, 如实线 105 所示。

手指越靠近发生快速恢复的第一手指, 基极电位的上升越大, 从而构成 ESD 保护元件 3 的多个手指彼此靠得越近, 快速恢复电压 V_{SP2} 下降的越大。因此, 即使对于相对低的镇流电阻, 也可以保证对 ESD 的保护性能。可以减小在正常电路操作中要加入的额外的电阻, 而且可以改善在正常电路操作中的性能。

在本实施例中, 接触 16、18、19 和 21 可以在半导体器件中其它部分的那些接触形成的同时形成。金属布线 17、20 和 22 可以在半导体器件中其它部分的那些金属布线形成的同时形成。这消除了在形成根据本实施例的 ESD 保护元件中对提供特殊步骤的需要。因此, 不会显著增加 ESD 保护元件的制造成本。

虽然上述实施例的介绍给出了多个(例如, 20 个)栅极电极全都彼此并联连接的情况, 但是根据本发明, 所有的栅极电极不必彼此并联连接。例如, 属于一组的多个栅极电极可以彼此并联连接, 而属于另一组的多个栅极电极可以彼此并联连接。在这种情况下, 可以以组彼此电独立的方式设计属于一组的栅极电极和属于另一组的栅极电极。在这种情况下, 栅极电极的组数为两个或更多。

下面将介绍本发明的第二实施例。图 13 示出了根据本实施例的 ESD 保护元件的平面图。如图 13 所示, 本实施例在以下方面不同于第一实施例。在第二实施例中, n^+ 型扩散区 15、金属布线 20 和 22 的宽度或在栅极纵向方向 12 的长度更大。提供沿栅极宽度方向布局的两个接触 19a 代替第一实施例中的接触 19。此外, 提供沿栅极宽度方向布局的两个两个接触 21a 代替第一实施例中的接触 21。构成一对的接触 21a 用金属布线 22 连接在一起。

因此，等效元件长度 LC 稍稍长于第一实施例中的，变为例如 $1.22\mu\text{m}$ 。在本实施例中，接触 16 的接触电阻为例如 20Ω ，两个接触 19a 的总接触电阻为例如 10Ω ，两个接触 21a 的总接触电阻为例如 10Ω ， n^+ 型扩散区 15 的表面电阻为例如 5Ω ，并且这些电阻串联连接。因此，当正 ESD 电流加到焊盘时，在焊盘与地电位布线之间形成的电流路径的总电阻为例如 45Ω 。本实施例的其它结构与第一实施例的相同。

在第一实施例和第二实施例中， n^+ 型扩散区 15 连接到位于区域 15 两侧的两个漏极区 14。因此，在第一实施例中，在接触 19 和 21 中分别流过在接触 16 和 18 中流过电流两倍的电流。结果，当 ESD 电流较大时，接触 19 和 21 容易损坏。在第二实施例中，通过比较的方式，在各个电流路径中并联提供两个接触 19a，并且在各个电流路径中并联提供两个接触 21a。因此，在接触 19a 和 21a 中流过的电流等于在接触 16 和 18 中流过电流的大小。因此，不会出现电流集中到接触 19a 和 21a 的情况，从而改善 ESD 耐用性。本实施例的其它操作和效果与第一实施例的相同。

下面将介绍本发明的第三实施例。图 14 示出了根据本实施例的 ESD 保护元件的平面图。如图 14 所示，本实施例在以下方面不同于第二实施例。在第三实施例中， n^+ 型扩散区 15 沿方向 12 分为两个 n^+ 型扩散区 15a。在 n^+ 型扩散区 15a 之间形成 STI 区 5。在每个 n^+ 型扩散区 15a 上提供组成一对的两个接触 19a 中的一个。在每个 n^+ 型扩散区 15a 上提供组成一对的两个接触 21a 中的一个。因此，金属布线 20 沿方向 12 分为两个金属布线 20a。每个接触 19a 和与该接触 19a 相邻的一个接触 18 连接到每个金属布线 20a。

因此，等效元件长度 LC 稍稍长于第二实施例中的，变为例如 $1.34\mu\text{m}$ 。在本实施例中，接触 18 的接触电阻为例如 20Ω ，接触 19a 的接触电阻为例如 20Ω ，接触 21a 的接触电阻为例如 20Ω ， n^+ 型扩散区

15 的表面电阻为例如 10Ω ，并且这些电阻串联连接。因此，当正 ESD 电流加到焊盘时，在焊盘与地电位布线之间形成的电流路径的总电阻为例如 70Ω 。本实施例的其它结构与第一实施例的相同。

在本实施例中，在接触 19a 和 21a 中流过的电流等于在接触 16 和 18 中流过电流的大小，从而改善 ESD 耐用性。本实施例可以改善镇流电阻，同时保持 ESD 耐用性与第二实施例相同。本实施例的其它操作和效果与第一实施例的相同。

下面将介绍本发明的第四实施例。图 15 示出了根据本实施例的 ESD 保护元件的平面图。如图 15 所示，在本实施例中，在镇流电阻区 7 中沿方向 12 将 n^+ 型扩散区 15 分为四个 n^+ 型扩散区，两个 n^+ 型扩散区 15b 和两个 n^+ 型扩散区 15c。在每个镇流电阻区 7 中， n^+ 型扩散区 15b 和 15c 以 n^+ 型扩散区 15b、 n^+ 型扩散区 15c、 n^+ 型扩散区 15c 和 n^+ 型扩散区 15b 的顺序布局。在 n^+ 型扩散区 15b 和 15c 之间形成 STI 区 5。金属布线 20 沿方向 12 分为两个金属布线 20a，金属布线 22 沿方向 12 分为两个金属布线 22a，在金属布线 20a 之间提供布线 25。

在 n^+ 型扩散区 15b 的对应于接触 18 的位置提供接触 19a。接触 18 的下端接触漏极区 14，上端接触金属布线 20a。接触 19a 的上端接触金属布线 20a，下端接触 n^+ 型扩散区 15b。因此，漏极区 14 通过接触 18、金属布线 20a 和接触 19a 耦合到 n^+ 型扩散区 15b。

在接触 19a 之间的 n^+ 型扩散区 15b 提供接触 21b。在 n^+ 型扩散区 15c 的对应于接触 21b 的位置提供接触 21c。接触 21b 的下端接触 n^+ 型扩散区 15b，上端接触金属布线 22a。接触 21c 的上端接触金属布线 22a，下端接触 n^+ 型扩散区 15c。因此， n^+ 型扩散区 15b 通过接触 21b、金属布线 22a 和接触 21c 耦合到 n^+ 型扩散区 15c。

在接触 21c 之间的 n^+ 型扩散区 15c，即，在对应于接触 18 和 19a

的位置,提供接触 24。在两个 n^+ 型扩散区 15c 形成的两个接触 24 组成一对,上面布局金属布线 25。接触 24 的下端接触 n^+ 型扩散区 15c,上端接触金属布线 25。接触 21c 的上端接触金属布线 22a,下端接触 n^+ 型扩散区 15c。因此,组成一对的两个接触 24 通过耦合到焊盘的金属布线 25 连接在一起。

在本实施例中,等效元件长度 LC 稍稍大于第一到第三实施例中的,变为例如 $1.75\mu\text{m}$ 。加到焊盘的正 ESD 电流通过金属布线 25-接触 24- n^+ 型扩散区 15c-接触 21c-金属布线 22a-接触 21b- n^+ 型扩散区 15b-接触 19a-金属布线 20a-接触 18 的电流路径流入漏极区 14。即,在电流路径中插入五个接触和两个 n^+ 型扩散区。在 n^+ 型扩散区 15b 和 15c 中的电流路径沿栅极的宽度方向 11 延伸。每个接触的接触电阻为例如 20Ω ,每个 n^+ 型扩散区 15 的扩散层电阻为例如 10Ω ,从而电流路径的电阻或镇流电阻为例如 120Ω 。本实施例的其它结构与第一实施例的相同。

在第四实施例中,当正 ESD 电流加到焊盘上时,在电流路径中引入五个接触和两个 n^+ 型扩散区。因此,可以使镇流电阻比第一实施例中的更大。由于在各个接触中流过的电流彼此相等,所以抑制了电流集中到特定的接触上,并且 ESD 耐用性高。本实施例的其它操作和效果与第一实施例的相同。

虽然在第一到第四实施例的前面的介绍中给出了在电流路径中插入三个或五个接触来形成镇流电阻的情况,但是本发明并不限于这种情况,并且可以插入七个或更多个接触。虽然在第一到第四实施例的前面的介绍中给出了用 NMOS 晶体管作为 ESD 保护元件的情况,但是本发明并不限于这种情况,并且可以用 PMOS 晶体管代替。在这种情况下,镇流电阻加到漏极区,电源电位加到源极区。虽然在第一到第四实施例的前面的介绍中给出了镇流电阻加到 NMOS 晶体管的漏极的情况,但是镇流电阻也可加到源极。在这种情况下,用漏极代替源极作为一对手指之间的公共区。

下面将介绍本发明的第五实施例。图 16 示出了根据第五实施例的半导体器件的电路图。如图 16 所示，根据本实施例的半导体器件具有也作为内部电路的输出缓冲器的 ESD 保护元件。即，半导体器件 31 具有 ESD 保护元件 34 和 39。

ESD 保护元件 34 具有 NMOS 晶体管 32 和镇流电阻 33。镇流电阻 33 连接到 NMOS 晶体管 32 的漏极。NMOS 晶体管 32 的源极连接到地电位布线 35，NMOS 晶体管 32 的漏极连接到输出焊盘 36。ESD 保护元件 34 的布局与在第一到第四实施例的任一个中的 ESD 保护元件的相同。

ESD 保护元件 39 具有 PMOS 晶体管 37 和镇流电阻 38。镇流电阻 38 连接到 PMOS 晶体管 37 的漏极。PMOS 晶体管 37 的源极连接到电源电位布线 40，PMOS 晶体管 37 的漏极连接到输出焊盘 36。ESD 保护元件 39 的布局与在第一到第四实施例的任一个中的 ESD 保护元件的相同。

半导体器件 31 还具有输出信号提供到 NMOS 晶体管 32 的栅极和 PMOS 晶体管 37 的栅极的内部电路 41。换句话说，由于 ESD 保护元件具有多个栅极，相同的输出信号提供到第一到第四实施例中的栅极。虽然在图 16 中仅示出了单个内部电路，但是可以修改结构，从而输出信号从多个内部电路提供到栅极。在这种情况下，输出信号可以分别提供到栅极；例如，从内部电路 41 输出的输出信号提供到十五个栅极，而从另一个内部电路（未示出）输出的输出信号提供到另外五个栅极。不用说，当多个输出的信号以上述方式提供到多个栅极上时，栅极电极应当彼此电独立。此外，一些栅极电极固定到地电位或电源电位而不被提供任何输出信号。

下面讨论根据具有上述结构的本实施例的半导体器件的操作。当

从内部电路 41 输出高电平信号时, NMOS 晶体管 32 断开, PMOS 晶体管 37 导通, 从而从输出焊盘 36 输出高电平信号。但是, 当从内部电路 41 输出低电平信号时, NMOS 晶体管 32 导通, PMOS 晶体管 37 断开, 从而从输出焊盘 36 输出低电平信号。

当 ESD 电流输入到输出焊盘 36 时, ESD 电流流过 ESD 保护元件 34 和 ESD 保护元件 39, 并放电到地电位布线 35 和电源电位布线 40。因此, 可以保护内部电路 41 不受 ESD 电流的影响。本实施例的其它操作和效果与第一实施例的相同。

下面将介绍本发明的第六实施例。图 17 示出了根据第六实施例的半导体器件的电路图。图 17 所示的电路的目的在于保护内部电路不受 ESD 的影响。如图 17 所示, 半导体器件 51 具有 ESD 保护元件 54 和 ESD 保护元件 59。

ESD 保护元件 54 具有 NMOS 晶体管 52 和镇流电阻 53。镇流电阻 53 连接到 NMOS 晶体管 52 的漏极。NMOS 晶体管 52 的源极和栅极连接到地电位布线 55, 晶体管 52 的漏极连接到输入焊盘 56。ESD 保护元件 54 的布局与在第一到第四实施例的任一个中的 ESD 保护元件的相同。NMOS 晶体管 52 的栅极直接或者通过电阻或晶体管连接到地电位布线 55。当 NMOS 晶体管 52 的栅极通过电阻或晶体管耦合到地电位布线 55 时, 可以使 ESD 保护元件 54 的快速恢复起始电压更低。

ESD 保护元件 59 具有 PMOS 晶体管 57 和镇流电阻 58。镇流电阻 58 连接到 PMOS 晶体管 57 的漏极。PMOS 晶体管 57 的源极和栅极连接到电源电位布线 60, 晶体管 57 的漏极连接到输入焊盘 56。ESD 保护元件 59 的布局与在第一到第四实施例的任一个中的 ESD 保护元件的相同。

半导体器件 51 还具有其是内部电路的一部分的 NMOS 晶体管 61

和 PMOS 晶体管 62。NMOS 晶体管 61 的栅极连接到输入焊盘 56，源极连接到地电位布线 55。PMOS 晶体管 62 的栅极连接到输入焊盘 56，源极连接到电源电位布线 60。半导体器件 51 还具有输入端连接到 NMOS 晶体管 61 的漏极和 PMOS 晶体管 62 的漏极的另一个内部电路 63。

下面讨论根据具有上述结构的本实施例的半导体器件的操作。当高电平信号输入到输入焊盘 56 时，NMOS 晶体管 61 断开，PMOS 晶体管 62 导通，从而高电平信号输入到内部电路 63。但是，当低电平信号输入到输入焊盘 56 时，NMOS 晶体管 61 导通，PMOS 晶体管 62 断开，从而低电平信号输入到内部电路 63。

当 ESD 电流输入到输入焊盘 56 时，ESD 电流流过 ESD 保护元件 54 和 ESD 保护元件 59，并放电到地电位布线 55 和电源电位布线 60。这可以保护其是内部电路的一部分的 NMOS 晶体管 61 和 PMOS 晶体管 62，以及内部电路 63 不受 ESD 电流的影响。本实施例的其它操作和效果与第一实施例的相同。

在第五实施例中，在地电位布线 35 和/或电源电位布线 40 与输出焊盘 36 之间可以提供使用双极型晶体管或晶闸管的 ESD 保护元件。在这种情况下，由于在 ESD 保护元件 34 和 39 中形成镇流电阻，所以所提供的 ESD 电流大部分流入使用双极型晶体管或晶闸管的 ESD 保护元件，而没有太多流入 ESD 保护元件 34 和 39。这可以防止 ESD 保护元件 34 和 39 损坏。同样，在第六实施例中，在地电位布线 55 和/或电源电位布线 60 与输入焊盘 56 之间可以提供使用双极型晶体管或晶闸管的 ESD 保护元件。

下面将介绍本发明的第七实施例。图 18 示出了根据本实施例的半导体器件的电路图。如图 18 所示，ESD 保护元件 72 和内部电路 73 并联连接在电源电位布线 70 与地电位布线 71 之间。ESD 保护元件 72 具

有 NMOS 晶体管 74 和镇流电阻 75。NMOS 晶体管 74 的源极和栅极连接到地电位布线 71，漏极连接到镇流电阻 75 的一端。镇流电阻 75 的另一端连接到电源电位布线 70。ESD 保护元件 72 的布局与在第一到第四实施例的任一个中的 ESD 保护元件的相同。根据本实施例，内部电路 73 通过电源电位布线 70 与地电位布线 71 可以免受传送的 ESD 电流的影响。NMOS 晶体管 74 的栅极可以直接或者通过电阻或晶体管连接到地电位布线 71。当 NMOS 晶体管 74 的栅极通过电阻或晶体管耦合到地电位布线 71 时，可以使 ESD 保护元件 72 的快速恢复起始电压更低。

虽然每个实施例的上述介绍给出了具有 ESD 保护元件的半导体器件，但是本发明并不限于这种情况，并且适用于在有限的区域中需要恒定电阻值的各种半导体器件。本发明对于具有高接触电阻的微加工（micro-fabricated）的半导体器件尤其有效。

通过与稍后介绍的比较例的比较具体介绍本发明的实施例的效果。图 19 示出了 ESD 保护元件的性能，该 ESD 保护元件的面积（ESD 面积）用横轴表示，ESD 保护元件的 ESD 耐用性用纵轴表示。“ESD 耐用性”是表示 ESD 驱动能力的指示，并且等效于在短时间段内可以允许流入 ESD 保护元件的电流量。对于本发明的例 1 到 4，分别制备根据第一到第四实施例的 ESD 保护元件。对于比较例，制备上述日本专利未决公开 No. 2001-284583 中介绍的常规 ESD 保护元件（参看图 2）。评估例 1 到 4 和比较例的 ESD 耐用性。

如图 19 所示，根据本发明的各个实施例的 ESD 保护元件的 ESD 耐用性与各自 ESD 面积基本成比例。ESD 面积越大，ESD 耐用性越大。将比较例与 ESD 耐用性相似于比较例的实施例的 ESD 保护元件进行比较，该实施例的 ESD 保护元件的 ESD 面积减小到大约为比较例的 ESD 面积的一半。

图1
现有技术

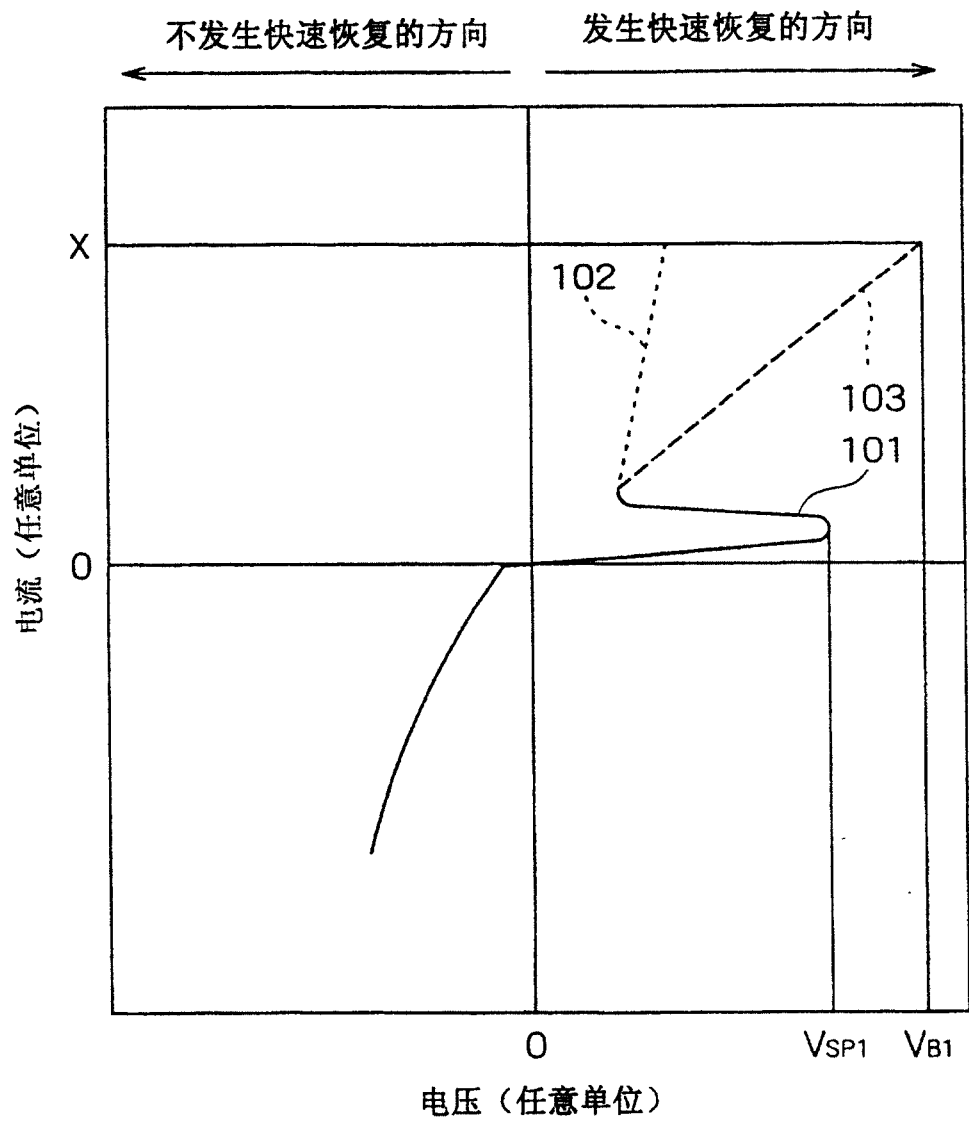


图2
现有技术

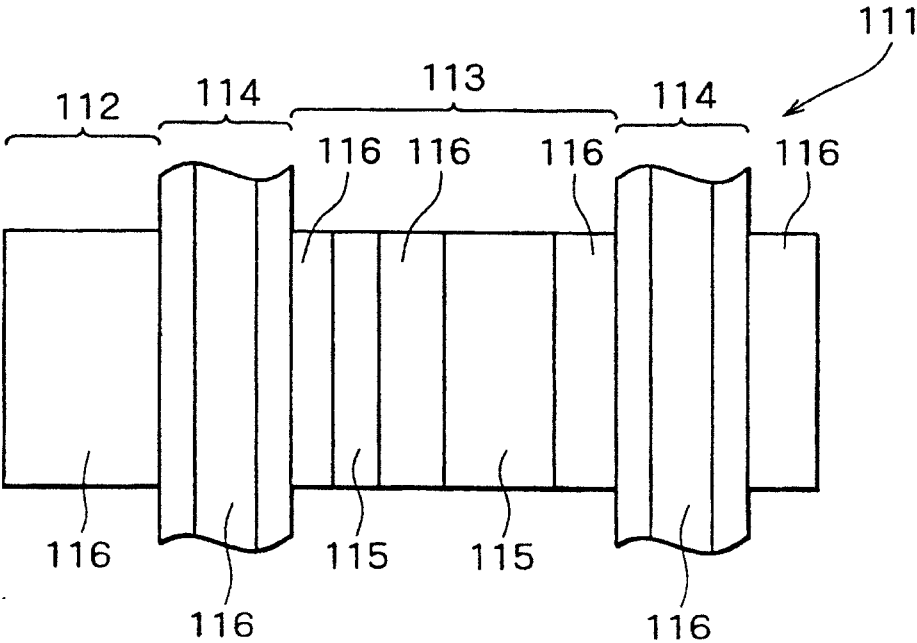


图3
现有技术

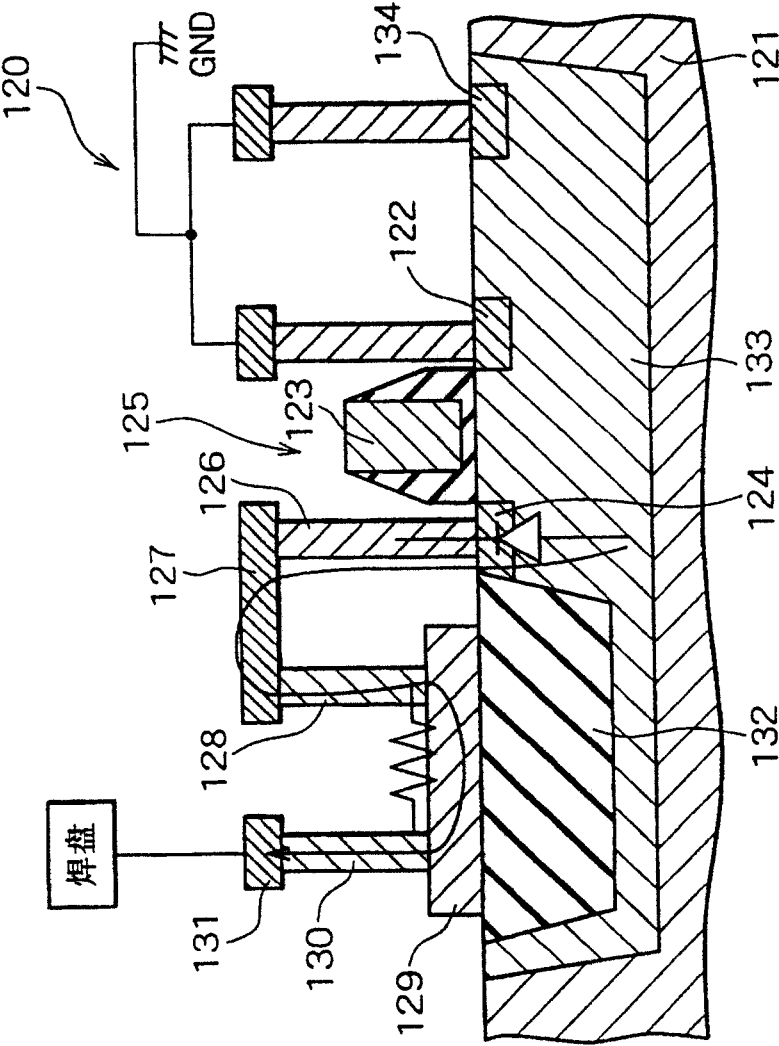
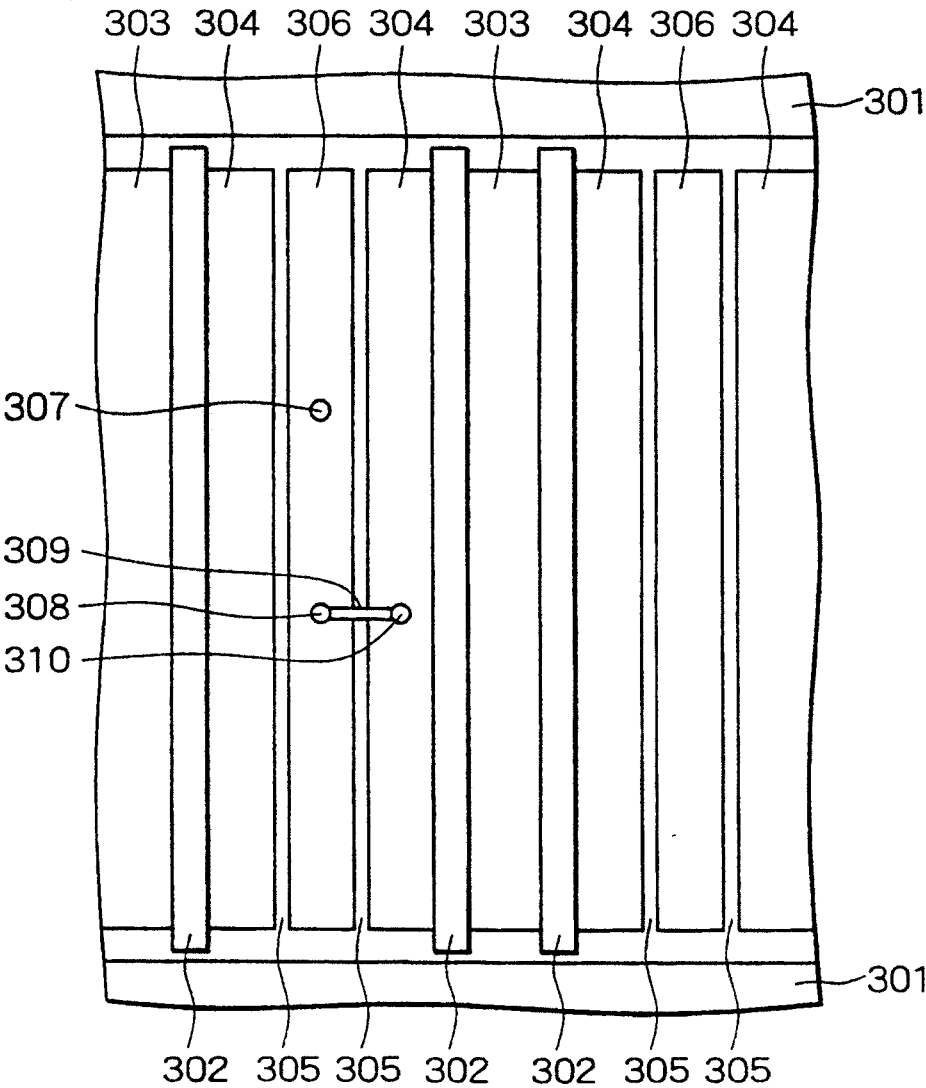
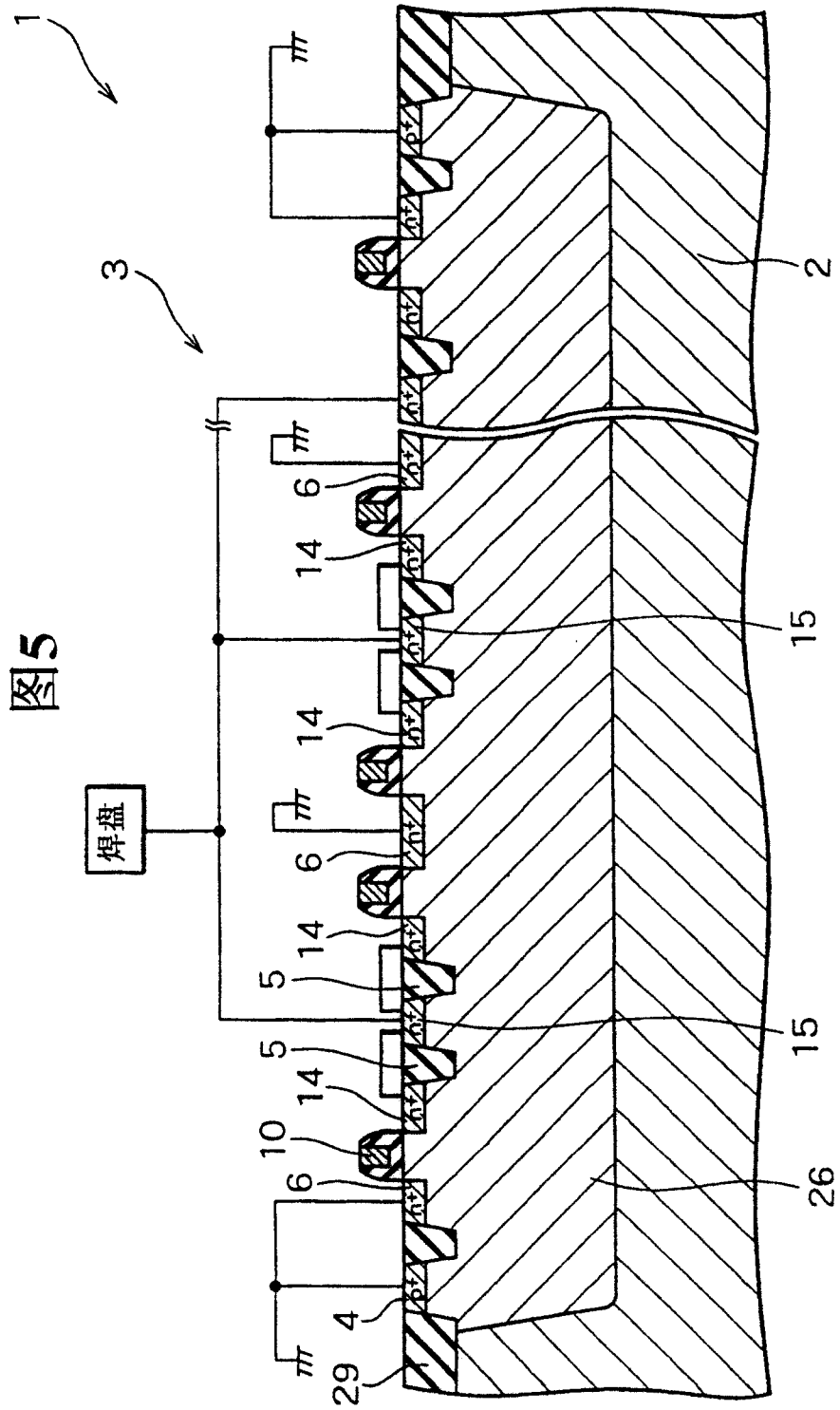
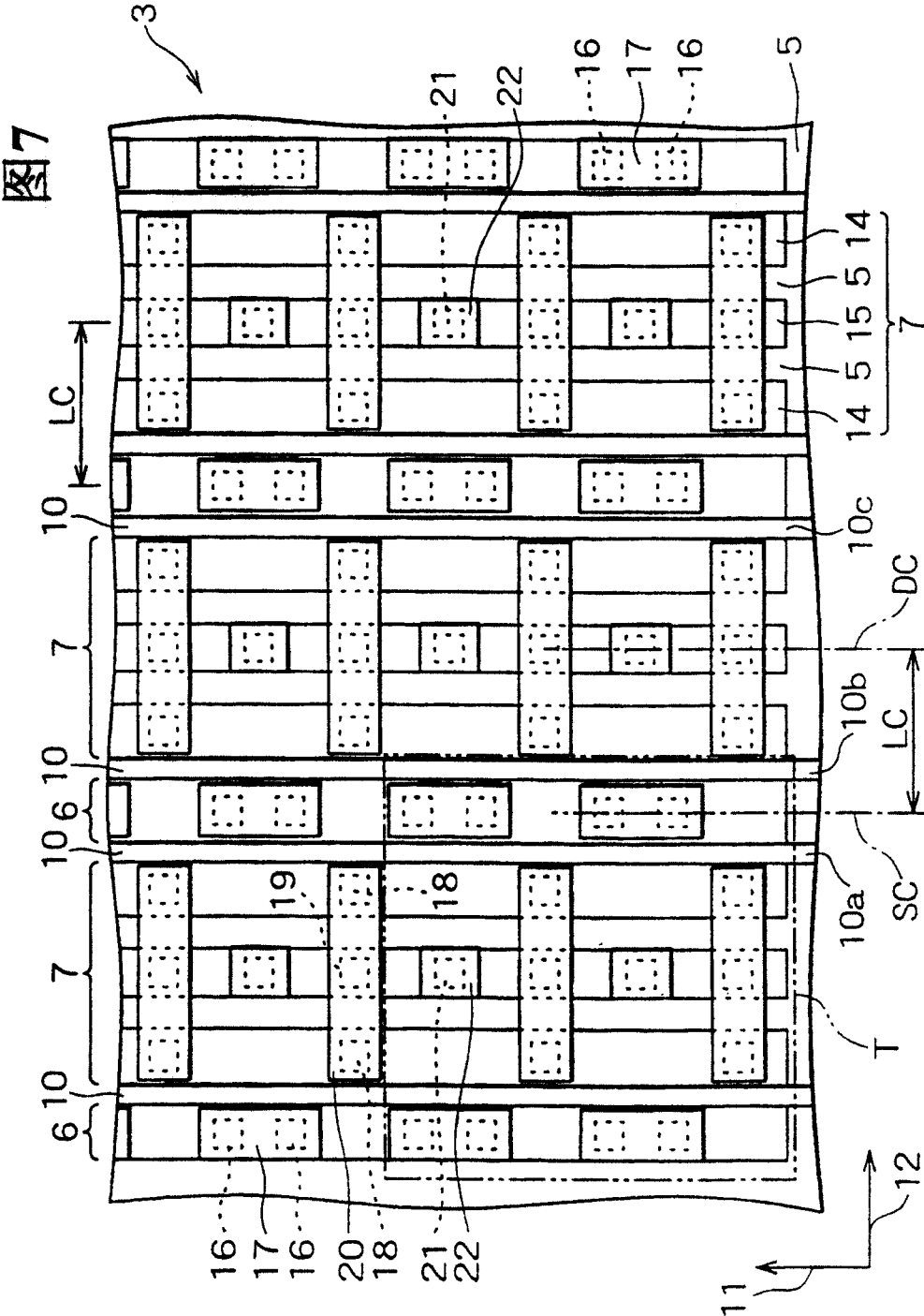


图4







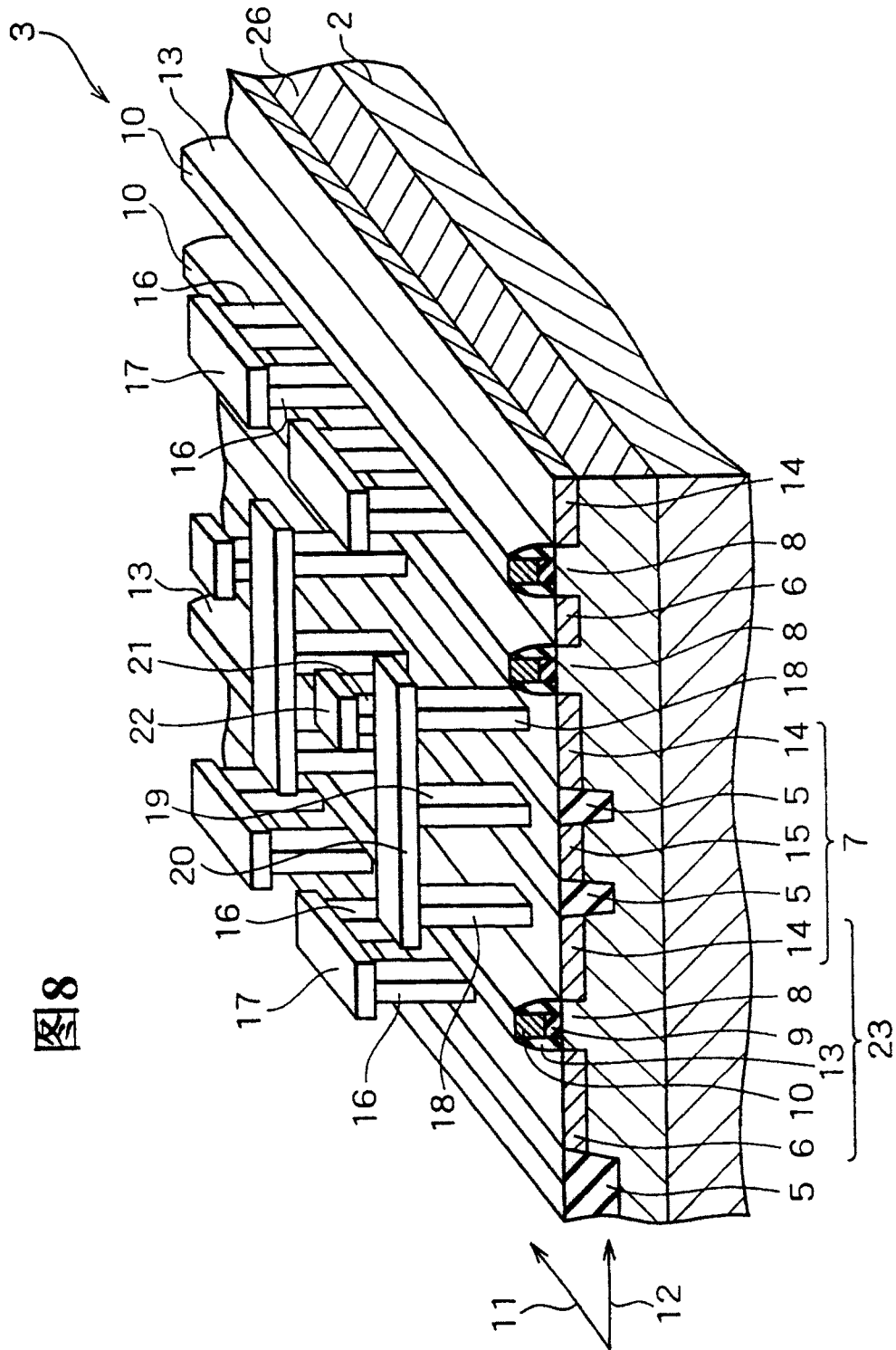


图9

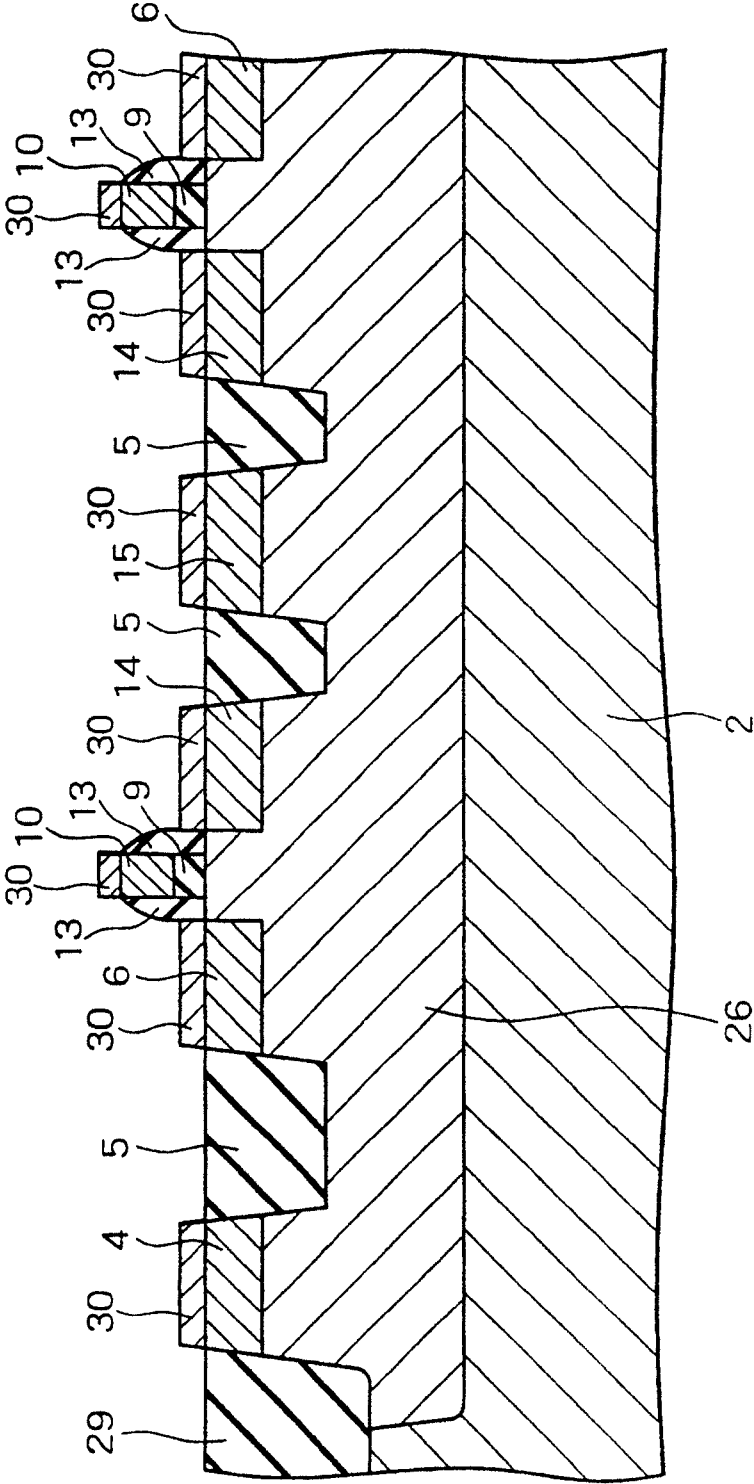


图10A

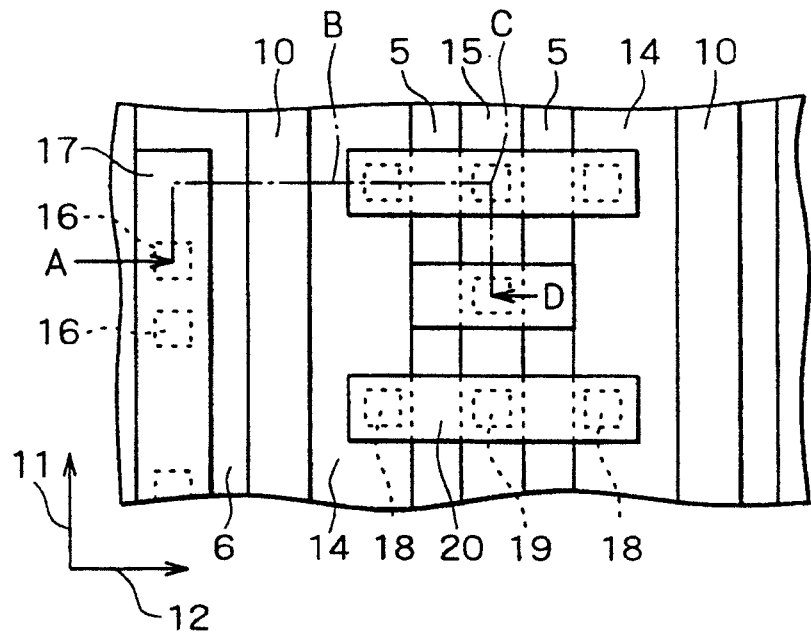


图10B

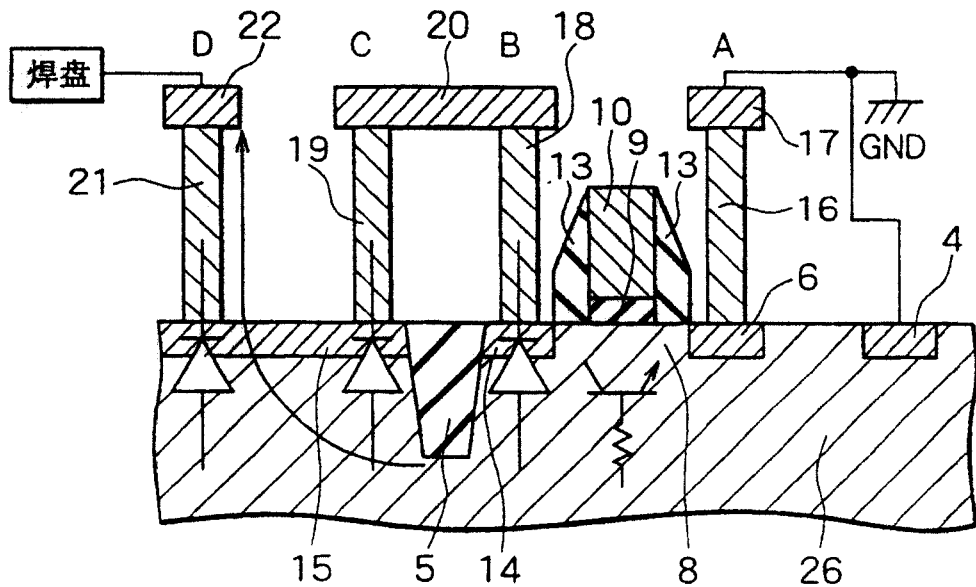


图11A

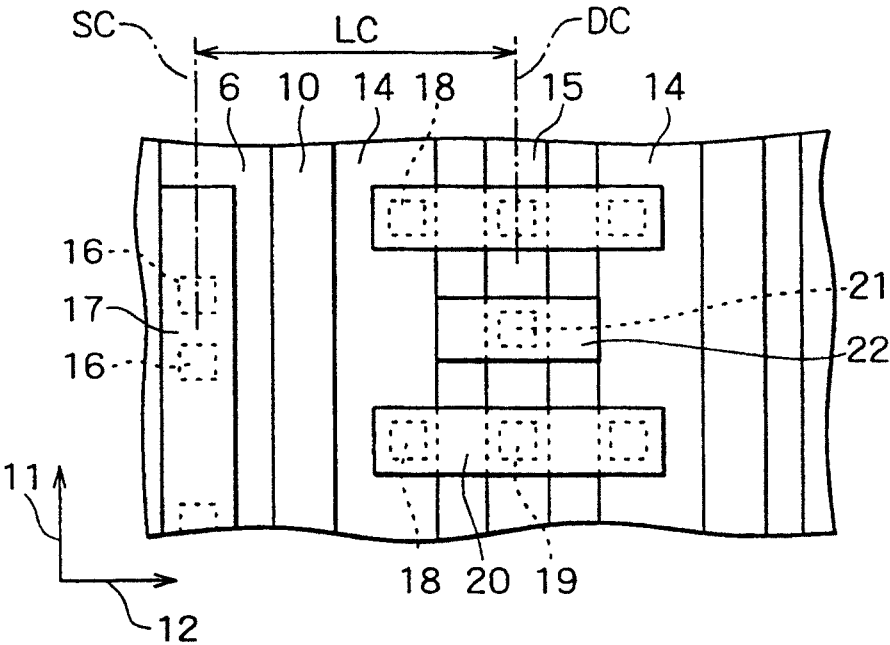


图11B

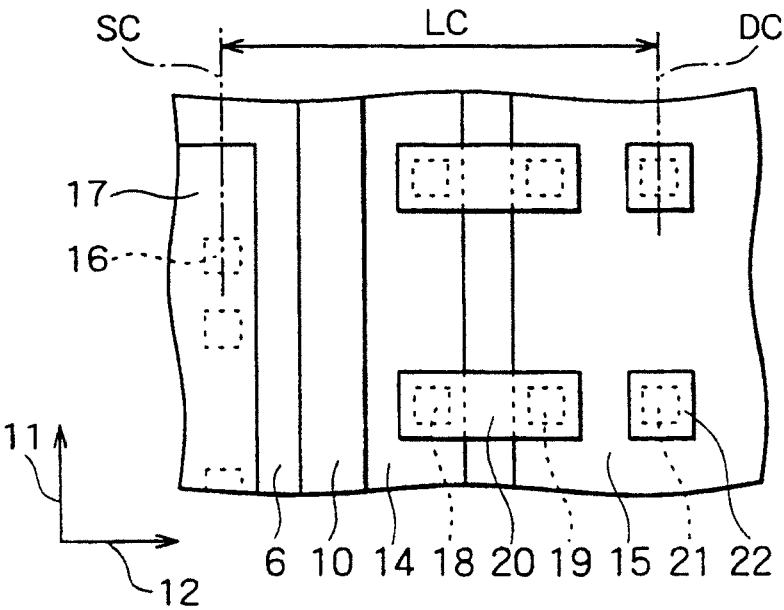
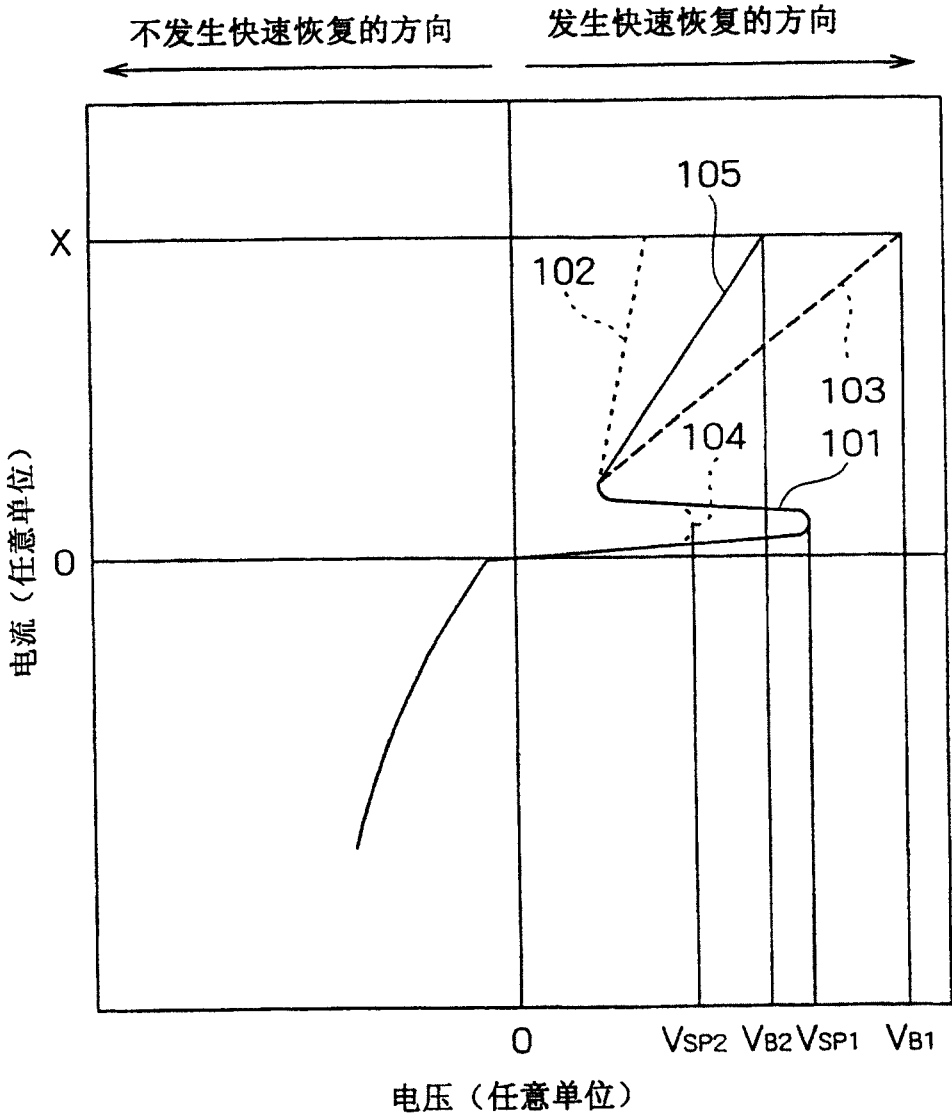
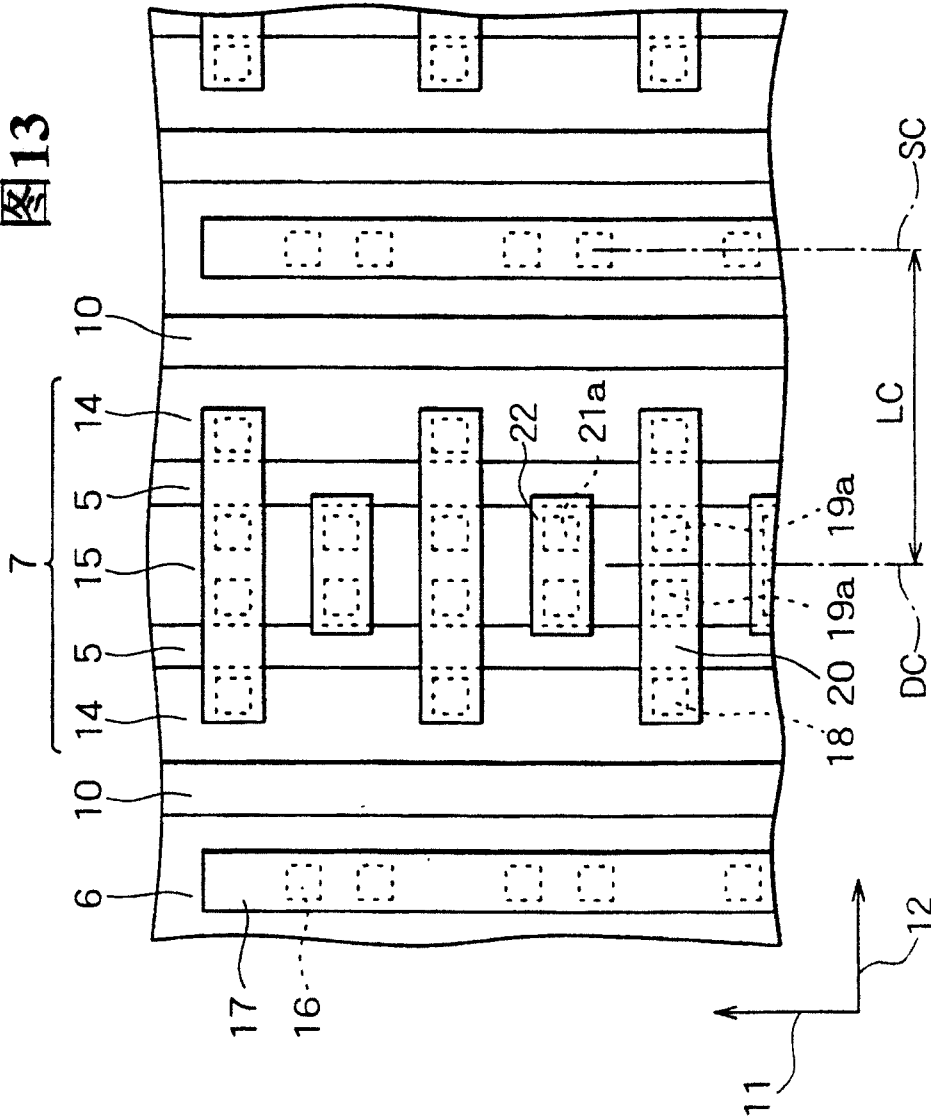


图12





14

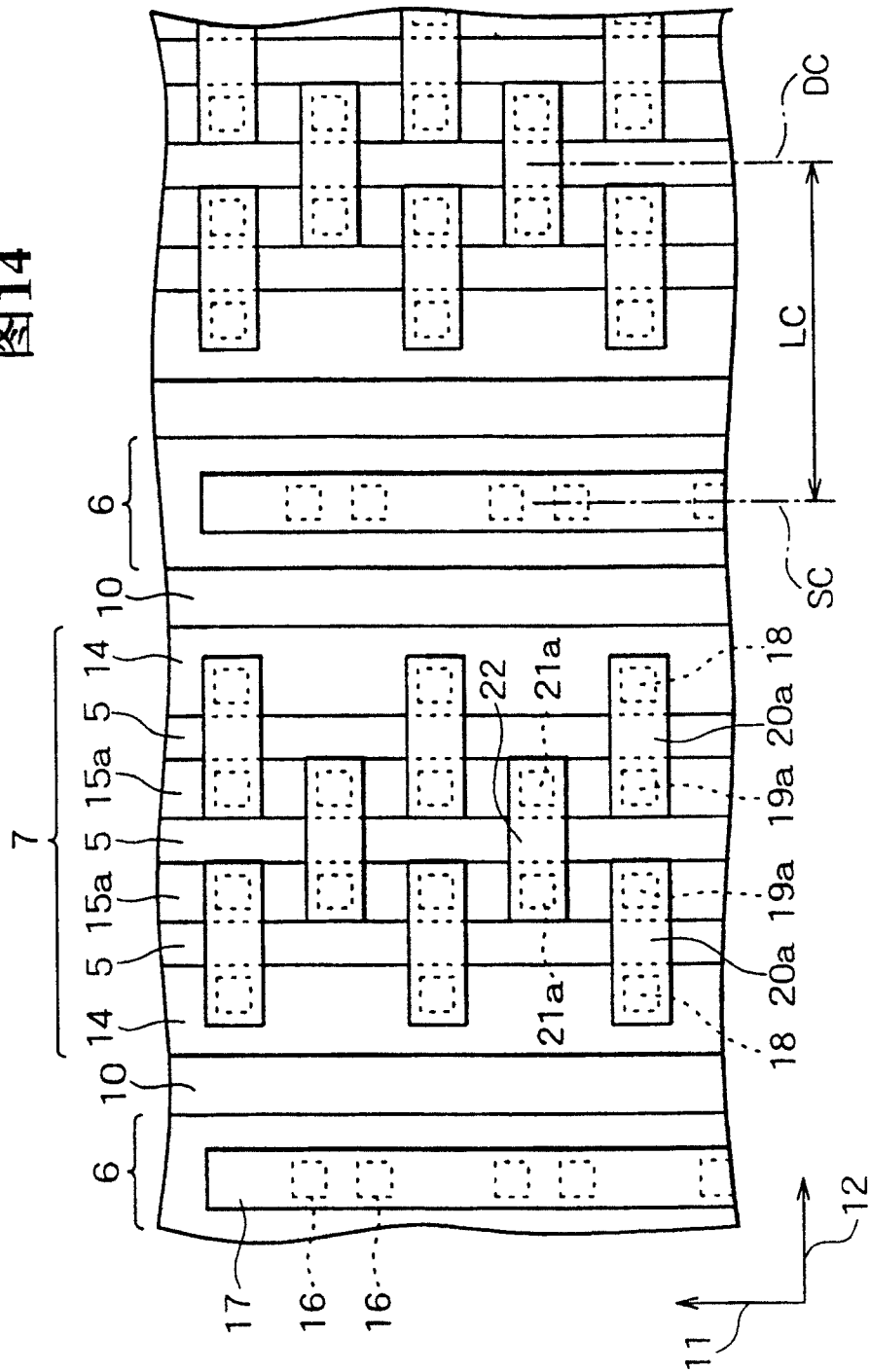


图16

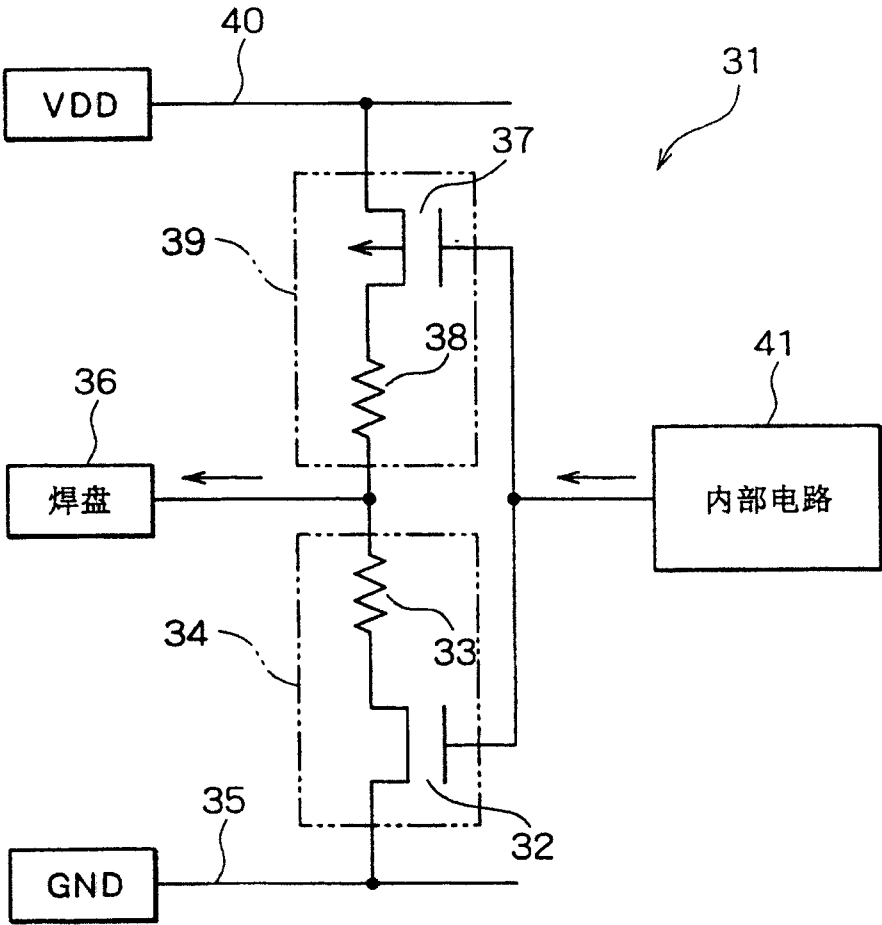


图 17

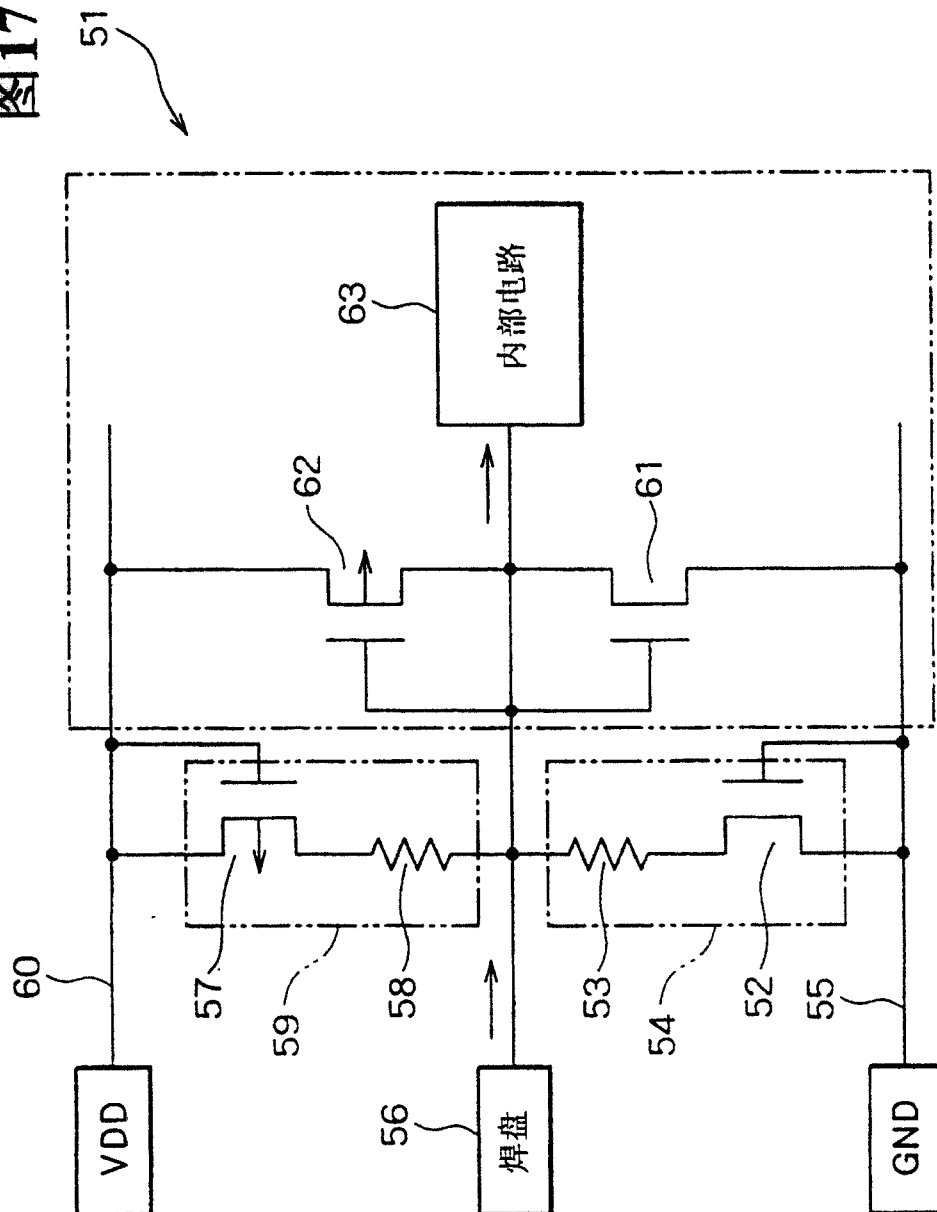


图18

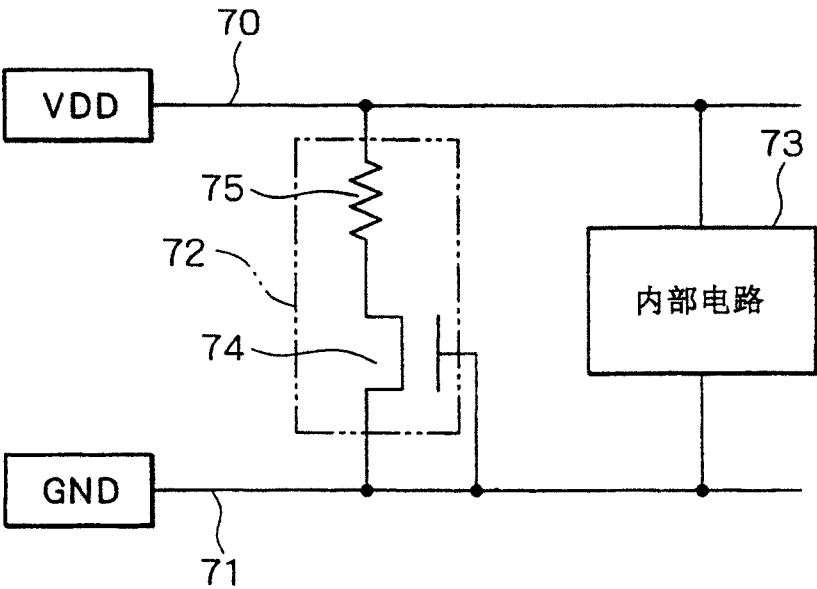


图19

