I854523

(19)中華民國智慧財產局

(12)發明說明書公告本 **(11)證書號數：TW I854523 B**

(45)公告日： 中華民國 113 (2024) 年 09 月 01 日

(21)申請案號：112109017 (22)申請日： 中華民國 112 (2023) 年 03 月 10 日

(51)Int. Cl.： ***G06F12/02 (2006.01)*** ***G06F3/06 (2006.01)***

(30)優先權：2023/03/01 中國大陸 202310203235X

(71)申請人：大陸商合肥兆芯電子有限公司 (中國大陸) HEFEI CORE STORAGE ELECTRONIC LIMITED (CN)
中國大陸

(72)發明人：王智麟 WANG, CHIH-LING (TW) ；洪婉君 HONG, WAN-JUN (CN) ；朱啟傲 ZHU, QI-AO (CN) ；張洋 ZHANG, YANG (CN) ；王鑫 WANG, XIN (CN)

(74)代理人：葉璟宗；卓俊傑

(56)參考文獻：

TW	202129501A	CN	110569002A
CN	114077398A	US	2008/0215800A1
US	2016/0041760A1	US	2022/0283939A

審查人員：高元良

申請專利範圍項數：21 項 圖式數：8 共 45 頁

(54)名稱

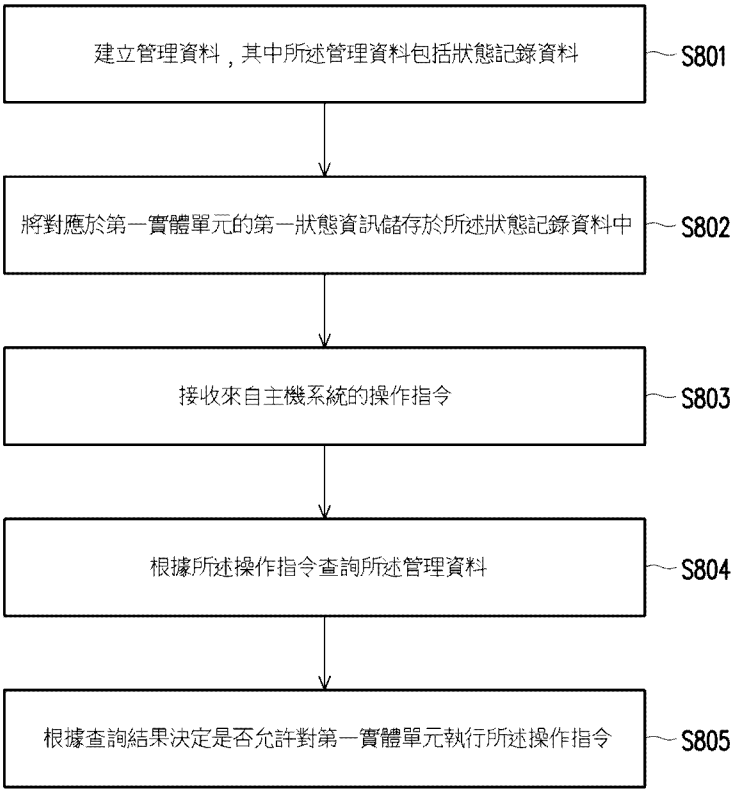
記憶體操作管控方法、記憶體儲存裝置及記憶體控制電路單元

(57)摘要

一種記憶體操作管控方法、記憶體儲存裝置及記憶體控制電路單元。所述方法包括：建立管理資料，其包括狀態記錄資料；將對應於第一實體單元的第一狀態資訊儲存於所述狀態記錄資料中；接收來自主機系統的操作指令；根據所述操作指令查詢所述管理資料；以及根據查詢結果決定是否允許對所述第一實體單元執行所述操作指令。

A memory operation control method, a memory storage device and a memory control circuit unit are disclosed. The method includes: establishing management data which includes status recording data; storing first status information corresponding to a first physical unit into the status recording data; receiving an operation command from a host system; inquiring the management data according to the operation command; and determining whether to allow an execution of the operation command on the first physical unit.

指定代表圖：



【圖8】

符號簡單說明：

S801:步驟(建立管理資料，其中所述管理資料包括狀態記錄資料)

S802:步驟(將對應於第一實體單元的第一狀態資訊儲存於所述狀態記錄資料中)

S803:步驟(接收來自主機系統的操作指令)

S804:步驟(根據所述操作指令查詢所述管理資料)

S805:步驟(根據查詢結果決定是否允許對第一實體單元執行所述操作指令)

公告本

I854523

【發明摘要】

【中文發明名稱】

記憶體操作管控方法、記憶體儲存裝置及記憶體控制電路單元

【英文發明名稱】

MEMORY OPERATION CONTROL METHOD, MEMORY STORAGE DEVICE AND MEMORY CONTROL CIRCUIT UNIT

【中文】

一種記憶體操作管控方法、記憶體儲存裝置及記憶體控制電路單元。所述方法包括：建立管理資料，其包括狀態記錄資料；將對應於第一實體單元的第一狀態資訊儲存於所述狀態記錄資料中；接收來自主機系統的操作指令；根據所述操作指令查詢所述管理資料；以及根據查詢結果決定是否允許對所述第一實體單元執行所述操作指令。

【英文】

A memory operation control method, a memory storage device and a memory control circuit unit are disclosed. The method includes: establishing management data which includes status recording data; storing first status information corresponding to a first physical unit into the status recording data; receiving an operation command from a host system; inquiring the management data according to the operation command; and determining whether

to allow an execution of the operation command on the first physical unit.

【指定代表圖】圖8。

【代表圖之符號簡單說明】

S801: 步驟(建立管理資料，其中所述管理資料包括狀態記錄資料)

S802: 步驟(將對應於第一實體單元的第一狀態資訊儲存於所述狀態記錄資料中)

S803: 步驟(接收來自主機系統的操作指令)

S804: 步驟(根據所述操作指令查詢所述管理資料)

S805: 步驟(根據查詢結果決定是否允許對第一實體單元執行所述操作指令)

【特徵化學式】

無

【發明說明書】

【中文發明名稱】

記憶體操作管控方法、記憶體儲存裝置及記憶體控制電路單元

【英文發明名稱】

MEMORY OPERATION CONTROL METHOD, MEMORY STORAGE DEVICE AND MEMORY CONTROL CIRCUIT UNIT

【技術領域】

【0001】 本發明是有關於一種記憶體管理技術，且特別是有關於一種記憶體操作管控方法、記憶體儲存裝置及記憶體控制電路單元。

【先前技術】

【0002】 智慧型手機、平板電腦及個人電腦在這幾年來的成長十分迅速，使得消費者對儲存媒體的需求也急速增加。由於可複寫式非揮發性記憶體模組(rewritable non-volatile memory module)(例如，快閃記憶體)具有資料非揮發性、省電、體積小，以及無機械結構等特性，所以非常適合內建於上述所舉例的各種可攜式多媒體裝置中。

【0003】 一般來說，可複寫式非揮發性記憶體模組在操作上存在諸多操作規範，例如同一個記憶體區塊只能使用一種寫入模式來寫入資料、同一個記憶體區塊中的記憶體位址必須要依序使用及

前一指令執行完畢才能執行下一個指令等。若違反此些操作規範，則資料將無法正確寫入可複寫式非揮發性記憶體模組中。但是，實務上並沒有針對前述一或多種操作規範進行整合的記憶體操作監控機制，從而導致對可複寫式非揮發性記憶體模組的執行失敗事件時常發生。

【發明內容】

【0004】 本發明提供一種記憶體操作管控方法、記憶體儲存裝置及記憶體控制電路單元，可提高可複寫式非揮發性記憶體模組的工作效率。

【0005】 本發明的範例實施例提供一種記憶體操作管控方法，其用於可複寫式非揮發性記憶體模組。所述可複寫式非揮發性記憶體模組包括多個實體單元。所述記憶體操作管控方法包括：建立管理資料，其中所述管理資料包括狀態記錄資料；將對應於所述多個實體單元中的第一實體單元的第一狀態資訊儲存於所述狀態記錄資料中；接收來自主機系統的操作指令；根據所述操作指令查詢所述管理資料；以及根據查詢結果決定是否允許對所述第一實體單元執行所述操作指令。

【0006】 本發明的範例實施例另提供一種記憶體儲存裝置，其包括連接介面單元、可複寫式非揮發性記憶體模組及記憶體控制電路單元。所述連接介面單元用以耦接至主機系統。所述可複寫式非揮發性記憶體模組包括多個實體單元。所述記憶體控制電路單

元耦接至所述連接介面單元與所述可複寫式非揮發性記憶體模組。所述記憶體控制電路單元用以：建立管理資料，其中所述管理資料包括狀態記錄資料；將對應於所述多個實體單元中的第一實體單元的第一狀態資訊儲存於所述狀態記錄資料中；接收來自主機系統的操作指令；根據所述操作指令查詢所述管理資料；以及根據查詢結果決定是否允許對所述第一實體單元執行所述操作指令。

【0007】 本發明的範例實施例另提供一種記憶體控制電路單元，其用於控制可複寫式非揮發性記憶體模組。所述可複寫式非揮發性記憶體模組包括多個實體單元。所述記憶體控制電路單元包括主機介面、記憶體介面及記憶體管理電路。所述主機介面用以耦接至主機系統。所述記憶體介面用以耦接至所述可複寫式非揮發性記憶體模組。所述記憶體管理電路耦接至所述主機介面與所述記憶體介面。所述記憶體管理電路用以：建立管理資料，其中所述管理資料包括狀態記錄資料；將對應於所述多個實體單元中的第一實體單元的第一狀態資訊儲存於所述狀態記錄資料中；接收來自主機系統的操作指令；根據所述操作指令查詢所述管理資料；以及根據查詢結果決定是否允許對所述第一實體單元執行所述操作指令。

【0008】 基於上述，在建立管理資料後，對應於第一實體單元的第一狀態資訊可儲存於管理資料中的狀態記錄資料中。爾後，根據來自主機系統的操作指令，所述管理資料可被查詢，且查詢結

果可用以決定是否允許對第一實體單元執行所述操作指令。藉此，可有效減少可複寫式非揮發性記憶體模組的執行失敗事件及/或提高可複寫式非揮發性記憶體模組的工作效率。

【圖式簡單說明】

【0009】

圖 1 是根據本發明的範例實施例所繪示的主機系統、記憶體儲存裝置及輸入/輸出(I/O)裝置的示意圖。

圖 2 是根據本發明的範例實施例所繪示的主機系統、記憶體儲存裝置及 I/O 裝置的示意圖。

圖 3 是根據本發明的範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

圖 4 是根據本發明的範例實施例所繪示的記憶體儲存裝置的示意圖。

圖 5 是根據本發明的範例實施例所繪示的記憶體控制電路單元的示意圖。

圖 6 是根據本發明的範例實施例所繪示的管理可複寫式非揮發性記憶體模組的示意圖。

圖 7 是根據本發明的範例實施例所繪示的記憶體儲存裝置的系統架構示意圖。

圖 8 是根據本發明的範例實施例所繪示的記憶體操作管控方法的流程圖。

【實施方式】

【0010】 一般而言，記憶體儲存裝置(亦稱，記憶體儲存系統)包括可複寫式非揮發性記憶體模組(rewritable non-volatile memory module)與控制器(亦稱，控制電路)。記憶體儲存裝置可與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

【0011】 圖 1 是根據本發明的範例實施例所繪示的主機系統、記憶體儲存裝置及輸入/輸出(I/O)裝置的示意圖。圖 2 是根據本發明的範例實施例所繪示的主機系統、記憶體儲存裝置及 I/O 裝置的示意圖。

【0012】 請參照圖 1 與圖 2，主機系統 11 可包括處理器 111、隨機存取記憶體(random access memory, RAM)112、唯讀記憶體(read only memory, ROM)113 及資料傳輸介面 114。處理器 111、隨機存取記憶體 112、唯讀記憶體 113 及資料傳輸介面 114 可耦接至系統匯流排(system bus)110。

【0013】 在一範例實施例中，主機系統 11 可透過資料傳輸介面 114 與記憶體儲存裝置 10 耦接。例如，主機系統 11 可經由資料傳輸介面 114 將資料儲存至記憶體儲存裝置 10 或從記憶體儲存裝置 10 中讀取資料。此外，主機系統 11 可透過系統匯流排 110 與 I/O 裝置 12 耦接。例如，主機系統 11 可經由系統匯流排 110 將輸出訊號傳送至 I/O 裝置 12 或從 I/O 裝置 12 接收輸入訊號。

【0014】 在一範例實施例中，處理器 111、隨機存取記憶體 112、唯讀記憶體 113 及資料傳輸介面 114 可設置在主機系統 11 的主機板 20 上。資料傳輸介面 114 的數目可以是一或多個。透過資料傳輸介面 114，主機板 20 可以經由有線或無線方式耦接至記憶體儲存裝置 10。

【0015】 在一範例實施例中，記憶體儲存裝置 10 可例如是隨身碟 201、記憶卡 202、固態硬碟(Solid State Drive, SSD)203 或無線記憶體儲存裝置 204。無線記憶體儲存裝置 204 可例如是近距離無線通訊(Near Field Communication, NFC)記憶體儲存裝置、無線傳真(WiFi)記憶體儲存裝置、藍牙(Bluetooth)記憶體儲存裝置或低功耗藍牙記憶體儲存裝置(例如，iBeacon)等以各式無線通訊技術為基礎的記憶體儲存裝置。此外，主機板 20 也可以透過系統匯流排 110 耦接至全球定位系統(Global Positioning System, GPS)模組 205、網路介面卡 206、無線傳輸裝置 207、鍵盤 208、螢幕 209、喇叭 210 等各式 I/O 裝置。例如，在一範例實施例中，主機板 20 可透過無線傳輸裝置 207 存取無線記憶體儲存裝置 204。

【0016】 在一範例實施例中，主機系統 11 為電腦系統。在一範例實施例中，主機系統 11 可為可實質地與記憶體儲存裝置配合以儲存資料的任意系統。在一範例實施例中，記憶體儲存裝置 10 與主機系統 11 可分別包括圖 3 的記憶體儲存裝置 30 與主機系統 31。

【0017】 圖 3 是根據本發明的範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

【0018】 請參照圖 3，記憶體儲存裝置 30 可與主機系統 31 搭配使用以儲存資料。例如，主機系統 31 可以是數位相機、攝影機、通訊裝置、音訊播放器、視訊播放器或平板電腦等系統。例如，記憶體儲存裝置 30 可為主機系統 31 所使用的安全數位(Secure Digital, SD)卡 32、小型快閃(Compact Flash, CF)卡 33 或嵌入式儲存裝置 34 等各式非揮發性記憶體儲存裝置。嵌入式儲存裝置 34 包括嵌入式多媒體卡(embedded Multi Media Card, eMMC)341 及/或嵌入式多晶片封裝(embedded Multi Chip Package, eMCP)儲存裝置 342 等各類型將記憶體模組直接耦接於主機系統的基板上的嵌入式儲存裝置。

【0019】 圖 4 是根據本發明的範例實施例所繪示的記憶體儲存裝置的示意圖。

【0020】 請參照圖 4，記憶體儲存裝置 10 包括連接介面單元 41、記憶體控制電路單元 42 與可複寫式非揮發性記憶體模組 43。

【0021】 連接介面單元 41 用以將記憶體儲存裝置 10 耦接主機系統 11。記憶體儲存裝置 10 可經由連接介面單元 41 與主機系統 11 通訊。在一範例實施例中，連接介面單元 41 是相容於高速周邊零件連接介面(Peripheral Component Interconnect Express, PCI Express)標準。在一範例實施例中，連接介面單元 41 亦可以是符合序列先進附件(Serial Advanced Technology Attachment, SATA)標準、並列先進附件(Parallel Advanced Technology Attachment, PATA)標準、電氣和電子工程師協會(Institute of Electrical and Electronic

Engineers, IEEE)1394 標準、通用序列匯流排(Universal Serial Bus, USB)標準、SD 介面標準、超高速一代(Ultra High Speed-I, UHS-I)介面標準、超高速二代(Ultra High Speed-II, UHS-II)介面標準、記憶棒(Memory Stick, MS)介面標準、MCP 介面標準、MMC 介面標準、eMMC 介面標準、通用快閃記憶體(Universal Flash Storage, UFS)介面標準、eMCP 介面標準、CF 介面標準、整合式驅動電子介面(Integrated Device Electronics, IDE)標準或其他適合的標準。連接介面單元 41 可與記憶體控制電路單元 42 封裝在一個晶片中，或者連接介面單元 41 是佈設於一包含記憶體控制電路單元 42 之晶片外。

【0022】 記憶體控制電路單元 42 耦接至連接介面單元 41 與可複寫式非揮發性記憶體模組 43。記憶體控制電路單元 42 用以執行以硬體型式或韌體型式實作的多個邏輯閘或控制指令並且根據主機系統 11 的指令在可複寫式非揮發性記憶體模組 43 中進行資料的寫入、讀取與抹除等運作。

【0023】 可複寫式非揮發性記憶體模組 43 用以儲存主機系統 11 所寫入之資料。可複寫式非揮發性記憶體模組 43 可包括單階記憶胞(Single Level Cell, SLC)NAND 型快閃記憶體模組(即，一個記憶胞中可儲存 1 個位元的快閃記憶體模組)、二階記憶胞(Multi Level Cell, MLC)NAND 型快閃記憶體模組(即，一個記憶胞中可儲存 2 個位元的快閃記憶體模組)、三階記憶胞(Triple Level Cell, TLC)NAND 型快閃記憶體模組(即，一個記憶胞中可儲存 3 個位元

的快閃記憶體模組)、四階記憶胞(Quad Level Cell, QLC)NAND 型快閃記憶體模組(即，一個記憶胞中可儲存 4 個位元的快閃記憶體模組)、其他快閃記憶體模組或其他具有相同特性的記憶體模組。

【0024】 可複寫式非揮發性記憶體模組 43 中的每一個記憶胞是以電壓(以下亦稱為臨界電壓)的改變來儲存一或多個位元。具體來說，每一個記憶胞的控制閘極(control gate)與通道之間有一個電荷捕捉層。透過施予一寫入電壓至控制閘極，可以改變電荷補捉層的電子量，進而改變記憶胞的臨界電壓。此改變記憶胞之臨界電壓的操作亦稱為“把資料寫入至記憶胞”或“程式化(programming)記憶胞”。隨著臨界電壓的改變，可複寫式非揮發性記憶體模組 43 中的每一個記憶胞具有多個儲存狀態。透過施予讀取電壓可以判斷一個記憶胞是屬於哪一個儲存狀態，藉此取得此記憶胞所儲存的一或多個位元。

【0025】 在一範例實施例中，可複寫式非揮發性記憶體模組 43 的記憶胞可構成多個實體程式化單元，並且此些實體程式化單元可構成多個實體抹除單元。具體來說，同一條字元線上的記憶胞可組成一或多個實體程式化單元。若一個記憶胞可儲存 2 個以上的位元，則同一條字元線上的實體程式化單元可至少可被分類為下實體程式化單元與上實體程式化單元。例如，一記憶胞的最低有效位元(Least Significant Bit, LSB)是屬於下實體程式化單元，並且一記憶胞的最高有效位元(Most Significant Bit, MSB)是屬於上實體程式化單元。一般來說，在 MLC NAND 型快閃記憶體中，下實

體程式化單元的寫入速度會大於上實體程式化單元的寫入速度，及/或下實體程式化單元的可靠度是高於上實體程式化單元的可靠度。

【0026】 在一範例實施例中，實體程式化單元為程式化的最小單元。即，實體程式化單元為寫入資料的最小單元。例如，實體程式化單元可為實體頁(page)或是實體扇(sector)。若實體程式化單元為實體頁，則此些實體程式化單元可包括資料位元區與冗餘(redundancy)位元區。資料位元區包含多個實體扇，用以儲存使用者資料，而冗餘位元區用以儲存系統資料(例如，錯誤更正碼等管理資料)。在一範例實施例中，資料位元區包含 32 個實體扇，且一個實體扇的大小為 512 位元組(byte, B)。然而，在其他範例實施例中，資料位元區中也可包含 8 個、16 個或數目更多或更少的實體扇，並且每一個實體扇的大小也可以是更大或更小。另一方面，實體抹除單元為抹除之最小單位。亦即，每一實體抹除單元含有最小數目之一併被抹除之記憶胞。例如，實體抹除單元為實體區塊(block)。

【0027】 圖 5 是根據本發明的範例實施例所繪示的記憶體控制電路單元的示意圖。

【0028】 請參照圖 5，記憶體控制電路單元 42 包括記憶體管理電路 51、主機介面 52 及記憶體介面 53。記憶體管理電路 51 用以控制記憶體控制電路單元 42 的整體運作。具體來說，記憶體管理電路 51 具有多個控制指令，並且在記憶體儲存裝置 10 運作時，此

些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。以下說明記憶體管理電路 51 的操作時，等同於說明記憶體控制電路單元 42 的操作。

【0029】 在一範例實施例中，記憶體管理電路 51 的控制指令是以韌體型式來實作。例如，記憶體管理電路 51 具有微處理器單元(未繪示)與唯讀記憶體(未繪示)，並且此些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 10 運作時，此些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

【0030】 在一範例實施例中，記憶體管理電路 51 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 43 的特定區域(例如，記憶體模組中專用於存放系統資料的系統區)中。此外，記憶體管理電路 51 具有微處理器單元(未繪示)、唯讀記憶體(未繪示)及隨機存取記憶體(未繪示)。特別是，此唯讀記憶體具有開機碼(boot code)，並且當記憶體控制電路單元 42 被致能時，微處理器單元會先執行此開機碼來將儲存於可複寫式非揮發性記憶體模組 43 中之控制指令載入至記憶體管理電路 51 的隨機存取記憶體中。之後，微處理器單元會運轉此些控制指令以進行資料的寫入、讀取與抹除等運作。

【0031】 在一範例實施例中，記憶體管理電路 51 的控制指令亦可以一硬體型式來實作。例如，記憶體管理電路 51 包括微控制器、記憶胞管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路。記憶胞管理電路、記憶體寫入電路、記

憶體讀取電路、記憶體抹除電路與資料處理電路是耦接至微控制器。記憶胞管理電路用以管理可複寫式非揮發性記憶體模組 43 的記憶胞或記憶胞群組。記憶體寫入電路用以對可複寫式非揮發性記憶體模組 43 下達寫入指令序列以將資料寫入至可複寫式非揮發性記憶體模組 43 中。記憶體讀取電路用以對可複寫式非揮發性記憶體模組 43 下達讀取指令序列以從可複寫式非揮發性記憶體模組 43 中讀取資料。記憶體抹除電路用以對可複寫式非揮發性記憶體模組 43 下達抹除指令序列以將資料從可複寫式非揮發性記憶體模組 43 中抹除。資料處理電路用以處理欲寫入至可複寫式非揮發性記憶體模組 43 的資料以及從可複寫式非揮發性記憶體模組 43 中讀取的資料。寫入指令序列、讀取指令序列及抹除指令序列可各別包括一或多個程式碼或指令碼並且用以指示可複寫式非揮發性記憶體模組 43 執行相對應的寫入、讀取及抹除等操作。在一範例實施例中，記憶體管理電路 51 還可以下達其他類型的指令序列給可複寫式非揮發性記憶體模組 43 以指示執行相對應的操作。

【0032】 主機介面 52 是耦接至記憶體管理電路 51。記憶體管理電路 51 可透過主機介面 52 與主機系統 11 通訊。主機介面 52 可用以接收與識別主機系統 11 所傳送的指令與資料。例如，主機系統 11 所傳送的指令與資料可透過主機介面 52 來傳送至記憶體管理電路 51。此外，記憶體管理電路 51 可透過主機介面 52 將資料傳送至主機系統 11。在本範例實施例中，主機介面 52 是相容於 PCI Express 標準。然而，必須瞭解的是本發明不限於此，主機介面 52

亦可以是相容於 SATA 標準、PATA 標準、IEEE 1394 標準、USB 標準、SD 標準、UHS-I 標準、UHS-II 標準、MS 標準、MMC 標準、eMMC 標準、UFS 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

【0033】 記憶體介面 53 是耦接至記憶體管理電路 51 並且用以存取可複寫式非揮發性記憶體模組 43。例如，記憶體管理電路 51 可透過記憶體介面 53 存取可複寫式非揮發性記憶體模組 43。也就是說，欲寫入至可複寫式非揮發性記憶體模組 43 的資料會經由記憶體介面 53 轉換為可複寫式非揮發性記憶體模組 43 所能接受的格式。具體來說，若記憶體管理電路 51 要存取可複寫式非揮發性記憶體模組 43，記憶體介面 53 會傳送對應的指令序列。例如，這些指令序列可包括指示寫入資料的寫入指令序列、指示讀取資料的讀取指令序列、指示抹除資料的抹除指令序列、以及用以指示各種記憶體操作(例如，改變讀取電壓準位或執行垃圾回收操作等等)的相對應的指令序列。這些指令序列例如是由記憶體管理電路 51 產生並且透過記憶體介面 53 傳送至可複寫式非揮發性記憶體模組 43。這些指令序列可包括一或多個訊號，或是在匯流排上的資料。這些訊號或資料可包括指令碼或程式碼。例如，在讀取指令序列中，會包括讀取的辨識碼、記憶體位址等資訊。

【0034】 在一範例實施例中，記憶體控制電路單元 42 還包括錯誤檢查與校正電路 54、緩衝記憶體 55 及電源管理電路 56。

【0035】 錯誤檢查與校正電路 54 是耦接至記憶體管理電路 51 並

且用以執行錯誤檢查與校正操作以確保資料的正確性。具體來說，當記憶體管理電路 51 從主機系統 11 中接收到寫入指令時，錯誤檢查與校正電路 54 會為對應此寫入指令的資料產生對應的錯誤更正碼(error correcting code, ECC)及/或錯誤檢查碼(error detecting code, EDC)，並且記憶體管理電路 51 會將對應此寫入指令的資料與對應的錯誤更正碼及/或錯誤檢查碼寫入至可複寫式非揮發性記憶體模組 43 中。之後，當記憶體管理電路 51 從可複寫式非揮發性記憶體模組 43 中讀取資料時會同時讀取此資料對應的錯誤更正碼及/或錯誤檢查碼，並且錯誤檢查與校正電路 54 會依據此錯誤更正碼及/或錯誤檢查碼對所讀取的資料執行錯誤檢查與校正操作。

【0036】 緩衝記憶體 55 是耦接至記憶體管理電路 51 並且用以暫存資料。電源管理電路 56 是耦接至記憶體管理電路 51 並且用以控制記憶體儲存裝置 10 的電源。

【0037】 在一範例實施例中，圖 4 的可複寫式非揮發性記憶體模組 43 可包括快閃記憶體模組。在一範例實施例中，圖 4 的記憶體控制電路單元 42 可包括快閃記憶體控制器。在一範例實施例中，圖 5 的記憶體管理電路 51 可包括快閃記憶體管理電路。

【0038】 圖 6 是根據本發明的範例實施例所繪示的管理可複寫式非揮發性記憶體模組的示意圖。

【0039】 請參照圖 6，記憶體管理電路 51 可將可複寫式非揮發性記憶體模組 43 中的實體單元 610(0)~610(B)邏輯地分組至儲存區

601 與閒置(spare)區 602。在一範例實施例中，一個實體單元是指一個實體抹除單元。然而，在另一範例實施例中，一個實體單元亦可包含多個實體抹除單元。

【0040】 儲存區 601 中的實體單元 610(0)~610(A)用以儲存使用者資料(例如來自圖 1 的主機系統 11 的使用者資料)。例如，儲存區 601 中的實體單元 610(0)~610(A)可儲存有效(valid)資料及/或無效(invalid)資料。閒置區 602 中的實體單元 610(A+1)~610(B)未儲存資料(例如有效資料)。例如，若某一個實體單元未儲存有效資料，則此實體單元可被關聯(或加入)至閒置區 602。此外，閒置區 602 中的實體單元(或未儲存有效資料的實體單元)可被抹除。在寫入新資料時，一或多個實體單元可被從閒置區 602 中提取以儲存此新資料。在一範例實施例中，閒置區 602 亦稱為閒置池(free pool)。

【0041】 記憶體管理電路 51 可配置邏輯單元 612(0)~612(C)以映射儲存區 601 中的實體單元 610(0)~610(A)。在一範例實施例中，每一個邏輯單元對應一個邏輯位址。例如，一個邏輯位址可包括一或多個邏輯區塊位址(Logical Block Address, LBA)或其他的邏輯管理單元。在一範例實施例中，一個邏輯單元也可對應一個邏輯程式化單元或者由多個連續或不連續的邏輯位址組成。A、B 及 C 皆為正整數並可根據實務需求調整，本發明不加以限制。

【0042】 須注意的是，一個邏輯單元可被映射至一或多個實體單元。若某一實體單元當前有被某一邏輯單元映射，則表示此實體單元當前儲存的資料包括有效資料。反之，若某一實體單元當前

未被任一邏輯單元映射，則表示此實體單元當前儲存的資料為無效資料。

【0043】 記憶體管理電路 51 可將描述邏輯單元與實體單元之間的映射關係的管理資料(亦稱為邏輯至實體映射資訊)記錄於至少一邏輯至實體映射表。當主機系統 11 欲從記憶體儲存裝置 10 讀取資料或寫入資料至記憶體儲存裝置 10 時，記憶體管理電路 51 可根據此邏輯至實體映射表中的資訊來存取可複寫式非揮發性記憶體模組 43。

【0044】 圖 7 是根據本發明的範例實施例所繪示的記憶體儲存裝置的系統架構示意圖。

【0045】 請參照圖 7，可複寫式非揮發性記憶體模組 43 可包括多個晶片致能(Chip Enabled, CE)區域 CE(0)~CE(M)。例如，可複寫式非揮發性記憶體模組 43 可包含一或多個晶粒(die)。晶粒是從晶圓(Wafer)上透過雷射切割而獲得。每一個晶粒可以被劃分為一或多個晶片致能區域。晶片致能區域 CE(0)~CE(M)中的每一個晶片致能區域可包含一或多個平面(亦稱為記憶體平面)。每一個平面可包含多個實體單元。

【0046】 須注意的是，某一個晶片致能區域是否可被存取，可透過對應於此晶片致能區域的晶片致能訊號來加以管控。例如，當對應於晶片致能區域 CE(i)的晶片致能訊號被上拉時，可複寫式非揮發性記憶體模組 43 可從晶片致能區域 CE(i)讀取資料或將資料存入晶片致能區域 CE(i)中。然而，若對應於晶片致能區域 CE(i)

的晶片致能訊號未被上拉，則可複寫式非揮發性記憶體模組 43 無法從晶片致能區域 CE(i)讀取資料或將資料存入晶片致能區域 CE(i)中。

【0047】 須注意的是，在本範例實施例中，是以晶片致能區域 CE(0)~CE(M)中的每一個晶片致能區域皆包含相同數量的平面(標記為平面(0)~平面(P))作為範例。例如，晶片致能區域 CE(0)包含平面 701(0)~701(P)，且晶片致能區域 CE(M)包含平面 702(0)~702(P)，依此類推。然而，不同的晶片致能區域中的平面的總數(即 P)亦可能不同，本發明不加以限制。

【0048】 記憶體管理電路 51 可經由通道(亦稱為記憶體通道)71(0)~71(N)來存取可複寫式非揮發性記憶體模組 43。特別是，通道 71(0)~71(N)中的每一個通道皆可用以存取特定的一或多個晶片致能區域。例如，通道 71(0)可用以存取晶片致能區域 CE(0)(及平面 701(0)~701(P))，且通道 71(N)可用以存取晶片致能區域 CE(M)(及平面 702(0)~702(P))等，依此類推，且 N 可相同或不同於 M。此外，N、M 及 P 皆為正整數並可根據實務需求調整，本發明不加以限制。

【0049】 在一範例實施例中，記憶體管理電路 51 可建立管理資料。記憶體管理電路 51 可將此管理資料儲存於可複寫式非揮發性記憶體模組 43 中的特定區域(例如系統區)。在一範例實施例中，記憶體管理電路 51 可將此系統區中的實體單元的存取權限設定為使用者及/或主機系統 11 無法存取。藉此，可避免使用者及/或主

機系統 11 意外修改或刪除此系統區中的資料，導致記憶體儲存裝置 10 無法正常運作。在一範例實施例中，此管理資料亦可儲存於可複寫式非揮發性記憶體模組 43 中的任意實體單元及/或其他儲存區域，本發明不加以限制。

【0050】 在一範例實施例中，所述管理資料包括狀態記錄資料。記憶體管理電路 51 可將對應於特定實體單元(亦稱為第一實體單元)的狀態資訊(亦稱為第一狀態資訊)儲存於此狀態記錄資料中。例如，第一實體單元可包括圖 6 中的實體單元 610(0)~610(B)中的任一個實體單元。爾後，記憶體管理電路 51 可根據此狀態記錄資料來獲得與第一實體單元有關的狀態資訊(即第一狀態資訊)。此外，當第一實體單元的使用狀態發生變化時，記憶體管理電路 51 可響應於此變化而更新第一狀態資訊。更新後的第一狀態資訊可被存入此狀態記錄資料中。

【0051】 在一範例實施例中，第一狀態資訊可反映第一實體單元的操作模式(亦稱為第一操作模式)。例如，第一操作模式可以是指第一實體單元的當前操作模式或第一實體單元的預設操作模式。例如，第一操作模式可包括 SLC 模式、MLC 模式、TLC 模式或 QLC 模式等，且第一操作模式的類型不限於此。藉此，記憶體管理電路 51 可根據第一狀態資訊來獲得第一實體單元的操作模式。

【0052】 在一範例實施例中，第一狀態資訊可包括識別資訊(亦稱為第一識別資訊)。第一識別資訊可用以識別第一實體單元的操作模式(即第一操作模式)。例如，若第一識別資訊中的特定位元(亦

稱為第一識別位元)的位元值為“0”，表示第一操作模式為某一種操作模式(例如 SLC 模式)。若第一識別資訊中的第一識別位元的位元值為“1”，則表示第一操作模式為另一種操作模式(例如 MLC 模式、TLC 模式或 QLC 模式)。此外，第一識別資訊還可透過其他方式來表示第一操作模式的類型，本發明不加以限制。

【0053】 在一範例實施例中，第一狀態資訊還可反映第一實體單元的資料儲存狀態。例如，第一狀態資訊可反映第一實體單元是否已被寫滿(即第一實體單元中的所有實體程式化單元是否皆已被寫入資料)。在一範例實施例中，已被寫滿的實體單元可視為處於穩定狀態的實體單元，及/或未被寫滿的實體單元可視為處於不穩定狀態的實體單元。藉此，記憶體管理電路 51 可根據第一狀態資訊來獲得第一實體單元的資料儲存狀態。

【0054】 在一範例實施例中，第一狀態資訊可包括另一識別資訊(亦稱為第二識別資訊)。第二識別資訊可用以識別第一實體單元的資料儲存狀態。例如，若第二識別資訊中的特定位元(亦稱為第二識別位元)的位元值為“1”，表示第一實體單元已被寫滿。若第二識別位元的位元值為“0”，則表示第一實體單元是空的(即尚未被寫入任何資料)或第一實體單元有儲存資料但尚未被寫滿。此外，第二識別資訊還可透過其他方式來表示第一實體單元的資料儲存狀態，本發明不加以限制。

【0055】 在一範例實施例中，第一狀態資訊還可包括第一實體單元中最後被程式化的實體程式化單元(亦稱為第一實體程式化單

元)的位址資訊。例如，假設第一實體單元中已經有多個實體程式化單元被程式化以儲存資料，則第一實體程式化單元是指這些已經被程式化的實體程式化單中最後一個被程式化的實體程式化單元。藉此，記憶體管理電路 51 可根據第一狀態資訊來獲得第一實體單元中最後被程式化的實體程式化單元(即第一實體程式化單元)的位址資訊。

【0056】 在一範例實施例中，記憶體管理電路 51 可接收來自主機系統的至少一操作指令。例如，所述操作指令可包括寫入指令、讀取指令及抹除指令。寫入指令指示儲存資料。讀取指令指示讀取資料。抹除指令指示抹除資料。此外，所述操作指令還可包括其他類型的操作指令，本發明不加以限制。

【0057】 在一範例實施例中，記憶體管理電路 51 可根據所述操作指令查詢所述管理資料。然後，記憶體管理電路 51 可根據查詢結果決定是否允許對第一實體單元執行所述操作指令。例如，所述查詢結果可包括對第一狀態資訊的查詢結果。例如，根據所述查詢結果，記憶體管理電路 51 可獲得第一狀態資訊。然後，記憶體管理電路 51 可根據第一狀態資訊，來決定是否允許對第一實體單元執行所述操作指令。

【0058】 在一範例實施例中，在下達操作指令序列以指示可複寫式非揮發性記憶體模組 43 執行對應於所述操作指令的操作行為之前，記憶體管理電路 51 可獲得所述操作行為的特性資訊。記憶體管理電路 51 可將所述特性資訊與所述查詢結果(或第一狀態資訊)

進行比對。若(或響應於)比對結果反映所述特性資訊與所述查詢結果(或第一狀態資訊)相互吻合，則記憶體管理電路 51 可允許對第一實體單元執行所述操作指令。此外，若(或響應於)比對結果反映所述特性資訊與所述查詢結果(或第一狀態資訊)不相互吻合，則記憶體管理電路 51 可禁止對第一實體單元執行所述操作指令。

【0059】 在一範例實施例中，若記憶體管理電路 51 允許對第一實體單元執行所述操作指令，則記憶體管理電路 51 可發送操作指令序列以指示可複寫式非揮發性記憶體模組 43 執行所述操作指令所對應的操作行為，例如將資料儲存至第一實體單元或從第一實體單元讀取資料等。然而，若記憶體管理電路 51 不允許(即禁止)對第一實體單元執行所述操作指令，則記憶體管理電路 51 可不發送所述操作指令序列。

【0060】 在一範例實施例中，透過事先禁止或阻止對第一實體單元執行所述操作指令，可有效減少可複寫式非揮發性記憶體模組的執行失敗事件。或者，從另一角度而言，透過事先禁止或阻止對第一實體單元執行所述操作指令，亦可有效減少花費系統資源在可預期會失敗的操作事件上。

【0061】 在一範例實施例中，假設所述操作指令為寫入指令。在指示可複寫式非揮發性記憶體模組 43 執行對應於此寫入指令的資料寫入操作之前，記憶體管理電路 51 可獲得對應於此資料寫入操作的特性資訊。例如，此特性資訊可反映此資料寫入操作是採用特定的操作模式(亦稱為第二操作模式)從第一實體單元中的特定

實體程式化單元(亦稱為第二實體程式化單元)開始進行程式化。

【0062】 在查詢所述管理資料後，記憶體管理電路 51 可將此特性資訊與所述查詢結果(或第一狀態資訊)進行比對。若比對結果反映出第二操作模式相同於第一操作模式且第二實體程式化單元為第一實體程式化單元的下一個實體程式化單元，記憶體管理電路 51 可判定此資料寫入操作符合預設的操作規範。響應於此資料寫入操作符合預設的操作規範，記憶體管理電路 51 可允許對第一實體單元執行此寫入指令。例如，在允許對第一實體單元執行此寫入指令的情況下，記憶體管理電路 51 可指示可複寫式非揮發性記憶體模組 43 執行對應於此寫入指令的資料寫入操作。

【0063】 然而，若比對結果反映出第二操作模式不同於第一操作模式及/或第二實體程式化單元非為第一實體程式化單元的下一個實體程式化單元，則記憶體管理電路 51 可判定此資料寫入操作不符合預設的操作規範。響應於此資料寫入操作不符合預設的操作規範，記憶體管理電路 51 可不允許(即禁止)對第一實體單元執行此寫入指令。例如，在不允許對第一實體單元執行此寫入指令的情況下，記憶體管理電路 51 可不指示可複寫式非揮發性記憶體模組 43 執行對應於此寫入指令的資料寫入操作。藉此，可減少花費系統資源在可預期會失敗的操作事件上。

【0064】 在一範例實施例中，假設所述操作指令為讀取指令。在指示可複寫式非揮發性記憶體模組 43 執行對應於此讀取指令的資料讀取操作之前，記憶體管理電路 51 可獲得對應於此資料讀取操

作的特性資訊。例如，此特性資訊可反映此資料讀取操作是採用特定的操作模式(即第二操作模式)從第一實體單元中的特定實體程式化單元(亦稱為第三實體程式化單元)讀取資料。

【0065】 在查詢所述管理資料後，記憶體管理電路 51 可將此特性資訊與所述查詢結果(或第一狀態資訊)進行比對。若比對結果反映出第二操作模式相同於第一操作模式且第三實體程式化單元已被程式化，記憶體管理電路 51 可判定此資料讀取操作符合預設的操作規範。響應於此資料讀取操作符合預設的操作規範，記憶體管理電路 51 可允許對第一實體單元執行此讀取指令。例如，在允許對第一實體單元執行此讀取指令的情況下，記憶體管理電路 51 可指示可複寫式非揮發性記憶體模組 43 執行對應於此讀取指令的資料讀取操作。

【0066】 然而，若比對結果反映出第二操作模式不同於第一操作模式及/或第三實體程式化單元尚未被程式化，則記憶體管理電路 51 可判定此資料讀取操作不符合預設的操作規範。響應於此資料讀取操作不符合預設的操作規範，記憶體管理電路 51 可不允許(即禁止)對第一實體單元執行此讀取指令。例如，在不允許對第一實體單元執行此讀取指令的情況下，記憶體管理電路 51 可不指示可複寫式非揮發性記憶體模組 43 執行對應於此讀取指令的資料讀取操作。藉此，同樣可減少花費系統資源在可預期會失敗或者無效(例如讀取尚未被程式化的實體程式化單元)的操作事件上。

【0067】 在一範例實施例中，假設所述操作指令為抹除指令。在

指示可複寫式非揮發性記憶體模組 43 執行對應於此抹除指令的資料抹除操作之前，記憶體管理電路 51 可獲得對應於此資料抹除操作的特性資訊。例如，此特性資訊可反映此資料抹除操作是基於特定的操作模式(即第二操作模式)對第一實體單元抹除。

【0068】 在查詢所述管理資料後，記憶體管理電路 51 可將此特性資訊與所述查詢結果(或第一狀態資訊)進行比對。若比對結果反映出第二操作模式相同於第一操作模式且第一實體單元已被程式化，記憶體管理電路 51 可判定此資料抹除操作符合預設的操作規範。響應於此資料抹除操作符合預設的操作規範，記憶體管理電路 51 可允許對第一實體單元執行此抹除指令。例如，在允許對第一實體單元執行此抹除指令的情況下，記憶體管理電路 51 可指示可複寫式非揮發性記憶體模組 43 執行對應於此抹除指令的抹除操作。

【0069】 然而，若比對結果反映出第二操作模式不同於第一操作模式及/或第一實體單元尚未被程式化，則記憶體管理電路 51 可判定此資料抹除操作不符合預設的操作規範。響應於此資料抹除操作不符合預設的操作規範，記憶體管理電路 51 可不允許(即禁止)對第一實體單元執行此抹除指令。例如，在不允許對第一實體單元執行此抹除指令的情況下，記憶體管理電路 51 可不指示可複寫式非揮發性記憶體模組 43 執行對應於此抹除指令的抹除操作。藉此，同樣可減少花費系統資源在可預期會失敗或者無效(例如抹除尚未被程式化的實體單元)的操作事件上。

【0070】 須注意的是，前述範例實施例所提及的特性資訊及相關的操作規範僅為範例，而非用以限定本發明。在另一範例實施例中，所述特性資訊及相關的操作規範還可根據實務需求進行設定與調整，本發明不加以限制。

【0071】 在一範例實施例中，所述管理資料還包括指令記錄資料。記憶體管理電路 51 可將對應於可複寫式非揮發性記憶體模組 43 中的特定晶片致能區域(亦稱為第一晶片致能區域)的指令資訊儲存於此指令記錄資料中。第一實體單元可包含於第一晶片致能區域中。

【0072】 在一範例實施例中，所述指令資訊與過去下達至第一晶片致能區域的至少一操作指令有關。例如，所述指令資訊可反映最後一個下達至第一晶片致能區域的操作指令的指令內容。例如，所述指令內容可包括操作指令的類型(例如為寫入指令、讀取指令或抹除指令)、此操作指令所攜帶的資料內容及/或此操作指令所針對的實體單元或實體程式化單元等。

【0073】 在一範例實施例中，所述查詢結果還可包括對所述指令資訊的查詢結果。例如，根據所述查詢結果，記憶體管理電路 51 可獲得第一狀態資訊與所述指令資訊。然後，記憶體管理電路 51 可根據第一狀態資訊與所述指令資訊，來決定是否允許對第一實體單元執行特定的操作指令。

【0074】 在一範例實施例中，針對同一個晶片致能區域下達的前後兩個操作指令必須要符合特定的操作規範，例如要等到前一個

操作指令執行完畢才能執行下一個操作指令，包含要等到前一個讀取或寫入指令的緩存資料搬移完畢才能執行下一個操作指令，及/或要等到前一個操作指令執行完畢才能執行重置(reset)等。此外，不同類型的記憶體儲存裝置也可能會針對同一個晶片致能區域下達的前後兩個操作指令設定不同的操作規範，本發明不加以限制。

【0075】 在一範例實施例中，上述將操作指令所對應的操作行為的特性資訊與查詢結果進行比對並根據比對結果來決定是否允許對第一實體單元執行所述操作指令之操作，還包括參考對所述指令資訊的查詢結果。只有在滿足相關操作規範的前提下，才允許針對第一晶片致能區域執行下一個操作指令。藉此，同樣減少花費系統資源在可預期會失敗或者無效的操作事件上。

【0076】 須注意的是，前述範例實施例所提及的各種操作規範僅為範例，而非用以限制本發明。在其他範例實施例中，記憶體管理電路 51 可根據對所述管理資料的查詢結果搭配其他的操作規範或操作策略來判斷是否允許對第一實體單元執行特定的操作指令，在此不逐一說明。

【0077】 在一範例實施例中，在判定不允許對第一實體單元執行特定操作指令後，記憶體管理電路 51 可在未執行此操作指令的情況下，發送對應於此操作指令的替代回應訊息至主機系統 11。例如，針對不允許執行的讀取指令、寫入指令或抹除指令，記憶體管理電路 51 可直接發送讀取失敗(或成功)訊息、寫入失敗(或成功)

訊息或抹除失敗(或成功)訊息至主機系統 11，視實務需求而定。藉此，可透過減少執行無意義或預期會失敗的操作指令，來提高可複寫式非揮發性記憶體模組的工作效率。

【0078】 圖 8 是根據本發明的範例實施例所繪示的記憶體操作管控方法的流程圖。請參照圖 8，在步驟 S801 中，建立管理資料，其中所述管理資料包括狀態記錄資料。在步驟 S802 中，將對應於第一實體單元的第一狀態資訊儲存於所述狀態記錄資料中。在步驟 S803 中，接收來自主機系統的操作指令。在步驟 S804 中，根據所述操作指令查詢所述管理資料。在步驟 S805 中，根據查詢結果決定是否允許對第一實體單元執行所述操作指令。

【0079】 然而，圖 8 中各步驟已詳細說明如上，在此便不再贅述。值得注意的是，圖 8 中各步驟可以實作為多個程式碼或是電路，本案不加以限制。此外，圖 8 的方法可以搭配以上範例實施例使用，也可以單獨使用，本案不加以限制。

【0080】 綜上所述，本發明的範例實施例所提供的記憶體操作管控方法、記憶體儲存裝置及記憶體控制電路單元，可透過減少或禁止執行無意義或預期會失敗的操作指令，來提高可複寫式非揮發性記憶體模組的工作效率。

【0081】 雖然本案已以實施例揭露如上，然其並非用以限定本案，任何所屬技術領域中具有通常知識者，在不脫離本案的精神和範圍內，當可作些許的更動與潤飾，故本案的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0082】

10, 30: 記憶體儲存裝置

11, 31: 主機系統

110: 系統匯流排

111: 處理器

112: 隨機存取記憶體

113: 唯讀記憶體

114: 資料傳輸介面

12: 輸入/輸出(I/O)裝置

20: 主機板

201: 隨身碟

202: 記憶卡

203: 固態硬碟

204: 無線記憶體儲存裝置

205: 全球定位系統模組

206: 網路介面卡

207: 無線傳輸裝置

208: 鍵盤

209: 螢幕

210: 喇叭

32: SD 卡

33: CF 卡

34: 嵌入式儲存裝置

341: 嵌入式多媒體卡

342: 嵌入式多晶片封裝儲存裝置

41: 連接介面單元

42: 記憶體控制電路單元

43: 可複寫式非揮發性記憶體模組

51: 記憶體管理電路

52: 主機介面

53: 記憶體介面

54: 錯誤檢查與校正電路

55: 緩衝記憶體

56: 電源管理電路

601: 儲存區

602: 閒置區

610(0)~610(B: 實體單元

612(0)~612(C): 邏輯單元

71(0)~71(N): 通道

701(0)~701(P), 702(0)~702(P): 平面

CE(0)~CE(M): 晶片致能區域

S801: 步驟(建立管理資料，其中所述管理資料包括狀態記錄

資料)

S802: 步驟(將對應於第一實體單元的第一狀態資訊儲存於所述狀態記錄資料中)

S803: 步驟(接收來自主機系統的操作指令)

S804: 步驟(根據所述操作指令查詢所述管理資料)

S805: 步驟(根據查詢結果決定是否允許對第一實體單元執行所述操作指令)

【發明申請專利範圍】

【請求項1】 一種記憶體操作管控方法，用於可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組包括多個實體單元，且該記憶體操作管控方法包括：

建立管理資料，其中該管理資料包括狀態記錄資料；

將對應於該多個實體單元中的第一實體單元的第一狀態資訊儲存於該狀態記錄資料中；

接收來自主機系統的操作指令；

根據該操作指令查詢該管理資料；

根據查詢結果決定是否允許對該第一實體單元執行該操作指令；以及

在判定不允許對該第一實體單元執行該操作指令後，在未執行該操作指令的情況下，發送對應於該操作指令的替代回應訊息至該主機系統。

【請求項2】 如請求項1所述的記憶體操作管控方法，其中該第一狀態資訊反映該第一實體單元的操作模式。

【請求項3】 如請求項1所述的記憶體操作管控方法，其中該第一狀態資訊反映該第一實體單元的資料儲存狀態。

【請求項4】 如請求項3所述的記憶體操作管控方法，其中該第一狀態資訊包括該第一實體單元中最後被程式化的實體程式化單元的位址資訊。

【請求項5】 如請求項1所述的記憶體操作管控方法，其中該可複寫式非揮發性記憶體模組更包括多個晶片致能區域，該第一實體單元位於該多個晶片致能區域中的第一晶片致能區域中，該管理資料更包括指令記錄資料，且該記憶體操作管控方法更包括：

將對應於該第一晶片致能區域的指令資訊儲存於該指令記錄資料中，其中該指令資訊與過去下達至該第一晶片致能區域的至少一操作指令有關。

【請求項6】 如請求項5所述的記憶體操作管控方法，其中該指令資訊反映最後一個下達至該第一晶片致能區域的操作指令的指令內容。

【請求項7】 如請求項1所述的記憶體操作管控方法，其中根據該查詢結果決定是否允許對該第一實體單元執行該操作指令的步驟包括：

在指示該可複寫式非揮發性記憶體模組執行對應於該操作指令的操作行為之前，將該操作行為的特性資訊與該查詢結果進行比對；

響應於該比對結果反映該特性資訊與該查詢結果相互吻合，指示該可複寫式非揮發性記憶體模組執行該操作行為；以及

響應於該比對結果反映該特性資訊與該查詢結果不相互吻合，不指示該可複寫式非揮發性記憶體模組執行該操作行為。

【請求項8】 一種記憶體儲存裝置，包括：

連接介面單元，用以耦接至主機系統；

可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組包括多個實體單元；以及

記憶體控制電路單元，耦接至該連接介面單元與該可複寫式非揮發性記憶體模組，

其中該記憶體控制電路單元用以：

建立管理資料，其中該管理資料包括狀態記錄資料；

將對應於該多個實體單元中的第一實體單元的第一狀態資訊儲存於該狀態記錄資料中；

接收來自該主機系統的操作指令；

根據該操作指令查詢該管理資料；

根據查詢結果決定是否允許對該第一實體單元執行該操作指令；以及

在判定不允許對該第一實體單元執行該操作指令後，在未執行該操作指令的情況下，發送對應於該操作指令的替代回應訊息至該主機系統。

【請求項9】 如請求項8所述的記憶體儲存裝置，其中該第一狀態資訊反映該第一實體單元的操作模式。

【請求項10】 如請求項8所述的記憶體儲存裝置，其中該第一狀態資訊反映該第一實體單元的資料儲存狀態。

【請求項11】 如請求項10所述的記憶體儲存裝置，其中該第一狀態資訊包括該第一實體單元中最後被程式化的實體程式化單元的位址資訊。

【請求項12】　如請求項8所述的記憶體儲存裝置，其中該可複寫式非揮發性記憶體模組更包括多個晶片致能區域，該第一實體單元位於該多個晶片致能區域中的第一晶片致能區域中，該管理資料更包括指令記錄資料，且該記憶體控制電路單元更用以：

將對應於該第一晶片致能區域的指令資訊儲存於該指令記錄資料中，其中該指令資訊與過去下達至該第一晶片致能區域的至少一操作指令有關。

【請求項13】　如請求項12所述的記憶體儲存裝置，其中該指令資訊反映最後一個下達至該第一晶片致能區域的操作指令的指令內容。

【請求項14】　如請求項8所述的記憶體儲存裝置，其中該記憶體控制電路單元根據該查詢結果決定是否允許對該第一實體單元執行該操作指令的操作包括：

在指示該可複寫式非揮發性記憶體模組執行對應於該操作指令的操作行為之前，將該操作行為的特性資訊與該查詢結果進行比對；

響應於該比對結果反映該特性資訊與該查詢結果相互吻合，指示該可複寫式非揮發性記憶體模組執行該操作行為；以及

響應於該比對結果反映該特性資訊與該查詢結果不相互吻合，不指示該可複寫式非揮發性記憶體模組執行該操作行為。

【請求項15】　一種記憶體控制電路單元，用於控制可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組包括多個實體單元，且該記憶體控制電路單元包括：

主機介面，用以耦接至主機系統；

記憶體介面，用以耦接至所述可複寫式非揮發性記憶體模組；以及

記憶體管理電路，耦接至該主機介面與該記憶體介面，

其中該記憶體管理電路用以：

建立管理資料，其中該管理資料包括狀態記錄資料；

將對應於該多個實體單元中的第一實體單元的第一狀態資訊儲存於該狀態記錄資料中；

接收來自該主機系統的操作指令；

根據該操作指令查詢該管理資料；以及

根據查詢結果決定是否允許對該第一實體單元執行該操作指令；以及

在判定不允許對該第一實體單元執行該操作指令後，在未執行該操作指令的情況下，發送對應於該操作指令的替代回應訊息至該主機系統。

【請求項16】　如請求項15所述的記憶體控制電路單元，其中該第一狀態資訊反映該第一實體單元的操作模式。

【請求項17】　如請求項15所述的記憶體控制電路單元，其中該第一狀態資訊反映該第一實體單元的資料儲存狀態。

【請求項18】　如請求項17所述的記憶體控制電路單元，其中該第一狀態資訊包括該第一實體單元中最後被程式化的實體程式化單元的位址資訊。

【請求項19】　如請求項15所述的記憶體控制電路單元，其中該可複寫式非揮發性記憶體模組更包括多個晶片致能區域，該第一實體單元位於該多個晶片致能區域中的第一晶片致能區域中，該管理資料更包括指令記錄資料，且該記憶體管理電路更用以：

將對應於該第一晶片致能區域的指令資訊儲存於該指令記錄資料中，其中該指令資訊與過去下達至該第一晶片致能區域的至少一操作指令有關。

【請求項20】　如請求項19所述的記憶體控制電路單元，其中該指令資訊反映最後一個下達至該第一晶片致能區域的操作指令的指令內容。

【請求項21】　如請求項15所述的記憶體控制電路單元，其中該記憶體管理電路根據該查詢結果決定是否允許對該第一實體單元執行該操作指令的操作包括：

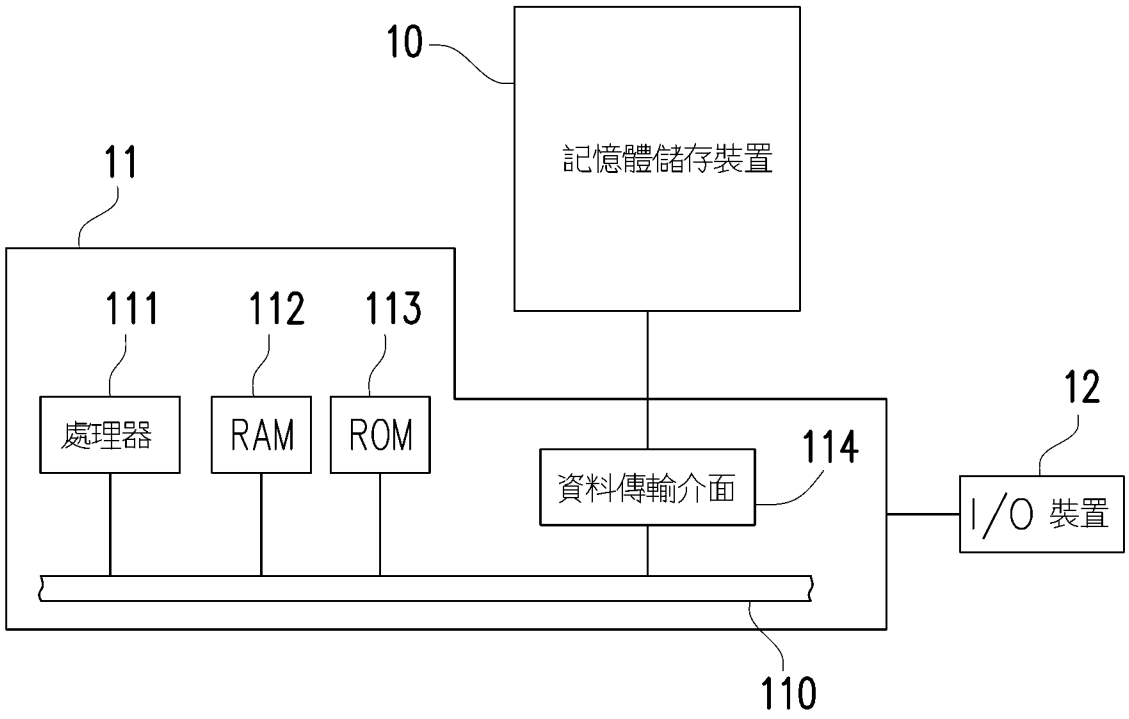
在指示該可複寫式非揮發性記憶體模組執行對應於該操作指令的操作行為之前，將該操作行為的特性資訊與該查詢結果進行比對；

響應於該比對結果反映該特性資訊與該查詢結果相互吻合，指示該可複寫式非揮發性記憶體模組執行該操作行為；以及

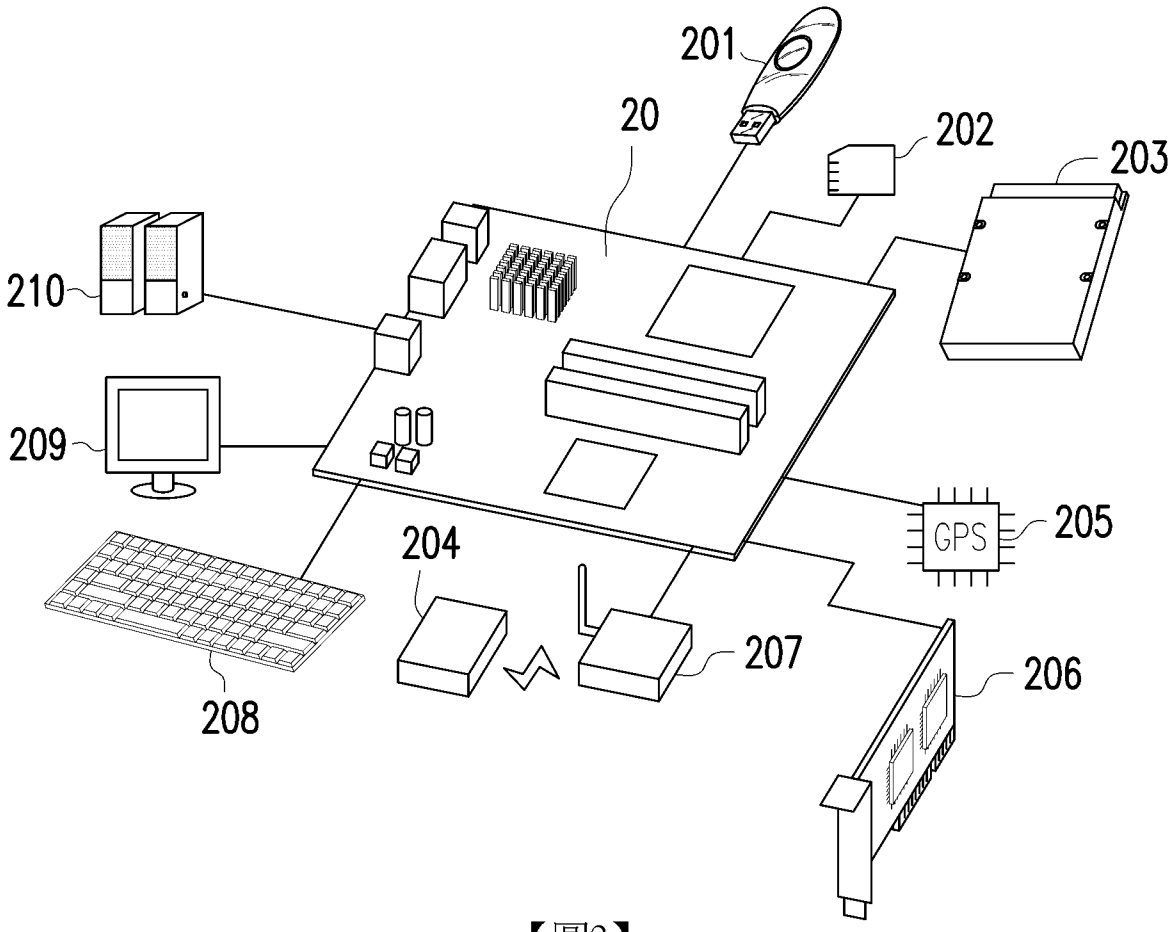
響應於該比對結果反映該特性資訊與該查詢結果不相互吻

合，不指示該可複寫式非揮發性記憶體模組執行該操作行為。

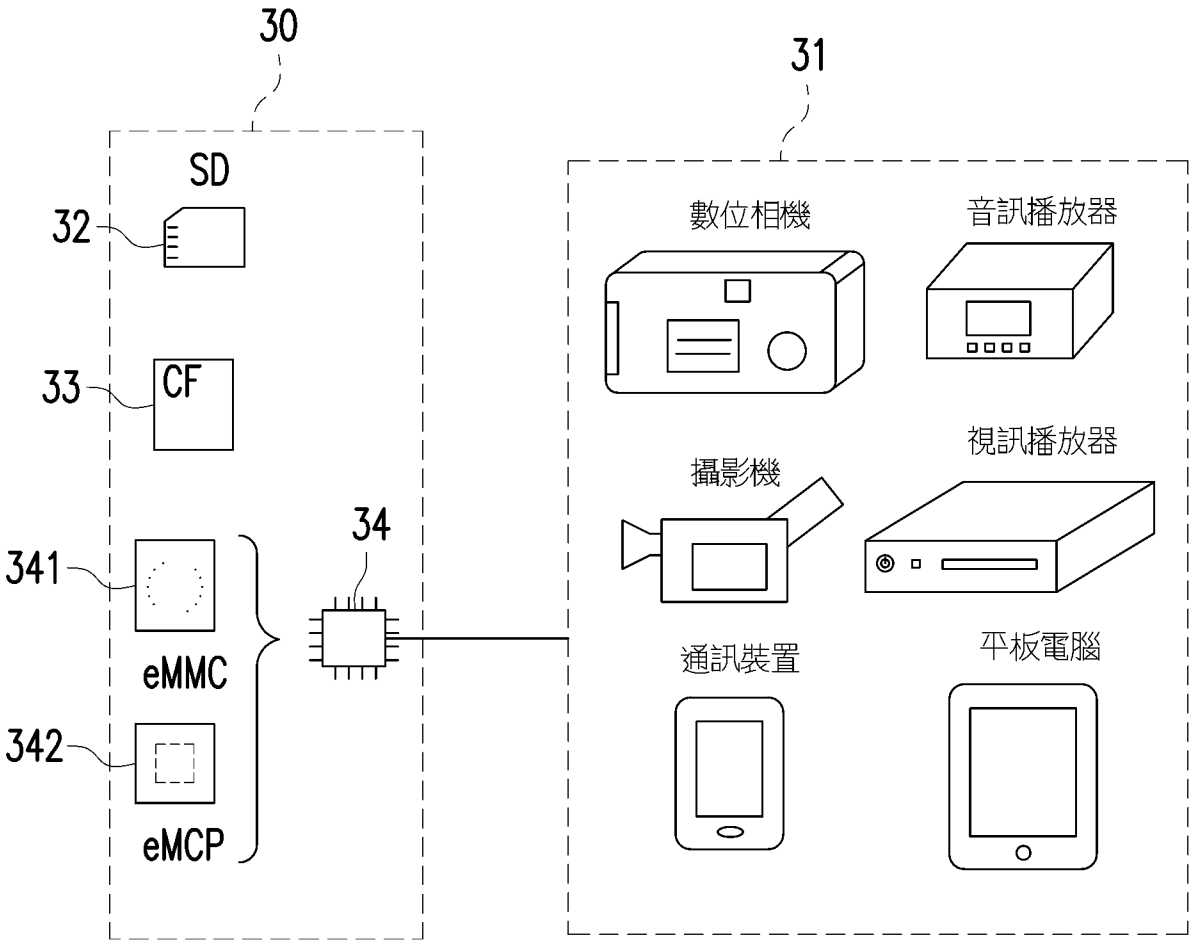
【發明圖式】


10
記憶體儲存裝置
11
111
112
113
處理器
RAM
ROM
12
114
資料傳輸介面
I/O 裝置
110

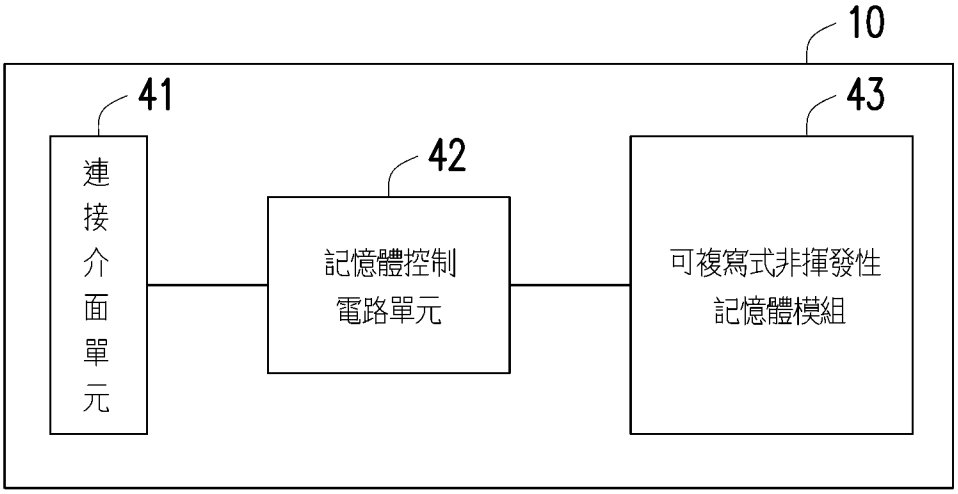
【圖1】


201
20
202
203
210
209
GPS
205
204
207
206
208

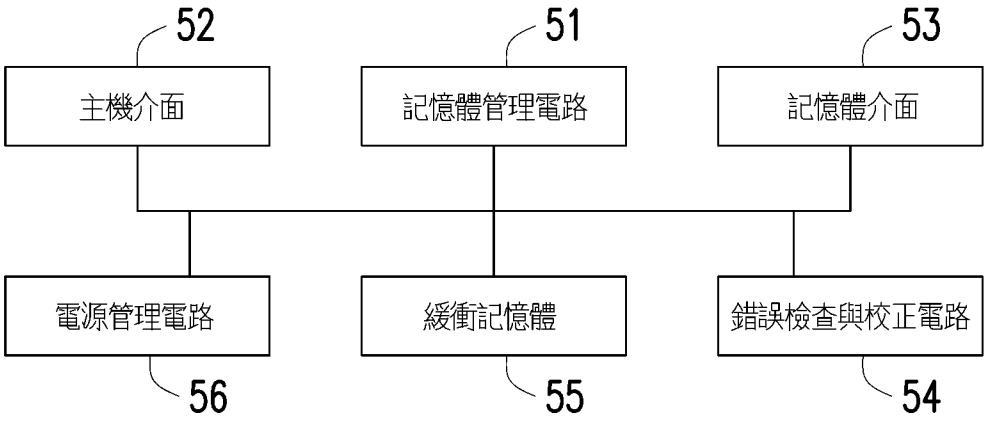
【圖2】


30
31
SD
32
33
CF
341
34
eMMC
342
eMCP
數位相機
音訊播放器
攝影機
視訊播放器
通訊裝置
平板電腦

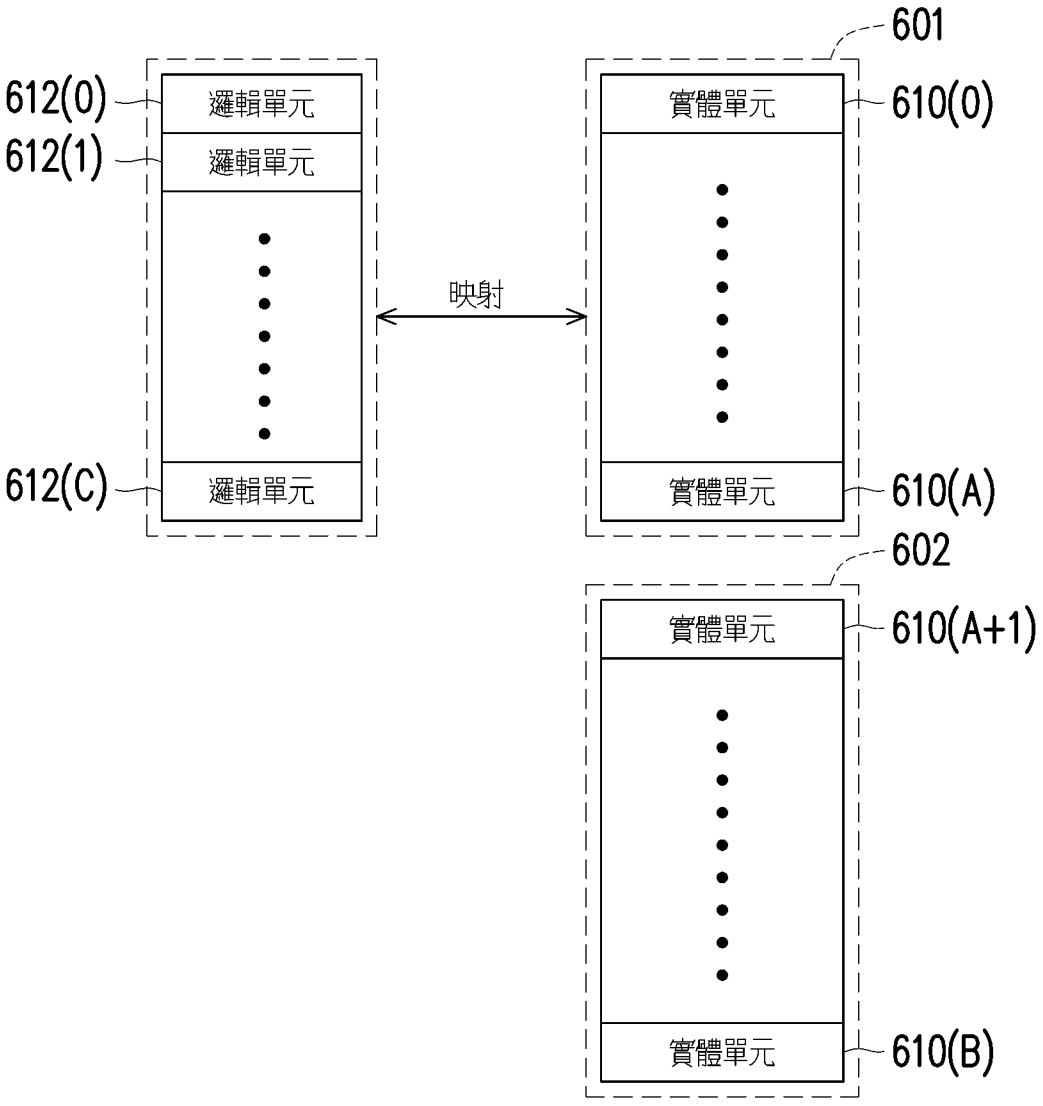
【圖3】


10
41
連接介面單元
42
記憶體控制電路單元
43
可複寫式非揮發性記憶體模組

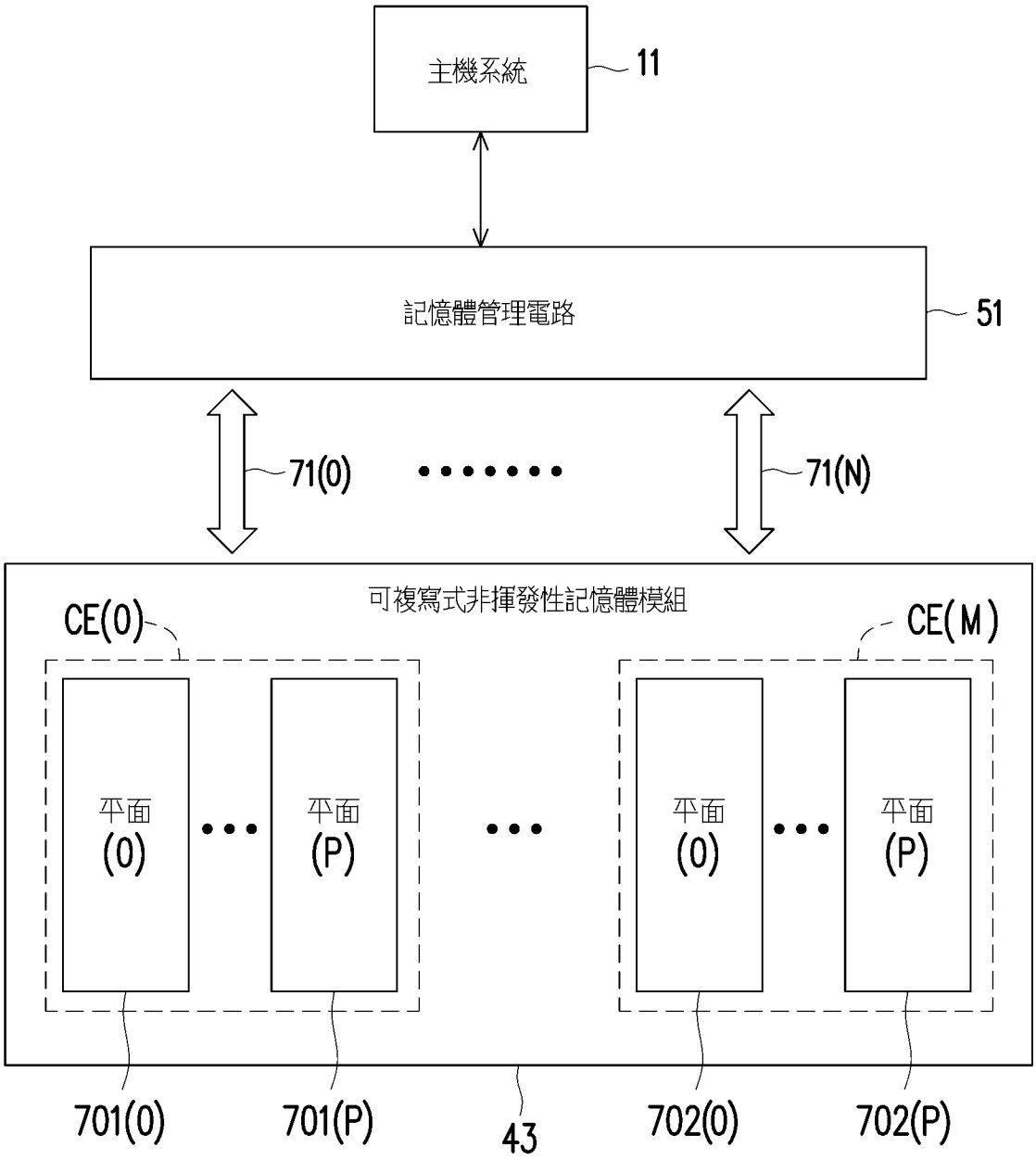
【圖4】


52
51
53
主機介面
記憶體管理電路
記憶體介面
電源管理電路
緩衝記憶體
錯誤檢查與校正電路
56
55
54
42

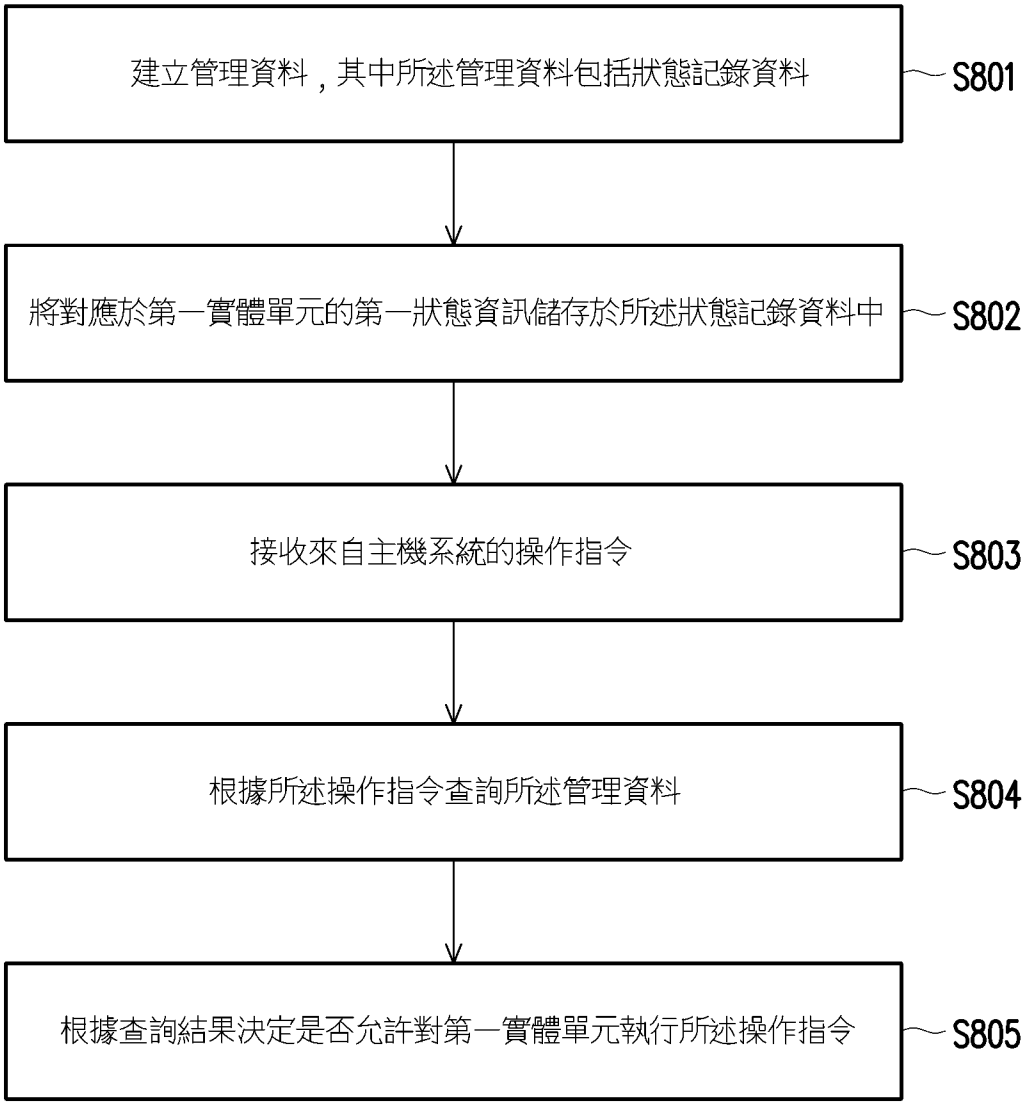
【圖5】


601
612(0)
邏輯單元
612(1)
邏輯單元
映射
實體單元
610(0)
612(C)
邏輯單元
實體單元
610(A)
602
實體單元
610(A+1)
實體單元
610(B)

【圖6】


主機系統
11
記憶體管理電路
51
71(0)
71(N)
可複寫式非揮發性記憶體模組
CE(0)
CE(M)
平面
(0)
平面
(P)
平面
(0)
平面
(P)
701(0)
701(P)
43
702(0)
702(P)

【圖7】


建立管理資料，其中所述管理資料包括狀態記錄資料
S801
將對應於第一實體單元的第一狀態資訊儲存於所述狀態記錄資料中
S802
接收來自主機系統的操作指令
S803
根據所述操作指令查詢所述管理資料
S804
根據查詢結果決定是否允許對第一實體單元執行所述操作指令
S805

【圖8】