

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2007-140488
(P2007-140488A)

(43) 公開日 平成19年6月7日(2007.6.7)

(51) Int. Cl.	F I	テーマコード (参考)
G O 9 G 3/30 (2006.01)	G O 9 G 3/30 J	3 K 1 0 7
G O 9 G 3/20 (2006.01)	G O 9 G 3/20 6 2 4 B	5 C 0 8 0
G O 9 F 9/30 (2006.01)	G O 9 G 3/20 6 1 1 H	5 C 0 9 4
H O 1 L 51/50 (2006.01)	G O 9 G 3/20 6 4 2 A	
	G O 9 G 3/20 6 2 1 F	
審査請求 未請求 請求項の数 24 O L (全 97 頁) 最終頁に続く		

(21) 出願番号	特願2006-279744 (P2006-279744)	(71) 出願人	000153878
(22) 出願日	平成18年10月13日 (2006.10.13)		株式会社半導体エネルギー研究所
(31) 優先権主張番号	特願2005-303656 (P2005-303656)		神奈川県厚木市長谷398番地
(32) 優先日	平成17年10月18日 (2005.10.18)	(72) 発明者	穴戸 英明
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
		F ターム (参考)	3K107 AA01 BB01 BB08 CC33 EE03 HH04 HH05 5C080 AA06 BB05 DD05 DD08 EE29 FF11 HH09 JJ02 JJ03 JJ04 JJ06 KK01 KK07 KK43 KK47 5C094 AA03 AA21 AA53 BA03 BA27 DB04 DB10

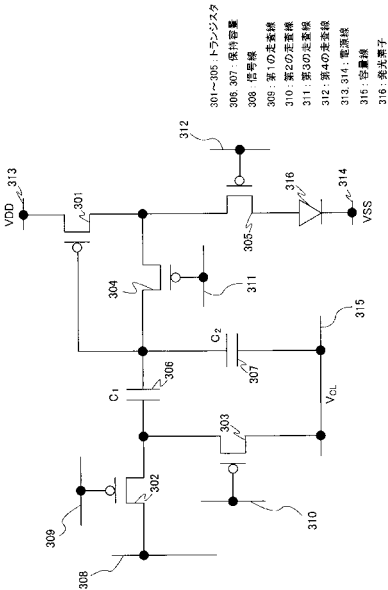
(54) 【発明の名称】 表示装置及び表示装置の駆動方法

(57) 【要約】

【課題】トランジスタの閾値電圧のばらつきを補償することができ、輝度のばらつきを抑えることが可能となる表示装置、及びそれを用いた駆動方法を提供する。

【解決手段】第1の期間で初期化を行い、第2の期間で、第1及び第2の保持容量に第1のトランジスタの閾値電圧に基づいた電圧を保持し、第3の期間で、第1及び第2の保持容量にビデオ信号電圧と第1のトランジスタの閾値電圧とに基づいた電圧を保持し、第4の期間で、第3の期間で第1及び第2の保持容量に保持した電圧を第1のトランジスタのゲート電極に印加することにより、発光素子に電流を供給し、発光素子を発光させる。この動作過程により、発光素子に第1のトランジスタの閾値電圧のばらつきの影響を補償した電流を供給することができ、輝度のばらつきを抑えることができる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

発光素子が備えられた画素と、第 1 のトランジスタと、第 2 のトランジスタと、保持容量と、電源線と、容量線と、を有する表示装置であって、

前記第 1 のトランジスタは、ゲート端子が前記保持容量の第 1 の電極に接続され、第 1 端子が前記第 1 の電源線に接続され、

前記保持容量は、第 2 の電極が前記容量線に接続され、

前記第 1 のトランジスタは、前記発光素子に電流を供給する機能を有し、

前記第 2 のトランジスタは、前記第 1 のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、

前記第 2 のトランジスタを導通状態として前記第 1 のトランジスタをダイオード接続の状態にすることにより、前記保持容量に、前記第 1 のトランジスタの閾値電圧に基づいた電圧が保持されることを特徴とする表示装置。

【請求項 2】

発光素子が備えられた画素と、第 1 のトランジスタと、第 2 のトランジスタと、保持容量と、第 1 の電源線と、第 2 の電源線と、走査線と、容量線と有する表示装置であって、

前記第 1 のトランジスタは、ゲート端子が前記第 2 のトランジスタの第 1 端子及び、前記保持容量の第 1 の電極に接続され、第 1 端子が前記第 1 の電源線に接続され、第 2 端子が前記第 2 のトランジスタの第 2 端子及び、前記発光素子の第 1 の電極に接続され、

前記第 2 のトランジスタは、ゲート端子が前記走査線に接続され、

前記保持容量は、第 2 の電極が前記容量線に接続され、

前記発光素子は、第 2 の電極が前記第 2 の電源線に接続され、

前記第 1 のトランジスタは、前記発光素子に電流を供給する機能を有し、

前記第 2 のトランジスタは、前記第 1 のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、

前記第 2 のトランジスタを導通状態として前記第 1 のトランジスタをダイオード接続の状態にすることにより、前記保持容量に前記第 1 のトランジスタの閾値電圧に基づいた電圧が保持されることを特徴とする表示装置。

【請求項 3】

発光素子が備えられた画素と、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 1 の保持容量と、第 2 の保持容量と、第 1 の電源線と、第 2 の電源線と、信号線と、容量線と、を有する表示装置であって、

前記第 1 のトランジスタは、ゲート端子が前記第 1 の保持容量の第 1 の電極及び、前記第 2 の保持容量の第 2 の電極に接続され、第 1 端子が前記第 1 の電源線に接続され、第 2 端子が前記発光素子の第 1 の電極に接続され、

前記第 2 の保持容量は、第 2 の電極が前記容量線に接続され、

前記発光素子は、第 2 の電極が前記第 2 の電源線に接続され、

前記第 1 のトランジスタは、前記発光素子に電流を供給する機能を有し、

前記第 2 のトランジスタは、前記第 1 の保持容量の第 2 の電極と前記信号線とを接続するスイッチとしての機能を有し、

前記第 3 のトランジスタは、前記第 1 の保持容量の第 2 の電極と前記容量線とを接続するスイッチとしての機能を有し、

前記第 4 のトランジスタは、前記第 1 のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、

前記第 4 のトランジスタを導通状態として、前記第 1 のトランジスタをダイオード接続の状態にすることにより、前記第 1 及び第 2 の保持容量に、前記第 1 のトランジスタの閾値電圧に基づいた電圧が保持されることを特徴とする表示装置。

【請求項 4】

発光素子が備えられた画素と、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 1 の保持容量と、第 2 の保持容量と、第 1 の

10

20

30

40

50

電源線と、第 2 の電源線と、第 1 の走査線と、第 2 の走査線と、信号線と、容量線と、を有する表示装置であって、

前記第 1 のトランジスタは、ゲート端子が前記第 4 のトランジスタの第 2 端子と、前記第 1 の保持容量の第 1 の電極及び、前記第 2 の保持容量の第 1 の電極に接続され、第 1 端子が前記第 1 の電源線に接続され、第 2 端子が前記第 4 のトランジスタの第 1 端子及び、前記発光素子の第 1 の電極に接続され、

前記第 2 のトランジスタは、ゲート端子が前記第 1 の走査線に接続され、第 1 端子が前記第 1 の保持容量の第 2 の電極及び、前記第 3 のトランジスタの第 1 端子に接続され、第 2 端子が前記信号線に接続され、

前記第 3 のトランジスタは、ゲート端子が前記第 2 の走査線に接続され、第 2 端子が前記容量線に接続され、

前記第 4 のトランジスタは、ゲート端子が前記第 3 の走査線に接続され、

前記第 2 の保持容量は、第 2 の電極が前記容量線に接続され、

前記発光素子は、第 2 の電極が前記第 2 の電源線に接続され、

前記第 1 のトランジスタは、前記発光素子に電流を供給する機能を有し、

前記第 2 のトランジスタは、前記第 1 の保持容量の第 2 の電極と前記信号線とを接続するスイッチとしての機能を有し、

前記第 3 のトランジスタは、前記第 1 の保持容量の第 2 の電極と前記容量線とを接続するスイッチとしての機能を有し、

前記第 4 のトランジスタは、前記第 1 のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、

前記第 4 のトランジスタを導通状態として、前記第 1 のトランジスタをダイオード接続の状態にすることにより、前記第 1 及び第 2 の保持容量に、前記第 1 のトランジスタの閾値電圧に基づいた電圧が保持されることを特徴とする表示装置。

【請求項 5】

発光素子が備えられた画素と、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、第 1 の保持容量と、第 2 の保持容量と、第 1 の電源線と、第 2 の電源線と、信号線と、容量線と、を有する表示装置であって、

前記第 1 のトランジスタは、ゲート端子が前記第 1 の保持容量の第 1 の電極及び、前記第 2 の保持容量の第 1 の電極に接続され、第 1 端子が前記第 1 の電源線に接続され、

前記第 2 の保持容量は、第 2 の電極が前記容量線に接続され、

前記発光素子は、第 2 の電極が前記第 2 の電源線に接続され、

前記第 1 のトランジスタは、前記発光素子に電流を供給する機能を有し、

前記第 2 のトランジスタは、前記第 1 の保持容量の第 2 の電極と信号線とを接続するスイッチとしての機能を有し、

前記第 3 のトランジスタは、前記第 1 の保持容量の第 2 の電極と前記容量線とを接続するスイッチとしての機能を有し、

前記第 4 のトランジスタは、前記第 1 のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、

前記第 5 のトランジスタは、前記発光素子への電流の供給を制御するスイッチとしての機能を有し、

前記第 4 のトランジスタを導通状態として、前記第 1 のトランジスタをダイオード接続の状態にすることにより、前記第 1 及び第 2 の保持容量に、前記第 1 のトランジスタの閾値電圧に基づいた電圧が保持されることを特徴とする表示装置。

【請求項 6】

発光素子が備えられた画素と、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、第 1 の保持容量と、第 2 の保持容量と、第 1 の電源線と、第 2 の電源線と、第 1 の走査線と、第 2 の走査線と、第 3 の走査線と、第 4 の走査線と、信号線と、容量線とを有する表示装置であって、

10

20

30

40

50

前記第 1 のトランジスタは、ゲート端子が前記第 4 のトランジスタの第 2 端子と、前記第 1 の保持容量の第 1 の電極及び、前記第 2 の保持容量の第 1 の電極に接続され、第 1 端子が前記第 1 の電源線に接続され、第 2 端子が前記第 4 のトランジスタの第 1 端子及び、前記第 5 のトランジスタの第 1 端子に接続され、

前記第 2 のトランジスタは、ゲート端子が前記第 1 の走査線に接続され、第 1 端子が前記第 1 の保持容量の第 2 の電極及び、前記第 3 のトランジスタの第 1 端子に接続され、第 2 端子が前記信号線に接続され、

前記第 3 のトランジスタは、ゲート端子が前記第 2 の走査線に接続され、第 2 端子が前記容量線に接続され、

前記第 4 のトランジスタは、ゲート端子が前記第 3 の走査線に接続され、

10

前記第 5 のトランジスタは、ゲート端子が前記第 4 の走査線に接続され、第 2 端子が前記発光素子の第 1 の電極に接続され、

前記第 2 の保持容量は、第 2 の電極が前記容量線に接続され、

前記発光素子は、第 2 の電極が前記第 2 の電源線に接続され、

前記第 1 のトランジスタは、前記発光素子に電流を供給する機能を有し、

前記第 2 のトランジスタは、前記第 1 の保持容量の第 2 の電極と前記信号線とを接続するスイッチとしての機能を有し、

前記第 3 のトランジスタは、前記第 1 の保持容量の第 2 の電極と前記容量線とを接続するスイッチとしての機能を有し、

前記第 4 のトランジスタは、前記第 1 のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、

20

前記第 5 のトランジスタは、前記発光素子への電流の供給を制御するスイッチとしての機能を有し、

前記第 4 のトランジスタを導通状態として、前記第 1 のトランジスタをダイオード接続の状態にすることにより、前記第 1 及び第 2 の保持容量に、前記第 1 のトランジスタの閾値電圧に基づいた電圧が保持されることを特徴とする表示装置。

【請求項 7】

請求項 4 または請求項 6 において、

前記走査線のいずれか 1 つを、前記容量線の代わりとして用いることを特徴とする表示装置。

30

【請求項 8】

請求項 4、請求項 6 または請求項 7 のいずれか一項において、

前記トランジスタのうち、少なくとも 2 個のトランジスタのゲート端子が、同一の走査線に接続されることを特徴とする表示装置。

【請求項 9】

請求項 3 乃至請求項 8 のいずれか一項において、

前記第 4 のトランジスタは、N チャネル型であることを特徴とする表示装置。

【請求項 10】

請求項 5 乃至請求項 9 のいずれか一項において、

前記表示装置は、第 6 のトランジスタを有し、

40

前記第 6 のトランジスタは、ゲート端子が第 5 の走査線に接続され、第 1 端子が前記第 1 のトランジスタの第 2 端子と、前記第 4 のトランジスタの第 1 端子及び、前記第 5 のトランジスタの第 1 端子に接続され、第 2 端子が前記第 2 のトランジスタの第 2 端子と、第 3 のトランジスタの第 1 端子及び、前記第 1 の保持容量の第 2 の電極に接続され、

前記第 6 のトランジスタは、前記第 1 のトランジスタの第 2 端子に初期電位を印加するためのスイッチとしての機能を有することを特徴とする表示装置。

【請求項 11】

請求項 10 において、

前記表示装置は、初期化線を有し、

前記初期化線は、前記第 6 のトランジスタの第 2 端子に接続されることを特徴とする表

50

示装置。

【請求項 1 2】

請求項 3 乃至請求項 1 1 のいずれか一項において、
前記表示装置は、リファレンス線を有し、
前記容量線は、前記第 2 の保持容量の第 2 の電極に接続され、
前記リファレンス線は、前記第 3 のトランジスタの第 2 端子に接続されることを特徴とする表示装置。

【請求項 1 3】

請求項 1 乃至請求項 1 2 のいずれか一項において、
それぞれのトランジスタが有するチャンネル長 L とチャンネル幅 W の比 W/L の値の中で、
前記第 1 のトランジスタが有する W/L の値が最大となることを特徴とする表示装置。 10

【請求項 1 4】

発光素子が備えられた画素と、第 1 のトランジスタと、第 2 のトランジスタと、保持容量と、電源線と、容量線と、を有し、

前記第 1 のトランジスタは、ゲート端子が前記保持容量の第 1 の電極に接続され、第 1 端子が前記第 1 の電源線に接続され、

前記保持容量は、第 2 の電極が前記容量線に接続され、

前記第 1 のトランジスタは、前記発光素子に電流を供給する機能を有し、

前記第 2 のトランジスタは、前記第 1 のトランジスタをダイオード接続の状態にするスイッチとしての機能を有することを特徴とする表示装置の駆動方法であって、 20

第 1 の期間では、前記発光素子に電流を流すことにより、前記保持容量に初期電圧が保持され、

第 2 の期間では、前記第 2 のトランジスタを導通状態として、前記第 1 のトランジスタをダイオード接続の状態にすることにより、前記保持容量に、前記第 1 のトランジスタの閾値電圧に基づいた電圧が保持され、

第 3 の期間では、信号線にビデオ信号が入力され、前記保持容量に、当該信号線に入力されたビデオ信号と前記第 1 のトランジスタの閾値電圧とに基づいた電圧が保持され、

第 4 の期間では、前記第 3 の期間において、前記保持容量に保持された電圧が、前記第 1 のトランジスタのゲート端子に印加され、前記第 1 のトランジスタを介して前記発光素子に電流を供給し、前記発光素子を発光させることを特徴とする表示装置の駆動方法。 30

【請求項 1 5】

発光素子が備えられた画素と、第 1 のトランジスタと、第 2 のトランジスタと、保持容量と、第 1 の電源線と、第 2 の電源線と、走査線と、容量線と有し、

前記第 1 のトランジスタは、ゲート端子が前記第 2 のトランジスタの第 1 端子及び、前記保持容量の第 1 の電極に接続され、第 1 端子が前記第 1 の電源線に接続され、第 2 端子が前記第 2 のトランジスタの第 2 端子及び、前記発光素子の第 1 の電極に接続され、

前記第 2 のトランジスタは、ゲート端子が前記走査線に接続され、

前記保持容量は、第 2 の電極が前記容量線に接続され、

前記発光素子は、第 2 の電極が前記第 2 の電源線に接続され、

前記第 1 のトランジスタは、前記発光素子に電流を供給する機能を有し、
前記第 2 のトランジスタは、前記第 1 のトランジスタをダイオード接続の状態にするスイッチとしての機能を有することを特徴とする表示装置の駆動方法であって、 40

第 1 の期間では、前記発光素子に電流を流すことにより、前記保持容量に初期電圧が保持され、

第 2 の期間では、前記第 2 のトランジスタを導通状態として、前記第 1 のトランジスタをダイオード接続の状態にすることにより、前記保持容量に前記第 1 のトランジスタの閾値電圧に基づいた電圧が保持され、

第 3 の期間では、信号線にビデオ信号が入力され、前記保持容量に当該信号線に入力されたビデオ信号と前記第 1 のトランジスタの閾値電圧とに基づいた電圧が保持され、

第 4 の期間では、前記第 3 の期間において、前記保持容量に保持された電圧が、前記第 50

1のトランジスタのゲート端子に印加され、前記第1のトランジスタを介して前記発光素子に電流を供給し、前記発光素子を発光させることを特徴とする表示装置の駆動方法。

【請求項16】

発光素子が備えられた画素と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第1の保持容量と、第2の保持容量と、第1の電源線と、第2の電源線と、信号線と、容量線と、を有し、

前記第1のトランジスタは、ゲート端子が前記第1の保持容量の第1の電極及び、前記第2の保持容量の第2の電極に接続され、第1端子が前記第1の電源線に接続され、第2端子が前記発光素子の第1の電極に接続され、

前記第2の保持容量は、第2の電極が前記容量線に接続され、

10

前記発光素子は、第2の電極が前記第2の電源線に接続され、

前記第1のトランジスタは、前記発光素子に電流を供給する機能を有し、

前記第2のトランジスタは、前記第1の保持容量の第2の電極と前記信号線とを接続するスイッチとしての機能を有し、

前記第3のトランジスタは、前記第1の保持容量の第2の電極と前記容量線とを接続するスイッチとしての機能を有し、

前記第4のトランジスタは、前記第1のトランジスタをダイオード接続の状態にするスイッチとしての機能を有することを特徴とする表示装置の駆動方法であって、

第1の期間では、前記発光素子に電流を流すことにより、前記第1の保持容量に初期電圧が保持され、

20

第2の期間では、第4のトランジスタを導通状態として、前記第1のトランジスタをダイオード接続の状態にすることにより、前記第1及び第2の保持容量に前記第1のトランジスタの閾値電圧に基づいた電圧が保持され、

第3の期間では、前記信号線にビデオ信号が入力され、前記第1及び第2の保持容量に当該信号線に入力されたビデオ信号と前記第1のトランジスタの閾値電圧とに基づいた電圧が保持され、

第4の期間では、前記第3の期間において、前記第1及び第2の保持容量に保持された電圧が、前記第1のトランジスタのゲート端子に印加され、前記第1のトランジスタを介して前記発光素子に電流を供給し、前記発光素子を発光させることを特徴とする表示装置の駆動方法。

30

【請求項17】

発光素子が備えられた画素と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第1の保持容量と、第2の保持容量と、第1の電源線と、第2の電源線と、第1の走査線と、第2の走査線と、信号線と、容量線と、を有する表示装置であって、

前記第1のトランジスタは、ゲート端子が前記第4のトランジスタの第2端子と、前記第1の保持容量の第1の電極及び、前記第2の保持容量の第1の電極に接続され、第1端子が前記第1の電源線に接続され、第2端子が前記第4のトランジスタの第1端子及び、前記発光素子の第1の電極に接続され、

前記第2のトランジスタは、ゲート端子が前記第1の走査線に接続され、第1端子が前記第1の保持容量の第2の電極及び、前記第3のトランジスタの第1端子に接続され、第2端子が前記信号線に接続され、

40

前記第3のトランジスタは、ゲート端子が前記第2の走査線に接続され、第2端子が前記容量線に接続され、

前記第4のトランジスタは、ゲート端子が前記第3の走査線に接続され、

前記第2の保持容量は、第2の電極が前記容量線に接続され、

前記発光素子は、第2の電極が前記第2の電源線に接続され、

前記第1のトランジスタは、前記発光素子に電流を供給する機能を有し、

前記第2のトランジスタは、前記第1の保持容量の第2の電極と前記信号線とを接続するスイッチとしての機能を有し、

50

前記第3のトランジスタは、前記第1の保持容量の第2の電極と前記容量線とを接続するスイッチとしての機能を有し、

前記第4のトランジスタは、前記第1のトランジスタをダイオード接続の状態にするスイッチとしての機能を有することを特徴とする表示装置の駆動方法であって、

第1の期間では、前記発光素子に電流を流すことにより、前記第1及び第2の保持容量に初期電圧が保持され、

第2の期間では、前記第4のトランジスタを導通状態として、前記第1のトランジスタをダイオード接続の状態にすることにより、前記第1及び第2の保持容量に前記第1のトランジスタの閾値電圧に基づいた電圧が保持され、

第3の期間では、前記信号線にビデオ信号が入力され、前記第1及び第2の保持容量に当該信号線に入力されたビデオ信号と前記第1のトランジスタの閾値電圧とに基づいた電圧が保持され、

第4の期間では、前記第3の期間において、前記第1及び第2の保持容量に保持された電圧が、前記第1のトランジスタのゲート端子に印加され、前記第1のトランジスタを介して前記発光素子に電流を供給し、前記発光素子を発光させることを特徴とする表示装置の駆動方法。

【請求項18】

請求項16または請求項17において、

前記第1及び第4の期間と、前記第2及び第3の期間とは、前記第2の電源線に印加される電圧が異なることを特徴とする表示装置の駆動方法。

【請求項19】

発光素子が備えられた画素と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第1の保持容量と、第2の保持容量と、第1の電源線と、第2の電源線と、信号線と、容量線とを有し、

前記第1のトランジスタは、ゲート端子が前記第1の保持容量の第1の電極及び、前記第2の保持容量の第1の電極に接続され、第1端子が前記第1の電源線に接続され、

前記第2の保持容量は、第2の電極が前記容量線に接続され、

前記発光素子は、第2の電極が前記第2の電源線に接続され、

前記第1のトランジスタは、前記発光素子に電流を供給する機能を有し、

前記第2のトランジスタは、前記第1の保持容量の第2の電極と信号線とを接続するスイッチとしての機能を有し、

前記第3のトランジスタは、前記第1の保持容量の第2の電極と前記容量線とを接続するスイッチとしての機能を有し、

前記第4のトランジスタは、前記第1のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、

前記第5のトランジスタは、前記発光素子への電流の供給を制御するスイッチとしての機能を有することを特徴とする表示装置の駆動方法であって、

第1の期間では、前記発光素子に電流を流すことにより、前記第1のトランジスタの電極に初期電圧が保持され、

第2の期間では、前記第4のトランジスタを導通状態として、前記第1のトランジスタをダイオード接続の状態にすることにより、前記第1及び第2の保持容量に前記第1のトランジスタの閾値電圧に基づいた電圧が保持され、

第3の期間では、前記信号線にビデオ信号が入力され、前記第1及び第2の保持容量に前記信号線に入力されたビデオ信号と前記第1のトランジスタの閾値電圧に基づいた電圧が保持され、

第4の期間では、前記第3の期間において、前記第1及び第2の保持容量に保持された電圧が、前記第1のトランジスタのゲート端子に印加され、前記第5のトランジスタを導通状態とすることにより、前記第1のトランジスタを介して前記発光素子に電流を供給し、前記発光素子を発光させることを特徴とする表示装置の駆動方法。

【請求項20】

発光素子が備えられた画素と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第1の保持容量と、第2の保持容量と、第1の電源線と、第2の電源線と、第1の走査線と、第2の走査線と、第3の走査線と、第4の走査線と、信号線と、容量線と、を有し、

前記第1のトランジスタは、ゲート端子が前記第4のトランジスタの第2端子と、前記第1の保持容量の第1の電極及び、前記第2の保持容量の第1の電極に接続され、第1端子が前記第1の電源線に接続され、第2端子が前記第4のトランジスタの第1端子及び、前記第5のトランジスタの第1端子に接続され、

前記第2のトランジスタは、ゲート端子が前記第1の走査線に接続され、第1端子が前記第1の保持容量の第2の電極及び、前記第3のトランジスタの第1端子に接続され、第2端子が前記信号線に接続され、 10

前記第3のトランジスタは、ゲート端子が前記第2の走査線に接続され、第2端子が前記容量線に接続され、

前記第4のトランジスタは、ゲート端子が前記第3の走査線に接続され、

前記第5のトランジスタは、ゲート端子が前記第4の走査線に接続され、第2端子が前記発光素子の第1の電極に接続され、

前記第2の保持容量は、第2の電極が前記容量線に接続され、

前記発光素子は、第2の電極が前記第2の電源線に接続され、

前記第1のトランジスタは、前記発光素子に電流を供給する機能を有し、

前記第2のトランジスタは、前記第1の保持容量の第2の電極と前記信号線とを接続するスイッチとしての機能を有し、 20

前記第3のトランジスタは、前記第1の保持容量の第2の電極と前記容量線とを接続するスイッチとしての機能を有し、

前記第4のトランジスタは、前記第1のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、

前記第5のトランジスタは、前記発光素子への電流の供給を制御するスイッチとしての機能を有することを特徴とする表示装置の駆動方法であって、

第1の期間では、前記発光素子に電流を流すことにより、前記第1及び第2の保持容量に初期電圧が保持され、

第2の期間では、第4のトランジスタを導通状態として、前記第1のトランジスタをダイオード接続の状態にすることにより、前記第1の保持容量及び第2の保持容量に前記第1のトランジスタの閾値電圧に基づいた電圧が保持され、 30

第3の期間では、前記信号線にビデオ信号が入力され、前記第1及び第2の保持容量に前記信号線に入力されたビデオ信号と前記第1のトランジスタの閾値電圧に基づいた電圧が保持され、

第4の期間では、前記第3の期間において、前記第1及び第2の保持容量に保持された電圧が、前記第1のトランジスタのゲート端子に印加され、前記第5のトランジスタを導通状態とすることにより、前記第1のトランジスタを介して前記発光素子に電流を供給し、前記発光素子を発光させることを特徴とする表示装置の駆動方法。

【請求項21】

40

請求項19または請求項20において、

前記表示装置は、第6のトランジスタを有し、

前記第6のトランジスタは、ゲート端子が第5の走査線に接続され、第1端子が前記第1のトランジスタの第2端子と、前記第4のトランジスタの第1端子及び、前記第5のトランジスタの第1端子に接続され、第2端子が前記第2のトランジスタの第2端子と、第3のトランジスタの第1端子及び、前記第1の保持容量の第2の電極に接続され、

前記第6のトランジスタは、前記第1のトランジスタに初期電位を印加するためのスイッチとしての機能を有し、

前記第1の期間において、前記第6のトランジスタを導通状態とさせることにより、前記第1のトランジスタの第2端子に、初期電位として前記容量線の電位が印加されること 50

を特徴とする表示装置の駆動方法。

【請求項 2 2】

請求項 2 1 において、

前記表示装置は、初期化線を有し、

前記初期化線は、前記第 6 のトランジスタの第 2 端子に接続され、

前記第 1 の期間において、前記第 6 のトランジスタを導通状態とさせることにより、前記第 1 のトランジスタの第 2 端子に、初期電位として前記初期化線の電位が印加されることを特徴とする表示装置の駆動方法。

【請求項 2 3】

請求項 1 乃至請求項 1 3 のいずれか一項に記載の表示装置を有する電子機器。

10

【請求項 2 4】

請求項 1 4 乃至請求項 2 2 のいずれか一項に記載の駆動方法を用いた表示装置を有する電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、トランジスタを有する表示装置の構成に関する。本発明は特に、ガラス、プラスチック等の絶縁体上に作製される薄膜トランジスタを有するアクティブマトリクス型表示装置の構成に関する。また、このような表示装置を表示部に用いた電子機器に関する。

20

【背景技術】

【0002】

近年、画素を発光ダイオード (LED) などの発光素子で形成した、いわゆる自発光型の表示装置が注目を浴びている。このような自発光型の表示装置に用いられる発光素子としては、有機発光ダイオード (OLED (Organic Light Emitting Diode))、有機 EL 素子、エレクトロルミネッセンス (Electro Luminescence: EL) 素子などとも言う) が注目を集めており、EL ディスプレイなどに用いられるようになってきている。OLED などの発光素子は自発光型であるため、液晶ディスプレイに比べて画素の視認性が高く、バックライトが不要で応答速度が速い等の利点がある。また発光素子の輝度は、そこを流れる電流値によって制御される。

30

【0003】

また、近年、画素ごとに発光素子と、該発光素子の発光を制御するトランジスタが設けられたアクティブマトリクス型表示装置の開発が進められている。アクティブマトリクス型表示装置は、パッシブマトリクス型表示装置では困難な、高精細、大画面の表示も可能であるだけでなく、パッシブマトリクス型表示装置を上回る低消費電力動作を実現し、かつ高信頼性を有し、実用化が求められている。

【0004】

アクティブマトリクス型表示装置における画素の駆動方法としては、画素に入力する信号の種類で分類すると、電圧入力方式と電流入力方式が挙げられる。前者の電圧入力方式は、画素に入力するビデオ信号 (電圧) を駆動用素子のゲート端子に入力して、該駆動用素子を用いて発光素子の輝度を制御する方式である。また後者の電流入力方式では、設定された信号電流を発光素子に流すことにより、該発光素子の輝度を制御する方式である。

40

【0005】

ここで、電圧入力方式を適用した表示装置における画素構成の一例とその駆動方式について、図 6 4 を用いて簡単に説明する。なお、代表的な表示装置として、EL 表示装置を例に挙げて説明する。

【0006】

図 6 4 は、電圧入力方式を適用した表示装置における画素構成の一例を示す図である (特許文献 1 参照)。図 6 4 に示した画素は、駆動用トランジスタ 6 4 0 1、スイッチング用トランジスタ 6 4 0 2、保持容量 6 4 0 3、信号線 6 4 0 4、走査線 6 4 0 5、第 1 の

50

電源線 6 4 0 6 及び第 2 の電源線 6 4 0 7、発光素子 6 4 0 8 を有する。

【0 0 0 7】

なお、本明細書中において、トランジスタがオンしているとは、トランジスタのゲートとソースの間の電圧がその閾値電圧を超え、ソースとドレインの間に電流が流れる状態を指し、トランジスタがオフしているとは、トランジスタのゲートとソースの間の電圧がその閾値電圧以下であり、ソースとドレインの間に電流が流れていない状態を指す。

【0 0 0 8】

走査線 6 4 0 5 の電位が変化してスイッチング用トランジスタ 6 4 0 2 がオンすると、信号線 6 4 0 4 に入力されているビデオ信号は、駆動用トランジスタ 6 4 0 1 のゲートへと入力される。入力されたビデオ信号の電位に従って、駆動用トランジスタ 6 4 0 1 のゲートとソースの間の電圧が決定し、駆動用トランジスタ 6 4 0 1 のソースとドレインの間を流れる電流が決定する。この電流は発光素子 6 4 0 8 に供給され、該発光素子 6 4 0 8 は発光する。

10

【0 0 0 9】

このように、電圧入力方式とは、ビデオ信号の電位により駆動用トランジスタ 6 4 0 1 のゲートとソースの間の電圧及びソースとドレインの間を流れる電流を設定し、この電流に応じた輝度で発光素子 6 4 0 8 を発光させる方式をいう。

【0 0 1 0】

発光素子を駆動する半導体素子としては、ポリシリコン (p-Si) トランジスタが用いられる。しかし、ポリシリコントランジスタは、結晶粒界における欠陥に起因して、閾値電圧やオン電流、移動度等の電気的特性にばらつきが生じやすい。図 6 4 に示した画素において、駆動用トランジスタ 6 4 0 1 の特性が画素ごとにばらつくと、同じビデオ信号を入力した場合にも、それに応じた駆動用トランジスタ 6 4 0 1 のドレイン電流の大きさが異なるため、発光素子 6 4 0 8 の輝度はばらついてしまう。

20

【0 0 1 1】

また、従来の画素回路 (図 6 4) では、保持容量を駆動用トランジスタのゲート・ソース間に接続しているが、この保持容量を MOS トランジスタで形成した場合、該 MOS トランジスタのゲート・ソース間電圧が該 MOS トランジスタの閾値電圧とほぼ等しくなると、該 MOS トランジスタにチャネル領域が誘起されなくなるため、該 MOS トランジスタが保持容量として機能しなくなる。その結果、ビデオ信号を正しく保持できなくなる。

30

【特許文献 1】特開 2 0 0 1 - 1 4 7 6 5 9 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 1 2】

このように、従来の電圧入力方式では、トランジスタの電気的特性のばらつきによって輝度のばらつきが生じてしまう。

【0 0 1 3】

本発明はこのような問題点に鑑み、トランジスタの閾値電圧のばらつきを補償することができ、輝度のばらつきの低減が可能となる表示装置、及びそれを用いた駆動方法を提供することを目的とする。

40

【課題を解決するための手段】

【0 0 1 4】

本発明の一は、発光素子が備えられた画素と、第 1 のトランジスタと、第 2 のトランジスタと、保持容量と、電源線と、容量線と、を有する表示装置であって、第 1 のトランジスタは、ゲート端子が保持容量の第 1 の電極に接続され、第 1 端子が第 1 の電源線に接続され、保持容量は、第 2 の電極が容量線に接続され、第 1 のトランジスタは、発光素子に電流を供給する機能を有し、第 2 のトランジスタは、第 1 のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、第 2 のトランジスタを導通状態として第 1 のトランジスタをダイオード接続の状態にすることにより、保持容量に、第 1 のトランジスタの閾値電圧に基づいた電圧が保持されることを特徴とする表示装置である。

50

【0015】

本発明の一は、発光素子が備えられた画素と、第1のトランジスタと、第2のトランジスタと、保持容量と、第1の電源線と、第2の電源線と、走査線と、容量線と有する表示装置であって、第1のトランジスタは、ゲート端子が第2のトランジスタの第1端子及び、保持容量の第1の電極に接続され、第1端子が第1の電源線に接続され、第2端子が第2のトランジスタの第2端子及び、発光素子の第1の電極に接続され、第2のトランジスタは、ゲート端子が走査線に接続され、保持容量は、第2の電極が容量線に接続され、発光素子は、第2の電極が第2の電源線に接続され、第1のトランジスタは、発光素子に電流を供給する機能を有し、第2のトランジスタは、第1のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、第2のトランジスタを導通状態として第1のトランジスタをダイオード接続の状態にすることにより、保持容量に第1のトランジスタの閾値電圧に基づいた電圧が保持されることを特徴とする表示装置である。

10

【0016】

本発明の一は、発光素子が備えられた画素と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第1の保持容量と、第2の保持容量と、第1の電源線と、第2の電源線と、信号線と、容量線と、を有する表示装置であって、第1のトランジスタは、ゲート端子が第1の保持容量の第1の電極及び、第2の保持容量の第2の電極に接続され、第1端子が第1の電源線に接続され、第2端子が発光素子の第1の電極に接続され、第2の保持容量は、第2の電極が容量線に接続され、発光素子は、第2の電極が第2の電源線に接続され、第1のトランジスタは、発光素子に電流を供給する機能を有し、第2のトランジスタは、第1の保持容量の第2の電極と信号線とを接続するスイッチとしての機能を有し、第3のトランジスタは、第1の保持容量の第2の電極と容量線とを接続するスイッチとしての機能を有し、第4のトランジスタは、第1のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、第4のトランジスタを導通状態として、第1のトランジスタをダイオード接続の状態にすることにより、第1及び第2の保持容量に、第1のトランジスタの閾値電圧に基づいた電圧が保持されることを特徴とする表示装置である。

20

【0017】

本発明の一は、発光素子が備えられた画素と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第1の保持容量と、第2の保持容量と、第1の電源線と、第2の電源線と、第1の走査線と、第2の走査線と、信号線と、容量線と、を有する表示装置であって、第1のトランジスタは、ゲート端子が第4のトランジスタの第2端子と、第1の保持容量の第1の電極及び、第2の保持容量の第1の電極に接続され、第1端子が第1の電源線に接続され、第2端子が第4のトランジスタの第1端子及び、発光素子の第1の電極に接続され、第2のトランジスタは、ゲート端子が第1の走査線に接続され、第1端子が第1の保持容量の第2の電極及び、第3のトランジスタの第1端子に接続され、第2端子が信号線に接続され、第3のトランジスタは、ゲート端子が第2の走査線に接続され、第2端子が容量線に接続され、第4のトランジスタは、ゲート端子が第3の走査線に接続され、第2の保持容量は、第2の電極が容量線に接続され、発光素子は、第2の電極が第2の電源線に接続され、第1のトランジスタは、発光素子に電流を供給する機能を有し、第2のトランジスタは、第1の保持容量の第2の電極と信号線とを接続するスイッチとしての機能を有し、第3のトランジスタは、第1の保持容量の第2の電極と容量線とを接続するスイッチとしての機能を有し、第4のトランジスタは、第1のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、第4のトランジスタを導通状態として、第1のトランジスタをダイオード接続の状態にすることにより、第1及び第2の保持容量に、第1のトランジスタの閾値電圧に基づいた電圧が保持されることを特徴とする表示装置である。

30

40

【0018】

本発明の一は、発光素子が備えられた画素と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第1の

50

保持容量と、第 2 の保持容量と、第 1 の電源線と、第 2 の電源線と、信号線と、容量線と、を有する表示装置であって、第 1 のトランジスタは、ゲート端子が第 1 の保持容量の第 1 の電極及び、第 2 の保持容量の第 1 の電極に接続され、第 1 端子が第 1 の電源線に接続され、第 2 の保持容量は、第 2 の電極が容量線に接続され、発光素子は、第 2 の電極が第 2 の電源線に接続され、第 1 のトランジスタは、発光素子に電流を供給する機能を有し、第 2 のトランジスタは、第 1 の保持容量の第 2 の電極と信号線とを接続するスイッチとしての機能を有し、第 3 のトランジスタは、第 1 の保持容量の第 2 の電極と容量線とを接続するスイッチとしての機能を有し、第 4 のトランジスタは、第 1 のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、第 5 のトランジスタは、発光素子への電流の供給を制御するスイッチとしての機能を有し、第 4 のトランジスタを導通状態として、第 1 のトランジスタをダイオード接続の状態にすることにより、第 1 及び第 2 の保持容量に、第 1 のトランジスタの閾値電圧に基づいた電圧が保持されることを特徴とする表示装置である。

10

【0019】

本発明の一は、発光素子が備えられた画素と、第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタと、第 1 の保持容量と、第 2 の保持容量と、第 1 の電源線と、第 2 の電源線と、第 1 の走査線と、第 2 の走査線と、第 3 の走査線と、第 4 の走査線と、信号線と、容量線とを有する表示装置であって、第 1 のトランジスタは、ゲート端子が第 4 のトランジスタの第 2 端子と、第 1 の保持容量の第 1 の電極及び、第 2 の保持容量の第 1 の電極に接続され、第 1 端子が第 1 の電源線に接続され、第 2 端子が第 4 のトランジスタの第 1 端子及び、第 5 のトランジスタの第 1 端子に接続され、第 2 のトランジスタは、ゲート端子が第 1 の走査線に接続され、第 1 端子が第 1 の保持容量の第 2 の電極及び、第 3 のトランジスタの第 1 端子に接続され、第 2 端子が信号線に接続され、第 3 のトランジスタは、ゲート端子が第 2 の走査線に接続され、第 2 端子が容量線に接続され、第 4 のトランジスタは、ゲート端子が第 3 の走査線に接続され、第 5 のトランジスタは、ゲート端子が第 4 の走査線に接続され、第 2 端子が発光素子の第 1 の電極に接続され、第 2 の保持容量は、第 2 の電極が容量線に接続され、発光素子は、第 2 の電極が第 2 の電源線に接続され、第 1 のトランジスタは、発光素子に電流を供給する機能を有し、第 2 のトランジスタは、第 1 の保持容量の第 2 の電極と信号線とを接続するスイッチとしての機能を有し、第 3 のトランジスタは、第 1 の保持容量の第 2 の電極と容量線とを接続するスイッチとしての機能を有し、第 4 のトランジスタは、第 1 のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、第 5 のトランジスタは、発光素子への電流の供給を制御するスイッチとしての機能を有し、第 4 のトランジスタを導通状態として、第 1 のトランジスタをダイオード接続の状態にすることにより、第 1 及び第 2 の保持容量に、第 1 のトランジスタの閾値電圧に基づいた電圧が保持されることを特徴とする表示装置である。

20

30

【0020】

本発明において、前記トランジスタのうち、少なくとも 2 個のトランジスタのゲート端子が、同一の走査線に接続される構成であってもよい。

【0021】

本発明において、前記第 4 のトランジスタは、Nチャネル型であってもよい。

40

【0022】

また本発明において、走査線のいずれか 1 つを、容量線の代わりとして用いることができる。

【0023】

本発明において、表示装置は、第 6 のトランジスタを有し、第 6 のトランジスタは、ゲート端子が第 5 の走査線に接続され、第 1 端子が第 1 のトランジスタの第 2 端子と、第 4 のトランジスタの第 1 端子及び、第 5 のトランジスタの第 1 端子に接続され、第 2 端子が第 2 のトランジスタの第 2 端子と、第 3 のトランジスタの第 1 端子及び、第 1 の保持容量の第 2 の電極に接続され、第 6 のトランジスタは、第 1 のトランジスタの第 2 端子に初期

50

電位を印加するためのスイッチとしての機能を有していてもよい。

【0024】

本発明において、表示装置は、初期化線を有し、初期化線は、第6のトランジスタの第2端子に接続されていてもよい。

【0025】

なお、本発明の表示装置において、表示装置は、リファレンス線を有し、容量線は、第2の保持容量の第2の電極に接続され、リファレンス線は、第3のトランジスタの第2端子に接続されていてもよい。

【0026】

なお、本発明の表示装置において、容量線を別に設ける代わりに他の配線を容量線として用いてもよい。 10

【0027】

なお、本発明の表示装置において、それぞれのトランジスタが有するチャンネル長 L とチャンネル幅 W の比 W/L の値の中で、第1のトランジスタが有する W/L の値が最大となるようにしてもよい。

【0028】

本発明の一は、発光素子が備えられた画素と、第1のトランジスタと、第2のトランジスタと、保持容量と、電源線と、容量線と、を有し、第1のトランジスタは、ゲート端子が保持容量の第1の電極に接続され、第1端子が第1の電源線に接続され、保持容量は、第2の電極が容量線に接続され、第1のトランジスタは、発光素子に電流を供給する機能を有し、第2のトランジスタは、第1のトランジスタをダイオード接続の状態にするスイッチとしての機能を有することを特徴とする表示装置の駆動方法であって、第1の期間では、発光素子に電流を流すことにより、保持容量に初期電圧が保持され、第2の期間では、第2のトランジスタを導通状態として、第1のトランジスタをダイオード接続の状態にすることにより、保持容量に、第1のトランジスタの閾値電圧に基づいた電圧が保持され、第3の期間では、信号線にビデオ信号が入力され、保持容量に、当該信号線に入力されたビデオ信号と第1のトランジスタの閾値電圧とに基づいた電圧が保持され、第4の期間では、第3の期間において、保持容量に保持された電圧が、第1のトランジスタのゲート端子に印加され、第1のトランジスタを介して発光素子に電流を供給し、発光素子を発光させることを特徴とする表示装置の駆動方法である。 20 30

【0029】

本発明の一は、発光素子が備えられた画素と、第1のトランジスタと、第2のトランジスタと、保持容量と、第1の電源線と、第2の電源線と、走査線と、容量線と有し、第1のトランジスタは、ゲート端子が第2のトランジスタの第1端子及び、保持容量の第1の電極に接続され、第1端子が第1の電源線に接続され、第2端子が第2のトランジスタの第2端子及び、発光素子の第1の電極に接続され、第2のトランジスタは、ゲート端子が走査線に接続され、保持容量は、第2の電極が容量線に接続され、発光素子は、第2の電極が第2の電源線に接続され、第1のトランジスタは、発光素子に電流を供給する機能を有し、第2のトランジスタは、第1のトランジスタをダイオード接続の状態にするスイッチとしての機能を有することを特徴とする表示装置の駆動方法であって、第1の期間では、発光素子に電流を流すことにより、保持容量に初期電圧が保持され、第2の期間では、第2のトランジスタを導通状態として、第1のトランジスタをダイオード接続の状態にすることにより、保持容量に第1のトランジスタの閾値電圧に基づいた電圧が保持され、第3の期間では、信号線にビデオ信号が入力され、保持容量に当該信号線に入力されたビデオ信号と第1のトランジスタの閾値電圧とに基づいた電圧が保持され、第4の期間では、第3の期間において、保持容量に保持された電圧が、第1のトランジスタのゲート端子に印加され、第1のトランジスタを介して発光素子に電流を供給し、発光素子を発光させることを特徴とする表示装置の駆動方法である。 40

【0030】

本発明の一は、発光素子が備えられた画素と、第1のトランジスタと、第2のトランジ 50

スタと、第3のトランジスタと、第4のトランジスタと、第1の保持容量と、第2の保持容量と、第1の電源線と、第2の電源線と、信号線と、容量線と、を有し、第1のトランジスタは、ゲート端子が第1の保持容量の第1の電極及び、第2の保持容量の第2の電極に接続され、第1端子が第1の電源線に接続され、第2端子が発光素子の第1の電極に接続され、第2の保持容量は、第2の電極が容量線に接続され、発光素子は、第2の電極が第2の電源線に接続され、第1のトランジスタは、発光素子に電流を供給する機能を有し、第2のトランジスタは、第1の保持容量の第2の電極と信号線とを接続するスイッチとしての機能を有し、第3のトランジスタは、第1の保持容量の第2の電極と容量線とを接続するスイッチとしての機能を有し、第4のトランジスタは、第1のトランジスタをダイオード接続の状態にするスイッチとしての機能を有することを特徴とする表示装置の駆動方法であって、第1の期間では、発光素子に電流を流すことにより、第1の保持容量に初期電圧が保持され、第2の期間では、第4のトランジスタを導通状態として、第1のトランジスタをダイオード接続の状態にすることにより、第1及び第2の保持容量に第1のトランジスタの閾値電圧に基づいた電圧が保持され、第3の期間では、信号線にビデオ信号が入力され、第1及び第2の保持容量に当該信号線に入力されたビデオ信号と第1のトランジスタの閾値電圧とに基づいた電圧が保持され、第4の期間では、第3の期間において、第1及び第2の保持容量に保持された電圧が、第1のトランジスタのゲート端子に印加され、第1のトランジスタを介して発光素子に電流を供給し、発光素子を発光させることを特徴とする表示装置の駆動方法である。

10

20

30

40

【0031】

本発明の一は、発光素子が備えられた画素と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第1の保持容量と、第2の保持容量と、第1の電源線と、第2の電源線と、第1の走査線と、第2の走査線と、信号線と、容量線と、を有する表示装置であって、第1のトランジスタは、ゲート端子が第4のトランジスタの第2端子と、第1の保持容量の第1の電極及び、第2の保持容量の第1の電極に接続され、第1端子が第1の電源線に接続され、第2端子が第4のトランジスタの第1端子及び、発光素子の第1の電極に接続され、第2のトランジスタは、ゲート端子が第1の走査線に接続され、第1端子が第1の保持容量の第2の電極及び、第3のトランジスタの第1端子に接続され、第2端子が信号線に接続され、第3のトランジスタは、ゲート端子が第2の走査線に接続され、第2端子が容量線に接続され、第4のトランジスタは、ゲート端子が第3の走査線に接続され、第2の保持容量は、第2の電極が容量線に接続され、発光素子は、第2の電極が第2の電源線に接続され、第1のトランジスタは、発光素子に電流を供給する機能を有し、第2のトランジスタは、第1の保持容量の第2の電極と信号線とを接続するスイッチとしての機能を有し、第3のトランジスタは、第1の保持容量の第2の電極と容量線とを接続するスイッチとしての機能を有し、第4のトランジスタは、第1のトランジスタをダイオード接続の状態にするスイッチとしての機能を有することを特徴とする表示装置の駆動方法であって、第1の期間では、発光素子に電流を流すことにより、第1及び第2の保持容量に初期電圧が保持され、第2の期間では、第4のトランジスタを導通状態として、第1のトランジスタをダイオード接続の状態にすることにより、第1及び第2の保持容量に第1のトランジスタの閾値電圧に基づいた電圧が保持され、第3の期間では、信号線にビデオ信号が入力され、第1及び第2の保持容量に当該信号線に入力されたビデオ信号と第1のトランジスタの閾値電圧とに基づいた電圧が保持され、第4の期間では、第3の期間において、第1及び第2の保持容量に保持された電圧が、第1のトランジスタのゲート端子に印加され、第1のトランジスタを介して発光素子に電流を供給し、発光素子を発光させることを特徴とする表示装置の駆動方法である。

【0032】

なお、本発明の表示装置の駆動方法において、第1及び第4の期間と、第2及び第3の期間とで、第2の電源線に印加される電圧が異なってもよい。

【0033】

本発明の一は、発光素子が備えられた画素と、第1のトランジスタと、第2のトランジ

50

スタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第1の保持容量と、第2の保持容量と、第1の電源線と、第2の電源線と、信号線と、容量線とを有し、第1のトランジスタは、ゲート端子が第1の保持容量の第1の電極及び、第2の保持容量の第1の電極に接続され、第1端子が第1の電源線に接続され、第2の保持容量は、第2の電極が容量線に接続され、発光素子は、第2の電極が第2の電源線に接続され、第1のトランジスタは、発光素子に電流を供給する機能を有し、第2のトランジスタは、第1の保持容量の第2の電極と信号線とを接続するスイッチとしての機能を有し、第3のトランジスタは、第1の保持容量の第2の電極と容量線とを接続するスイッチとしての機能を有し、第4のトランジスタは、第1のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、第5のトランジスタは、発光素子への電流の供給を制御するスイッチとしての機能を有することを特徴とする表示装置の駆動方法であって、第1の期間では、発光素子に電流を流すことにより、第1のトランジスタの電極に初期電圧が印加され、第2の期間では、第4のトランジスタを導通状態として、第1のトランジスタをダイオード接続の状態にすることにより、第1及び第2の保持容量に第1のトランジスタの閾値電圧に基づいた電圧が保持され、第3の期間では、信号線にビデオ信号が入力され、第1及び第2の保持容量に信号線に入力されたビデオ信号と第1のトランジスタの閾値電圧に基づいた電圧が保持され、第4の期間では、第3の期間において、第1及び第2の保持容量に保持された電圧が、第1のトランジスタのゲート端子に印加され、第5のトランジスタを導通状態とすることにより、第1のトランジスタを介して発光素子に電流を供給し、発光素子を発光させることを特徴とする表示装置の駆動方法である。

10

20

【0034】

本発明の一は、発光素子が備えられた画素と、第1のトランジスタと、第2のトランジスタと、第3のトランジスタと、第4のトランジスタと、第5のトランジスタと、第1の保持容量と、第2の保持容量と、第1の電源線と、第2の電源線と、第1の走査線と、第2の走査線と、第3の走査線と、第4の走査線と、信号線と、容量線と、を有し、第1のトランジスタは、ゲート端子が第4のトランジスタの第2端子と、第1の保持容量の第1の電極及び、第2の保持容量の第1の電極に接続され、第1端子が第1の電源線に接続され、第2端子が第4のトランジスタの第1端子及び、第5のトランジスタの第1端子に接続され、第2のトランジスタは、ゲート端子が第1の走査線に接続され、第1端子が第1の保持容量の第2の電極及び、第3のトランジスタの第1端子に接続され、第2端子が信号線に接続され、第3のトランジスタは、ゲート端子が第2の走査線に接続され、第2端子が容量線に接続され、第4のトランジスタは、ゲート端子が第3の走査線に接続され、第5のトランジスタは、ゲート端子が第4の走査線に接続され、第2端子が発光素子の第1の電極に接続され、第2の保持容量は、第2の電極が容量線に接続され、発光素子は、第2の電極が第2の電源線に接続され、第1のトランジスタは、発光素子に電流を供給する機能を有し、第2のトランジスタは、第1の保持容量の第2の電極と信号線とを接続するスイッチとしての機能を有し、第3のトランジスタは、第1の保持容量の第2の電極と容量線とを接続するスイッチとしての機能を有し、第4のトランジスタは、第1のトランジスタをダイオード接続の状態にするスイッチとしての機能を有し、第5のトランジスタは、発光素子への電流の供給を制御するスイッチとしての機能を有することを特徴とする表示装置の駆動方法であって、第1の期間では、発光素子に電流を流すことにより、第1及び第2の保持容量に初期電圧が保持され、第2の期間では、第4のトランジスタを導通状態として、第1のトランジスタをダイオード接続の状態にすることにより、第1の保持容量及び第2の保持容量に第1のトランジスタの閾値電圧に基づいた電圧が保持され、第3の期間では、信号線にビデオ信号が入力され、第1及び第2の保持容量に信号線に入力されたビデオ信号と第1のトランジスタの閾値電圧に基づいた電圧が保持され、第4の期間では、第3の期間において、第1及び第2の保持容量に保持された電圧が、第1のトランジスタのゲート端子に印加され、第5のトランジスタを導通状態とすることにより、第1のトランジスタを介して発光素子に電流を供給し、発光素子を発光させることを特徴とする表示装置の駆動方法である。

30

40

50

【0035】

また本発明において、表示装置は、第6のトランジスタを有し、第6のトランジスタは、ゲート端子が第5の走査線に接続され、第1端子が第1のトランジスタの第2端子と、第4のトランジスタの第1端子及び、第5のトランジスタの第1端子に接続され、第2端子が第2のトランジスタの第2端子と、第3のトランジスタの第1端子及び、第1の保持容量の第2の電極に接続され、第6のトランジスタは、第1のトランジスタに初期電位を印加するためのスイッチとしての機能を有し、第1の期間において、第6のトランジスタを導通状態とさせることにより、第1のトランジスタの第2端子に、初期電位として容量線の電位が印加される構成であってもよい。

【0036】

10

また本発明において、表示装置は、初期化線を有し、初期化線は、第6のトランジスタの第2端子に接続され、第1の期間において、第6のトランジスタを導通状態とさせることにより、第1のトランジスタの第2端子に、初期電位として初期化線の電位が印加される構成であってもよい。

【0037】

本発明の一は、上記記載の表示装置を有する電子機器である。

【0038】

本発明の一は、上記記載の駆動方法を用いた表示装置を有する電子機器である。

【0039】

なお、トランジスタはその構造上、ソースとドレインの区別が困難である。さらに、回路の動作によっては、電位の高低が入れ替わる場合もある。したがって、本明細書中では、ソースとドレインは特に特定せず、第1端子、第2端子と記述する。例えば、第1端子がソースである場合には、第2端子とはドレインを指し、逆に第1端子がドレインである場合には、第2端子とはソースを指すものとする。

20

【0040】

なお、本発明においては、1画素とは、1つの色要素を示すものとする。従って、R（赤）G（緑）B（青）の色要素からなるカラー表示装置の場合には、画像の最小単位は、Rの画素とGの画素とBの画素との3画素から構成されるものとする。なお、色要素は、3色に限定されず、3色以上用いてもよいし、RGB以外の色を用いてもよい。例えば、白色（W）を加えてRGBWとしてもよい。また、RGBに、例えば、イエロー、シアン、マゼンダなど1色以上を追加してもよい。

30

【0041】

また、例えば、RGBの中の少なくとも1色について、類似した色を追加してもよい。例えば、R、G、B1、B2としてもよい。B1とB2とは、どちらも青色であるが、波長が異なっている。このような色要素を用いることにより、より実物に近い表示を行うことができたり、消費電力を低減することができる。なお、1つの色要素について、複数の領域を用いて明るさを制御してもよい。この場合は、1つの色要素を1画素とし、その明るさを制御する各領域をサブ画素とする。よって、例えば、面積階調方式を行う場合、1つの色要素につき、明るさを制御する領域が複数あり、その全体で階調を表現するわけであるが、明るさを制御する各領域をサブ画素とする。よって、その場合は、1つの色要素は、複数のサブ画素で構成されることとなる。また、その場合、サブ画素によって、表示に寄与する領域の大きさが異なっている場合がある。また、1つの色要素につき複数の明るさを制御する領域において、つまり、1つの色要素を構成する複数のサブ画素において、各々に供給する信号をわずかに異ならせるようにして、視野角を広げるようにしてもよい。

40

【0042】

なお、本発明において、画素は、マトリクス状に配置（配列）されている場合がある。ここで、画素がマトリクスに配置（配列）されているとは、縦方向もしくは横方向において、画素が直線上に配置されている場合や、ギザギザな線上に配置されている場合を含む。よって、例えば3色の色要素（例えばRGB）でフルカラー表示を行う場合に、ストラ

50

イプ配置されている場合や、3つの色要素のドットがデルタ配置されている場合も含む。さらに、ベイヤー配置されている場合も含む。

【0043】

なお、本発明のトランジスタとして、様々な形態のトランジスタを適用させることができる。よって、用いるトランジスタの種類に限定はない。例えば、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を有する薄膜トランジスタ（TFT）などを用いることができる。これらにより、製造温度を低くできたり、低コストで製造できたり、大型基板上に製造できたり、透明基板上に製造できたり、透光性を有するトランジスタを製造できたり、トランジスタを用いて表示素子での光の透過を制御することができる。また、半導体基板やSOI基板を用いてトランジスタを形成できる。また、MOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタなどを本明細書のトランジスタとして用いることができる。これらにより、特性のバラツキが少なく、電流供給能力が高く、サイズの小さいトランジスタとなり、これらトランジスタより消費電力の少ない回路を構成することができる。

10

【0044】

また、ZnO、 α -InGaZnO、SiGe、GaAsなどの化合物半導体を有するトランジスタや、さらに、それらを薄膜化した薄膜トランジスタなどを用いることができる。これらにより、製造温度を低くできたり、室温で製造できたり、耐熱性の低い基板、例えばプラスチック基板やフィルム基板に直接トランジスタを形成することができる。また、インクジェットや印刷法を用いて作成したトランジスタなどを用いることができる。これらにより、室温で製造でき、また低真空度で製造でき、大型基板上に製造することができる。また、マスク（レチクル）を用いなくても製造することが可能となるため、トランジスタのレイアウトを容易に変更することができる。また、有機半導体やカーボンナノチューブを有するトランジスタ、その他のトランジスタを用いることができる。これらにより、曲げることが可能な基板上にトランジスタを形成することができる。

20

【0045】

なお、非単結晶半導体膜には水素またはハロゲンが含まれていてもよい。また、トランジスタが配置されている基板の種類は、様々なものを用いることができ、特定のものに限定されることはない。形成されている基板と例えば、単結晶基板、SOI基板、ガラス基板、石英基板、プラスチック基板、紙基板、セロファン基板、石材基板、ステンレス・スチル基板、ステンレス・スチル・ホイルを有する基板などを用いることができる。また、ある基板でトランジスタを形成し、その後、別の基板にトランジスタを転置し、別の基板上にトランジスタを配置するようにしてもよい。これらの基板を用いることにより、特性のよいトランジスタを形成でき、また消費電力の小さいトランジスタを形成でき、壊れにくい装置にできたり、耐熱性を持たせることができる。

30

【0046】

なお、本発明に示すスイッチは、様々な形態のものを用いることができ、一例として、電氣的スイッチや機械的なスイッチなどがある。つまり、電流の流れを制御できるものであればよく、特定のものに限定されず、様々なものを用いることができる。例えば、トランジスタでもよいし、ダイオード（例えば、PNダイオード、PINダイオード、ショットキーダイオード、ダイオード接続のトランジスタなど）でもよいし、サイリスタでもよいし、それらを組み合わせた論理回路でもよい。よって、スイッチとしてトランジスタを用いる場合、そのトランジスタは、単なるスイッチとして動作するため、トランジスタの極性（導電型）は特に限定されない。ただし、オフ電流が少ない方が望ましい場合、オフ電流が少ない方の極性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、LDD領域を設けているものやマルチゲート構造にしているもの等がある。

40

【0047】

また、スイッチとして動作させるトランジスタのソース端子の電位が、低電位側電源（VSS、GND、0Vなど）に近い状態で動作する場合はNチャネル型を、反対に、ソー

50

ス端子の電位が、高電位側電源（VDDなど）に近い状態で動作する場合はPチャネル型を用いることが望ましい。なぜなら、ゲート及びソース間電圧の絶対値を大きくできるため、スイッチとして、機能させやすい。なお、Nチャネル型とPチャネル型の両方を用いて、CMOS型のスイッチにしてもよい。CMOS型のスイッチにすると、Pチャネル型またはNチャネル型のスイッチが導通すれば電流を流すことができるため、スイッチとして機能しやすくなる。例えば、スイッチへの入力信号の電圧が高い場合でも、低い場合でも、適切に電圧を出力させることができる。また、スイッチをオンまたはオフさせるための信号の電圧振幅値を小さくすることができるので、消費電力を小さくすることもできる。

【0048】

10

なお、本発明において、Aの上にB、あるいは、A上にB、という記載については、A上に直接Bが接していることに限定されない。直接接してはいない場合、つまり、AとBの間に別のものが介在する場合も含むものとする。従って例えば、層Aの上に（もしくは層A上に）、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上に直接接して層Bが形成されている場合とを含むものとする。また、Aの上方にB、という記載についても同様であり、Aの上に直接Bが接していることに限定されず、AとBの間に別のものが介在する場合も含むものとする。従って例えば、層Aの上方に、層Bが形成されている、という場合は、層Aの上に直接接して層Bが形成されている場合と、層Aの上に直接接して別の層（例えば層Cや層Dなど）が形成されていて、その上

20

【0049】

なお、本発明の表示装置は、様々な形態を用いたり、様々な表示素子を有することができる。例えば、EL素子（有機EL素子、無機EL素子または有機物及び無機物を含むEL素子）、電子放出素子、液晶素子、電子インク、グレーティングライトバルブ（GLV）、プラズマディスプレイ（PDP）、デジタル・マイクロミラー・デバイス（DMD）、圧電セラミックディスプレイ、カーボンナノチューブ、など、電気磁気的作用によりコントラストが変化する表示媒体を適用することができる。なお、EL素子を用いた表示装置としてはELディスプレイ、電子放出素子を用いた表示装置としてはフィールドエミ

30

【0050】

なお、本発明における発光素子とは、素子に流れる電流値によって発光輝度を制御することが可能な素子のことを指す。代表的にはEL素子を適用することができる。EL素子以外にも、例えば、フィールドエミッションディスプレイ（FED）で用いる素子、FEDの一種であるSED（Surface-conduction Electron-emitter Display）などの発光素子を適用することができる。

40

【0051】

なお、本発明において、接続されているとは、電氣的に接続されていることと同義である。したがって、本発明が開示する構成において、所定の接続関係に加え、その間に電氣的な接続を可能とする他の素子（例えば、別の素子やスイッチなど）が配置されていてもよい。

【発明の効果】

【0052】

本発明の表示装置は、発光素子に流れる電流がトランジスタの閾値電圧に依存しない形

50

で決定されるため、トランジスタの閾値電圧のばらつきを補償することができる。これにより、発光素子の輝度のばらつきを低減させることができ、画質を向上させることができる。

【発明を実施するための最良の形態】

【0053】

以下、本発明の実施の形態について図面を参照しながら説明する。ただし、本発明は多くの異なる態様で実施することが可能であり、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本実施の形態の記載内容に限定して解釈されるものではない。

【0054】

10

(実施の形態1)

まず、本実施形態の表示装置における画素回路の基本的構成について、図1を用いて説明する。なお、発光素子として、EL素子を例に挙げて説明する。

【0055】

図1は、本実施形態の画素構成の中で、トランジスタの閾値電圧を取得するための最小限の回路構成を示した図である。図1は、第1のトランジスタ101及び第2のトランジスタ102、保持容量103、走査線104、第1の電源線105及び第2の電源線106、容量線107、発光素子108から構成されている。

【0056】

なお、図1では、第1のトランジスタ101及び第2のトランジスタ102は、Pチャネル型としている。 20

【0057】

第1のトランジスタ101は、ゲート端子が、第2のトランジスタの第2の電極、及び保持容量103の第1の電極に接続され、第1端子は、第1の電源線105に接続され、第2の電極は、第2のトランジスタ102の第1端子に接続されている。第2のトランジスタ102は、ゲート端子が、走査線104に接続されている。保持容量103は、第2の電極が、容量線107に接続されている。発光素子は、第2の電極が、第2の電源線106に接続されている。

【0058】

また、第1の電源線105には、電源電位VDDが印加され、第2の電源線106には、電源電位VSSが印加され、容量線107には、電位 V_{CL} が印加される。なお、電位の大小関係は、 $VDD > VSS$ 、 $VDD > V_{CL}$ とする。 30

【0059】

ここで、第1のトランジスタ101は、発光素子108に電流を供給する機能を有する。また、第2のトランジスタは、第1のトランジスタ101をダイオード接続の状態にするスイッチとしての機能を有する。

【0060】

なお、本明細書中で、ダイオード接続とは、トランジスタのゲート端子と第1もしくは第2の電極とが接続された状態を指す。

【0061】

40

図1に示した画素回路において、第2のトランジスタ102をオンさせることにより、第1のトランジスタ101はダイオード接続の状態となり、保持容量103に電流が流れ、保持容量103が充電される。保持容量103の充電は、保持容量103に保持される電圧が、電源電位VDDと第1のトランジスタ101の閾値電圧 $|V_{th}|$ と容量線107の電位 V_{CL} との差 $VDD - |V_{th}| - V_{CL}$ になるまで続き、保持容量103に保持される電圧が $VDD - |V_{th}| - V_{CL}$ になると第1のトランジスタ101はオフし、保持容量103に電流が流れなくなる。

【0062】

以上の動作により、保持容量103に第1のトランジスタ101の閾値電圧 $|V_{th}|$ に基づいた電圧を保持することができる。 50

【0063】

また、第1のトランジスタがNチャネル型の場合において、第1のトランジスタの閾値電圧を取得するための最小限の回路構成を図2に示す。

【0064】

図2は、第1のトランジスタ201及び第2のトランジスタ202、保持容量203、走査線204、第1の電源線205及び第2の電源線206、容量線207、発光素子208から構成されている。

【0065】

なお、図2では、第2のトランジスタ202は、Nチャネル型としている。

【0066】

なお、第1の電源線205には、電源電位 V_{SS} が印加され、第2の電源線206には、電源電位 V_{DD} が印加され、容量線207には、電位 V_{CL} が印加される。なお、電位の大小関係は、 $V_{DD} > V_{SS}$ 、 $V_{CL} > V_{SS}$ とする。

【0067】

図2に示した画素回路において、第2のトランジスタ202をオンさせることにより、第1のトランジスタ201はダイオード接続の状態となり、保持容量203に電流が流れ、保持容量203が充電される。保持容量203の充電は、保持容量203に保持される電圧が、容量線207の電位 V_{CL} と電源電位 V_{SS} と第1のトランジスタ201の閾値電圧 $|V_{th}|$ との差 $V_{CL} - V_{SS} - |V_{th}|$ になるまで続き、保持容量203に保持される電圧が $V_{CL} - V_{SS} - |V_{th}|$ になると第1のトランジスタ201はオフし、保持容量203に電流が流れなくなる。

【0068】

以上の動作により、保持容量203に第1のトランジスタ201の閾値電圧 $|V_{th}|$ に基づいた電圧を保持することができる。

【0069】

次に、図1もしくは図2に示した基本的な回路構成を有する本実施形態の画素構成について、図3を用いて説明する。なお、発光素子として、EL素子を例に挙げて説明する。

【0070】

図3は、本実施形態の画素回路を示す図である。本実施形態の画素回路は、第1のトランジスタ301～第5のトランジスタ305、第1の保持容量306及び第2の保持容量307、信号線308、第1の走査線309～第4の走査線312、第1の電源線313及び第2の電源線314、容量線315、発光素子316から構成されている。

【0071】

ここで、第1のトランジスタ301は、発光素子316に電流を供給するトランジスタとして用いられ、第2のトランジスタ302～第5のトランジスタ305は、配線を接続するかしないかを選択するスイッチとして用いられる。

【0072】

第1のトランジスタ301は、ゲート端子が、第4のトランジスタ304の第2端子、及び第1の保持容量306の第1の電極、及び第2の保持容量307の第1の電極に接続され、第1端子が、第1の電源線313に接続され、第2端子が、第4のトランジスタ304の第1端子、及び第5のトランジスタ305の第1端子に接続されている。第2のトランジスタ302は、ゲート端子が、第1の走査線309に接続され、第1端子が、信号線308に接続され、第2端子が、第3のトランジスタ303の第1端子、及び第1の保持容量306の第2の電極に接続されている。第3のトランジスタ303は、ゲート端子が、第2の走査線310に接続され、第2端子が、容量線315に接続されている。第4のトランジスタ304は、ゲート端子が、第3の走査線311に接続されている。第5のトランジスタ305は、ゲート端子が、第4の走査線312に接続され、第2端子が、発光素子316の第1の電極に接続されている。第2の保持容量307は、第2の電極が、容量線315に接続されている。発光素子316は、第2の電極が、第2の電源線314に接続されている。

10

20

30

40

50

【0073】

また、第1の電源線313には、電源電位VDDが印加され、第2の電源線314には、電源電位VSSが印加され、容量線315には、電位 V_{CL} が印加される。なお、電位の大小関係は、 $VDD > VSS$ 、 $VDD > V_{CL}$ とする。

【0074】

なお、図3に示した画素回路では、第1のトランジスタ301～第5のトランジスタ305は全てPチャネル型としている。

【0075】

なお、図3における第4のトランジスタ304は、図1における第2のトランジスタ102に対応し、図3における第2の保持容量307は、図1における保持容量103に対応する。 10

【0076】

次に、本実施形態の画素回路の動作について、図4～図8を用いて説明する。

【0077】

図4は、信号線308及び第1の走査線309～第4の走査線312に入力されるビデオ信号電圧及びパルスのタイミングチャートを示しており、図5～図8に示す画素回路の各動作に合わせて、第1の期間T1～第4の期間T4の4つの期間に分割している。

【0078】

また、図5～図8は、各期間における本実施形態の画素回路の接続状態を示す図である。なお、図5～図8において、実線で示した箇所は導通しており、破線で示した箇所は導通していないことを示す。 20

【0079】

まず、第1の期間T1における画素回路の動作について、図5を用いて説明する。図5は、第1の期間T1における画素回路の接続状態を示す図である。第1の期間T1では、第2の走査線310～第4の走査線312がLレベルとなり、第3のトランジスタ303～第5のトランジスタ305がオンする。また、第1の走査線309がHレベルとなり、第2のトランジスタ302がオフする。これにより、第1のトランジスタ301はダイオード接続の状態となり、発光素子316に電流が流れる。その結果、第1のトランジスタ301の第2端子、及び第1の保持容量306の第1の電極、及び第2の保持容量307の第1の電極の電位が下降し、第1の保持容量306及び第2の保持容量307に、ある初期電圧が保持される。 30

【0080】

以上の動作により、第1の期間T1では、第1の保持容量306及び第2の保持容量307に、ある初期電圧を保持する。本明細書中では、この動作を初期化と呼ぶ。

【0081】

次に、第2の期間T2における画素回路の動作について、図6を用いて説明する。図6は、第2の期間T2における画素回路の接続状態を示す図である。第2の期間T2では、第2の走査線310及び第3の走査線311がLレベルとなり、第3のトランジスタ303及び第4のトランジスタ304がオンする。また、第1の走査線309及び第4の走査線312がHレベルとなり、第2のトランジスタ302及び第5のトランジスタ305がオフする。これにより、第1のトランジスタ301はダイオード接続の状態となり、並列接続された第1の保持容量306及び第2の保持容量307に電流が流れ、第1の保持容量306及び第2の保持容量307がともに充電される。第1の保持容量306及び第2の保持容量307の充電は、第1の保持容量306及び第2の保持容量307に保持される電圧が、電源電位VDDと第1のトランジスタ301の閾値電圧 $|V_{th}|$ と容量線315の電位 V_{CL} との差 $VDD - |V_{th}| - V_{CL}$ になるまで続き、第1の保持容量306及び第2の保持容量307に保持される電圧が $VDD - |V_{th}| - V_{CL}$ になると第1のトランジスタ301はオフし、第1の保持容量306及び第2の保持容量307に電流が流れなくなる。 40

【0082】

以上の動作により、第２の期間Ｔ２では、第１の保持容量３０６及び第２の保持容量３０７に第１のトランジスタ３０１の閾値電圧 $|V_{th}|$ に基づいた電圧を保持する。

【００８３】

なお、第２の期間Ｔ２で、第１の保持容量３０６及び第２の保持容量３０７に第１のトランジスタ３０１の閾値電圧 $|V_{th}|$ に基づいた電圧を保持させるためには、予め、第１のトランジスタ３０１の第２端子の電位を、電源電位 VDD と第１のトランジスタ３０１の閾値電圧 $|V_{th}|$ との差 $VDD - |V_{th}|$ よりも低くしておかなければならない。したがって、第１の期間Ｔ１で発光素子３１６に電流を流すことにより、第１のトランジスタ３０１の第２端子の電位を確実に $VDD - |V_{th}|$ よりも低くすることができ、閾値電圧の取得を確実に行うことができるようになる。

10

【００８４】

次に、第３の期間Ｔ３における画素回路の動作について、図７を用いて説明する。図７は、第３の期間Ｔ３における画素回路の接続状態を示す図である。第３の期間Ｔ３では、第１の走査線３０９がＬレベルとなり、第２のトランジスタ３０２がオンする。また、第２の走査線３１０～第４の走査線３１２がＨレベルとなり、第３のトランジスタ３０３～第５のトランジスタ３０５がオフする。また、信号線３０８には、ビデオ信号電圧 V_{data} が印加される。これにより、第１の保持容量３０６及び第２の保持容量３０７が直列に接続され、それぞれの保持容量の容量比に基づいた電圧が、第１の保持容量３０６及び第２の保持容量３０７のそれぞれに保持される。このとき、第１の保持容量３０６及び第２の保持容量３０７のそれぞれに保持される電圧を $V_{C1}(T3)$ 、 $V_{C2}(T3)$ とすると、 $V_{C1}(T3)$ 、 $V_{C2}(T3)$ は以下の（１）式、（２）式のように表される。

20

【００８５】

【数１】

$$V_{C1}(T3) = VDD - |V_{th}| - \frac{C_2}{C_1 + C_2} V_{data} - \frac{C_1}{C_1 + C_2} V_{CL} \quad \dots (1)$$

【００８６】

【数２】

$$V_{C2}(T3) = VDD - |V_{th}| + \frac{C_1}{C_1 + C_2} V_{data} - \frac{2C_1 + C_2}{C_1 + C_2} V_{CL} \quad \dots (2)$$

【００８７】

なお、 C_1 は第１の保持容量３０６の容量値、 C_2 は第２の保持容量３０７の容量値を表す。

30

【００８８】

以上の動作により、第３の期間Ｔ３では、第１の保持容量３０６及び第２の保持容量３０７に、ビデオ信号電圧 V_{data} 及び第１のトランジスタ３０１の閾値電圧 $|V_{th}|$ に基づいた電圧を保持する。

【００８９】

次に、第４の期間Ｔ４における画素回路の動作について、図８を用いて説明する。図８は、第４の期間Ｔ４における画素回路の接続状態を示す図である。第４の期間Ｔ４では、第４の走査線３１２がＬレベルとなり、第５のトランジスタ３０５がオンする。また、第１の走査線３０９～第３の走査線３１１がＨレベルとなり、第２のトランジスタ３０２～第４のトランジスタ３０４がオフする。これにより、第１のトランジスタ３０１のゲート電極には、第２の保持容量３０７に保持される電圧 $V_{C2}(T3)$ と容量線３１５の電位 V_{CL} との和 $V_{C2}(T3) + V_{CL}$ が加えられるため、期間Ｔ４での第１のトランジスタ３０１のゲート・ソース間電圧を $V_{gs}(T4)$ とすると、 $V_{gs}(T4)$ は以下の（３）式のように表される。

40

【００９０】

【数３】

$$|V_{gs}(T4)| = VDD - V_{C2}(T3) - V_{CL} = |V_{th}| - \frac{C_1}{C_1 + C_2} (V_{data} - V_{CL}) \quad \dots (3)$$

50

【0091】

したがって、第1のトランジスタ301のドレインとソースの間に流れる電流 I_{OLED} は以下の(4)式のように表され、この電流が第5のトランジスタ305を通して発光素子316に流れ、発光素子316が発光する。

【0092】

【数4】

$$I_{OLED} = \frac{\beta}{2} (|V_{gs}(T4)| - |V_{th}|)^2 = \frac{\beta}{2} \left(\frac{C_1}{C_1 + C_2} \right)^2 (V_{data} - V_{CL})^2 \dots (4)$$

【0093】

10

ただし、 β は、トランジスタの移動度やサイズ、酸化膜による容量などで与えられる定数である。

【0094】

以上の動作により、第4の期間T4では、発光素子316にビデオ信号電圧 V_{data} に依存した電流 I_{OLED} が流れ、発光素子316が発光する。

【0095】

ここで、図3に示した画素回路の動作過程において、第1のトランジスタ301～第5のトランジスタ305が有する機能を改めて説明する。

【0096】

第1のトランジスタ301は、第4の期間T4で発光素子316に電流を供給する機能を有する。 20

【0097】

第2のトランジスタ302は、第3の期間T3でビデオ信号電圧 V_{data} を画素に入力するために、第1の保持容量306の第2の電極と信号線308とを接続するスイッチとして機能する。

【0098】

第3のトランジスタ303は、第2の期間T2で第1の保持容量306に第1のトランジスタ301の閾値電圧 $|V_{th}|$ に基づいた電圧を保持するために、第1の保持容量306の第2の電極と容量線315とを接続するスイッチとして機能する。

【0099】

30

第4のトランジスタ304は、第2の期間T2で第1の保持容量306及び第2の保持容量307に第1のトランジスタ301の閾値電圧 $|V_{th}|$ に基づいた電圧を保持するために、第1のトランジスタ301をダイオード接続の状態にするスイッチとして機能する。

【0100】

第5のトランジスタ305は、第2の期間T2及び第3の期間T3では発光素子316に電流を流さず、第1の期間T1及び第4の期間T4で発光素子316に電流を流すように制御する、つまり、発光素子316への電流の供給を制御するためのスイッチとして機能する。

【0101】

40

以上のような動作過程によって、発光素子316に電流 I_{OLED} を供給し、発光素子316を電流 I_{OLED} に応じた輝度で発光させることができる。このとき、(4)式に示したように、発光素子316に流れる電流 I_{OLED} は、第1のトランジスタ301の閾値電圧 $|V_{th}|$ に依存しない形で表されるため、トランジスタの閾値電圧のばらつきを補償することができる。

【0102】

なお、第4の期間T4で第1のトランジスタ301をオンさせるために、ビデオ信号電圧 V_{data} を容量線315の電位 V_{CL} 以下に設定する。

【0103】

なお、容量線315の電位 V_{CL} は、電源電位 VDD と第1のトランジスタ301の閾 50

値電圧 $|V_{th}|$ との差 $V_{DD} - |V_{th}|$ よりも低い電位であればよい。なお、第 1 の保持容量 306、及び第 2 の保持容量 307 に、第 1 のトランジスタ 301 の閾値電圧 $|V_{th}|$ やビデオ信号電圧 V_{data} などに基づいた電圧を確実に保持できるようにするために、容量線 315 の電位 V_{CL} は、より低い方が望ましい。しかし、ビデオ信号電圧 V_{data} を容量線 315 の電位 V_{CL} 以下に設定するため、容量線 315 の電位 V_{CL} をあまりに低くしすぎると、ビデオ信号電圧 V_{data} をさらに低くしなければならなくなる。したがって、容量線 315 の電位 V_{CL} をある適当な範囲内で設定するのが、より望ましい。例えば、容量線 315 の電位 V_{CL} の範囲を、 $-(V_{DD} + V_{SS}) / 2 \leq V_{CL} \leq (V_{DD} + V_{SS}) / 2$ と設定してもよい。

【0104】

10

図 3 で示した画素回路では、第 1 のトランジスタ 301 を P チャンネル型としているが、第 1 のトランジスタ 301 を N チャンネル型としてもよい。ここで、第 1 のトランジスタを N チャンネル型とした場合の画素構成を、図 9 に示す。

【0105】

図 9 の画素回路は、第 1 のトランジスタ 901 ~ 第 5 のトランジスタ 905、第 1 の保持容量 906 及び第 2 の保持容量 907、信号線 908、第 1 の走査線 909 ~ 第 4 の走査線 912、第 1 の電源線 913 及び第 2 の電源線 914、容量線 915、発光素子 916 から構成されている。

【0106】

なお、図 9 の画素回路では、第 2 のトランジスタ 902 ~ 第 5 のトランジスタ 905 を 20 全て N チャンネル型としている。

【0107】

ここで、第 1 のトランジスタ 901 は、発光素子 916 に電流を供給するトランジスタとして用いられ、第 2 のトランジスタ 902 ~ 第 5 のトランジスタ 905 は、配線を接続するかしないかを選択するスイッチとして用いられる。

【0108】

第 1 のトランジスタ 901 は、ゲート電極が、第 4 のトランジスタ 904 の第 2 端子、及び第 1 の保持容量 906 の第 1 の電極、及び第 2 の保持容量 907 の第 1 の電極に接続され、第 1 端子が、第 1 の電源線 913 に接続され、第 2 端子が、第 4 のトランジスタ 904 の第 1 端子、及び第 5 のトランジスタ 905 の第 1 端子に接続されている。第 2 のトランジスタ 902 は、ゲート端子が、第 1 の走査線 909 に接続され、第 1 端子が、信号線 908 に接続され、第 2 端子が、第 3 のトランジスタ 903 の第 1 端子、及び第 1 の保持容量 906 の第 2 の電極に接続されている。第 3 のトランジスタ 903 は、ゲート端子が、第 2 の走査線 910 に接続され、第 2 端子が、容量線 915 に接続されている。第 4 のトランジスタ 904 は、ゲート端子が、第 3 の走査線 911 に接続されている。第 5 のトランジスタ 905 は、ゲート端子が、第 4 の走査線 912 に接続され、第 2 端子が、発光素子 916 の第 2 の電極に接続されている。第 2 の保持容量 907 は、第 2 の電極が、容量線 915 に接続されている。発光素子 916 は、第 1 の電極が、第 2 の電源線 914 に接続されている。

30

【0109】

40

また、第 1 の電源線 913 には、電源電位 V_{SS} が印加され、第 2 の電源線 914 には、電源電位 V_{DD} が印加され、容量線 915 には、電位 V_{CL} が印加される。なお、電位の大小関係は、 $V_{DD} > V_{SS}$ 、 $V_{CL} > V_{SS}$ とする。

【0110】

なお、図 9 における第 4 のトランジスタ 904 は、図 2 における第 2 のトランジスタ 202 に対応し、図 9 における第 2 の保持容量 907 は、図 2 における保持容量 203 に対応する。

【0111】

次に、本実施形態の画素回路の動作について、図 10 を用いて説明する。

【0112】

50

図10は、信号線908及び第1の走査線909～第4の走査線912に入力されるビデオ信号電圧及びパルスのタイミングチャートを示す。第1～第5のトランジスタが全てNチャンネル型となったため、第1の走査線909～第4の走査線912に入力されるパルスのタイミングについては、全てのトランジスタがPチャンネル型である場合(図4)に対してHレベル及びLレベルが反転している。また、画素回路の各動作に合わせて、第1の期間T1～第4の期間T4の4つの期間に分割している。

【0113】

第1の期間T1～第4の期間T4における図9の画素回路の動作は、図3に示した画素回路の動作と同じである。つまり、第1の期間T1では、第1の保持容量906及び第2の保持容量907に、ある初期電圧を保持する。つまり、初期化を行う。次に、第2の期間T2では、第1の保持容量906及び第2の保持容量907に第1のトランジスタ901の閾値電圧 $|V_{th}|$ に基づいた電圧を保持する。次に、第3の期間T3では、第1の保持容量906及び第2の保持容量907に、ビデオ信号電圧 V_{data} 及び第1のトランジスタ901の閾値電圧 $|V_{th}|$ に基づいた電圧を保持する。そして、第4の期間T4では、発光素子916にビデオ信号電圧 V_{data} に依存した電流 I_{OLED} が流れ、発光素子916が発光する。なお、発光素子916に流れる電流 I_{OLED} は、図3の画素回路と同様に(4)式で表される。

【0114】

なお、第2の期間T2で、第1の保持容量906及び第2の保持容量907に第1のトランジスタ901の閾値電圧 $|V_{th}|$ に基づいた電圧を保持させるためには、予め、第1のトランジスタ901の第2端子の電位を、電源電位 V_{SS} と第1のトランジスタ901の閾値電圧 $|V_{th}|$ との和 $V_{SS} + |V_{th}|$ よりも高くしておかなければならない。したがって、第1の期間T1で発光素子916に電流を流すことにより、第1のトランジスタ901の第2端子の電位を確実に $V_{SS} + |V_{th}|$ よりも高くすることができ、閾値電圧の取得及び補償を確実に行うことができるようになる。

【0115】

なお、図9に示した画素回路の動作過程において、第1のトランジスタ901～第5のトランジスタ905が有する機能は、それぞれ、図3に示した画素回路における第1のトランジスタ301～第5のトランジスタ305と同じ機能を有する。

【0116】

以上のような動作過程によって、発光素子916に電流 I_{OLED} を供給し、発光素子916を電流 I_{OLED} に応じた輝度で発光させることができる。このとき、(4)式に示したように、発光素子916に流れる電流 I_{OLED} は、第1のトランジスタ901の閾値電圧 V_{th} に依存しない形で表されるため、トランジスタの閾値電圧のばらつきを補償することができる。

【0117】

なお、第4の期間T4で第1のトランジスタ901をオンさせるために、ビデオ信号電圧 V_{data} を容量線915の電位 V_{CL} 以上に設定する。

【0118】

なお、容量線915の電位 V_{CL} は、電源電位 V_{SS} と第1のトランジスタ901の閾値電圧 $|V_{th}|$ の和 $V_{SS} + |V_{th}|$ よりも高い電位であればよい。なお、第1の保持容量906及び第2の保持容量907に、第1のトランジスタ901の閾値電圧 $|V_{th}|$ やビデオ信号電圧 V_{data} などに基づいた電圧を確実に保持できるようにするために、容量線915の電位 V_{CL} は、より高い方が望ましい。しかし、ビデオ信号電圧 V_{data} を容量線915の電位 V_{CL} 以上に設定するため、容量線915の電位 V_{CL} をあまりに高くしすぎると、ビデオ信号電圧 V_{data} をさらに高くしなくなってしまう。したがって、容量線915の電位 V_{CL} をある適当な範囲内で設定するのが、より望ましい。例えば、容量線915の電位 V_{CL} の範囲を、 $(V_{DD} + V_{SS}) / 2 \leq V_{CL} \leq 3 \times (V_{DD} + V_{SS}) / 2$ と設定してもよい。

【0119】

以上より、本実施形態の画素構成によって、トランジスタの閾値電圧のばらつきを補償し、輝度のばらつきを低減させることができるため、画質を向上させることができる。

【0120】

また、本実施形態の画素回路において、(4)式に示したように、発光素子に流れる電流 I_{OLED} は、第1及び第2の保持容量の容量比に依存し、容量比が一定であれば I_{OLED} も一定となる。ここで、第1及び第2の保持容量は、通常は同一工程で作成されることから、仮に製造時におけるマスクパターンの位置合わせにずれが生じたとしても、容量の誤差は第1及び第2の保持容量においてほぼ等しい割合となる。したがって、製造誤差が生じた場合であっても $[C_1 / (C_1 + C_2)]$ の値はほぼ一定の値を維持することが可能であり、 I_{OLED} もほぼ一定の値を維持することが可能である。

10

【0121】

また、多くの画素が同時に発光すると、電源電位 V_{DD} が印加されている電源線での電圧降下の影響により、電源線に印加されている電源電位 V_{DD} の大きさが画素の配置位置ごとに変化し、ばらついてしまうが、本実施形態の画素回路において、(4)式に示したように、発光素子に流れる電流 I_{OLED} は、電源電位 V_{DD} に依存しない形で表されるため、電源線での電圧降下による電源電位 V_{DD} のばらつきの影響を排除することができる。

【0122】

なお、本実施形態において、第1及び第2の保持容量は、金属で形成してもよいし、MOSトランジスタで形成してもよい。

20

【0123】

例えば、図3に示した画素回路において、第1及び第2の保持容量をMOSトランジスタで形成した場合の例を図11、図12に示す。

【0124】

図11は、第1の保持容量306及び第2の保持容量307を、Pチャネル型トランジスタで形成した場合を示している。Pチャネル型トランジスタで保持容量を形成する場合、電荷を保持するために、該Pチャネル型トランジスタにチャネル領域を誘起させる必要があるため、該Pチャネル型トランジスタのゲート端子の電位を、該Pチャネル型トランジスタの第1及び第2端子の電位よりも低くしなければならない。図3に示した画素回路の場合、第1の保持容量306及び第2の保持容量307において、第1の電極の方が第2の電極よりも電位が高くなるため、該Pチャネル型トランジスタを保持容量として機能させるために、該Pチャネル型トランジスタの第1及び第2端子を、第1の保持容量306及び第2の保持容量307の第1の電極として接続し、該Pチャネル型トランジスタのゲート端子を、第1の保持容量306及び第2の保持容量307の第2の電極として接続する。

30

【0125】

図12は、第1の保持容量306及び第2の保持容量307を、Nチャネル型トランジスタで形成した場合を示している。Nチャネル型トランジスタで保持容量を形成する場合、電荷を保持するために、該Nチャネル型トランジスタにチャネル領域を誘起させる必要があるため、該Nチャネル型トランジスタのゲート端子の電位を、該Nチャネル型トランジスタの第1及び第2端子の電位よりも高くしなければならない。したがって、該Nチャネル型トランジスタを保持容量として機能させるために、該Nチャネル型トランジスタのゲート端子を、第1の保持容量306及び第2の保持容量307の第1の電極として接続し、該Nチャネル型トランジスタの第1及び第2端子を、第1の保持容量306及び第2の保持容量307の第2の電極として接続する。

40

【0126】

また、別の例として、図9に示した画素回路において、第1及び第2の保持容量をMOSトランジスタで形成した場合の例を図13、図14に示す。

【0127】

図13は、第1の保持容量906及び第2の保持容量907を、Nチャネル型トランジ

50

スタで形成した場合を示している。図 9 に示した画素回路の場合、第 1 の保持容量 306 及び第 2 の保持容量 307 において、第 2 の電極の方が第 1 の電極よりも電位が高くなるため、該 N チャンネル型トランジスタを保持容量として機能させるために、該 N チャンネル型トランジスタの第 1 及び第 2 端子を、第 1 の保持容量 906 及び第 2 の保持容量 907 の第 1 の電極として接続し、該 N チャンネル型トランジスタのゲート端子を、第 1 の保持容量 906 及び第 2 の保持容量 907 の第 2 の電極として接続する。

【0128】

図 14 は、第 1 の保持容量 906 及び第 2 の保持容量 907 を、P チャンネル型トランジスタで形成した場合を示している。P チャンネル型トランジスタを保持容量として機能させるために、該 P チャンネル型トランジスタのゲート端子を、第 1 の保持容量 906 及び第 2 の保持容量 907 の第 1 の電極として接続し、該 P チャンネル型トランジスタの第 1 及び第 2 端子を、第 1 の保持容量 906 及び第 2 の保持容量 907 の第 2 の電極として接続する。

10

【0129】

なお、図 11 ~ 図 14 において、第 1 及び第 2 の保持容量を同じ導電形式のトランジスタで形成したが、これに限定されない。互いに異なる導電形式のトランジスタで形成してもよい。

【0130】

本実施形態のように、第 1 及び第 2 の保持容量を第 1 のトランジスタのゲート端子と容量線との間に接続することにより、特に第 1 及び第 2 の保持容量を MOS トランジスタで形成した場合、該 MOS トランジスタのゲート・ソース間に、常に該 MOS トランジスタの閾値電圧よりも大きい電圧がかかるため、該 MOS トランジスタに常にチャンネル領域を誘起させることができ、常に保持容量として機能させることができる。したがって、画素回路の動作過程の中で、保持容量に所望の電圧を正しく保持することが可能となる。

20

【0131】

また、本実施形態の画素構成において、第 1 ~ 第 5 のトランジスタのそれぞれが有するチャンネル長 L とチャンネル幅 W の比 W/L の値の中で、第 1 のトランジスタが有する W/L の値が最大となるようにすると、第 1 のトランジスタのドレインとソースの間を流れる電流をより大きくすることができる。これにより、第 1 の期間 $T1$ で第 1 のトランジスタの閾値電圧 $|V_{th}|$ に基づいた電圧を取得するときに、より大きな電流によって動作を行うことができるため、より迅速な動作ができるようになる。また、第 4 の期間 $T4$ で発光素子に流れる電流 I_{OLED} をより大きくすることができ、輝度をより高くすることが可能となる。

30

【0132】

なお、本実施形態では、第 2 の走査線と第 3 の走査線とに入力されるパルスのタイミングが同じであるため、第 3 のトランジスタと第 4 のトランジスタを、第 2 の走査線もしくは第 3 の走査線のいずれか一方の走査線で制御してもよい。

【0133】

例えば、図 3 に示した画素回路において、第 3 のトランジスタ 303 及び第 4 のトランジスタ 304 を第 2 の走査線 310 によって制御する場合の例を図 15 に示す。なお、図 15 では、第 3 のトランジスタ 303 のゲート端子、及び第 4 のトランジスタ 304 のゲート端子が、第 2 の走査線 310 に接続されている。

40

【0134】

また、別の例として、図 9 に示した画素回路において、第 3 のトランジスタ 903 及び第 4 のトランジスタ 904 を第 2 の走査線 910 によって制御する場合の例を図 16 に示す。なお、図 16 では、第 3 のトランジスタ 903 のゲート端子、及び第 4 のトランジスタ 904 のゲート端子が、第 2 の走査線 910 に接続されている。

【0135】

このように、第 3 及び第 4 のトランジスタを同一の走査線で制御することにより、走査線の本数を減らすことができ、画素の開口率を上げることができる。

50

【0136】

なお、本実施形態では、第2～第5のトランジスタをすべてPチャネル型、もしくはすべてNチャネル型というように、同じ導電形式のトランジスタとしていたが、これに限定されない。Pチャネル型とNチャネル型とを両方とも用いて回路を構成してもよい。

【0137】

例えば、図3において、第4のトランジスタ304をNチャネル型とし、第4のトランジスタ304以外のトランジスタをPチャネル型としてもよい。この画素回路を図17に示す。また、信号線308及び第1の走査線309～第4の走査線312に入力されるビデオ信号電圧及びパルスのタイミングチャートを図18に示す。

【0138】

このように、第4のトランジスタ304をNチャネル型とすると、第4のトランジスタ304での漏れ電流がPチャネル型トランジスタの場合よりも小さくなるため、第1の保持容量306及び第2の保持容量307に保持した電荷の漏れが少なくなり、第1の保持容量306及び第2の保持容量307で保持した電圧の変動が小さくなる。これにより、特に発光期間(T4)において、第1のトランジスタ301のゲート端子に常に一定の電圧が印加されるため、発光素子316に一定の電流を供給することができる。その結果、発光素子316を一定の輝度で発光させることができ、輝度ムラを低減させることができる。

【0139】

なお、第2のトランジスタ～第5のトランジスタがどちらの導電形式であるかについては、上記の内容に限定されない。

【0140】

(実施の形態2)

実施の形態1では、容量線を別に設けていたが、既存の他の配線を容量線の代わりとして用いてもよい。例えば、第1～第4の走査線のいずれか1つを容量線の代わりとして用いることにより、容量線を削除することが可能である。本実施形態では、容量線の代わりとして第1～第4の走査線のいずれか1つを用いた場合について説明する。なお、発光素子として、EL素子を例に挙げて説明する。

【0141】

例えば、図3において、容量線の代わりとして前行の第1の走査線を用いた場合の画素回路の例を図19に示す。図19では、ある*i*行目の画素Pixel(*i*)の容量線の代わりに、(*i*−1)行目の画素Pixel(*i*−1)の第1の走査線1909を用いており、*i*行目の画素Pixel(*i*)の第3のトランジスタ1923の第2端子、及び第2の保持容量1927の第2端子が、(*i*−1)行目の画素Pixel(*i*−1)の第1の走査線1909に接続されている。

【0142】

また、信号線1908、及び(*i*−1)行目の画素Pixel(*i*−1)の第1の走査線1909～第4の走査線1912、及び*i*行目の画素Pixel(*i*)の第1の走査線1929～第4の走査線1932に入力されるビデオ信号電圧及びパルスのタイミングチャートを図20に示す。なお、図20に記載の期間T1～T4は、*i*行目の画素Pixel(*i*)の動作に対応したものである。

【0143】

図19に示すような画素構成にすると、*i*行目の画素Pixel(*i*)の第3のトランジスタ1923の第2端子、及び第2の保持容量1927の第2端子には、(*i*−1)行目の画素Pixel(*i*−1)の第1の走査線1909に印加される電位が印加される。したがって、*i*行目の画素Pixel(*i*)の第3のトランジスタ1923の第2端子、及び第2の保持容量1927の第2の電極には、期間T2ではLレベルの電位が印加され、期間T1、T3、T4ではHレベルの電位が印加される。これにより、各期間で*i*行目の画素Pixel(*i*)の第3のトランジスタ1923の第2端子、及び第2の保持容量1927の第2の電極に一定の電位を印加することができるため、実施の形態1で説明し

10

20

30

40

50

たような画素回路の動作を行うことができる。

【0144】

また、別の例として、図9において、容量線の代わりとして前行の第1の走査線を用いた場合の例を図21に示す。図21では、ある*i*行目の画素Pixel(*i*)の容量線の代わりに、(*i*−1)行目の画素Pixel(*i*−1)の第1の走査線2109を用いており、*i*行目の画素Pixel(*i*)の第3のトランジスタ2123の第2端子、及び第2の保持容量2127の第2の電極が、(*i*−1)行目の画素Pixel(*i*−1)の第1の走査線2109に接続されている。

【0145】

また、信号線2108、及び(*i*−1)行目の画素Pixel(*i*−1)の第1の走査線2109〜第4の走査線2112、及び*i*行目の画素Pixel(*i*)の第1の走査線2129〜第4の走査線2132に入力されるビデオ信号電圧及びパルスのタイミングチャートを図22に示す。なお、図22に記載の期間T1〜T4は、*i*行目の画素Pixel(*i*)の動作に対応したものである。

【0146】

図21に示すような画素構成にすると、*i*行目の画素Pixel(*i*)の第3のトランジスタ2123の第2端子、及び第2の保持容量2127の第2の電極には、(*i*−1)行目の画素Pixel(*i*−1)の第1の走査線2109に印加される電位が印加される。したがって、*i*行目の画素Pixel(*i*)の第3のトランジスタ2123の第2端子、及び第2の保持容量2127の第2の電極には、期間T2ではHレベルの電位が印加され、期間T1、T3、T4ではLレベルの電位が印加される。これにより、各期間で*i*行目の画素Pixel(*i*)の第3のトランジスタ2123の第2端子、及び第2の保持容量2127の第2の電極に一定の電位を印加することができるため、実施の形態1で説明したような画素回路の動作を行うことができる。

【0147】

このように、容量線の代わりとして前行の第1の走査線を用いることにより、容量線を新たに設ける必要がなくなるため、配線の本数を減らすことができ、画素の開口率を上げることができる。また、容量線に印加する電圧を新たに生成する必要がなくなるため、そのための回路を削減することができるとともに、消費電力も削減することができる。

【0148】

なお、容量線の代わりとして用いる走査線は、前行の第1の走査線に限定されない。容量線の代わりとして前行の第2〜第4の走査線のいずれか1つを用いてもよい。また、次の第1〜第4の走査線のいずれか1つを用いてもよい。なお、当行の画素の発光期間(T4)中、前行の第1の走査線及び前行の第4の走査線には一定の電位が印加されるため、当行の画素の発光期間中に発光素子に流れる電流を一定値に保つことができ、発光素子を一定の輝度で発光させることができる。したがって、容量線の代わりとして、前行の第1の走査線もしくは前行の第4の走査線を用いることが望ましい。

【0149】

なお、本実施形態で述べた内容は、実施の形態1で述べた内容と自由に組み合わせて実施することができる。

【0150】

(実施の形態3)

実施の形態1及び実施の形態2において、初期化を行うときに発光素子に電流を流していたが、これまで示してきた画素回路に、新たに初期化用トランジスタを追加することにより、初期化を行うことも可能である。本実施形態では、初期化用トランジスタを用いて初期化を行う方法について説明する。なお、発光素子として、EL素子を例に挙げて説明する。

【0151】

初期化を行うためには、第1のトランジスタの第2端子を、ある初期電位に設定する必要がある。このとき、第1のトランジスタの第2端子と他の素子の電極もしくは他の配線

とを、初期化用トランジスタを介して接続し、初期化用トランジスタをオンさせることにより、第1のトランジスタの第2端子を、接続先の電極もしくは配線が有する電位に設定することができる。

【0152】

つまり、初期化用トランジスタは、第1のトランジスタの第2端子の電位をある初期電位に設定するために、第1のトランジスタの第2端子と他の素子の電極もしくは他の配線とを接続するスイッチとして機能する。

【0153】

例えば、図3に示した画素回路の場合、第1の保持容量306及び第2の保持容量307に第1のトランジスタ301の閾値電圧 $|V_{th}|$ に基づいた電圧を保持させるためには、予め、第1のトランジスタ301の第2端子の電位を、電源電位VDDと第1のトランジスタ301の閾値電圧 $|V_{th}|$ との差 $VDD - |V_{th}|$ よりも低くしておかなければならない。そこで、第1の期間T1で、第1のトランジスタ301の第2端子と他の素子の電極もしくは他の配線とを、初期化トランジスタを介して接続することにより、第1のトランジスタ301の第2端子の電位を $VDD - |V_{th}|$ よりも低い初期電圧に設定することができる。

【0154】

ここで、図3に示した画素回路に、初期化用トランジスタを設けた場合の例を図23に示す。図23では、図3に示した画素回路に、新たに初期化用トランジスタである第6のトランジスタ2317と第5の走査線2318を加えている。なお、第6のトランジスタ2317は、ゲート端子が、第5の走査線2318に接続され、第1端子が、第1のトランジスタ301の第2端子、及び第4のトランジスタ304の第1端子、及び第5のトランジスタ305の第1端子に接続され、第2端子が、第2のトランジスタ302の第2端子、及び第3のトランジスタ303の第1端子、及び第1の保持容量306の第2の電極に接続されている。

【0155】

次に、図23に示した画素回路の動作について、図24、図25を用いて説明する。

【0156】

図24は、信号線308及び第1の走査線309～第5の走査線2318に入力されるビデオ信号電圧及びパルスのタイミングチャートを示しており、画素回路の各動作に合わせて、T1～T4の4つの期間に分割している。

【0157】

第1の期間T1における画素回路の動作について、図25を用いて説明する。期間T1では、第2の走査線310、第3の走査線311、第5の走査線2318がLレベルとなり、第3のトランジスタ303、第4のトランジスタ304、第6のトランジスタ2317がオンする。また、第1の走査線309及び第4の走査線312がHレベルとなり、第2のトランジスタ302及び第5のトランジスタ305がオフする。これにより、第1のトランジスタ301の第2端子と容量線315が接続されるため、第1のトランジスタ301の第2端子、及び第1の保持容量306の第1の電極、及び第2の保持容量307の第1の電極の電位が、容量線315の電位 V_{CL} と等しくなる。

【0158】

以上の動作により、期間T1では、第1のトランジスタ301の第2端子、及び第1の保持容量306の第1の電極、及び第2の保持容量307の第1の電極の電位を、初期電位として、容量線315の電位 V_{CL} に設定する。

【0159】

このように、期間T1で、第1のトランジスタ301の第2端子の電位を、 $VDD - |V_{th}|$ よりも低い電位である容量線315の電位 V_{CL} に設定することにより、第1のトランジスタ301の第2端子の電位を確実に $VDD - |V_{th}|$ よりも低くすることができ、閾値電圧の補償を確実に行うことができるようになる。

【0160】

10

20

30

40

50

なお、期間 $T_2 \sim T_4$ においては、第 5 の走査線 2318 を H レベルとし、第 6 のトランジスタ 2317 をオフとする。そして、図 3 に示した画素回路と同じ動作を行う。

【0161】

なお、第 6 のトランジスタ 2317 は、初期化を行う期間 T_1 に、第 1 のトランジスタ 301 の第 2 端子が、 $V_{DD} - |V_{th}|$ よりも低い電位に設定されるように接続すればよい。

【0162】

例えば、図 26 に示すように、第 6 のトランジスタ 2317 の第 1 端子を、第 1 のトランジスタ 301 のゲート端子、及び第 4 のトランジスタ 304 の第 2 端子、及び第 1 の保持容量 306 の第 1 の電極、及び第 2 の保持容量 307 の第 1 の電極に接続してもよい。また、図 27 に示すように、第 6 のトランジスタ 2317 の第 2 端子を、容量線 315 に接続してもよい。また、図 65 に示すように、第 6 のトランジスタ 2317 の第 2 端子を、第 2 の走査線 310 に接続してもよいし、図 66 に示すように、第 6 のトランジスタ 2317 の第 2 端子を、第 3 の走査線 311 に接続してもよい。

【0163】

また、第 1 のトランジスタ 301 の第 2 端子を、ある初期電位に設定するために、新たに初期化線（初期化用電源線）を設けてもよい。

【0164】

例えば、図 3 に示した画素回路に初期化用トランジスタと初期化線を設けた場合の例を図 28 に示す。図 28 では、図 3 に示した画素回路に、新たに初期化用トランジスタである第 6 のトランジスタ 2317、第 5 の走査線 2318、初期化線 2819 を加えている。なお、第 6 のトランジスタ 2317 は、ゲート端子が、第 5 の走査線 2318 に接続され、第 1 端子が、第 1 のトランジスタ 301 の第 2 端子、及び第 4 のトランジスタ 304 の第 1 端子、及び第 5 のトランジスタ 305 の第 1 端子に接続され、第 2 端子が、初期化線 2819 に接続されている。

【0165】

また、初期化線 2819 には、初期化電位 V_{ini} が印加される。なお、電位の大小関係は、 $V_{ini} < V_{DD} - |V_{th}|$ とする。

【0166】

図 28 に示した画素回路の第 1 の期間 T_1 での動作を、図 29 に示す。期間 T_1 では、第 1 のトランジスタ 301 はダイオード接続の状態となり、初期化線 2819 に電流が流れる。その結果、第 1 のトランジスタ 301 の第 2 端子、及び第 1 の保持容量 306 の第 1 の電極、及び第 2 の保持容量 307 の第 1 の電極の電位が初期化線 2819 の電位と等しくなり、第 1 の保持容量 306 及び第 2 の保持容量 307 に、初期化電位 V_{ini} と容量線 315 の電位 V_{CL} との差 $V_{ini} - V_{CL}$ が保持される。

【0167】

以上の動作により、期間 T_1 では、第 1 の保持容量 306 及び第 2 の保持容量 307 に初期電圧として、初期化線 2819 の電位と容量線 315 の電位との差に相当する電圧を保持する。

【0168】

このように、初期化線 2819 を設け、第 1 のトランジスタ 301 の第 2 端子の電位を、 $V_{DD} - |V_{th}|$ よりも低い電位である初期化電位 V_{ini} と容量線 315 の電位 V_{CL} との差 $V_{ini} - V_{CL}$ に設定することにより、第 1 のトランジスタ 301 の第 2 端子の電位を確実に $V_{DD} - |V_{th}|$ よりも低くすることができ、閾値電圧の補償を確実に行うことができるようになる。

【0169】

なお、第 6 のトランジスタ 2317 は、第 1 のトランジスタ 301 の第 2 端子が、初期化電位 V_{ini} に設定されるように接続すればよい。例えば、図 30 に示すように、第 6 のトランジスタ 2317 の第 1 端子を、第 1 のトランジスタ 301 のゲート端子、及び第 4 のトランジスタ 304 の第 2 端子、及び第 1 の保持容量 306 の第 1 の電極、及び第 2

10

20

30

40

50

の保持容量 307 の第 1 の電極に接続してもよい。

【0170】

このように、新たに初期化用トランジスタ及び初期化線を追加することによって初期化を行うことにより、第 1 のトランジスタの閾値電圧の取得及び補償を、より確実に行うことができるようになる。

【0171】

また、実施の形態 1 で説明した初期化の方法では、初期化を行っている最中に発光素子に電流が流れるため、期間 T1 で発光素子が発光していたが、この方法では、初期化を行っている最中に発光素子に電流が流れないため、期間 T1 で発光素子が発光せず、発光期間以外での発光素子の発光を抑えることができる。

10

【0172】

なお、本実施形態では、初期化用トランジスタである第 6 のトランジスタを P チャネル型としたが、これに限定されない。N チャネル型でもよい。

【0173】

なお、本実施形態では、第 1 のトランジスタが P チャネル型である場合（図 3）の場合の実施例のみを説明したが、本実施形態の内容を、図 9 に示した画素回路のような、第 1 のトランジスタが N チャネル型である場合にも同様に適用することができる。

【0174】

なお、図 9 に示した画素回路に初期化用トランジスタを追加する場合、第 1 のトランジスタの第 2 端子の電位が、電源電位 V_{SS} と第 1 のトランジスタの閾値電圧 $|V_{th}|$ との和 $V_{SS} + |V_{th}|$ よりも高い電位に設定されるように接続する。また、初期化線を追加する場合、初期化線に印加する電位 V_{ini} は、電源電位 V_{SS} と第 1 のトランジスタの閾値電圧 $|V_{th}|$ との和 $V_{SS} + |V_{th}|$ よりも高い電位に設定する。

20

【0175】

なお、本実施形態では、初期化線を別に設けていたが、既存の他の配線を初期化線の代わりとして用いてもよい。例えば、第 1 ～第 5 の走査線のいずれか 1 つを初期化線の代わりとして用いてもよい。なお、初期化線の代わりとして用いる配線は、当行の画素が有するいずれかの配線に限定されない。他行の画素が有するいずれかの配線でもよい。これにより、初期化線を新たに設ける必要がないため、配線の本数を減らすことができ、画素の開口率を上げることができる。

30

【0176】

なお、本実施形態で述べた内容は、実施の形態 1 ～実施の形態 2 で述べた内容と自由に組み合わせて実施することができる。

【0177】

（実施の形態 4）

実施の形態 1 ～実施の形態 3 では、第 2 の電源線の電位を固定電位としているが、第 1 ～第 4 の期間に応じて、第 2 の電源線の電位を変えてもよい。本実施形態では、第 1 ～第 4 の期間に応じて、第 2 の電源線の電位を変える場合について説明する。なお、発光素子として、EL 素子を例に挙げて説明する。

【0178】

例えば、図 3 に示した画素回路において、第 2 の期間 T2 及び第 3 の期間 T3 では、第 5 のトランジスタ 305 をオフとすることにより、発光素子 316 に電流を流さないようにしているが、例えば、第 5 のトランジスタ 305 を削除して、第 1 のトランジスタ 301 の第 2 端子と発光素子 316 の第 1 端子を直接接続し、第 2 の期間 T2 及び第 3 の期間 T3 で第 2 の電源線 314 の電位を、発光素子 316 の第 1 端子の電位よりも高くすることにより、発光素子 316 に電流を流さなくすることができる。なぜならば、第 2 の電源線 314 の電位を発光素子 316 の第 1 端子の電位よりも高くすることにより、発光素子 316 に逆方向のバイアスがかかるためである。この場合の例を図 31、図 32 に示す。

40

【0179】

図 31 では、図 3 に示した画素回路に対して、第 1 のトランジスタ 301 の第 2 端子が

50

発光素子 316 の第 1 端子と接続されている。また、図 32 は、信号線 308 及び第 1 の走査線 309 ~ 第 3 の走査線 311、第 2 の電源線 314 に入力されるビデオ信号電圧及びパルスのタイミングチャートを示している。なお、第 1 の走査線 309 ~ 第 3 の走査線 311 に入力されるパルスのタイミングは、図 3 に示した画素回路と同じである。

【0180】

なお、第 2 の期間 T2 及び第 3 の期間 T3 では、第 2 の電源線 314 の電位を、電源電位 VDD と第 1 のトランジスタ 301 の閾値電圧 $|V_{th}|$ との差 $VDD - |V_{th}|$ 以上にするることにより、発光素子 316 に逆方向のバイアスがかかり、第 2 の期間 T2 及び第 3 の期間 T3 で発光素子 316 に電流を流さなくすることができる。

【0181】

なお、初期化の方法として、実施の形態 3 で説明した、初期化用トランジスタを用いて初期化を行う方法を用いてもよい。この場合、期間 T1 では、第 2 の電源線 314 の電位を第 1 のトランジスタの第 2 端子の電位よりも高くすることにより、発光素子 316 に電流を流さずに初期化を行うことが可能となる。

【0182】

また、初期化の方法として、実施の形態 3 で説明した、初期化用トランジスタと初期化線を用いて初期化を行う方法を用いてもよい。この場合、期間 T1 では、第 2 の電源線 314 の電位を初期化電位 V_{ini} 以上にするることにより、発光素子 316 に電流を流さずに初期化を行うことが可能となる。

【0183】

また、別の例として、図 9 に示した画素回路において第 2 の電源線の電位を変化させる場合の例を図 33、図 34 に示す。

【0184】

図 33 では、図 9 に示した画素回路に対して、第 1 のトランジスタ 901 の第 2 端子が発光素子 916 の第 2 の電極と接続されている。また、図 34 は、信号線 908 及び第 1 の走査線 909 ~ 第 3 の走査線 911、第 2 の電源線 914 に入力されるビデオ信号電圧及びパルスのタイミングチャートを示している。なお、第 1 の走査線 909 ~ 第 3 の走査線 911 に入力されるパルスのタイミングは、図 9 に示した画素回路と同じである。

【0185】

第 2 の期間 T2 及び第 3 の期間 T3 で第 2 の電源線 914 の電位を、発光素子 916 の第 2 の電極の電位よりも低くすることにより、発光素子 916 に逆方向のバイアスがかかるため、期間 T2、T3 で発光素子 916 に電流を流さなくすることができる。

【0186】

なお、第 2 の期間 T2 及び第 3 の期間 T3 では、第 2 の電源線 914 の電位を、電源電位 VSS と第 1 のトランジスタ 901 の閾値電圧 $|V_{th}|$ との和 $VSS + |V_{th}|$ 以下にするることにより、上記の動作を行うことができる。

【0187】

なお、初期化の方法として、実施の形態 3 で説明した、初期化用トランジスタを用いて初期化を行う方法を用いてもよい。この場合、期間 T1 では、第 2 の電源線 914 の電位を第 1 のトランジスタの第 2 端子の電位よりも低くすることにより、発光素子 916 に電流を流さずに初期化を行うことが可能となる。

【0188】

また、初期化の方法として、実施の形態 3 で説明した、初期化用トランジスタと初期化線を用いて初期化を行う方法を用いてもよい。この場合、期間 T1 では、第 2 の電源線 914 の電位を初期化電位 V_{ini} 以下にするることにより、発光素子 916 に電流を流さずに初期化を行うことが可能となる。

【0189】

このように、第 2 の電源線の電位を期間によって変化させることにより、発光期間 (T4) 以外の期間に発光素子に電流を流さなくすることができるため、発光期間以外の期間での発光素子の発光を抑えることができる。また、第 5 のトランジスタ及び第 4 の走査線

10

20

30

40

50

を設ける必要がなくなるため、画素の開口率を上げることができる。また、走査線駆動回路の数を減らすことができるため、消費電力を削減することができる。

【0190】

なお、本実施形態で述べた内容は、実施の形態1～実施の形態3で述べた内容と自由に組み合わせて実施することができる。

【0191】

(実施の形態5)

実施の形態1～実施の形態4では、第3のトランジスタの第2端子、及び第2の保持容量の第2の電極を、共通の容量線に接続していたが、第3のトランジスタの第2端子、及び第2の保持容量の第2の電極を、それぞれ別々の配線に接続してもよい。本実施形態では、新たにリファレンス線を設け、第2の保持容量の第2の電極を容量線に、第3のトランジスタの第2端子をリファレンス線にそれぞれ接続した場合について説明する。なお、発光素子として、EL素子を例に挙げて説明する。

【0192】

例えば、図3に示した画素回路において、第2の保持容量の第2の電極を容量線に、第3のトランジスタの第2端子をリファレンス線にそれぞれ接続した場合の例を図35に示す。図35では、図3に示した画素回路に、新たにリファレンス線3517を追加している。そして、第2の保持容量307の第2の電極を、容量線315に接続し、第3のトランジスタ303の第2端子を、リファレンス線3517に接続している。

【0193】

また、リファレンス線3517には、参照電位 V_{ref} が印加される。

【0194】

図35に示した画素回路の動作過程は、図3に示した画素回路の動作過程とほぼ同じである。図3に示した画素回路の動作過程と異なる点は、各期間において、第1の保持容量306及び第2の保持容量307に保持される電圧の大きさ、及び発光期間(T4)で発光素子316に流れる電流 I_{OLED} の大きさである。

【0195】

まず、期間T1では、初期化を行う。

【0196】

次に、期間T2では、第1の保持容量306及び第2の保持容量307に第1のトランジスタ301の閾値電圧 $|V_{th}|$ に基づいた電圧を保持する。このとき、第1の保持容量306には、電源電位 V_{DD} と第1のトランジスタ301の閾値電圧 $|V_{th}|$ と参照電位 V_{ref} との差 $V_{DD} - |V_{th}| - V_{ref}$ が保持される。また、第2の保持容量307には、電源電位 V_{DD} と第1のトランジスタ301の閾値電圧 $|V_{th}|$ と容量線315の電位 V_{CL} との差 $V_{DD} - |V_{th}| - V_{CL}$ が保持される。

【0197】

次に、期間T3では、第1の保持容量306及び第2の保持容量307に、ビデオ信号電圧 V_{data} 及び第1のトランジスタ301の閾値電圧 $|V_{th}|$ に基づいた電圧を保持する。このとき、第1の保持容量306及び第2の保持容量307のそれぞれに保持される電圧を $V_{C1}(T3)$ 、 $V_{C2}(T3)$ とすると、 $V_{C1}(T3)$ 、 $V_{C2}(T3)$ は以下の(5)式、(6)式のように表される。

【0198】

【数5】

$$V_{C1}(T3) = V_{DD} - |V_{th}| - \frac{C_2}{C_1 + C_2} V_{data} - \frac{C_1}{C_1 + C_2} V_{ref} \quad \cdots (5)$$

【0199】

【数6】

$$V_{C2}(T3) = V_{DD} - |V_{th}| + \frac{C_1}{C_1 + C_2} (V_{data} - V_{ref}) - V_{CL} \quad \cdots (6)$$

【0200】

10

20

30

40

50

そして、期間 T 4 では、発光素子 3 1 6 にビデオ信号電圧 V_{data} に依存した電流 I_{OLED} が流れ、発光素子 3 1 6 が発光する。このとき、第 1 のトランジスタ 3 0 1 のゲート・ソース間電圧を $V_{gs}(T4)$ とすると、 $V_{gs}(T4)$ は以下の (7) 式のように表されるため、発光素子 3 1 6 に流れる電流 I_{OLED} は以下の (8) 式のように表される。

【0201】

【数 7】

$$|V_{gs}(T4)| = VDD - V_{C2}(T3) - V_{CL} = |V_{th}| - \frac{C_1}{C_1 + C_2}(V_{data} - V_{ref}) \quad \dots (7)$$

【0202】

【数 8】

$$I_{OLED} = \frac{\beta}{2}(|V_{gs}(T4)| - |V_{th}|)^2 = \frac{\beta}{2}\left(\frac{C_1}{C_1 + C_2}\right)^2 (V_{data} - V_{ref})^2 \quad \dots (8)$$

【0203】

なお、期間 T 4 で、第 1 のトランジスタ 3 0 1 をオンさせるために、ビデオ信号電圧 V_{data} を参照電位 V_{ref} 以下に設定する。

【0204】

また、別の例として、図 9 に示した画素回路において、第 2 の保持容量の第 2 の電極を容量線に、第 3 のトランジスタの第 2 端子をリファレンス線にそれぞれ接続した場合の例を図 3 6 に示す。図 3 6 では、図 9 に示した画素回路に、新たにリファレンス線 3 6 1 7 を追加している。そして、第 2 の保持容量 9 0 7 の第 2 の電極を、容量線 9 1 5 に接続し、第 3 のトランジスタ 9 0 3 の第 2 端子を、リファレンス線 3 6 1 7 に接続している。

【0205】

また、リファレンス線 3 6 1 7 には、参照電位 V_{ref} が印加される。

【0206】

図 3 6 に示した画素回路の動作過程は、図 9 に示した画素回路の動作過程とほぼ同じである。図 9 に示した画素回路の動作過程と異なる点は、各期間において、第 1 の保持容量 9 0 6 及び第 2 の保持容量 9 0 7 に保持される電圧の大きさ、及び発光期間 (T 4) で発光素子 9 1 6 に流れる電流 I_{OLED} の大きさである。発光期間 (T 4) で発光素子 9 1 6 に流れる電流 I_{OLED} は、図 3 5 に示した画素回路と同様に、(8) 式のように表される。

【0207】

なお、期間 T 4 で、第 1 のトランジスタ 9 0 1 をオンさせるために、ビデオ信号電圧 V_{data} を参照電位 V_{ref} 以上に設定する。

【0208】

このように、図 3 5、図 3 6 に示した画素回路において、発光素子に流れる電流 I_{OLED} は、(8) 式に示したように、ビデオ信号電圧 V_{data} と参照電位 V_{ref} との差に依存する。

【0209】

なお、図 3 5、図 3 6 に示した画素回路において、参照電位 V_{ref} の取り得る範囲に特に限定はない。

【0210】

このように、容量線とリファレンス線とを別々に設けることにより、容量線及びリファレンス線の電位を別々に制御することができる。また、実施の形態 1 ～実施の形態 4 で示した画素構成では、ビデオ信号電圧 V_{data} の取り得る範囲は容量線の電位 V_{CL} に依存していたが、本実施形態の画素構成では、ビデオ信号電圧 V_{data} の取り得る範囲が参照電位 V_{ref} に依存するため、容量線の電位 V_{CL} を適切な値に固定し、参照電位 V_{ref} を適切な範囲内で設定することにより、ビデオ信号電圧 V_{data} の取り得る範囲を、適切な範囲に設定することができる。

10

20

30

40

50

【0211】

なお、本実施形態では、リファレンス線を別に設けていたが、既存の他の配線をリファレンス線の代わりとして用いてもよい。例えば、第1～第5の走査線のいずれか1つをリファレンス線の代わりに用いてもよい。なお、リファレンス線の代わりとして用いる配線は、当行の画素が有するいずれかの配線に限定されない。他行の画素が有するいずれかの配線でもよい。これにより、リファレンス線を新たに設ける必要がないため、配線の本数を減らすことができ、画素の開口率を上げることができる。

【0212】

なお、本実施形態で述べた内容は、実施の形態1～実施の形態4で述べた内容と自由に組み合わせて実施することができる。

【0213】

(実施の形態6)

本実施形態では、本発明の表示装置における画素のレイアウトについて述べる。例えば、図3に示した画素回路について、そのレイアウト図を図37に示す。なお、図37に付した番号は、図3に付した番号と一致する。なお、レイアウト図は、図37に限定されない。

【0214】

図3に示した画素回路は、第1のトランジスタ301～第5のトランジスタ305、第1の保持容量306及び第2の保持容量307、信号線308、第1の走査線309～第4の走査線312、第1の電源線313及び第2の電源線314、容量線315、発光素子316から構成されている。

【0215】

第1の走査線309～第4の走査線312は、第1配線によって形成され、信号線308、第1の電源線313及び第2の電源線314、容量線315は、第2配線によって形成されている。

【0216】

トップゲート構造の場合は、基板、半導体層、ゲート絶縁膜、第1配線、層間絶縁膜、第2配線、の順で膜が構成される。また、ボトムゲート構造の場合は、基板、第1配線、ゲート絶縁膜、半導体層、層間絶縁膜、第2配線、の順で膜が構成される。

【0217】

なお、本実施形態の画素構成において、第1のトランジスタ301～第5のトランジスタ305のそれぞれが有するチャンネル長 L とチャンネル幅 W の比 W/L の値の中で、第1のトランジスタ301が有する W/L の値を最大にすると、第1のトランジスタ301のドレインとソースの間を流れる電流をより大きくすることができる。これにより、第3の期間 T_3 でビデオ信号電圧 V_{data} 及び第1のトランジスタ301の閾値電圧 $|V_{th}|$ に基づいた電圧を取得するときに、より大きな電流によって動作を行うことができるため、より迅速な動作ができるようになる。また、期間 T_4 で発光素子に流れる電流 I_{OLED} をより大きくすることができ、輝度をより高くすることが可能となる。そこで、第1のトランジスタ301が有する W/L の値が最大となるようにするために、図37では、第1のトランジスタ301～第5のトランジスタ305の中で、第1のトランジスタ301が有するチャンネル幅 W を最大にしている。

【0218】

なお、本実施形態では、第1のトランジスタ301～第5のトランジスタ305をシングルゲート構造で記載したが、これに限定されない。第1のトランジスタ301～第5のトランジスタ305の構造は、様々な形態をとることができる。例えば、ゲート電極が2個以上になっているマルチゲート構造を用いてもよい。マルチゲート構造にすると、チャンネル領域が直列に接続されるような構成となるため、複数のトランジスタが直列に接続されたような構成となる。マルチゲート構造にすることにより、オフ電流を低減され、トランジスタの耐圧を向上させて信頼性が向上し、飽和領域で動作する時に、ドレインとソースの間電圧が変化しても、ドレインとソースの間電流があまり変化せず、フラットな特性

10

20

30

40

50

にすることができる。また、チャンネルの上下にゲート電極が配置されている構造でもよい。チャンネルの上下にゲート電極が配置されている構造にすることにより、チャンネル領域が増えるため、電流値が大きくなり、空乏層ができやすくなってS値を小さくすることができる。チャンネルの上下にゲート電極が配置されると、複数のトランジスタが並列に接続されたような構成となる。

【0219】

また、チャンネルの上にゲート電極が配置されている構造でもよいし、チャンネルの下にゲート電極が配置されている構造でもよいし、正スタガ構造であってもよいし、逆スタガ構造でもよいし、チャンネル領域が複数の領域に分かれてもよいし、並列に接続されてもよいし、直列に接続されてもよい。また、チャンネル（もしくはその一部）にソース電極やドレイン電極が重なってもよい。チャンネル（もしくはその一部）にソース電極やドレイン電極が重なっている構造にすることにより、チャンネルの一部に電荷が溜まって不安定になることを防ぐことができる。また、LDD領域があってもよい。LDD領域を設けることにより、オフ電流を低減し、また、トランジスタの耐圧を向上させて信頼性が良くなり、飽和領域で動作する時に、ドレインとソースの間電圧が変化しても、ドレインとソースの間電流があまり変化せず、フラットな特性にすることができる。

【0220】

なお、配線や電極は、アルミニウム（Al）、タンタル（Ta）、チタン（Ti）、モリブデン（Mo）、タングステン（W）、ネオジウム（Nd）、クロム（Cr）、ニッケル（Ni）、白金（Pt）、金（Au）、銀（Ag）、銅（Cu）、マグネシウム（Mg）、スカンジウム（Sc）、コバルト（Co）、亜鉛（Zn）、ニオブ（Nb）、シリコン（Si）、リン（P）、ボロン（B）、ヒ素（As）、ガリウム（Ga）、インジウム（In）、錫（Sn）、酸素（O）で構成された群から選ばれた一つまたは複数の元素、もしくは、群から選ばれた一つまたは複数の元素を成分とする化合物や合金材料（例えば、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化珪素を添加したインジウム錫酸化物（ITSO）、酸化亜鉛（ZnO）、アルミネオジウム（Al-Nd）、マグネシウム銀（Mg-Ag）など）、もしくは、これらの化合物を組み合わせた物質などを有して形成される。もしくは、それらとシリコンの化合物（シリサイド）（例えば、アルミシリコン、モリブデンシリコン、ニッケルシリサイドなど）や、それらと窒素の化合物（例えば、窒化チタン、窒化タンタル、窒化モリブデン等）を有して形成される。

【0221】

なお、シリコン（Si）には、N型不純物（リンなど）やP型不純物（ボロンなど）を多く含んでもよい。これらの不純物を含むことにより、導電率が向上し、通常の導体と同様な振る舞いをするので、配線や電極として利用しやすくなる。なお、シリコンは、単結晶でもよいし、多結晶（ポリシリコン）でもよいし、非晶質（アモルファスシリコン）でもよい。単結晶シリコンや多結晶シリコンを用いることにより、抵抗を小さくすることが出来る。非晶質シリコンを用いることにより、簡単な製造工程で作ることが出来る。なお、アルミニウムや銀は、導電率が高いため、信号遅延を低減することができ、エッチングしやすいので、パターニングしやすく、微細加工を行うことが出来る。

【0222】

なお、銅は、導電率が高いため、信号遅延を低減することが出来る。なお、モリブデンは、ITOやIZOなどの酸化物半導体や、シリコンと接触しても、材料が不良を起こすなどの問題が生じることなく製造できたり、パターニングやエッチングがしやすかったり、耐熱性が高いため、望ましい。なお、チタンは、ITOやIZOなどの酸化物半導体や、シリコンと接触しても、材料が不良を起こすなどの問題が生じることなく製造できたり、耐熱性が高いため、望ましい。なお、タングstenは、耐熱性が高いため、望ましい。なお、ネオジウムは、耐熱性が高いため、望ましい。特に、ネオジウムとアルミニウムとの合金にすると、耐熱性が向上し、アルミニウムがヒロックをおこしにくくなるため、望ましい。なお、シリコンは、トランジスタが有する半導体層と同時に形成できたり、耐熱

10

20

30

40

50

性が高いため、望ましい。なお、インジウム錫酸化物（ITO）、インジウム亜鉛酸化物（IZO）、酸化珪素を添加したインジウム錫酸化物（ITOS）、酸化亜鉛（ZnO）、シリコン（Si）は、透光性を有しているため、光を透過させるような部分に用いることができるため、望ましい。たとえば、画素電極や共通電極として用いることができる。

【0223】

なお、これらが単層で配線や電極を形成していてもよいし、多層構造になっていてもよい。単層構造で形成することにより、製造工程を簡略化することができ、工程日数を少なくでき、コストを低減することが出来る。また、多層構造にすることにより、それぞれの材料のメリットを生かし、デメリットを低減させ、性能の良い配線や電極を形成することが出来る。たとえば、抵抗の低い材料（アルミニウムなど）を多層構造の中に含むようにすることにより、配線の低抵抗化を図ることができる。また、耐熱性が高い材料を含むようにすれば、例えば、耐熱性が弱い材料を、別のメリットを有する材料を、耐熱性が高い材料で挟むような積層構造にすることにより、配線や電極全体として、耐熱性を高くすることが出来る。

10

【0224】

例えば、アルミニウムを含む層を、モリブデンやチタンを含む層で挟んだような形にした積層構造にすると望ましい。また、別の材料の配線や電極などと直接接するような部分がある場合、お互いに悪影響を及ぼすことがある。例えば、一方の材料が他方の材料の中に入っている、性質を変えてしまい、本来の目的を果たせなくなったり、製造するとき、問題が生じて、正常に製造できなくなったりすることがある。そのような場合、ある層を別の層で挟んだり、覆ったりすることにより、問題を解決することが出来る。例えば、インジウム錫酸化物（ITO）と、アルミニウムを接触させたい場合は、間に、チタンやモリブデンを挟むことが望ましい。また、シリコンとアルミニウムを接触させたい場合は、間に、チタンやモリブデンを挟むことが望ましい。

20

【0225】

本実施の形態に係る画素によれば、図3に示した画素回路と同様に、第4のトランジスタ304をNチャネル型とすると、第4のトランジスタ304での漏れ電流がPチャネル型トランジスタの場合よりも小さくなるため、第1の保持容量306及び第2の保持容量307に保持した電荷の漏れが少なくなり、第1の保持容量306及び第2の保持容量307で保持した電圧の変動が小さくなる。これにより、特に発光期間において、第1のトランジスタ301のゲート電極に常に一定の電圧が印加されるため、発光素子に一定の電流を供給することができる。その結果、発光素子を一定の輝度で発光させることができ、輝度ムラを低減させることができる。

30

【0226】

なお、本実施形態で述べた内容は、実施の形態1～実施の形態5で述べた内容と自由に組み合わせて実施することができる。

【0227】

（実施の形態7）

本実施形態では、表示装置における信号線駆動回路や走査線駆動回路などの構成とその動作について説明する。

40

【0228】

例えば、図3や図9に示したような、信号線と第1～第4の走査線とを用いて動作を制御する画素回路を有する表示装置は、図38に示すような構成となっている。図38に示した表示装置は、画素部3801、第1の走査線駆動回路3802～第4の走査線駆動回路3805、信号線駆動回路3806を有している。

【0229】

ここで、第1の走査線駆動回路3802～第4の走査線駆動回路3805は、それぞれ、第1の走査線3807～第4の走査線3810に順次選択信号を出力するための駆動回路である。

【0230】

50

まずは、信号線駆動回路について説明する。信号線駆動回路 3806 は、信号線 3811 を介して画素部 3801 にビデオ信号を順次出力する。画素部 3801 では、ビデオ信号に従って、画素の発光状態を制御することにより、画像を表示する。

【0231】

信号線駆動回路 3806 の構成の一例を図 39 に示す。図 39 (A) は、線順次駆動で画素に信号を供給する場合の信号線駆動回路 3806 の一例を示している。この場合の信号線駆動回路 3806 は、主に、シフトレジスタ 3901、第 1 のラッチ回路 3902、第 2 のラッチ回路 3903、増幅回路 3904 から構成されている。なお、増幅回路 3904 には、デジタル信号をアナログに変換する機能を有していたり、ガンマ補正を行う機能を有していてもよい。

10

【0232】

ここで、図 39 (A) に示した信号線駆動回路 3806 の動作を簡単に説明する。シフトレジスタ 3901 には、クロック信号 (S-CLK)、スタートパルス (S-SP)、クロック反転信号 (S-CLKB) が入力され、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。

【0233】

シフトレジスタ 3901 より出力されたサンプリングパルスは、第 1 のラッチ回路 3902 に入力される。第 1 のラッチ回路 3902 には、ビデオ信号線より、ビデオ信号が電圧 V_{data} で入力されており、サンプリングパルスが入力されるタイミングに従って、それぞれの第 1 のラッチ回路 3902 においてビデオ信号を保持していく。

20

【0234】

それぞれの第 1 のラッチ回路 3902 において、ビデオ信号の保持が完了すると、水平帰線期間中に、ラッチ制御線よりラッチ信号が入力され、第 1 のラッチ回路 3902 に保持されていたビデオ信号は、一斉に第 2 のラッチ回路 3903 に転送される。その後、第 2 のラッチ回路 3903 に保持されたビデオ信号は、1 行分が同時に増幅回路 3904 へと入力される。そして、増幅回路 3904 にて、ビデオ信号電圧 V_{data} の振幅が増幅され、ビデオ信号が各信号線から画素部 3801 へ入力される。

【0235】

第 2 のラッチ回路 3903 に保持されたビデオ信号が増幅回路 3904 に入力され、そして、画素部 3801 に入力されている間、シフトレジスタ 3901 においては再びサンプリングパルスが出力される。つまり、同時に 2 つの動作が行われる。これにより、線順次駆動が可能となる。以後、この動作を繰り返す。

30

【0236】

なお、点順次駆動で画素に信号を供給する場合もある。その場合の信号線駆動回路 3806 の一例を図 39 (B) に示す。この場合の信号線駆動回路 3806 は、シフトレジスタ 3901 とサンプリング回路 3905 から構成されている。シフトレジスタ 3901 から、サンプリングパルスがサンプリング回路 3905 に出力される。また、サンプリング回路 3905 には、ビデオ信号線より、ビデオ信号が電圧 V_{data} で入力され、サンプリングパルスに応じて、順次画素部 3801 へビデオ信号が出力される。これにより、点順次駆動が可能となる。

40

【0237】

次に、走査線駆動回路について説明する。第 1 の走査線駆動回路 3802 ~ 第 4 の走査線駆動回路 3805 は、画素部 3801 に選択信号を順次出力する。第 1 の走査線駆動回路 3802 ~ 第 4 の走査線駆動回路 3805 の構成の一例を図 40 に示す。走査線駆動回路は、主に、シフトレジスタ 4001 や増幅回路 4002 などから構成されている。

【0238】

次に、図 40 に示した第 1 の走査線駆動回路 3802 ~ 第 4 の走査線駆動回路 3805 の動作を簡単に説明する。シフトレジスタ 4001 には、クロック信号 (G-CLK)、スタートパルス (G-SP)、クロック反転信号 (G-CLKB) が入力され、これらの信号のタイミングに従って、順次サンプリングパルスが出力される。出力されたサンプリ

50

ングパルスは、増幅回路4002で増幅され、各走査線から画素部3801へ入力される。

【0239】

なお、増幅回路4002の構成として、バッファ回路を有してもよいし、レベルシフト回路を有してもよい。また、走査線駆動回路には、シフトレジスタ4001や増幅回路4002の他に、パルス幅制御回路などが配置されてもよい。

【0240】

以上のような信号線駆動回路及び走査線駆動回路を用いることにより、本発明の画素回路を駆動させることができる。

【0241】

なお、例えば、図17に示した画素回路のように、第3のトランジスタと第4のトランジスタを互いに異なる導電形式にした場合においては、第2及び第3の走査線には互いに反転した選択信号が入力される。よって、第2及び第3の走査線駆動回路のいずれか一方を用いて、第2及び第3の走査線のいずれか一方に入力される選択信号を制御し、他方の走査線には、その反転信号を入力してもよい。この場合の表示装置の構成例を図41に示す。図41では、第2の走査線駆動回路3803を用いて第2の走査線3808に入力される選択信号を制御する。また、第2の走査線3808に入力された選択信号の反転信号を、インバータ3812を用いて生成し、第3の走査線3809に入力する。

【0242】

また、例えば、図3や図9に示した画素回路のように、第3のトランジスタと第4のトランジスタを同じ導電形式にした場合においては、第2及び第3の走査線には同一の選択信号が入力される。よって、図15や図16に示した画素回路のように、第3及び第4のトランジスタを同一の走査線を用いて制御してもよい。この場合の表示装置の構成例を図42に示す。図42は、第3のトランジスタ及び第4のトランジスタを第2の走査線3808を用いて制御する場合で、第2の走査線3808を第2の走査線駆動回路3803で制御する。

【0243】

なお、信号線駆動回路や走査線駆動回路などの構成は、図38～図42に限定されない。

【0244】

なお、本発明におけるトランジスタは、どのようなタイプのトランジスタでもよいし、どのような基板上に形成されていてもよい。したがって、図38～図42で示したような回路が、全てガラス基板上に形成されていてもよいし、プラスチック基板に形成されていてもよいし、単結晶基板に形成されていてもよいし、SOI基板上に形成されていてもよいし、どのような基板上に形成されていてもよい。あるいは、図38～図42における回路の一部が、ある基板に形成されており、図38～図42における回路の別の一部が、別の基板に形成されていてもよい。つまり、図38～図42における回路の全てが同じ基板上に形成されていなくてもよい。例えば、図38～図42において、画素部と走査線駆動回路とは、ガラス基板上にトランジスタを用いて形成し、信号線駆動回路（もしくはその一部）は、単結晶基板上に形成し、そのICチップをCOG（Chip On Glass）で接続してガラス基板上に配置してもよい。あるいは、そのICチップをTAB（Tape Automated Bonding）やプリント基板を用いてガラス基板と接続してもよい。

【0245】

なお、本実施形態で述べた内容は、実施の形態1～実施の形態6で述べた内容と自由に組み合わせて実施することができる。

【0246】

（実施の形態8）

本実施形態では、本発明の表示装置に用いる表示パネルについて図67などを用いて説明する。なお、図67（a）は、表示パネルを示す上面図、図67（b）は図67（a）

10

20

30

40

50

をA-A'で切断した断面図である。点線で示された信号線駆動回路6701、画素部6702、第1の走査線駆動回路6703、第2の走査線駆動回路6706を有する。また、封止基板6704、シール材6705を有し、シール材6705で囲まれた内側は、空間6707になっている。

【0247】

なお、配線6708は第1の走査線駆動回路6703、第2の走査線駆動回路6706及び信号線駆動回路6701に輸入される信号を伝送するための配線であり、外部入力端子となるFPC6709からビデオ信号、クロック信号、スタート信号等を受け取る。FPC6709と表示パネルとの接合部上にはICチップ6719、ICチップ6720（メモリ回路や、バッファ回路などが形成された半導体チップ）がCOG（Chip On Glass）等で実装されている。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤（PWB）が取り付けられていてもよい。

【0248】

次に、断面構造について図67（b）を用いて説明する。基板6710上には画素部6702とその周辺駆動回路（第1の走査線駆動回路6703、第2の走査線駆動回路6706及び信号線駆動回路6701）が形成されているが、ここでは、信号線駆動回路6701と、画素部6702が示されている。

【0249】

なお、信号線駆動回路6701は、トランジスタ6721やトランジスタ6722など複数のトランジスタで構成されている。また、本実施形態では、基板上に周辺駆動回路を一体形成した表示パネルを示すが、必ずしもその必要はなく、周辺駆動回路の全部もしくは一部をICチップなどに形成し、COGなどで実装してもよい。

【0250】

また、画素部6702は、スイッチング用トランジスタ6711と、駆動用トランジスタ6712とを含む画素を構成する複数の回路を有している。なお、駆動用トランジスタ6712のソース電極は第1の電極6713と接続されている。また、第1の電極6713の端部を覆って絶縁物6714が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。

【0251】

また、カバレッジを良好なものとするため、絶縁物6714の上端部または下端部に曲率を有する曲面が形成されるようにする。例えば、絶縁物6714の材料としてポジ型の感光性アクリルを用いた場合、絶縁物6714の上端部のみに曲率半径（ $0.2\mu\text{m}\sim 3\mu\text{m}$ ）を有する曲面を持たせることが好ましい。また、絶縁物6714として、光によってエッチャントに不溶解性となるネガ型、あるいは光によってエッチャントに溶解性となるポジ型のいずれも使用することができる。

【0252】

第1の電極6713上には、有機化合物を含む層6716、及び第2の電極6717がそれぞれ形成されている。ここで、陽極として機能する第1の電極6713に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO（インジウム錫酸化物）膜、インジウム亜鉛酸化物（IZO）膜、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。

【0253】

また、有機化合物を含む層6716は、蒸着マスクを用いた蒸着法、またはインクジェット法によって形成される。有機化合物を含む層6716には、元素周期表第4族金属錯体をその一部に用いることとし、その他、組み合わせることで用いることのできる材料としては、低分子系材料であっても高分子系材料であってもよい。また、有機化合物を含む層に用いる材料としては、通常、有機化合物を単層もしくは積層で用いる場合が多いが、本実施

形態においては、有機化合物からなる膜の一部に無機化合物を用いる構成も含めることとする。さらに、公知の三重項材料を用いることも可能である。

【0254】

さらに、有機化合物を含む層6716上に形成される、陰極である第2の電極6717に用いる材料としては、仕事関数の小さい材料（Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム）を用いればよい。なお、有機化合物を含む層6716で生じた光が第2の電極6717を透過させる場合には、第2の電極6717として、膜厚を薄くした金属薄膜と、透明導電膜（ITO（インジウム錫酸化物））、酸化インジウム酸化亜鉛合金（In₂O₃—ZnO）、酸化亜鉛（ZnO）等）との積層を用いるのがよい。

10

【0255】

さらに、シール材6705で封止基板6704を基板6710と貼り合わせることで、基板6710、封止基板6704、及びシール材6705で囲まれた空間6707に発光素子6718が備えられた構造になっている。なお、空間6707には、不活性気体（窒素やアルゴン等）が充填される場合の他、シール材6705で充填される構成も含むものとする。

【0256】

なお、シール材6705にはエポキシ系樹脂を用いるのが好ましい。また、これらの材料はできるだけ水分や酸素を透過しない材料であることが望ましい。また、封止基板6704に用いる材料としてガラス基板や石英基板の他、FRP（Fiberglass—Reinforced Plastics）、PVF（ポリビニルフロライド）、マイラー、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。

20

【0257】

以上のようにして、本発明の画素構成を有する表示パネルを得ることができる。

【0258】

図67に示すように、信号線駆動回路6701、画素部6702、第1の走査線駆動回路6703及び第2の走査線駆動回路6706を一体形成することで、表示装置の低コスト化が図れる。なお、信号線駆動回路6701、画素部6702、第1の走査線駆動回路6703及び第2の走査線駆動回路6706に用いられるトランジスタを単極性とすることで作製工程の簡略化が図れるためさらなる低コスト化が図れる。また、信号線駆動回路6701、画素部6702、第1の走査線駆動回路6703及び第2の走査線駆動回路6706に用いられるトランジスタの半導体層にアモルファスシリコンを適用することでさらなる低コスト化を図ることができる。

30

【0259】

なお、表示パネルの構成としては、図67（a）に示したように信号線駆動回路6701、画素部6702、第1の走査線駆動回路6703及び第2の走査線駆動回路6706を一体形成した構成に限定されず、信号線駆動回路6701をICチップ上に形成して、COG等で表示パネルに実装した構成としてもよい。

【0260】

つまり、高速動作が要求される信号線駆動回路のみを、CMOS等を用いてICチップに形成し、低消費電力化を図る。また、ICチップはシリコンウエハ等の半導体チップとすることで、より高速動作且つ低消費電力化を図れる。

40

【0261】

そして、走査線駆動回路を画素部と一体形成することで、低コスト化が図れる。なお、この走査線駆動回路及び画素部は単極性のトランジスタで構成することでさらなる低コスト化が図れる。画素部の有する画素の構成としては実施の形態3で示した構成を適用することができる。また、トランジスタの半導体層にアモルファスシリコンを用いることで、作製工程が簡略化し、さらなる低コスト化が図れる。

【0262】

こうして、高精細な表示装置の低コスト化が図れる。また、FPC6709と基板67

50

10との接続部において機能回路（メモリやバッファ）が形成されたICチップを実装することで基板面積を有効利用することができる。

【0263】

また、図67(a)の信号線駆動回路6701、第1の走査線駆動回路6703及び第2の走査線駆動回路6706をICチップ上に形成して、COG等で表示パネルに実装した構成としてもよい。この場合には高精細な表示装置をより低消費電力にすることが可能である。よって、より消費電力が少ない表示装置とするため、画素部に用いられるトランジスタの半導体層にはポリシリコンを用いることが望ましい。

【0264】

また、画素部6702のトランジスタの半導体層にアモルファスシリコンを用いることにより低コスト化を図ることができる。さらに、大型の表示パネルを作製することも可能となる。 10

【0265】

なお、走査線駆動回路及び信号線駆動回路は、画素の行方向及び列方向に設けることに限定されない。

【0266】

次に、発光素子6718に適用可能な発光素子の例を図68に示す。

【0267】

基板6801の上に陽極6802、正孔注入材料からなる正孔注入層6803、その上に正孔輸送材料からなる正孔輸送層6804、発光層6805、電子輸送材料からなる電子輸送層6806、電子注入材料からなる電子注入層6807、そして陰極6808を積層させた素子構造である。ここで、発光層6805は、一種類の発光材料のみから形成されることもあるが、2種類以上の材料から形成されてもよい。また本発明の素子の構造は、この構造に限定されない。 20

【0268】

また、図68で示した各機能層を積層した積層構造の他、高分子化合物を用いた素子、発光層に三重項励起状態から発光する三重項発光材料を利用した高効率素子など、バリエーションは多岐にわたる。ホールブロック層によってキャリアの再結合領域を制御し、発光領域を2つの領域に分けることによって得られる白色発光素子などにも応用可能である。 30

【0269】

次に、図68に示す本発明の素子作製方法について説明する。まず、陽極6802（ITO（インジウム錫酸化物））を有する基板6801に正孔注入材料、正孔輸送材料、発光材料を順に蒸着する。次に電子輸送材料、電子注入材料を蒸着し、最後に陰極6808を蒸着で形成する。

【0270】

次に、正孔注入材料、正孔輸送材料、電子輸送材料、電子注入材料、発光材料の材料に好適な材料を以下に列挙する。

【0271】

正孔注入材料としては、有機化合物であればポルフィリン系の化合物や、フタロシアニン（以下「H₂Pc」と記す）、銅フタロシアニン（以下「CuPc」と記す）などが有効である。また、使用する正孔輸送材料よりもイオン化ポテンシャルの値が小さく、かつ、正孔輸送機能をもつ材料であれば、これも正孔注入材料として使用できる。導電性高分子化合物に化学ドーピングを施した材料もあり、ポリスチレンスルホン酸（以下「PSS」と記す）をドーブしたポリエチレンジオキシチオフェン（以下「PEDOT」と記す）や、ポリアニリンなどが挙げられる。また、絶縁体の高分子化合物も陽極の平坦化の点で有効であり、ポリイミド（以下「PI」と記す）がよく用いられる。さらに、無機化合物も用いられ、金や白金などの金属薄膜の他、酸化アルミニウム（以下「アルミナ」と記す）の超薄膜などがある。 40

【0272】

正孔輸送材料として最も広く用いられているのは、芳香族アミン系（すなわち、ベンゼン環-窒素の結合を有するもの）の化合物である。広く用いられている材料として、4, 4'-ビス（ジフェニルアミノ）-ビフェニル（以下、「TAD」と記す）や、その誘導体である4, 4'-ビス[N-（3-メチルフェニル）-N-フェニル-アミノ]-ビフェニル（以下、「TPD」と記す）、4, 4'-ビス[N-（1-ナフチル）-N-フェニル-アミノ]-ビフェニル（以下、「 α -NPD」と記す）がある。4, 4', 4"-トリス（N, N-ジフェニル-アミノ）-トリフェニルアミン（以下、「TDATA」と記す）、4, 4', 4"-トリス[N-（3-メチルフェニル）-N-フェニル-アミノ]-トリフェニルアミン（以下、「MTDATA」と記す）などのスターバースト型芳香族アミン化合物が挙げられる。

10

【0273】

電子輸送材料としては、金属錯体がよく用いられ、トリス（8-キノリノラト）アルミニウム（以下、「Alq₃」と記す）、BALq、トリス（4-メチル-8-キノリノラト）アルミニウム（以下、「Almq」と記す）、ビス（10-ヒドロキシベンゾ[h]-キノリナト）ベリリウム（以下、「BeBq」と記す）などのキノリン骨格またはベンゾキノリン骨格を有する金属錯体などがある。また、ビス[2-（2-ヒドロキシフェニル）-ベンゾオキサゾラト]亜鉛（以下、「Zn（BOX）₂」と記す）、ビス[2-（2-ヒドロキシフェニル）-ベンゾチアゾラト]亜鉛（以下、「Zn（BTZ）₂」と記す）などのオキサゾール系、チアゾール系配位子を有する金属錯体もある。さらに、金属錯体以外にも、2-（4-ビフェニル）-5-（4-tert-ブチルフェニル）-1, 3, 4-オキサジアゾール（以下、「PBD」と記す）、OXD-7などのオキサジアゾール誘導体、TAZ、3-（4-tert-ブチルフェニル）-4-（4-エチルフェニル）-5-（4-ビフェニル）-1, 2, 4-トリアゾール（以下、「p-EtTAZ」と記す）などのトリアゾール誘導体、バソフェナントロリン（以下、「BPhen」と記す）、BCPなどのフェナントロリン誘導体が電子輸送性を有する。

20

【0274】

電子注入材料としては、上で述べた電子輸送材料を用いることができる。その他に、フッ化カルシウム、フッ化リチウム、フッ化セシウムなどの金属ハロゲン化物や、酸化リチウムなどのアルカリ金属酸化物のような絶縁体の、超薄膜がよく用いられる。また、リチウムアセチルアセトネート（以下、「Li（acac）」と記す）や8-キノリノラト-リチウム（以下、「Li q」と記す）などのアルカリ金属錯体も有効である。

30

【0275】

発光材料としては、先に述べたAlq₃、Almq、BeBq、BALq、Zn（BOX）₂、Zn（BTZ）₂などの金属錯体の他、各種蛍光色素が有効である。蛍光色素としては、青色の4, 4'-ビス（2, 2-ジフェニル-ビニル）-ビフェニルや、赤橙色の4-（ジシアノメチレン）-2-メチル-6-（p-ジメチルアミノスチリル）-4H-ピランなどがある。また、三重項発光材料も可能であり、白金ないしはイリジウムを中心金属とする錯体が主体である。三重項発光材料として、トリス（2-フェニルピリジン）イリジウム、ビス（2-（4'-トリル）ピリジナト-N, C^{2'}）アセチルアセトナトイリジウム（以下「acacIr（tpy）₂」と記す）、2, 3, 7, 8, 12, 13, 17, 18-オクタエチル-21H, 23Hポルフィリン-白金などが知られている。

40

【0276】

以上で述べたような各機能を有する材料を、各々組み合わせ、高信頼性の発光素子を作製することができる。

【0277】

また、図68とは逆の順番に層を形成した発光素子を用いることもできる。つまり、基板6801の上に陰極6808、電子注入材料からなる電子注入層6807、その上に電子輸送材料からなる電子輸送層6806、発光層6805、正孔輸送材料からなる正孔輸送層6804、正孔注入材料からなる正孔注入層6803、そして陽極6802を積層さ

50

せた素子構造である。

【0278】

また、発光素子は発光を取り出すために少なくとも陽極または陰極の一方が透明であればよい。そして、基板上にトランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。

【0279】

まず、上面射出構造の発光素子について、図69(a)を用いて説明する。

【0280】

基板6900上に駆動用トランジスタ6901が形成され、駆動用トランジスタ6901のソース電極に接して第1の電極6902が形成され、その上に有機化合物を含む層6903と第2の電極6904が形成されている。

【0281】

また、第1の電極6902は発光素子の陽極である。そして、第2の電極6904は発光素子の陰極である。つまり、第1の電極6902と第2の電極6904とで有機化合物を含む層6903が挟まれているところが発光素子となる。

【0282】

また、ここで、陽極として機能する第1の電極6902に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、窒化チタン膜、クロム膜、タングステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。なお、積層構造とすると、配線としての抵抗も低く、良好なオーミックコンタクトがとれ、さらに陽極として機能させることができる。光を反射する金属膜を用いることで光を透過させない陽極を形成することができる。

【0283】

また、陰極として機能する第2の電極6904に用いる材料としては、仕事関数の小さい材料(Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム)からなる金属薄膜と、透明導電膜(ITO(インジウム錫酸化物)、インジウム亜鉛酸化物(IZO)、酸化亜鉛(ZnO)等)との積層を用いるのがよい。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

【0284】

こうして、図69(a)の矢印に示すように発光素子からの光を上面に取り出すことが可能になる。つまり、図67の表示パネルに適用した場合には、封止基板6704側に光が射出することになる。従って、上面射出構造の発光素子を表示装置に用いる場合には、封止基板6704は光透過性を有する基板を用いる。

【0285】

また、光学フィルムを設ける場合には、封止基板6704に光学フィルムを設ければよい。

【0286】

なお、第1の電極6902を、陰極として機能するMgAg、MgIn、AlLi等の仕事関数の小さい材料からなる金属膜を用いて形成することもできる。この場合には、第2の電極6904にはITO(インジウム錫酸化物)膜、インジウム亜鉛酸化物(IZO)などの透明導電膜を用いることができる。よって、この構成によれば、上面射出の透過率を高くすることができる。

【0287】

次に、下面射出構造の発光素子について、図69(b)を用いて説明する。射出構造以外は図69(a)と同じ構造の発光素子であるため同じ符号を用いて説明する。

【0288】

10

20

30

40

50

ここで、陽極として機能する第1の電極6902に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO（インジウム錫酸化物）膜、インジウム亜鉛酸化物（IZO）膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【0289】

また、陰極として機能する第2の電極6904に用いる材料としては、仕事関数の小さい材料（Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム）からなる金属膜を用いることができる。こうして、光を反射する金属膜を用いることで光が透過しない陰極を形成することができる。

【0290】

こうして、図69（b）の矢印に示すように発光素子からの光を下面に取り出すことが可能になる。つまり、図67の表示パネルに適用した場合には、基板6710側に光が射出することになる。従って、下面射出構造の発光素子を表示装置に用いる場合には、基板6710は光透過性を有する基板を用いる。

【0291】

また、光学フィルムを設ける場合には、基板6710に光学フィルムを設ければよい。

【0292】

次に、両面射出構造の発光素子について、図69（c）を用いて説明する。射出構造以外は図69（a）と同じ構造の発光素子であるため同じ符号を用いて説明する。

【0293】

ここで、陽極として機能する第1の電極6902に用いる材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO（インジウム錫酸化物）膜、インジウム亜鉛酸化物（IZO）膜などの透明導電膜を用いることができる。透明性を有する透明導電膜を用いることで光を透過させることが可能な陽極を形成することができる。

【0294】

また、陰極として機能する第2の電極6904に用いる材料としては、仕事関数の小さい材料（Al、Ag、Li、Ca、またはこれらの合金MgAg、MgIn、AlLi、CaF₂、または窒化カルシウム）からなる金属薄膜と、透明導電膜（ITO（インジウム錫酸化物）、酸化インジウム酸化亜鉛合金（In₂O₃-ZnO）、酸化亜鉛（ZnO）等）との積層を用いるのがよい。こうして薄い金属薄膜と、透明性を有する透明導電膜を用いることで光を透過させることが可能な陰極を形成することができる。

【0295】

こうして、図69（c）の矢印に示すように発光素子からの光を両面に取り出すことが可能になる。つまり、図67の表示パネルに適用した場合には、基板6710側と封止基板6704側に光が射出することになる。従って、両面射出構造の発光素子を表示装置に用いる場合には、基板6710及び封止基板6704は、ともに光透過性を有する基板を用いる。

【0296】

また、光学フィルムを設ける場合には、基板6710及び封止基板6704の両方に光学フィルムを設ければよい。

【0297】

また、白色の発光素子とカラーフィルターを用いてフルカラー表示を実現する表示装置にも本発明を適用することが可能である。

【0298】

図70に示すように、基板7000上に下地膜7002が形成され、下地膜7002の上に駆動用トランジスタ7001が形成され、駆動用トランジスタ7001のソース電極に接して第1の電極7003が形成され、その上に有機化合物を含む層7004と第2の電極7005が形成されている。

【0299】

また、第1の電極7003は発光素子の陽極である。そして、第2の電極7005は発

10

20

30

40

50

光素子の陰極である。つまり、第1の電極7003と第2の電極7005とで有機化合物を含む層7004が挟まれているところが発光素子となる。図70の構成では白色光を発光する。そして、発光素子の上部に赤色のカラーフィルター7006R、緑色のカラーフィルター7006G、青色のカラーフィルター7006Bを設けられており、フルカラー表示を行うことができる。また、これらのカラーフィルターを隔離するブラックマトリクス7007（BMともいう）が設けられている。

【0300】

上述した発光素子の構成は組み合わせて用いることができ、本発明の表示装置に適宜用いることができる。また、上述した表示パネルの構成や、発光素子は例示であり、上述した構成と異なる他の構成を有する表示装置に適用することもできる。

10

【0301】

次に、表示パネルの画素部の部分断面図を示す。

【0302】

まず、トランジスタの半導体層にポリシリコン（p-Si:H）膜を用いた場合について、図71、図72及び図73を用いて説明する。

【0303】

ここで、半導体層は、例えば基板上にアモルファスシリコン（a-Si）膜を公知の成膜法で形成する。なお、アモルファスシリコン膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であればよい。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でもよい。

20

【0304】

そして、アモルファスシリコン膜をレーザー結晶化法や、RTAやファーネスアニール炉を用いた熱結晶化法や、結晶化を助長する金属元素を用いた熱結晶化法などにより結晶化させる。もちろん、これらを組み合わせて行ってもよい。

【0305】

上述した結晶化によって、非晶質半導体膜に部分的に結晶化された領域が形成される。

【0306】

さらに、部分的に結晶性が高められた結晶性半導体膜を所望の形状にパターンを形成して、結晶化された領域から島状の半導体膜を形成する。この半導体膜をトランジスタの半導体層に用いる。

30

【0307】

図71（a）に示すように、基板7101上に下地膜7102が形成され、その上に半導体層が形成されている。半導体層は、駆動用トランジスタ7118のチャンネル形成領域7103、LDD領域7104及びソース領域またはドレイン領域となる不純物領域7105、並びに容量素子7119の下部電極となるチャンネル形成領域7106、LDD領域7107及び不純物領域7108を有する。なお、チャンネル形成領域7103及びチャンネル形成領域7106はチャンネルドープが行われていてもよい。

【0308】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜7102としては、窒化アルミニウム（AlN）や酸化珪素（SiO₂）、酸化窒化珪素（SiO_xN_y）などの単層やこれらの積層を用いることができる。

40

【0309】

半導体層上には、ゲート絶縁膜7109を介してゲート電極7110及び容量素子7119の上部電極7111が形成されている。

【0310】

容量素子7119及び駆動用トランジスタ7118を覆って層間絶縁膜7112が形成され、層間絶縁膜7112上に、コンタクトホールを介して配線7113が不純物領域7105と接している。配線7113に接して画素電極7114が形成され、画素電極7114の端部及び配線7113を覆って絶縁物7115が形成されている。ここでは、ポジ型の感光性アクリル樹脂膜を用いることにより形成する。そして、画素電極7114上に

50

有機化合物を含む層 7116 及び対向電極 7117 が形成され、画素電極 7114 と対向電極 7117 とで有機化合物を含む層 7116 が挟まれた領域に、発光素子 7120 が形成されている。

【0311】

また、図 71 (b) に示すように、容量素子 7119 の下部電極の一部を構成する LDD 領域が、容量素子 7119 の上部電極 7111 と重なるような領域 7121 を設けてもよい。なお、図 71 (a) と共通する箇所は共通の符号を用い、説明は省略する。

【0312】

また、図 72 (a) に示すように、容量素子 7123 は、駆動用トランジスタ 7118 の不純物領域 7105 と接する配線 7113 と同じ層に形成された第 2 の上部電極 7122 を有していてもよい。第 2 の上部電極 7122 は不純物領域 7108 と接しているため、上部電極 7111 とチャンネル形成領域 7106 とでゲート絶縁膜 7109 を挟みこんで構成される第 1 の容量素子と、上部電極 7111 と第 2 の上部電極 7122 とで層間絶縁膜 7112 を挟みこんで構成される第 2 の容量素子と、が並列に接続され、第 1 の容量素子と第 2 の容量素子からなる容量素子 7123 が形成される。この容量素子 7123 の容量は、第 1 の容量素子と第 2 の容量素子の容量を加算した合成容量であるため、小さい面積で大きな容量の容量素子を形成することができる。つまり、本発明の画素構成の容量素子として用いるとより開口率の向上が図れる。

【0313】

また、図 72 (b) に示すような容量素子の構成としてもよい。基板 7201 上に下地膜 7202 が形成され、その上に半導体層が形成されている。半導体層は、駆動用トランジスタ 7218 のチャンネル形成領域 7203、LDD 領域 7204、ソース領域またはドレイン領域となる不純物領域 7205 を有する。なお、チャンネル形成領域 7203 はチャネルドープが行われていてもよい。

【0314】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜 7202 としては、窒化アルミニウム (AlN) や酸化珪素 (SiO_2)、酸化窒化珪素 (SiO_xN_y) などの単層やこれらの積層を用いることができる。

【0315】

半導体層上には、ゲート絶縁膜 7206 を介してゲート電極 7207 及び第 1 の電極 7208 が形成されている。

【0316】

駆動用トランジスタ 7218 及び第 1 の電極 7208 を覆って第 1 の層間絶縁膜 7209 が形成され、第 1 の層間絶縁膜 7209 上に、コンタクトホールを介して配線 7210 が不純物領域 7205 と接している。また、配線 7210 と同層に、配線 7210 と同じ材料からなる第 2 の電極 7211 が形成される。

【0317】

さらに、配線 7210 及び第 2 の電極 7211 を覆うように第 2 の層間絶縁膜 7212 が形成され、第 2 の層間絶縁膜 7212 上に、コンタクトホールを介して配線 7210 と接して画素電極 7213 が形成されている。また、画素電極 7213 と同層に、画素電極 7213 と同じ材料からなる第 3 の電極 7214 が形成されている。ここで、第 1 の電極 7208、第 2 の電極 7211 及び第 3 の電極 7214 からなる容量素子 7219 が形成される。

【0318】

画素電極 7213 上に有機化合物を含む層 7216 及び対向電極 7217 が形成され、画素電極 7213 と対向電極 7217 とで有機化合物を含む層 7216 が挟まれた領域に、発光素子 7220 が形成されている。

【0319】

上述したように、結晶性半導体膜を半導体層に用いたトランジスタの構成は図 71 及び図 72 に示したような構成が挙げられる。なお、図 71 及び図 72 に示したトランジスタ

の構造は、トップゲート構造のトランジスタの一例である。つまり、LDD領域はゲート電極と重なっていてもよいし、ゲート電極と重なってなくてもよいし、またはLDD領域の一部の領域が重なってもよい。さらに、ゲート電極はテーパー形状でもよく、ゲート電極のテーパー部の下部にLDD領域が自己整合的に設けられていてもよい。また、ゲート電極は2つに限定されず、3つ以上のマルチゲート構造でもよいし、1つのゲート電極でもよい。

【0320】

本発明の画素を構成するトランジスタの半導体層（チャンネル形成領域やソース領域やドレイン領域など）に結晶性半導体膜を用いることで、走査線駆動回路及び信号線駆動回路を画素部と一体形成することが容易になる。また、信号線駆動回路の一部を画素部と一体形成し、一部はICチップ上に形成して図67の表示パネルに示すようにCOG等で実装してもよい。このような構成とすることで、製造コストの削減を図ることができる。

10

【0321】

また、半導体層にポリシリコン（ $p-Si:H$ ）を用いたトランジスタの構成として、基板と半導体層の間にゲート電極が挟まれた構造、つまり、半導体層の下にゲート電極が位置するボトムゲート構造のトランジスタを適用してもよい。ここで、ボトムゲート構造のトランジスタを適用した表示パネルの画素部の部分断面図を図73に示す。

【0322】

図73（a）に示すように、基板7301上に下地膜7302が形成されている。さらに下地膜7302上にゲート電極7303が形成されている。また、ゲート電極7303と同層に、ゲート電極7303と同じ材料からなる第1の電極7304が形成されている。ゲート電極7303の材料には、リンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。

20

【0323】

ゲート電極7303及び第1の電極7304を覆うように、ゲート絶縁膜7305が形成されている。ゲート絶縁膜7305としては、酸化珪素膜や窒化珪素膜などが用いられる。

【0324】

ゲート絶縁膜7305上に、半導体層が形成されている。半導体層は駆動用トランジスタ7322のチャンネル形成領域7306、LDD領域7307及びソース領域またはドレイン領域となる不純物領域7308、並びに容量素子7323の第2の電極となるチャンネル形成領域7309、LDD領域7310及び不純物領域7311を有する。なお、チャンネル形成領域7306及びチャンネル形成領域7309はチャンネルドープが行われていてもよい。

30

【0325】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜7302としては、窒化アルミニウム（ AlN ）や酸化珪素（ SiO_2 ）、酸化窒化珪素（ SiO_xN_y ）などの単層やこれらの積層を用いることができる。

【0326】

半導体層を覆って第1の層間絶縁膜7312が形成され、第1の層間絶縁膜7312上に、コンタクトホールを介して配線7313が不純物領域7308と接している。また、配線7313と同層に、配線7313と同じ材料で第3の電極7314が形成されている。第1の電極7304、第2の電極、第3の電極7314によって容量素子7323が構成されている。

40

【0327】

また、第1の層間絶縁膜7312には開口部7315が形成されている。駆動用トランジスタ7322、容量素子7323及び開口部7315を覆うように第2の層間絶縁膜7316が形成され、第2の層間絶縁膜7316上に、コンタクトホールを介して画素電極7317が形成されている。また、画素電極7317の端部を覆って絶縁物7318が形成されている。例えば、ポジ型の感光性アクリル樹脂膜を用いることができる。そして、

50

画素電極 7317 上に有機化合物を含む層 7319 及び対向電極 7320 が形成され、画素電極 7317 と対向電極 7320 とで有機化合物を含む層 7319 が挟まれた領域に、発光素子 7321 が形成されている。そして、発光素子 7321 の下部に開口部 7315 が位置している。つまり、発光素子 7321 からの発光を基板側から取り出すときには、開口部 7315 を有するため、透過率を高めることができる。

【0328】

また、図 73 (a) において、画素電極 7317 と同層に、同じ材料を用いて第 4 の電極 7324 を形成して、図 73 (b) のような構成としてもよい。すると、第 1 の電極 7304、第 2 の電極、第 3 の電極 7314 及び第 4 の電極 7324 によって構成される容量素子 7325 を形成することができる。

10

【0329】

次に、トランジスタの半導体層にアモルファスシリコン ($a-Si:H$) 膜を用いた場合について、図 43、図 44 及び図 45 を用いて説明する。

【0330】

アモルファスシリコンを半導体層に用いたトップゲート構造のトランジスタの断面を図 43 (A) に示す。に示すように、基板 4301 上に下地膜 4302 が形成されている。さらに下地膜 4302 上に画素電極 4303 が形成されている。また、画素電極 4303 と同層に同じ材料からなる第 1 の電極 4304 が形成されている。

【0331】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜 4302 としては、窒化アルミニウム (AlN) や酸化珪素 (SiO_2)、酸化窒化珪素 (SiO_xN_y) などの単層やこれらの積層を用いることができる。

20

【0332】

また、下地膜 4302 上に配線 4305 及び配線 4306 が形成され、画素電極 4303 の端部が配線 4305 で覆われている。配線 4305 及び配線 4306 の上部に N 型の導電性を有する N 型半導体層 4307 及び N 型半導体層 4308 が形成されている。また、配線 4305 と配線 4306 の間であって、下地膜 4302 上に半導体層 4309 が形成されている。そして、半導体層 4309 の一部は N 型半導体層 4307 及び N 型半導体層 4308 上にまで延長されている。なお、この半導体層はアモルファスシリコン ($a-Si:H$)、微結晶半導体 ($\mu-Si:H$) 等の非結晶性を有する半導体膜で形成されている。また、半導体層 4309 上にゲート絶縁膜 4310 が形成されている。また、ゲート絶縁膜 4310 と同層の同じ材料からなる絶縁膜 4311 が第 1 の電極 4304 上にも形成されている。なお、ゲート絶縁膜 4310 としては酸化珪素膜や窒化珪素膜などが用いられる。

30

【0333】

また、ゲート絶縁膜 4310 上に、ゲート電極 4312 が形成されている。また、ゲート電極と同層に同じ材料でなる第 2 の電極 4313 が第 1 の電極 4304 上に絶縁膜 4311 を介して形成されている。第 1 の電極 4304 及び第 2 の電極 4313 で絶縁膜 4311 を挟まれた容量素子 4319 が形成されている。また、画素電極 4303 の端部、駆動トランジスタ 4318 及び容量素子 4319 を覆い、層間絶縁膜 4314 が形成されている。

40

【0334】

層間絶縁膜 4314 及びその開口部に位置する画素電極 4303 上に有機化合物を含む層 4315 及び対向電極 4316 が形成され、画素電極 4303 と対向電極 4316 とで有機化合物を含む層 4315 が挟まれた領域では発光素子 4317 が形成されている。

【0335】

また、図 43 (A) に示す第 1 の電極 4304 を図 43 (B) に示すように第 1 の電極 4320 で形成してもよい。第 1 の電極 4320 は配線 4305 及び 4306 と同層の同一材料で形成されている。

【0336】

50

また、アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた表示装置のパネルの部分断面を図４４に示す。

【０３３７】

基板４４０１上にゲート電極４４０３が形成されている。また、ゲート電極４４０３と同層に同じ材料からなる第１の電極４４０４が形成されている。ゲート電極４４０３の材料にはリンが添加された多結晶シリコンを用いることができる。多結晶シリコンの他に、金属とシリコンの化合物であるシリサイドでもよい。基板４４０１はガラス基板、石英基板、セラミック基板などを用いることができる。

【０３３８】

また、ゲート電極４４０３及び第１の電極４４０４を覆うようにゲート絶縁膜４４０５が形成されている。ゲート絶縁膜４４０５としては酸化珪素膜や窒化珪素膜などが用いられる。

【０３３９】

また、ゲート絶縁膜４４０５上に、半導体層４４０６が形成されている。また、半導体層４４０６と同層に同じ材料からなる半導体層４４０７が形成されている。

【０３４０】

半導体層４４０６上にはＮ型の導電性を有するＮ型半導体層４４０８、４４０９が形成され、半導体層４４０７上にはＮ型半導体層４４１０が形成されている。

【０３４１】

Ｎ型半導体層４４０８、４４０９上にはそれぞれ配線４４１１、４４１２が形成され、Ｎ型半導体層４４１０上には配線４４１１及び４４１２と同層の同一材料からなる導電層４４１３が形成されている。

【０３４２】

半導体層４４０７、Ｎ型半導体層４４１０及び導電層４４１３からなる第２の電極が構成される。なお、この第２の電極と第１の電極４４０４でゲート絶縁膜４４０５を挟み込んだ構造の容量素子４４２０が形成されている。

【０３４３】

また、配線４４１１の一方の端部は延在し、その延在した配線４４１１上部に接して画素電極４４１４が形成されている。

【０３４４】

また、画素電極４４１４の端部、駆動トランジスタ４４１９及び容量素子４４２０を覆うように絶縁物４４１５が形成されている。

【０３４５】

画素電極４４１４及び絶縁物４４１５上には有機化合物を含む層４４１６及び対向電極４４１７が形成され、画素電極４４１４と対向電極４４１７とで有機化合物を含む層４４１６が挟まれた領域では発光素子４４１８が形成されている。

【０３４６】

容量素子の第２の電極の一部となる半導体層４４０７及びＮ型半導体層４４１０は設けなくてもよい。つまり第２の電極は導電層４４１３とし、第１の電極４４０４と導電層４４１３でゲート絶縁膜が挟まれた構造の容量素子としてもよい。

【０３４７】

なお、図４４（Ａ）において、配線４４１１を形成する前に画素電極４４１４を形成することで、図４４（Ｂ）に示すような、画素電極４４１４からなる第２の電極４４２１と第１の電極４４０４でゲート絶縁膜４４０５が挟まれた構造の容量素子４４２２を形成することができる。

【０３４８】

なお、図４４では、逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでもよい。チャネル保護構造のトランジスタの場合について、図４５（Ａ）、（Ｂ）を用いて説明する。

【０３４９】

10

20

30

40

50

図 4 5 (A) に示すチャネル保護型構造のトランジスタは図 4 4 (A) に示したチャネルエッチ構造の駆動トランジスタ 4 4 1 9 の半導体層 4 4 0 6 のチャネルが形成される領域上にエッチングのマスクとなる絶縁物 4 5 0 1 が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0 3 5 0】

また、同様に、図 4 5 (B) に示すチャネル保護型構造のトランジスタは図 4 4 (B) に示したチャネルエッチ構造の駆動トランジスタ 4 4 1 9 の半導体層 4 4 0 6 のチャネルが形成される領域上にエッチングのマスクとなる絶縁物 4 5 0 1 が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0 3 5 1】

本発明の画素を構成するトランジスタの半導体層（チャネル形成領域やソース領域やドレイン領域など）に非晶質半導体膜を用いることで、製造コストを削減することができる。

【0 3 5 2】

なお、本発明の画素構成に適用することができるトランジスタの構造や、容量素子の構造は上述した構成に限られず、さまざまな構成のトランジスタの構造や、容量素子の構造のものを用いることができる。

【0 3 5 3】

なお、本実施形態で述べた内容は、実施の形態 1 ～実施の形態 7 で述べた内容と自由に組み合わせて実施することができる。すなわち、本実施の形態に係る表示装置は、発光素子に流れる電流がトランジスタの閾値電圧に依存しない形で決定されるため、トランジスタの閾値電圧のばらつきを補償することができる。これにより、発光素子の輝度のばらつきを低減させることができ、画質を向上させることができる。

【0 3 5 4】

（実施の形態 9）

本実施形態では、トランジスタを始めとする表示装置を作製する方法として、プラズマ処理を用いて表示装置を作製する方法について説明する。

【0 3 5 5】

図 4 6 は、トランジスタを含む表示装置の構造例を示した図である。なお、図 4 6 において、図 4 6 (B) は図 4 6 (A) の a - b 間の断面図に相当し、図 4 6 (C) は図 4 6 (A) の c - d 間の断面図に相当する。

【0 3 5 6】

図 4 6 に示す表示装置は、基板 4 6 0 1 上に絶縁膜 4 6 0 2 を介して設けられた半導体膜 4 6 0 3 a、4 6 0 3 b と、当該半導体膜 4 6 0 3 a、4 6 0 3 b 上にゲート絶縁膜 4 6 0 4 を介して設けられたゲート電極 4 6 0 5 と、ゲート電極を覆って設けられた絶縁膜 4 6 0 6、4 6 0 7 と、半導体膜 4 6 0 3 a、4 6 0 3 b のソース領域またはドレイン領域と電氣的に接続し且つ絶縁膜 4 6 0 7 上に設けられた導電膜 4 6 0 8 とを有している。なお、図 4 6 においては、半導体膜 4 6 0 3 a の一部をチャネル領域として用いた N チャネル型トランジスタ 4 6 1 0 a と半導体膜 4 6 0 3 b の一部をチャネル領域として用いた P チャネル型トランジスタ 4 6 1 0 b とを設けた場合を示しているが、この構成に限られない。例えば、図 4 6 では、N チャネル型トランジスタ 4 6 1 0 a に L D D（低濃度ドレイン）領域を設け、P チャネル型トランジスタ 4 6 1 0 b には L D D 領域を設けていないが、両方に設けた構成としてもよいし両方に設けない構成とすることも可能である。

【0 3 5 7】

なお、本実施形態では、上記基板 4 6 0 1、絶縁膜 4 6 0 2、半導体膜 4 6 0 3 a および 4 6 0 3 b、ゲート絶縁膜 4 6 0 4、絶縁膜 4 6 0 6 または絶縁膜 4 6 0 7 のうち少なくともいずれか一層に、プラズマ処理を用いて酸化または窒化を行うことにより半導体膜または絶縁膜を酸化または窒化することによって、図 4 6 に示した表示装置を作製する。このように、プラズマ処理を用いて半導体膜または絶縁膜を酸化または窒化することによって、当該半導体膜または絶縁膜の表面を改質し、C V D 法やスパッタ法により形成した

10

20

30

40

50

絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し表示装置の特性等を向上させることが可能となる。

【0358】

なお、本実施形態では、上記図46における半導体膜4603aおよび4603bまたはゲート絶縁膜4604にプラズマ処理を行い、当該半導体膜4603aおよび4603bまたはゲート絶縁膜4604を酸化または窒化することによって表示装置を作製する方法について図面を参照して説明する。

【0359】

はじめに、基板上に設けられた島状の半導体膜において、当該島状の半導体膜の端部を直角に近い形状で設ける場合について示す。

【0360】

まず、基板4601上に島状の半導体膜4603a、4603bを形成する（図47（A-1、A-2））。島状の半導体膜4603a、4603bは、基板4601上にあらかじめ形成された絶縁膜4602上に公知の手段（スパッタ法、LPCVD法、プラズマCVD法等）を用いてシリコン（Si）を主成分とする材料（例えば $\text{Si}_x\text{Ge}_{1-x}$ 等）等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させ、半導体膜を選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、RTAまたはファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等の公知の結晶化法により行うことができる。なお、図47（A-1、A-2）では、島状の半導体膜4603a、4603bの端部を直角に近い形状（ $\theta = 85 \sim 100^\circ$ ）で設ける。

【0361】

次に、プラズマ処理を行い半導体膜4603a、4603bを酸化または窒化することによって、当該半導体膜4603a、4603bの表面にそれぞれ絶縁膜4621a、4621b（酸化膜または窒化膜）を形成する（図47（B-1、B-2））。例えば、半導体膜4603a、4603bとしてSiを用いた場合、絶縁膜4621aおよび絶縁膜4621bとして、酸化珪素（ SiO_x ）または窒化珪素（ SiN_x ）が形成される。また、プラズマ処理により半導体膜4603a、4603bを酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体膜4603a、4603bに接して酸化珪素（ SiO_x ）が形成され、当該酸化珪素の表面に窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）が形成される。なお、プラズマ処理により半導体膜を酸化する場合には、酸素雰囲気下（例えば、酸素（ O_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下または酸素と水素（ H_2 ）と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下）でプラズマ処理を行う。一方、プラズマ処理により半導体膜を窒化する場合には、窒素雰囲気下（例えば、窒素（ N_2 ）と希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）雰囲気下または窒素と水素と希ガス雰囲気下または NH_3 と希ガス雰囲気下）でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。そのため、絶縁膜4621a、4621bは、プラズマ処理に用いた希ガス（He、Ne、Ar、Kr、Xeの少なくとも一つを含む）を含んでおり、Arを用いた場合には絶縁膜4621a、4621bにArが含まれている。

【0362】

また、プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、プラズマの電子温度が0.5 eV以上1.5 eV以下で行う。プラズマの電子密度が高密度であり、基板4601上に形成された被処理物（ここでは、半導体膜4603a、4603b）付近での電子温度が低いために、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化物または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。

10

20

30

40

50

。また、プラズマの電子温度が1 e V以下と低いため、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点温度よりも100度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波(2.45 GHz)等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。

【0363】

次に、絶縁膜4621a、4621bを覆うようにゲート絶縁膜4604を形成する(図47(C-1、C-2))。ゲート絶縁膜4604は、公知の手段(スパッタ法、LPCVD法、プラズマCVD法等)を用いて、酸化珪素(SiO_x)、窒化珪素(SiN_x)、酸化窒化珪素(SiO_xN_y) ($x > y$)、窒化酸化珪素(SiN_xO_y) ($x > y$)等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。例えば、半導体膜4603a、4603bとしてSiを用い、プラズマ処理により当該Siを酸化させることによって当該半導体膜4603a、4603b表面に絶縁膜4621a、4621bとして酸化珪素を形成した場合、当該絶縁膜4621a、4621b上にゲート絶縁膜として酸化珪素(SiO_x)を形成する。また、上記図47(B-1、B-2)において、プラズマ処理により半導体膜4603a、4603bを酸化または窒化することによって形成された絶縁膜4621a、4621bの膜厚が十分である場合には、当該絶縁膜4621a、4621bをゲート絶縁膜として用いることも可能である。

【0364】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の半導体膜4603a、4603bをチャンネル領域として用いたNチャンネル型トランジスタ4610a、Pチャンネル型トランジスタ4610bを有する表示装置を作製することができる(図47(D-1、D-2))。

【0365】

このように、半導体膜4603a、4603b上にゲート絶縁膜4604を設ける前に、プラズマ処理により半導体膜4603a、4603bの表面を酸化または窒化することによって、チャンネル領域の端部4651a、4651b等におけるゲート絶縁膜4604の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。つまり、島状の半導体膜の端部が直角に近い形状($\theta = 85 \sim 100^\circ$)を有する場合には、CVD法やスパッタ法等により半導体膜を覆うようにゲート絶縁膜を形成した際に、半導体膜の端部においてゲート絶縁膜の段切れ等による被覆不良の問題が生じる恐れがあるが、あらかじめ半導体膜の表面にプラズマ処理を用いて酸化または窒化しておくことによって、半導体膜の端部におけるゲート絶縁膜の被覆不良等を防止することが可能となる。

【0366】

また、上記図47(C-1、C-2)において、ゲート絶縁膜4604を形成した後にプラズマ処理を行うことによって、ゲート絶縁膜4604を酸化または窒化させてもよい。この場合、半導体膜4603a、4603bを覆うように形成されたゲート絶縁膜4604(図48(A-1、A-2))にプラズマ処理を行い、ゲート絶縁膜4604を酸化または窒化することによって、ゲート絶縁膜4604の表面に絶縁膜4623(酸化膜または窒化膜)を形成する(図48(B-1、B-2))。プラズマ処理の条件は、上記図47(B-1、B-2)と同様に行うことができる。また、絶縁膜4723は、プラズマ処理に用いた希ガスを含んでおり、例えばArを用いた場合には絶縁膜4723にArが含まれている。

【0367】

また、図48(B)において、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜4604を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。この場合、半導体膜4603a、4603b型に酸化珪素(SiO_x)または酸化窒化珪素(SiO_xN_y) ($x > y$)が形成され、ゲート電極4605に接

して窒化酸化珪素 (SiN_xO_y) ($x > y$) が形成される。その後、絶縁膜 4623 上にゲート電極 4605 等を形成することによって、島状の半導体膜 4603a、4603b をチャンネル領域として用いた N チャンネル型トランジスタ 4610a、P チャンネル型トランジスタ 4610b を有する表示装置を作製することができる (図 48 (C-1、C-2))。このように、ゲート絶縁膜にプラズマ処理を行うことにより、当該ゲート絶縁膜の表面を酸化または窒化することによって、ゲート絶縁膜の表面を改質し緻密な膜を形成することができる。プラズマ処理を行うことによって得られた絶縁膜は、CVD 法やスパッタ法で形成された絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、トランジスタの特性を向上させることができる。

【0368】

10

なお、図 48 においては、あらかじめ半導体膜 4603a、4603b にプラズマ処理を行うことによって、当該半導体膜 4603a、4603b の表面を酸化または窒化させた場合を示したが、半導体膜 4603a、4603b にプラズマ処理を行わずにゲート絶縁膜 4604 を形成した後にプラズマ処理を行う方法を用いてもよい。このように、ゲート電極を形成する前にプラズマ処理を行うことによって、半導体膜の端部においてゲート絶縁膜の段切れ等による被覆不良が生じた場合であっても、被覆不良により露出した半導体膜を酸化または窒化することができるため、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。

【0369】

このように、島状の半導体膜の端部を直角に近い形状で設けた場合であっても、半導体膜またはゲート絶縁膜にプラズマ処理を行い、当該半導体膜またはゲート絶縁膜を酸化または窒化することによって、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。

20

【0370】

次に、基板上に設けられた島状の半導体膜において、当該島状の半導体膜の端部をテーパー形状 ($\theta = 30 \sim 85^\circ$) で設ける場合について示す。

【0371】

まず、基板 4601 上に島状の半導体膜 4603a、4603b を形成する (図 49 (A-1、A-2))。島状の半導体膜 4603a、4603b は、基板 4601 上にあらかじめ形成された絶縁膜 4602 上に公知の手段 (スパッタ法、LPCVD 法、プラズマ CVD 法等) を用いてシリコン (Si) を主成分とする材料 (例えば $\text{Si}_x\text{Ge}_{1-x}$ 等) 等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜をレーザ結晶化法、RTA またはファーンズアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの公知の結晶化法により結晶化させ、選択的に半導体膜をエッチングして除去することにより設けることができる。なお、図 49 (A-1、A-2) では、島状の半導体膜の端部をテーパー形状 ($\theta = 30 \sim 85^\circ$) で設ける。

30

【0372】

次に、半導体膜 4603a、4603b を覆うようにゲート絶縁膜 4604 を形成する (図 49 (B-1、B-2))。ゲート絶縁膜 4604 は、公知の手段 (スパッタ法、LPCVD 法、プラズマ CVD 法等) を用いて、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) ($x > y$)、窒化酸化珪素 (SiN_xO_y) ($x > y$) 等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。

40

【0373】

次に、プラズマ処理を行いゲート絶縁膜 4604 を酸化または窒化することによって、当該ゲート絶縁膜 4604 の表面にそれぞれ絶縁膜 4624 (酸化膜または窒化膜) を形成する (図 49 (C-1、C-2))。なお、プラズマ処理の条件は上記と同様に行うことができる。例えば、ゲート絶縁膜 4604 として酸化珪素 (SiO_x) または酸化窒化珪素 (SiO_xN_y) ($x > y$) を用いた場合、酸素雰囲気下でプラズマ処理を行いゲート絶縁膜 4604 を酸化することによって、ゲート絶縁膜の表面には CVD 法やスパッタ

50

法等により形成されたゲート絶縁膜と比較してピンホール等の欠陥の少ない緻密な膜を形成することができる。一方、窒素雰囲気下でプラズマ処理を行いゲート絶縁膜4604を窒化することによって、ゲート絶縁膜4604の表面に絶縁膜4624として窒化酸化珪素(SiN_xO_y) ($x > y$)を設けることができる。また、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜4604を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。また、絶縁膜4624は、プラズマ処理に用いた希ガスを含んでおり、例えばArを用いた場合には絶縁膜4624中にArが含まれている。

【0374】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の半導体膜4603a、4603bをチャンネル領域として用いたNチャンネル型トランジスタ4610a、Pチャンネル型トランジスタ4610bを有する表示装置を作製することができる(図49(D-1、D-2))。

【0375】

このように、ゲート絶縁膜にプラズマ処理を行うことにより、ゲート絶縁膜の表面に酸化膜または窒化膜からなる絶縁膜を設け、ゲート絶縁膜の表面の改質をすることができる。プラズマ処理を行うことによって酸化または窒化された絶縁膜は、CVD法やスパッタ法で形成されたゲート絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、トランジスタの特性を向上させることができる。また、半導体膜の端部をテーパ形状とすることによって、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を抑制することができるが、ゲート絶縁膜を形成した後にプラズマ処理を行うことによって、より一層ゲート電極と半導体膜のショートを防止することができる。

【0376】

次に、図49とは、異なる表示装置の作製方法に関して図面を参照して説明する。具体的には、テーパ形状を有する半導体膜の端部に選択的にプラズマ処理を行う場合に関して示す。

【0377】

まず、基板4601上に島状の半導体膜4603a、4603bを形成する(図50(A-1、A-2))。島状の半導体膜4603a、4603bは、基板4601上にあらかじめ形成された絶縁膜4602上に公知の手段(スパッタ法、LP-CVD法、プラズマCVD法等)を用いてシリコン(Si)を主成分とする材料(例えば $\text{Si}_x\text{Ge}_{1-x}$ 等)等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させ、レジスト4625a、4625bをマスクとして半導体膜を選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、RTAまたはファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等の公知の結晶化法により行うことができる。

【0378】

次に、半導体膜のエッチングのために使用したレジスト4625a、4625bを除去する前に、プラズマ処理を行い島状の半導体膜4603a、4603bの端部を選択的に酸化または窒化することによって、当該半導体膜4603a、4603bの端部にそれぞれ絶縁膜4626(酸化膜または窒化膜)を形成する(図50(B-1、B-2))。プラズマ処理は、上述した条件下で行う。また、絶縁膜4626は、プラズマ処理に用いた希ガスを含んでいる。

【0379】

次に、半導体膜4603a、4603bを覆うようにゲート絶縁膜4604を形成する(図50(C-1、C-2))。ゲート絶縁膜4604は、上記と同様に設けることができる。

【0380】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状

の半導体膜 4603a、4603b をチャンネル領域として用いた N チャンネル型トランジスタ 4610a、P チャンネル型トランジスタ 4610b を有する表示装置を作製することができる (図 50 (D-1、D2))。

【0381】

半導体膜 4603a、4603b の端部をテーパ形状に設けた場合、半導体膜 4603a、4603b の一部に形成されるチャンネル領域の端部 4652a、4652b もテーパ形状となり半導体膜の膜厚やゲート絶縁膜の膜厚が中央部分と比較して変化するため、トランジスタの特性に影響を及ぼす場合がある。そのため、ここではプラズマ処理によりチャンネル領域の端部を選択的に酸化または窒化して、当該チャンネル領域の端部となる半導体膜に絶縁膜を形成することによって、チャンネル領域の端部に起因するトランジスタへの影響を低減することができる。

【0382】

なお、図 50 では、半導体膜 4603a、4603b の端部に限ってプラズマ処理により酸化または窒化を行った例を示したが、もちろん上記図 49 (C-1、C-2) で示したようにゲート絶縁膜 4604 にもプラズマ処理を行って酸化または窒化させることも可能である (図 52 (A-1、A-2))。

【0383】

次に、上記とは異なる表示装置の作製方法に関して図面を参照して説明する。具体的には、テーパ形状を有する半導体膜にプラズマ処理を行う場合に関して示す。

【0384】

まず、基板 4601 上に上記と同様に島状の半導体膜 4603a、4603b を形成する (図 51 (A-1、A-2))。

【0385】

次に、プラズマ処理を行い半導体膜 4603a、4603b を酸化または窒化することによって、当該半導体膜 4603a、4603b の表面にそれぞれ絶縁膜 4627a、4627b (酸化膜または窒化膜) を形成する (図 51 (B-1、B-2))。プラズマ処理は上述した条件下で同様に行うことができる。例えば、半導体膜 4603a、4603b として Si を用いた場合、絶縁膜 4627a および絶縁膜 4627b として、酸化珪素 (SiO_x) または窒化珪素 (SiN_x) が形成される。また、プラズマ処理により半導体膜 4603a、4603b を酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体膜 4603a、4603b に接して酸化珪素 (SiO_x) または酸化窒化珪素 (SiO_xN_y) ($x > y$) が形成され、当該酸化珪素の表面に窒化酸化珪素 (SiN_xO_y) ($x > y$) が形成される。そのため、絶縁膜 4627a、4627b は、プラズマ処理に用いた希ガスを含んでいる。なお、プラズマ処理を行うことにより半導体膜 4603a、4603b の端部も同時に酸化または窒化される。

【0386】

次に、絶縁膜 4627a、4627b を覆うようにゲート絶縁膜 4604 を形成する (図 51 (C-1、C-2))。ゲート絶縁膜 4604 は、公知の手段 (スパッタ法、LPCVD 法、プラズマ CVD 法等) を用いて、酸化珪素 (SiO_x)、窒化珪素 (SiN_x)、酸化窒化珪素 (SiO_xN_y) ($x > y$)、窒化酸化珪素 (SiN_xO_y) ($x > y$) 等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。例えば、半導体膜 4603a、4603b として Si を用いてプラズマ処理により酸化させることによって、当該半導体膜 4603a、4603b 表面に絶縁膜 4627a、4627b として酸化珪素を形成した場合、当該絶縁膜 4627a、4627b 上にゲート絶縁膜として酸化珪素 (SiO_x) を形成する。

【0387】

次に、ゲート絶縁膜 4604 上にゲート電極 4605 等を形成することによって、島状の半導体膜 4603a、4603b をチャンネル領域として用いた N チャンネル型トランジスタ 4610a、P チャンネル型トランジスタ 4610b を有する表示装置を作製することができる (図 51 (D-1、D-2))。

10

20

30

40

50

【0388】

半導体膜の端部をテーパ形状に設けた場合、半導体膜の一部に形成されるチャネル領域の端部4653a、4653bもテーパ形状となるため、半導体素子の特性に影響を及ぼす場合がある。そのため、プラズマ処理により半導体膜を酸化または窒化することによって、結果的にチャネル領域の端部も酸化または窒化されるため半導体素子への影響を低減することができる。

【0389】

なお、図51では、半導体膜4603a、4603bに限ってプラズマ処理により酸化または窒化を行った例を示したが、もちろん上記図49で示したようにゲート絶縁膜4604にプラズマ処理を行って酸化または窒化させることも可能である（図52（B））。この場合、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜4604を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。この場合、半導体膜4603a、4603b型に酸化珪素（ SiO_x ）または酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）が形成され、ゲート電極4605に接して窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）が形成される。

【0390】

このように、プラズマ処理を行い半導体膜またはゲート絶縁膜を酸化または窒化して表面を改質することにより、緻密で膜質のよい絶縁膜を形成することができる。その結果、絶縁膜を薄く形成する場合であってもピンホール等の欠陥を防止し、トランジスタ等の半導体素子の微細化および高性能化を実現することが達成できる。

【0391】

なお、本実施形態では、上記図46における半導体膜4603aおよび4603bまたはゲート絶縁膜4604にプラズマ処理を行い、当該半導体膜4603aおよび4603bまたはゲート絶縁膜4604を酸化または窒化を行ったが、プラズマ処理を用いて酸化または窒化を行う層は、これに限定されない。例えば、基板4601または絶縁膜4602にプラズマ処理を行ってもよいし、絶縁膜4606または絶縁膜4607にプラズマ処理を行ってもよい。

【0392】

なお、本実施形態で述べた内容は、実施の形態1～実施の形態8で述べた内容と自由に組み合わせて実施することができる。すなわち、本実施の形態に係るプロセスにより作製される表示装置は、低電圧でトランジスタを駆動することができ、閾値電圧の変動を少なくできるので、発光素子に流れる電流がトランジスタの閾値電圧に依存しないという効果と相まって、発光素子の輝度のばらつきを低減させることができ、画質を向上させることができる。

【0393】

（実施の形態10）

本実施形態では、トランジスタを含む表示装置を作製する方法として、ハーフトーン方式について説明する。

【0394】

図53はトランジスタ、容量素子、抵抗素子を含む表示装置の断面構造を示す図である。図53は、Nチャネル型トランジスタ5301、Nチャネル型トランジスタ5302、容量素子5304、抵抗素子5305、Pチャネル型トランジスタ5303が示されている。各トランジスタは半導体層5405、絶縁層5408、ゲート電極5409を備えている。ゲート電極5409は、第1導電層5403と第2導電層5402の積層構造で形成されている。また、図54（A）～（E）は、図53で示すトランジスタ、容量素子、抵抗素子に対応する上面図であり、合わせて参照することができる。

【0395】

図53において、Nチャネル型トランジスタ5301は、チャネル領域の両側に低濃度ドレイン（LDD）とも呼ばれ、配線5404とコンタクトを形成するソース領域及びドレイン領域を形成する不純物領域5406の不純物濃度よりも低濃度にドーパされた不純

10

20

30

40

50

物領域 5407 が半導体層 5405 に形成されている。不純物領域 5406 と不純物領域 5407 には、N チャネル型トランジスタ 5301 を構成する場合、N 型を付与する不純物としてリンなどが添加されている。LDD はホットエレクトロン劣化や短チャネル効果を抑制する手段として形成される。

【0396】

図 54 (A) で示すように、N チャネル型トランジスタ 5301 のゲート電極 5409 において、第 1 導電層 5403 は、第 2 導電層 5402 の両側に広がって形成されている。この場合において、第 1 導電層 5403 の膜厚は、第 2 導電層の膜厚よりも薄く形成されている。第 1 導電層 5403 の厚さは、10~100 kV の電界で加速されたイオン種を通過させることが可能な厚さに形成されている。不純物領域 5407 はゲート電極 5409 の第 1 導電層 5403 と重なるように形成されている。すなわち、ゲート電極 5409 とオーバーラップする LDD 領域を形成している。この構造は、ゲート電極 5409 において、第 2 導電層 5402 をマスクとして、第 1 導電層 5403 を通して一導電型の不純物を添加することにより、自己整合的に不純物領域 5407 を形成している。すなわち、ゲート電極とオーバーラップする LDD を自己整合的に形成している。

10

【0397】

図 53 において、N チャネル型トランジスタ 5302 は、チャネル領域の片側に不純物領域 5406 の不純物濃度よりも低濃度にドーパされた不純物領域 5407 が半導体層 5405 に形成されている。図 54 (B) で示すように、N チャネル型トランジスタ 5302 のゲート電極 5409 において、第 1 導電層 5403 は、第 2 導電層 5402 の片側に広がって形成されている。この場合も同様に、第 2 導電層 5402 をマスクとして、第 1 導電層 5403 を通して一導電型の不純物を添加することにより、自己整合的に LDD を形成することができる。

20

【0398】

チャネル領域の片側に LDD を有するトランジスタは、ソース電極及びドレイン電極間に正電圧のみ、もしくは負電圧のみが印加されるトランジスタに適用すればよい。具体的には、インバータ回路、NAND 回路、NOR 回路、ラッチ回路といった論理ゲートを構成するトランジスタや、センスアンプ、定電圧発生回路、VCO といったアナログ回路を構成するトランジスタに適用すればよい。

【0399】

図 53 において、容量素子 5304 は、第 1 導電層 5403 と半導体層 5405 とで絶縁層 5408 を挟んで形成されている。容量素子 5304 を形成する半導体層 5405 には、不純物領域 5410 と不純物領域 5411 を備えている。不純物領域 5411 は、半導体層 5405 において第 1 導電層 5403 と重なる位置に形成される。また、不純物領域 5410 は配線 5404 とコンタクトを形成する。不純物領域 5411 は、第 1 導電層 5403 を通して一導電型の不純物を添加することができるので、不純物領域 5410 と不純物領域 5411 に含まれる不純物濃度は同じにすることもできるし、異ならせることも可能である。いずれにしても、容量素子 5304 において、半導体層 5405 は電極として機能させるので、一導電型の不純物を添加して低抵抗化しておくことが好ましい。また、第 1 導電層 5403 は、図 54 (C) に示すように、第 2 導電層 5402 を補助的な電極として利用することにより、電極として十分に機能させることができる。このように、第 1 導電層 5403 と第 2 導電層 5402 を組み合わせた複合的な電極構造とすることにより、容量素子 5304 を自己整合的に形成することができる。

30

40

【0400】

図 53 において、抵抗素子 5305 は、第 1 導電層 5403 によって形成されている。第 1 導電層 5403 は 30~150 nm 程度の厚さに形成されるので、その幅や長さを適宜設定して抵抗素子を構成することができる。

【0401】

抵抗素子は、高濃度に不純物元素を含む半導体層や、膜厚の薄い金属層によって構成すればよい。抵抗値が膜厚、膜質、不純物濃度、活性化率などに依存する半導体層に対して

50

、金属層は、膜厚、膜質で抵抗値が決定するため、ばらつきが小さく好ましい。抵抗素子 5305 の上面図を図 54 (D) に示す。

【0402】

図 53 において、P チャネル型トランジスタ 5303 は、半導体層 5405 に不純物領域 5412 を備えている。この不純物領域 5412 は、配線 5404 とコンタクトを形成するソース領域及びドレイン領域を形成する。ゲート電極 5409 の構成は第 1 導電層 5403 と第 2 導電層 5402 が重畳した構成となっている。P チャネル型トランジスタ 5303 は LDD を設けないシングルドレイン構造のトランジスタである。P チャネル型トランジスタ 5303 を形成する場合、不純物領域 5412 には P 型を付与する不純物として硼素などが添加される。一方、不純物領域 5412 にリンを添加すればシングルドレイン構造の N チャネル型トランジスタとすることもできる。P チャネル型トランジスタ 5303 の上面図を図 54 (E) に示す。

10

【0403】

半導体層 5405 及びゲート絶縁層 5408 の一方もしくは双方に対してマイクロ波で励起され、電子温度が 2 eV 以下、イオンエネルギーが 5 eV 以下、電子密度が $10^{11} \sim 10^{13} \text{ cm}^{-3}$ 程度である高密度プラズマ処理によって酸化または窒化処理してもよい。このとき、基板温度を 300～450℃とし、酸化雰囲気 (O_2 、 N_2O など) または窒化雰囲気 (N_2 、 NH_3 など) で処理することにより、半導体層 5405 とゲート絶縁層 5408 の界面の欠陥準位を低減することができる。ゲート絶縁層 5408 に対してこの処理を行うことにより、この絶縁層の緻密化を図ることができる。すなわち、荷電欠陥の生成を抑えトランジスタの閾値電圧の変動を抑えることができる。また、トランジスタを 3 V 以下の電圧で駆動させる場合には、このプラズマ処理により酸化もしくは窒化された絶縁層をゲート絶縁層 5408 として適用することができる。また、トランジスタの駆動電圧が 3 V 以上の場合には、このプラズマ処理で半導体層 5405 の表面に形成した絶縁層と CVD 法 (プラズマ CVD 法もしくは熱 CVD 法) で堆積した絶縁層とを組み合わせることでゲート絶縁層 5408 を形成することができる。また、同様にこの絶縁層は、容量素子 5304 の誘電体層としても利用することができる。この場合、このプラズマ処理で形成された絶縁層は、1～10 nm の厚さで形成され、緻密な膜であるので、大きな電荷容量を持つ容量素子を形成することができる。

20

【0404】

図 53 及び図 54 を参照して説明したように、膜厚の異なる導電層を組み合わせることにより、さまざまな構成の素子を形成することができる。第 1 導電層のみが形成される領域と、第 1 導電層と第 2 導電層が積層されている領域は、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いて形成することができる。すなわち、フォトリソグラフィ工程において、フォトレジストを露光する際に、フォトマスクの透過光量を調節して、現像されるレジストマスクの厚さを異ならせる。この場合、フォトマスクまたはレチクルに解像度限界以下のスリットを設けて上記複雑な形状を有するレジストを形成してもよい。また、現像後に約 200℃のバークを行ってフォトレジスト材料で形成されるマスクパターンを変形させてもよい。

30

40

【0405】

また、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いることにより、第 1 導電層のみが形成される領域と、第 1 導電層と第 2 導電層が積層されている領域を連続して形成することができる。図 54 (A) に示すように、第 1 導電層のみが形成される領域を半導体層上に選択的に形成することができる。このような領域は、半導体層上において有効であるが、それ以外の領域 (ゲート電極と連続する配線領域) では必要がない。このフォトマスクもしくはレチクルを用いることにより、配線部分は、第 1 導電層のみの領域を作らないで済むので、配線密度を実質的に高めることができる。

【0406】

50

図 5 3 及び図 5 4 の場合には、第 1 導電層はタングステン (W)、クロム (Cr)、タンタル (Ta)、窒化タンタル (Ta₂N₅) またはモリブデン (Mo) などの高融点金属、または高融点金属を主成分とする合金もしくは化合物を 30~50 nm の厚さで形成する。また、第 2 導電層はタングステン (W)、クロム (Cr)、タンタル (Ta)、窒化タンタル (Ta₂N₅) またはモリブデン (Mo) などの高融点金属、または高融点金属を主成分とする合金もしくは化合物で 300~600 nm の厚さに形成する。例えば、第 1 導電層と第 2 導電層をそれぞれ異なる導電材料を用い、後に行うエッチング工程でエッチングレートの差が生じるようにする。一例として、第 1 導電層を TaN を用い、第 2 導電層としてタングステン膜を用いることができる。

【0407】

10

本実施の形態では、回折格子パターン或いは半透膜からなる光強度低減機能を有する補助パターンを設置したフォトマスクまたはレチクルを用いて、電極構造の異なるトランジスタ、容量素子、抵抗素子を、同じパターンニング工程によって作り分けることができることを示している。これにより、回路の特性に応じて、形態の異なる素子を、工程を増やすことなく作り込み、集積化することができる。

【0408】

なお、本実施形態で述べた内容は、実施の形態 1~実施の形態 9 で述べた内容と自由に組み合わせて実施することができる。すなわち、本実施の形態に係る表示装置は、回路の特性に応じて形態の異なる素子を工程を増やすことなく作り込むことができるので、発光素子に流れる電流がトランジスタの閾値電圧に依存しないという効果と相まって、発光素子の輝度のばらつきを低減させることができ、画質を向上させることができる。

20

【0409】

(実施の形態 11)

本実施形態では、トランジスタを含む表示装置を作製する際のマスクパターンの例について、図 5 5~図 5 7 を参照して説明する。

【0410】

図 5 5 (A) で示す半導体層 5510、5511 はシリコンもしくはシリコンを成分とする結晶性の半導体で形成することが好ましい。例えば、シリコン膜をレーザアニールなどによって結晶化された多結晶シリコン、単結晶シリコンなどが適用される。その他にも半導体特性を示す、金属酸化物半導体、アモルファスシリコン、有機半導体を適用すること

30

【0411】

いずれにしても、最初に形成する半導体層は絶縁表面を有する基板の全面もしくは一部 (トランジスタの半導体領域として画定されるよりも広い面積を有する領域) に形成する。そして、フォトリソグラフィ技術によって、半導体層上にマスクパターンを形成する。そのマスクパターンを利用して半導体層をエッチング処理することにより、トランジスタのソース領域及びド레인領域及びチャネル形成領域を含む特定形状の島状の半導体層 5510、5511 を形成する。その半導体層 5510、5511 はレイアウトの適切さを考慮して決められる。

【0412】

40

図 5 5 (A) で示す半導体層 5510、5511 を形成するためのフォトマスクは、図 5 5 (B) に示すマスクパターン 5530 を備えている。このマスクパターン 5530 は、フォトリソグラフィ工程で用いるレジストがポジ型かネガ型かで異なる。ポジ型レジストを用いる場合には、図 5 5 (B) で示すマスクパターン 5530 は、遮光部として作製される。マスクパターン 5530 は、多角形の頂部 A を削除した形状となっている。また、屈曲部 B においては、その角部が直角とならないように複数段に渡って屈曲する形状となっている。このフォトマスクのパターンは、例えば、パターンの角部であって (直角三角形) の一辺が 10 μm 以下の大きさに角部を削除している。

【0413】

図 5 5 (B) で示すマスクパターン 5530 は、その形状が、図 5 5 (A) で示す半導

50

体層 5 5 1 0、5 5 1 1 に反映される。フォトリソグラフィーの際、マスクパターン 5 5 3 0 と相似の形状が転写されてもよいが、マスクパターン 5 5 3 0 の角部がさらに丸みを帯びるように転写されていてもよい。すなわち、マスクパターン 5 5 3 0 よりもさらにパターン形状をなめらかにした、丸め部を設けてもよい。

【0 4 1 4】

半導体層 5 5 1 0、5 5 1 1 の上には、酸化シリコンもしくは窒化シリコンを少なくとも一部に含む絶縁層が形成される。この絶縁層を形成する目的の一つはゲート絶縁層である。そして、図 5 6 (A) で示すように、半導体層と一部が重なるようにゲート配線 5 6 1 2、5 6 1 3、5 6 1 4 を形成する。ゲート配線 5 6 1 2 は半導体層 5 5 1 0 に対応して形成される。ゲート配線 5 6 1 3 は半導体層 5 5 1 0、5 5 1 1 に対応して形成される。また、ゲート配線 5 6 1 4 は半導体層 5 5 1 0、5 5 1 1 に対応して形成される。ゲート配線は、金属層または導電性の高い半導体層を成膜し、フォトリソグラフィー技術によってその形状を絶縁層上に作り込む。

10

【0 4 1 5】

このゲート配線を形成するためのフォトマスクは、図 5 6 (B) に示すマスクパターン 5 6 3 1 を備えている。このマスクパターン 5 6 3 1 は、角部であって、(直角三角形) の一辺が $10\text{ }\mu\text{m}$ 以下、または、配線の線幅の $1/2$ 以下で、線幅の $1/5$ 以上の大きさに角部を削除している。図 5 6 (B) で示すマスクパターン 5 6 3 1 は、その形状が、図 5 6 (A) で示すゲート配線 5 6 1 2、5 6 1 3、5 6 1 4 に反映される。マスクパターン 5 6 3 1 と相似の形状が転写されてもよいが、マスクパターン 5 6 3 1 の角部がさらに丸みを帯びるように転写されていてもよい。すなわち、マスクパターン 5 6 3 1 よりもさらにパターン形状をなめらかにした、丸め部を設けてもよい。すなわち、ゲート配線 5 6 1 2、5 6 1 3、5 6 1 4 の角部は、 $10\text{ }\mu\text{m}$ 以下、又は配線の線幅の $1/2$ 以下であって $1/5$ 以上にコーナー部に丸みをおびさせる。凸部に丸みをもたせると、プラズマによるドライエッチの際、異常放電による微粉の発生を抑え、凹部に丸みをもたせると、洗浄のときに、たとえできた微粉であっても、それが角に集まりやすいのを洗い流す結果として歩留まり向上が実現できるという効果を有する。

20

【0 4 1 6】

層間絶縁層はゲート配線 5 6 1 2、5 6 1 3、5 6 1 4 の次に形成される層である。層間絶縁層は酸化シリコンなどの無機絶縁材料若しくはポリイミドやアクリル樹脂などを使った有機絶縁材料を使って形成する。この層間絶縁層とゲート配線 5 6 1 2、5 6 1 3、5 6 1 4 の間には窒化シリコンもしくは窒化酸化シリコンなどの絶縁層を介在させてもよい。また、層間絶縁層上にも窒化シリコンもしくは窒化酸化シリコンなどの絶縁層を設けてもよい。この絶縁層は、外因性の金属イオンや水分などトランジスタにとってはよくない不純物により半導体層やゲート絶縁層を汚染するのを防ぐことができる。

30

【0 4 1 7】

層間絶縁層には所定の位置に開口が形成されている。例えば、下層にあるゲート配線や半導体層に対応して設けられる。金属もしくは金属化合物の一層もしくは複数層で形成される配線層は、フォトリソグラフィー技術によってマスクパターンが形成され、エッチング加工により所定のパターンに形成される。そして、図 5 7 (A) で示すように、半導体層と一部が重なるように配線 5 7 1 5 ~ 5 7 2 0 を形成する。配線はある特定の素子間を連結する。配線は特定の素子と素子の間を直線で結ぶのではなく、レイアウトの制約上屈曲部が含まれる。また、コンタクト部やその他の領域において配線幅が変化する。コンタクト部では、コンタクトホールが配線幅と同等もしくは大きい場合には、その部分で配線幅が広がるように変化する。

40

【0 4 1 8】

この配線 5 7 1 5 ~ 5 7 2 0 を形成するためのフォトマスクは、図 5 7 (B) に示すマスクパターン 5 7 3 2 を備えている。この場合においても、配線は、そのコーナー部であって(直角三角形)の一辺が $10\text{ }\mu\text{m}$ 以下、または、配線の線幅の $1/2$ 以下で、線幅の $1/5$ 以上の大きさに角部を削除し、コーナー部を丸みをおびるパターンを有せしめる。

50

このような配線は、凸部に丸みをもたせると、プラズマによるドライエッチの際、異常放電による微粉の発生を抑え、凹部に丸みをもたせると、洗浄のときに、たとえできた微粉であっても、それが角に集まりやすいのを洗い流す結果として歩留まり向上が実現できるという効果を有する。配線の角部がラウンドをとることにより、配線の角に電界が集中するのを防ぐことができる。それにより、配線が切れにくくなる。また、複数の平行配線では、ゴミを洗い流すのにはきわめて好都合である。

【0419】

図57(A)には、Nチャネル型トランジスタ5721～5724、Pチャネル型トランジスタ5725、5726が形成されている。Nチャネル型トランジスタ5723とPチャネル型トランジスタ5725及びNチャネル型トランジスタ5724とPチャネル型トランジスタ5726はインバータ5727、5728を構成している。これらのトランジスタの上層には、窒化シリコンや酸化シリコンなどの絶縁層が形成されていてもよい。

10

【0420】

なお、本実施形態で述べた内容は、実施の形態1～実施の形態10で述べた内容と自由に組み合わせて実施することができる。すなわち、本実施の形態に係る表示装置は、配線形成時におけるゴミの除去を効果的に行うことができるので、ゴミ等の異物が残存することによる発光素子の不良を低減することができ、発光素子に流れる電流がトランジスタの閾値電圧に依存しないという特徴と相まって、発光素子の輝度のばらつきを低減させることができ、画質を向上させることができる。

【0421】

20

(実施の形態12)

本実施形態では、実施の形態1から実施の形態7までで述べた駆動方法を制御するハードウェアについて述べる。

【0422】

大まかな構成図を図58に示す。基板5801の上に、画素部5804が配置されている。信号線駆動回路5806や走査線駆動回路5805が配置されている場合が多い。それ以外にも、電源回路やプリチャージ回路やタイミング生成回路などが配置されていることもある。また、信号線駆動回路5806や走査線駆動回路5805が配置されていない場合もある。その場合は、基板5801に配置されていないものは、ICに形成されることが多い。そのICは、基板5801の上に、COG(Chip On Glass)によって配置されている場合も多い。あるいは、周辺回路基板5802と基板5801とを接続する接続基板5807の上に、ICが配置される場合もある。

30

【0423】

周辺回路基板5802には、信号5803が入力される。そして、コントローラ5808が制御して、メモリ5809、5810などに信号が保存される。信号5803がアナログ信号の場合は、アナログ・デジタル変換を行った後、そして、メモリ5809、5810などに保存されることが多い。そして、コントローラ5808がメモリ5809、5810などに保存された信号を用いて、基板5801に信号を出力する。

【0424】

実施の形態1～実施の形態7で述べた駆動方法を実現するために、コントローラ5808が、サブフレームの出現順序などを制御して、基板5801に信号を出力する。

40

【0425】

なお、本実施形態で述べた内容は、実施の形態1～実施の形態11で述べた内容と自由に組み合わせて実施することができる。

【0426】

(実施の形態13)

本実施形態では、本発明の表示装置を用いたELモジュール及びELテレビ受像機の構成例について説明する。

【0427】

図59は表示パネル5901と、回路基板5902を組み合わせたELモジュールを示

50

している。表示パネル 5901 は画素部 5903、走査線駆動回路 5904 及び信号線駆動回路 5905 を有している。回路基板 5902 には、例えば、コントロール回路 5906 や信号分割回路 5907 などが形成されている。表示パネル 5901 と回路基板 5902 は接続配線 5908 によって接続されている。接続配線には FPC 等を用いることができる。

【0428】

コントロール回路 5906 が、実施の形態 12 における、コントローラ 5808 やメモリ 5809、5810 などに相当する。主に、コントロール回路 5906 において、サブフレームの出現順序などを制御している。

【0429】

表示パネル 5901 は、画素部と一部の周辺駆動回路（複数の駆動回路のうち動作周波数の低い駆動回路）を基板上にトランジスタを用いて一体形成し、一部の周辺駆動回路（複数の駆動回路のうち動作周波数の高い駆動回路）を IC チップ上に形成し、その IC チップを COG (Chip On Glass) などで表示パネル 5901 に実装するとよい。あるいは、その IC チップを TAB (Tape Auto Bonding) やプリント基板を用いて表示パネル 5901 に実装してもよい。

【0430】

また、走査線や信号線に設定する信号をバッファによりインピーダンス変換することで、1 行毎の画素の書き込み時間を短くすることができる。よって高精細な表示装置を提供することができる。

【0431】

また、さらに消費電力の低減を図るため、ガラス基板上にトランジスタを用いて画素部を形成し、全ての信号線駆動回路を IC チップ上に形成し、その IC チップを COG (Chip On Glass) 表示パネルに実装してもよい。

【0432】

例えば、表示パネルの画面全体をいくつかの領域に分割し、各々の領域に一部もしくは全ての周辺駆動回路（信号線駆動回路、走査線駆動回路など）を形成した IC チップを配置し、COG (Chip On Glass) などで表示パネルに実装してもよい。この場合の表示パネルの構成を図 60 に示す。

【0433】

図 60 では、画面全体を 4 つの領域に分割し、8 個の IC チップを用いて駆動させる例である。表示パネルの構成は、基板 6010、画素部 6011、FPC 6012a~6012h、IC チップ 6013a~6013h を有する。8 個の IC チップのうち、6013a~6013d には信号線駆動回路を形成しており、6013e~6013h には走査線駆動回路を形成している。そして、任意の IC チップを駆動させることにより、4 つの画面領域のうち任意の画面領域のみを駆動させることが可能となる。例えば、IC チップ 6013a と 6013e のみを駆動させると、4 つの画面領域のうち、左上の領域のみを駆動させることができる。このようにすることにより、消費電力を低減させることが可能となる。

【0434】

また、別の構成を有している表示パネルの例を図 61 に示す。図 61 の表示パネルは基板 6120 上に、画素 6130 が複数配列された画素部 6121、走査線 6133 の信号を制御する走査線駆動回路 6122、信号線 6131 の信号を制御する信号線駆動回路 6123 を有している。また、画素 6130 に含まれる発光素子の輝度変化を補正するためのモニタ回路 6124 が設けられていてもよい。画素 6130 に含まれる発光素子とモニタ回路 6124 に含まれる発光素子は同じ構造を有している。発光素子の構造は一对の電極間にエレクトロルミネセンスを発現する材料を含む層を挟んだ形となっている。

【0435】

基板 6120 の周辺部には、走査線駆動回路 6122 に外部回路から信号を入力する入力端子 6125、信号線駆動回路 6123 に外部回路から信号を入力する入力端子 612

10

20

30

40

50

6、モニタ回路6124に信号を入力する入力端子6129を有している。

【0436】

画素6130に設けた発光素子を発光させるためには、外部回路から電力を供給する必要がある。画素部6121に設けられる電源線6132は、入力端子6127で外部回路と接続される。電源線6132はその配線の長さにより抵抗損失が生じるので、入力端子6127は基板6120の周辺部に複数箇所設けることが好ましい。入力端子6127は基板6120の両端部に設け、画素部6121の面内で輝度ムラが目立たないように配置されている。すなわち、画面の中で片側が明るく、反対側が暗くなってしまうことを防いでいる。また、一对の電極を備えた発光素子の、電源線6132と接続する電極とは反対側の電極は、複数の画素6130で共有する共通電極として形成されるが、この電極の抵抗損失も低くするために、端子6128を複数個備えている。 10

【0437】

このような表示パネルは、電源線がCuなどの低抵抗材料で形成されているので、特に画面サイズが大型化したときに有効である。例えば、画面サイズが13インチクラスの場合対角線の長さは340mmであるが、60インチクラスの場合には1500mm以上となる。このような場合には、配線抵抗を無視することが出来ない所以、Cuなどの低抵抗材料を配線として用いることが好ましい。また、配線遅延を考慮すると、同様に信号線や走査線を形成してもよい。

【0438】

上記のようなパネル構成を備えたELモジュールにより、ELテレビ受像機を完成させることができる。図62は、ELテレビ受像機の主要な構成を示すブロック図である。チューナ6201は映像信号と音声信号を受信する。映像信号は、映像信号増幅回路6202と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路6203と、その映像信号を駆動回路の入力仕様に変換するためのコントロール回路5906により処理される。コントロール回路5906は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線駆動回路5905の手前に信号分割回路5907を設け、入力デジタル信号をM個に分割して供給する構成としてもよい。 20

【0439】

チューナ6201で受信した信号のうち、音声信号は音声信号増幅回路6204に送られ、その出力は音声信号処理回路6205を経てスピーカ6206に供給される。制御回路6207は受信局（受信周波数）や音量の制御情報を入力部6208から受け、チューナ6201や音声信号処理回路6205に信号を送出する。 30

【0440】

ELモジュールを筐体に組みこんで、テレビ受像機を完成させることができる。ELモジュールにより、表示部が形成される。また、スピーカ、ビデオ入力端子などが適宜備えられている。

【0441】

勿論、本発明はテレビ受像機に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道駅の駅や空港などにおける情報表示盤や、街頭における広告表示盤など特に大面積の表示媒体として様々な用途に適用することができる。 40

【0442】

このように、本発明の表示装置、およびその駆動法を用いることにより、発光素子に流れる電流がトランジスタの閾値電圧に依存しない形で決定されるため、トランジスタの閾値電圧のばらつきを補償することができる。これにより、発光素子の輝度のばらつきを低減させることができ、画質を向上させることができる。

【0443】

なお、本実施形態で述べた内容は、実施の形態1～実施の形態12で述べた内容と自由に組み合わせて実施することができる。

【0444】

(実施の形態 14)

本発明の表示装置を用いた電子機器として、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機、電子書籍等）、記憶媒体を備えた画像再生装置（具体的には Digital Versatile Disc（DVD）等の記憶媒体を再生し、その画像を表示しうるディスプレイを備えた装置）等が挙げられる。それらの電子機器の具体例を図 63 に示す。

【0445】

図 63（A）は発光装置であり、筐体 6301、支持台 6302、表示部 6303、スピーカー部 6304、ビデオ入力端子 6305 等を含む。本発明は、表示部 6303 を構成する表示装置に用いることができ、本発明により、輝度のばらつきが低減された、綺麗な画像を見ることができるようになる。発光装置は自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、発光装置は、パーソナルコンピュータ用、TV 放送受信用、広告表示用などの全ての情報表示用表示装置が含まれる。

【0446】

図 63（B）はデジタルスチルカメラであり、本体 6306、表示部 6307、受像部 6308、操作キー 6309、外部接続ポート 6310、シャッター 6311 等を含む。本発明は、表示部 6307 を構成する表示装置に用いることができ、本発明により、輝度のばらつきが低減された、綺麗な画像を見ることができるようになる。

【0447】

図 63（C）はノート型パーソナルコンピュータであり、本体 6312、筐体 6313、表示部 6314、キーボード 6315、外部接続ポート 6316、ポインティングデバイス 6317 等を含む。本発明は、表示部 6314 を構成する表示装置に用いることができ、本発明により、輝度のばらつきが低減された、綺麗な画像を見ることができるようになる。

【0448】

図 63（D）はモバイルコンピュータであり、本体 6318、表示部 6319、スイッチ 6320、操作キー 6321、赤外線ポート 6322 等を含む。本発明は、表示部 6319 を構成する表示装置に用いることができ、本発明により、輝度のばらつきが低減された、綺麗な画像を見ることができるようになる。

【0449】

図 63（E）は記憶媒体装置を備えた携帯型の画像再生装置（具体的には DVD 再生装置）であり、本体 6323、筐体 6324、表示部 A 6325、表示部 B 6326、記憶媒体（DVD 等）読み込み部 6327、操作キー 6328、スピーカー部 6329 等を含む。表示部 A 6325 は主に画像情報を表示し、表示部 B は主に文字情報を表示する。本発明は、表示部 A 6325、表示部 B 6326 を構成する表示装置に用いることができ、本発明により、輝度のばらつきが低減された、綺麗な画像を見ることができるようになる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0450】

図 63（F）はゴーグル型ディスプレイ（ヘッドマウントディスプレイ）であり、本体 6330、表示部 6331、アーム部 6332 等を含む。本発明は、表示部 6331 を構成する表示装置に用いることができ、本発明により、輝度のばらつきが低減された、綺麗な画像を見ることができるようになる。

【0451】

図 63（G）はビデオカメラであり、本体 6333、表示部 6334、筐体 6335、外部接続ポート 6336、リモコン受信部 6337、受像部 6338、バッテリー 6339、音声入力部 6340、操作キー 6341 等を含む。本発明は、表示部 6334 を構成する表示装置に用いることができ、本発明により、輝度のばらつきが低減された、綺麗な

画像を見ることができるようになる。

【0452】

図63(H)は携帯電話であり、本体6342、筐体6343、表示部6344、音声入力部6345、音声出力部6346、操作キー6347、外部接続ポート6348、アンテナ6349等を含む。本発明は、表示部6344を構成する表示装置に用いることができる。なお、表示部6344は黒色の背景に白色の文字を表示することで携帯電話の消費電流を抑えることができる。また本発明により、輝度のばらつきが低減された、綺麗な画像を見ることができるようになる。

【0453】

なお、発光輝度が高い発光材料を用いれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型もしくはリア型のプロジェクターに用いることも可能となる。 10

【0454】

また、上記電子機器はインターネットやCATV（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。発光材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0455】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。 20

【0456】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また、本実施形態の電子機器は、実施の形態1～実施の形態13に示したいずれの構成の表示装置を用いてもよい。

【図面の簡単な説明】

【0457】

【図1】本発明の表示装置における画素の基本構成の一例を示す図。

【図2】本発明の表示装置における画素の基本構成の一例を示す図。

【図3】本発明の表示装置における画素構成の一例を示す図。

【図4】本発明の表示装置における画素回路の動作について説明する図。 30

【図5】本発明の表示装置における画素回路の動作について説明する図。

【図6】本発明の表示装置における画素回路の動作について説明する図。

【図7】本発明の表示装置における画素回路の動作について説明する図。

【図8】本発明の表示装置における画素回路の動作について説明する図。

【図9】本発明の表示装置における画素構成の一例を示す図。

【図10】本発明の表示装置における画素回路の動作について説明する図。

【図11】本発明の表示装置における画素構成の一例を示す図。

【図12】本発明の表示装置における画素構成の一例を示す図。

【図13】本発明の表示装置における画素構成の一例を示す図。

【図14】本発明の表示装置における画素構成の一例を示す図。 40

【図15】本発明の表示装置における画素構成の一例を示す図。

【図16】本発明の表示装置における画素構成の一例を示す図。

【図17】本発明の表示装置における画素構成の一例を示す図。

【図18】本発明の表示装置における画素回路の動作について説明する図。

【図19】本発明の表示装置における画素構成の一例を示す図。

【図20】本発明の表示装置における画素回路の動作について説明する図。

【図21】本発明の表示装置における画素構成の一例を示す図。

【図22】本発明の表示装置における画素回路の動作について説明する図。

【図23】本発明の表示装置における画素構成の一例を示す図。

【図24】本発明の表示装置における画素回路の動作について説明する図。 50

- 【図 2 5】本発明の表示装置における画素回路の動作について説明する図。
- 【図 2 6】本発明の表示装置における画素構成の一例を示す図。
- 【図 2 7】本発明の表示装置における画素構成の一例を示す図。
- 【図 2 8】本発明の表示装置における画素構成の一例を示す図。
- 【図 2 9】本発明の表示装置における画素回路の動作について説明する図。
- 【図 3 0】本発明の表示装置における画素構成の一例を示す図。
- 【図 3 1】本発明の表示装置における画素構成の一例を示す図。
- 【図 3 2】本発明の表示装置における画素回路の動作について説明する図。
- 【図 3 3】本発明の表示装置における画素構成の一例を示す図。
- 【図 3 4】本発明の表示装置における画素回路の動作について説明する図。 10
- 【図 3 5】本発明の表示装置における画素構成の一例を示す図。
- 【図 3 6】本発明の表示装置における画素構成の一例を示す図。
- 【図 3 7】本発明の表示装置における画素構成のレイアウトの一例を示す図。
- 【図 3 8】本発明の表示装置の構成例を示す図。
- 【図 3 9】本発明の表示装置における信号線駆動回路の構成例を示す図。
- 【図 4 0】本発明の表示装置における走査線駆動回路の構成例を示す図。
- 【図 4 1】本発明の表示装置の構成例を示す図。
- 【図 4 2】本発明の表示装置の構成例を示す図。
- 【図 4 3】本発明の表示装置の構成の一例を示す図。
- 【図 4 4】本発明の表示装置の構成の一例を示す図。 20
- 【図 4 5】本発明の表示装置の構成の一例を示す図。
- 【図 4 6】本発明の表示装置に用いるトランジスタの構造を示す図。
- 【図 4 7】本発明の表示装置に用いるトランジスタの製造方法を説明する図。
- 【図 4 8】本発明の表示装置に用いるトランジスタの製造方法を説明する図。
- 【図 4 9】本発明の表示装置に用いるトランジスタの製造方法を説明する図。
- 【図 5 0】本発明の表示装置に用いるトランジスタの製造方法を説明する図。
- 【図 5 1】本発明の表示装置に用いるトランジスタの製造方法を説明する図。
- 【図 5 2】本発明の表示装置に用いるトランジスタの製造方法を説明する図。
- 【図 5 3】本発明の表示装置に用いるトランジスタの断面構造を示す図。
- 【図 5 4】本発明の表示装置に用いるトランジスタの上面図。 30
- 【図 5 5】本発明の表示装置に用いるトランジスタのマスクパターンの一例を示す図。
- 【図 5 6】本発明の表示装置に用いるトランジスタのマスクパターンの一例を示す図。
- 【図 5 7】本発明の表示装置に用いるトランジスタのマスクパターンの一例を示す図。
- 【図 5 8】本発明の駆動方式を制御するハードウェアの一例を示す図。
- 【図 5 9】本発明の駆動方式を用いた E L モジュールの一例を示す図。
- 【図 6 0】本発明の駆動方式を用いた表示パネルの構成例を示す図。
- 【図 6 1】本発明の駆動方式を用いた表示パネルの構成例を示す図。
- 【図 6 2】本発明の駆動方式を用いた E L テレビ受像機の一例を示す図。
- 【図 6 3】本発明の駆動方式が適用される電子機器の一例を示す図。
- 【図 6 4】従来の画素構成を示す図。 40
- 【図 6 5】本発明の表示装置における画素構成の一例を示す図。
- 【図 6 6】本発明の表示装置における画素構成の一例を示す図。
- 【図 6 7】本発明の表示装置に用いる表示パネルの構成の一例を示す図。
- 【図 6 8】本発明の表示装置に用いる発光素子の構成の一例を示す図。
- 【図 6 9】本発明の表示装置の構成の一例を示す図。
- 【図 7 0】本発明の表示装置の構成の一例を示す図。
- 【図 7 1】本発明の表示装置の構成の一例を示す図。
- 【図 7 2】本発明の表示装置の構成の一例を示す図。
- 【図 7 3】本発明の表示装置の構成の一例を示す図。
- 【符号の説明】 50

【 0 4 5 8 】

1 0 1	第 1 の ト ラ ン ジ ス タ	
1 0 2	第 2 の ト ラ ン ジ ス タ	
1 0 3	保 持 容 量	
1 0 4	走 査 線	
1 0 5	第 1 の 電 源 線	
1 0 6	第 2 の 電 源 線	
1 0 7	容 量 線	
1 0 8	発 光 素 子	
1 1 5	容 量 線	10
2 0 1	第 1 の ト ラ ン ジ ス タ	
2 0 2	第 2 の ト ラ ン ジ ス タ	
2 0 3	保 持 容 量	
2 0 4	走 査 線	
2 0 5	第 1 の 電 源 線	
2 0 6	第 2 の 電 源 線	
2 0 7	容 量 線	
2 0 8	発 光 素 子	
3 0 1	第 1 の ト ラ ン ジ ス タ	
3 0 2	第 2 の ト ラ ン ジ ス タ	20
3 0 3	第 3 の ト ラ ン ジ ス タ	
3 0 4	第 4 の ト ラ ン ジ ス タ	
3 0 5	第 5 の ト ラ ン ジ ス タ	
3 0 6	第 1 の 保 持 容 量	
3 0 7	第 2 の 保 持 容 量	
3 0 8	信 号 線	
3 0 9	第 1 の 走 査 線	
3 1 0	第 2 の 走 査 線	
3 1 1	第 3 の 走 査 線	
3 1 2	第 4 の 走 査 線	30
3 1 3	第 1 の 電 源 線	
3 1 4	第 2 の 電 源 線	
3 1 5	容 量 線	
3 1 6	発 光 素 子	
9 0 1	第 1 の ト ラ ン ジ ス タ	
9 0 2	第 2 の ト ラ ン ジ ス タ	
9 0 3	第 3 の ト ラ ン ジ ス タ	
9 0 4	第 4 の ト ラ ン ジ ス タ	
9 0 5	第 5 の ト ラ ン ジ ス タ	
9 0 6	第 1 の 保 持 容 量	40
9 0 7	第 2 の 保 持 容 量	
9 0 8	信 号 線	
9 0 9	第 1 の 走 査 線	
9 1 0	第 2 の 走 査 線	
9 1 1	第 3 の 走 査 線	
9 1 2	第 4 の 走 査 線	
9 1 3	第 1 の 電 源 線	
9 1 4	第 2 の 電 源 線	
9 1 5	容 量 線	
9 1 6	発 光 素 子	50

3 6 1 7	リファレンス線	
1 9 0 1	トランジスタ	
1 9 0 2	トランジスタ	
1 9 0 3	トランジスタ	
1 9 0 4	トランジスタ	
1 9 0 5	トランジスタ	
1 9 0 6	保持容量	
1 9 0 7	保持容量	
1 9 0 8	信号線	
1 9 0 9	第 1 の走査線	10
1 9 1 0	第 2 の走査線	
1 9 1 1	第 3 の走査線	
1 9 1 2	第 4 の走査線	
1 9 1 3	電源線	
1 9 1 4	電源線	
1 9 1 6	発光素子	
1 9 2 3	第 3 のトランジスタ	
1 9 2 7	第 2 の保持容量	
1 9 2 9	第 1 の走査線	
1 9 3 0	第 2 の走査線	20
1 9 3 1	第 3 の走査線	
1 9 3 2	第 4 の走査線	
2 1 0 1	トランジスタ	
2 1 0 2	トランジスタ	
2 1 0 3	トランジスタ	
2 1 0 4	トランジスタ	
2 1 0 5	トランジスタ	
2 1 0 6	保持容量	
2 1 0 7	保持容量	
2 1 0 8	信号線	30
2 1 0 9	第 1 の走査線	
2 1 1 0	第 2 の走査線	
2 1 1 1	第 3 の走査線	
2 1 1 2	第 4 の走査線	
2 1 1 3	電源線	
2 1 1 4	電源線	
2 1 1 6	発光素子	
2 1 2 3	第 3 のトランジスタ	
2 1 2 7	第 2 の保持容量	
2 1 2 9	第 1 の走査線	40
2 1 3 0	第 2 の走査線	
2 1 3 1	第 3 の走査線	
2 1 3 2	第 4 の走査線	
2 1 3 6	発光素子	
2 1 4 9	第 1 の走査線	
2 3 1 7	第 6 のトランジスタ	
2 3 1 8	第 5 の走査線	
3 5 1 7	リファレンス線	
3 8 0 1	画素部	
3 8 0 2	第 1 の走査線駆動回路	50

3 8 0 3	第 2 の走査線駆動回路	
3 8 0 4	第 3 の走査線駆動回路	
3 8 0 5	第 4 の走査線駆動回路	
3 8 0 6	信号線駆動回路	
3 8 0 7	第 1 の走査線	
3 8 0 8	第 2 の走査線	
3 8 0 9	第 3 の走査線	
3 8 1 0	第 4 の走査線	
3 8 1 1	信号線	
3 8 1 2	インバータ	10
3 9 0 1	シフトレジスタ	
3 9 0 2	第 1 のラッチ回路	
3 9 0 3	第 2 のラッチ回路	
3 9 0 4	増幅回路	
3 9 0 5	サンプリング回路	
4 0 0 1	シフトレジスタ	
4 0 0 2	増幅回路	
4 3 0 1	基板	
4 3 0 2	下地膜	
4 3 0 3	画素電極	20
4 3 0 4	第 1 の電極	
4 3 0 5	配線	
4 3 0 6	配線	
4 3 0 7	N 型半導体層	
4 3 0 8	N 型半導体層	
4 3 0 9	半導体層	
4 3 1 0	ゲート絶縁膜	
4 3 1 1	絶縁膜	
4 3 1 2	ゲート電極	
4 3 1 3	第 2 の電極	30
4 3 1 4	層間絶縁膜	
4 3 1 5	有機化合物を含む層	
4 3 1 6	対向電極	
4 3 1 7	発光素子	
4 3 1 8	駆動トランジスタ	
4 3 1 9	容量素子	
4 3 2 0	第 1 の電極	
4 4 0 1	基板	
4 4 0 3	ゲート電極	
4 4 0 4	第 1 の電極	40
4 4 0 5	ゲート絶縁膜	
4 4 0 6	半導体層	
4 4 0 7	半導体層	
4 4 0 8	N 型半導体層	
4 4 0 9	N 型半導体層	
4 4 1 0	N 型半導体層	
4 4 1 1	配線	
4 4 1 2	配線	
4 4 1 3	導電層	
4 4 1 4	画素電極	50

4 4 1 5	絶縁物	
4 4 1 6	有機化合物を含む層	
4 4 1 7	対向電極	
4 4 1 8	発光素子	
4 4 1 9	駆動トランジスタ	
4 4 2 0	容量素子	
4 4 2 1	第 2 の電極	
4 4 2 2	容量素子	
4 5 0 1	絶縁物	
4 6 0 1	基板	10
4 6 0 2	絶縁膜	
4 6 0 3 a	半導体膜	
4 6 0 3 b	半導体膜	
4 6 0 4	ゲート絶縁膜	
4 6 0 5	ゲート電極	
4 6 0 6	絶縁膜	
4 6 0 7	絶縁膜	
4 6 0 8	導電膜	
4 6 1 0 a	Nチャネル型トランジスタ	
4 6 1 0 b	Pチャネル型トランジスタ	20
4 6 2 1 a	絶縁膜	
4 6 2 1 b	絶縁膜	
4 6 2 3	絶縁膜	
4 6 2 4	絶縁膜	
4 6 2 6	絶縁膜	
4 6 2 7 a	絶縁膜	
4 6 2 7 b	絶縁膜	
4 6 5 1 a	端部	
4 6 5 1 b	端部	
4 6 5 2 a	端部	30
4 6 5 2 b	端部	
4 6 5 3 a	端部	
4 6 5 3 b	端部	
4 7 2 3	絶縁膜	
5 3 0 1	Nチャネル型トランジスタ	
5 3 0 2	Nチャネル型トランジスタ	
5 3 0 3	Pチャネル型トランジスタ	
5 3 0 4	容量素子	
5 3 0 5	抵抗素子	
5 4 0 2	第 2 導電層	40
5 4 0 3	第 1 導電層	
5 4 0 4	配線	
5 4 0 5	半導体層	
5 4 0 6	不純物領域	
5 4 0 7	不純物領域	
5 4 0 8	絶縁層	
5 4 0 9	ゲート電極	
5 4 1 0	不純物領域	
5 4 1 1	不純物領域	
5 4 1 2	不純物領域	50

5 5 1 0	半 導 体 層	
5 5 1 1	半 導 体 層	
5 5 3 0	マ ス ク パ タ ー ン	
5 6 1 2	ゲ ー ト 配 線	
5 6 1 3	ゲ ー ト 配 線	
5 6 1 4	ゲ ー ト 配 線	
5 6 3 1	マ ス ク パ タ ー ン	
5 7 1 5	配 線	
5 7 1 6	配 線	
5 7 1 7	配 線	10
5 7 1 8	配 線	
5 7 1 9	配 線	
5 7 2 0	配 線	
5 7 2 1	N チ ャ ネ ル 型 ト ラ ン ジ ス タ	
5 7 2 2	N チ ャ ネ ル 型 ト ラ ン ジ ス タ	
5 7 2 3	N チ ャ ネ ル 型 ト ラ ン ジ ス タ	
5 7 2 4	N チ ャ ネ ル 型 ト ラ ン ジ ス タ	
5 7 2 5	P チ ャ ネ ル 型 ト ラ ン ジ ス タ	
5 7 2 6	P チ ャ ネ ル 型 ト ラ ン ジ ス タ	
5 7 2 7	イ ン バ ー タ	20
5 7 2 8	イ ン バ ー タ	
5 7 3 2	マ ス ク パ タ ー ン	
5 8 0 1	基 板	
5 8 0 2	周 辺 回 路 基 板	
5 8 0 3	信 号	
5 8 0 4	画 素 部	
5 8 0 5	走 査 線 駆 動 回 路	
5 8 0 6	信 号 線 駆 動 回 路	
5 8 0 7	接 続 基 板	
5 8 0 8	コ ン ト ロ ー ラ	30
5 8 0 9	メ モ リ	
5 8 1 0	メ モ リ	
5 9 0 1	表 示 パ ネ ル	
5 9 0 2	回 路 基 板	
5 9 0 3	画 素 部	
5 9 0 4	走 査 線 駆 動 回 路	
5 9 0 5	信 号 線 駆 動 回 路	
5 9 0 6	コ ン ト ロ ー ル 回 路	
5 9 0 7	信 号 分 割 回 路	
5 9 0 8	接 続 配 線	40
6 0 1 0	基 板	
6 0 1 1	画 素 部	
6 0 1 2 a	F P C	
6 0 1 2 b	F P C	
6 0 1 2 c	F P C	
6 0 1 2 d	F P C	
6 0 1 2 e	F P C	
6 0 1 2 f	F P C	
6 0 1 2 g	F P C	
6 0 1 2 h	F P C	50

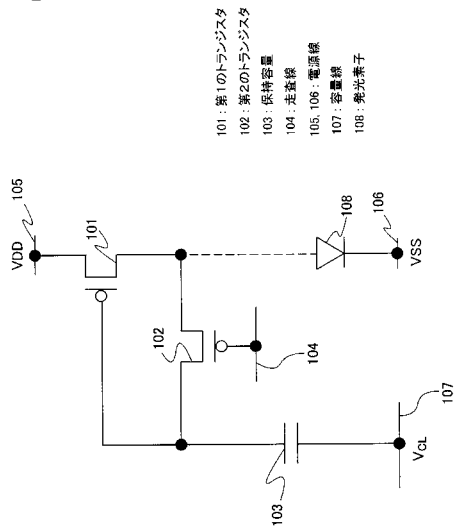
6 0 1 3 a	I C チ ッ プ	
6 0 1 3 b	I C チ ッ プ	
6 0 1 3 c	I C チ ッ プ	
6 0 1 3 d	I C チ ッ プ	
6 0 1 3 e	I C チ ッ プ	
6 0 1 3 f	I C チ ッ プ	
6 0 1 3 g	I C チ ッ プ	
6 0 1 3 h	I C チ ッ プ	
6 1 2 0	基 板	
6 1 2 1	画 素 部	10
6 1 2 2	走 査 線 駆 動 回 路	
6 1 2 3	信 号 線 駆 動 回 路	
6 1 2 4	モ ニ タ 回 路	
6 1 2 5	入 力 端 子	
6 1 2 6	入 力 端 子	
6 1 2 7	入 力 端 子	
6 1 2 8	端 子	
6 1 2 9	入 力 端 子	
6 1 3 0	画 素	
6 1 3 1	信 号 線	20
6 1 3 2	電 源 線	
6 1 3 3	走 査 線	
6 2 0 1	チューナ	
6 2 0 2	映 像 信 号 増 幅 回 路	
6 2 0 3	映 像 信 号 処 理 回 路	
6 2 0 4	音 声 信 号 増 幅 回 路	
6 2 0 5	音 声 信 号 処 理 回 路	
6 2 0 6	ス ピ ー カ ー	
6 2 0 7	制 御 回 路	
6 2 0 8	入 力 部	30
6 3 0 1	筐 体	
6 3 0 2	支 持 台	
6 3 0 3	表 示 部	
6 3 0 4	ス ピ ー カ ー 部	
6 3 0 5	ビ デ オ 入 力 端 子	
6 3 0 6	本 体	
6 3 0 7	表 示 部	
6 3 0 8	受 像 部	
6 3 0 9	操 作 キ ー	
6 3 1 0	外 部 接 続 ポ ー ト	40
6 3 1 1	シャッター	
6 3 1 2	本 体	
6 3 1 3	筐 体	
6 3 1 4	表 示 部	
6 3 1 5	キ ー ボ ー ド	
6 3 1 6	外 部 接 続 ポ ー ト	
6 3 1 7	ポ イ ン テ ィ ン グ デ バ イ ス	
6 3 1 8	本 体	
6 3 1 9	表 示 部	
6 3 2 0	ス イ ッ チ	50

6 3 2 1	操作キー	
6 3 2 2	赤外線ポート	
6 3 2 3	本体	
6 3 2 4	筐体	
6 3 2 5	表示部 A	
6 3 2 6	表示部 B	
6 3 2 7	読み込み部	
6 3 2 8	操作キー	
6 3 2 9	スピーカー部	
6 3 3 0	本体	10
6 3 3 1	表示部	
6 3 3 2	アーム部	
6 3 3 3	本体	
6 3 3 4	表示部	
6 3 3 5	筐体	
6 3 3 6	外部接続ポート	
6 3 3 7	リモコン受信部	
6 3 3 8	受像部	
6 3 3 9	バッテリー	
6 3 4 0	音声入力部	20
6 3 4 1	操作キー	
6 3 4 2	本体	
6 3 4 3	筐体	
6 3 4 4	表示部	
6 3 4 5	音声入力部	
6 3 4 6	音声出力部	
6 3 4 7	操作キー	
6 3 4 8	外部接続ポート	
6 3 4 9	アンテナ	
6 4 0 1	駆動用トランジスタ	30
6 4 0 2	スイッチング用トランジスタ	
6 4 0 3	保持容量	
6 4 0 4	信号線	
6 4 0 5	走査線	
6 4 0 6	第 1 の電源線	
6 4 0 7	第 2 の電源線	
6 4 0 8	発光素子	
6 4 1 1	発光素子	
6 7 0 1	信号線駆動回路	
6 7 0 2	画素部	40
6 7 0 3	第 1 の走査線駆動回路	
6 7 0 4	封止基板	
6 7 0 5	シール材	
6 7 0 6	第 2 の走査線駆動回路	
6 7 0 7	空間	
6 7 0 8	配線	
6 7 0 9	F P C	
6 7 1 0	基板	
6 7 1 1	スイッチング用トランジスタ	
6 7 1 2	駆動用トランジスタ	50

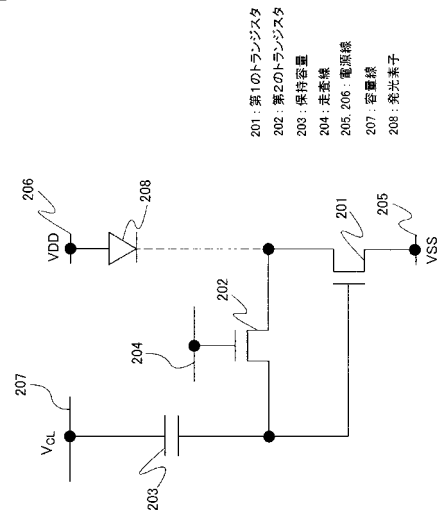
6 7 1 3	第 1 の電極	
6 7 1 4	絶縁物	
6 7 1 6	有機化合物を含む層	
6 7 1 7	第 2 の電極	
6 7 1 8	発光素子	
6 7 1 9	I C チップ	
6 7 2 0	I C チップ	
6 7 2 1	トランジスタ	
6 7 2 2	トランジスタ	
6 8 0 1	基板	10
6 8 0 2	陽極	
6 8 0 3	正孔注入層	
6 8 0 4	正孔輸送層	
6 8 0 5	発光層	
6 8 0 6	電子輸送層	
6 8 0 7	電子注入層	
6 8 0 8	陰極	
6 9 0 0	基板	
6 9 0 1	駆動用トランジスタ	
6 9 0 2	第 1 の電極	20
6 9 0 3	有機化合物を含む層	
6 9 0 4	第 2 の電極	
7 0 0 0	基板	
7 0 0 1	駆動用トランジスタ	
7 0 0 2	下地膜	
7 0 0 3	第 1 の電極	
7 0 0 4	有機化合物を含む層	
7 0 0 5	第 2 の電極	
7 0 0 6 R	赤色のカラーフィルター	
7 0 0 6 G	緑色のカラーフィルター	30
7 0 0 6 B	青色のカラーフィルター	
7 0 0 7	ブラックマトリクス	
7 1 0 1	基板	
7 1 0 2	下地膜	
7 1 0 3	チャンネル形成領域	
7 1 0 4	L D D 領域	
7 1 0 5	不純物領域	
7 1 0 6	チャンネル形成領域	
7 1 0 7	L D D 領域	
7 1 0 8	不純物領域	40
7 1 0 9	ゲート絶縁膜	
7 1 1 0	ゲート電極	
7 1 1 1	上部電極	
7 1 1 2	層間絶縁膜	
7 1 1 3	配線	
7 1 1 4	画素電極	
7 1 1 5	絶縁物	
7 1 1 6	有機化合物を含む層	
7 1 1 7	対向電極	
7 1 1 8	駆動用トランジスタ	50

7 1 1 9	容量素子	
7 1 2 0	発光素子	
7 1 2 1	領域	
7 1 2 2	第 2 の上部電極	
7 1 2 3	容量素子	
7 2 0 1	基板	
7 2 0 2	下地膜	
7 2 0 3	チャネル形成領域	
7 2 0 4	L D D 領域	
7 2 0 5	不純物領域	10
7 2 0 6	ゲート絶縁膜	
7 2 0 7	ゲート電極	
7 2 0 8	第 1 の電極	
7 2 0 9	第 1 の層間絶縁膜	
7 2 1 0	配線	
7 2 1 1	第 2 の電極	
7 2 1 2	第 2 の層間絶縁膜	
7 2 1 3	画素電極	
7 2 1 4	第 3 の電極	
7 2 1 6	有機化合物を含む層	20
7 2 1 7	対向電極	
7 2 1 8	駆動用トランジスタ	
7 2 1 9	容量素子	
7 2 2 0	発光素子	
7 3 0 1	基板	
7 3 0 2	下地膜	
7 3 0 3	ゲート電極	
7 3 0 4	第 1 の電極	
7 3 0 5	ゲート絶縁膜	
7 3 0 6	チャネル形成領域	30
7 3 0 7	L D D 領域	
7 3 0 8	不純物領域	
7 3 0 9	チャネル形成領域	
7 3 1 0	L D D 領域	
7 3 1 1	不純物領域	
7 3 1 2	第 1 の層間絶縁膜	
7 3 1 3	配線	
7 3 1 4	第 3 の電極	
7 3 1 5	開口部	
7 3 1 6	第 2 の層間絶縁膜	40
7 3 1 7	画素電極	
7 3 1 8	絶縁物	
7 3 1 9	有機化合物を含む層	
7 3 2 0	対向電極	
7 3 2 1	発光素子	
7 3 2 2	駆動用トランジスタ	
7 3 2 3	容量素子	
7 3 2 4	第 4 の電極	
7 3 2 5	容量素子	

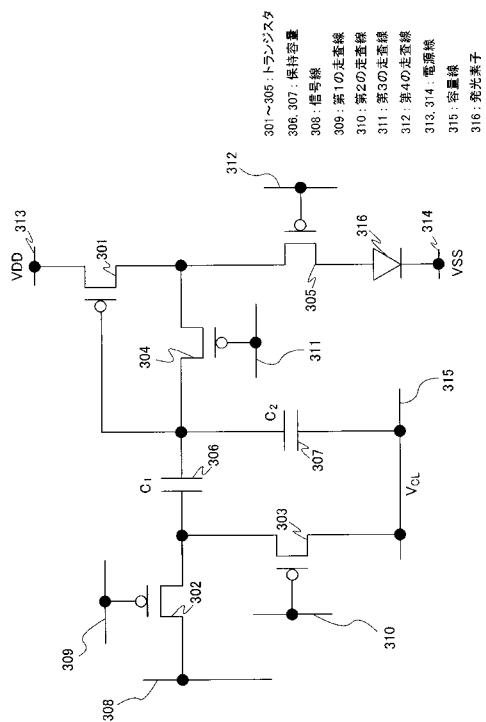
【図 1】



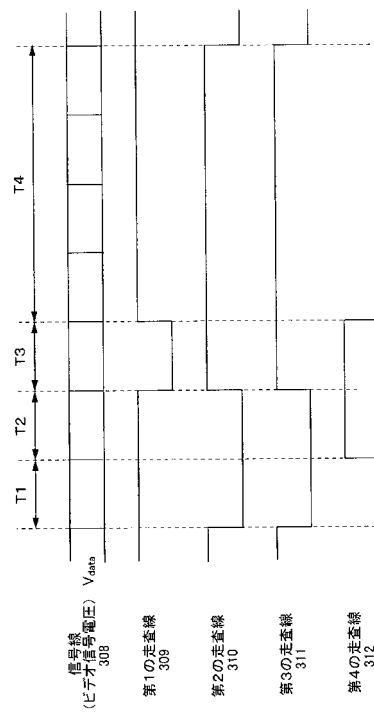
【図 2】



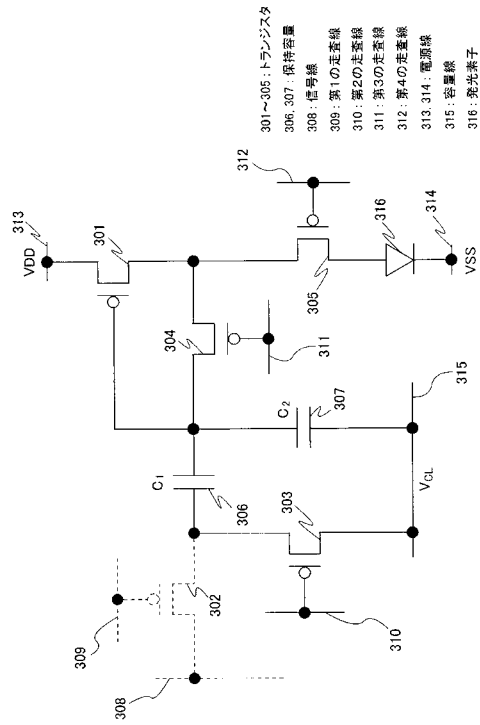
【図 3】



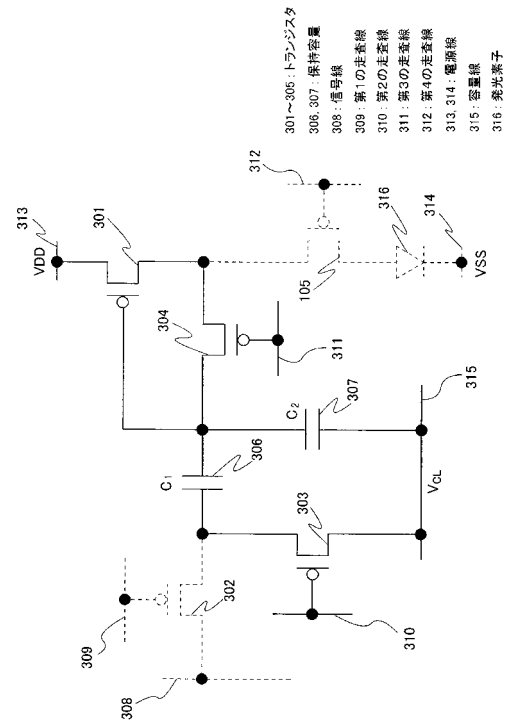
【図 4】



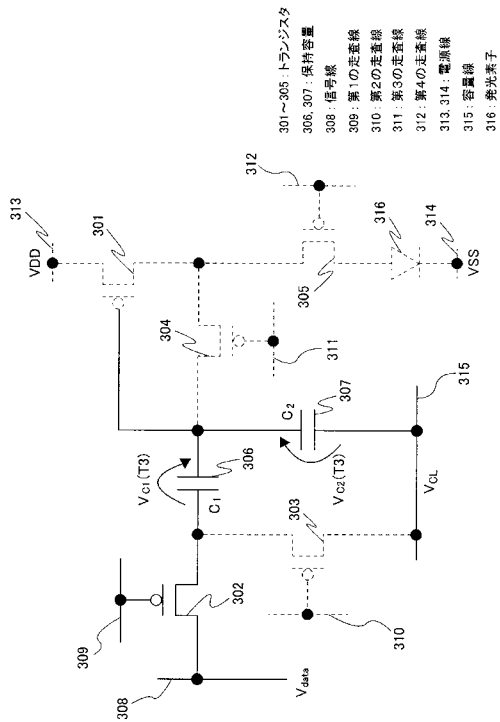
【図 5】



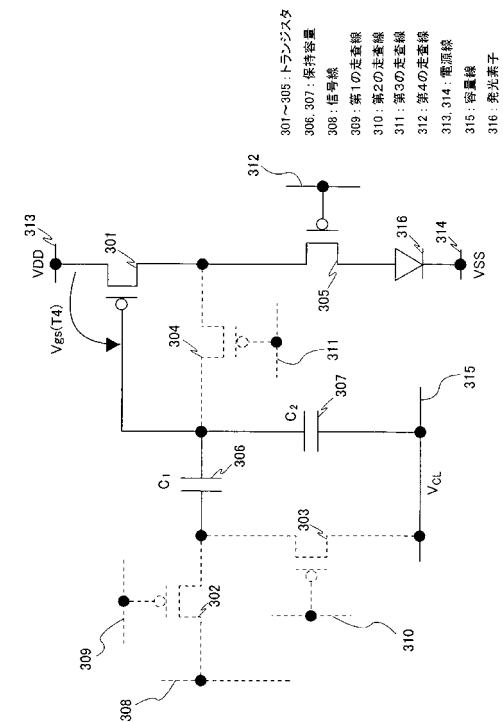
【図 6】



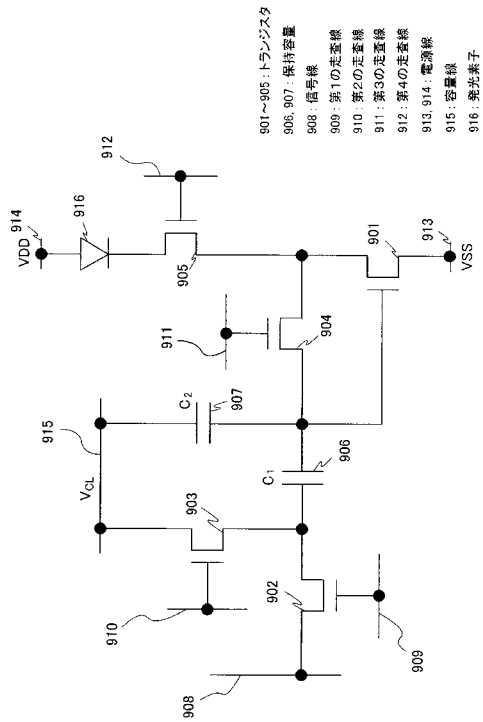
【図 7】



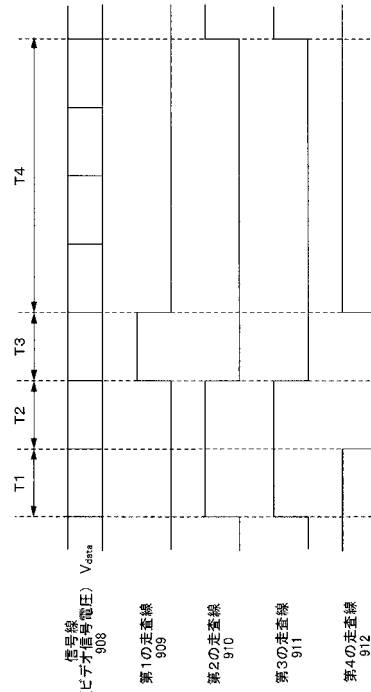
【図 8】



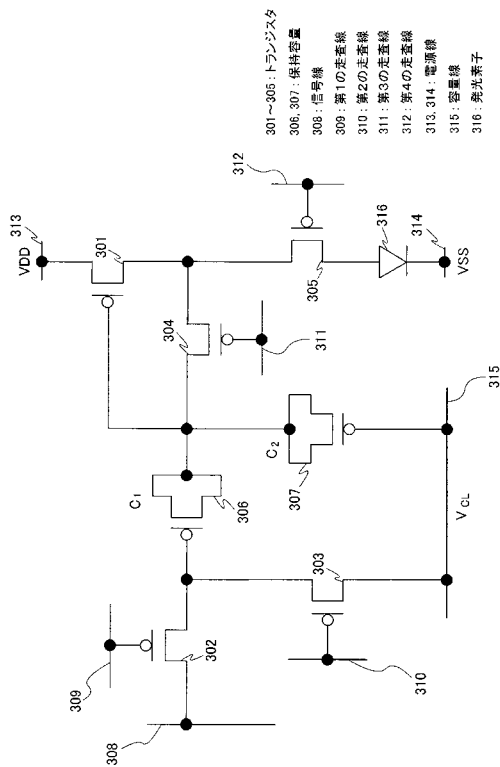
【図 9】



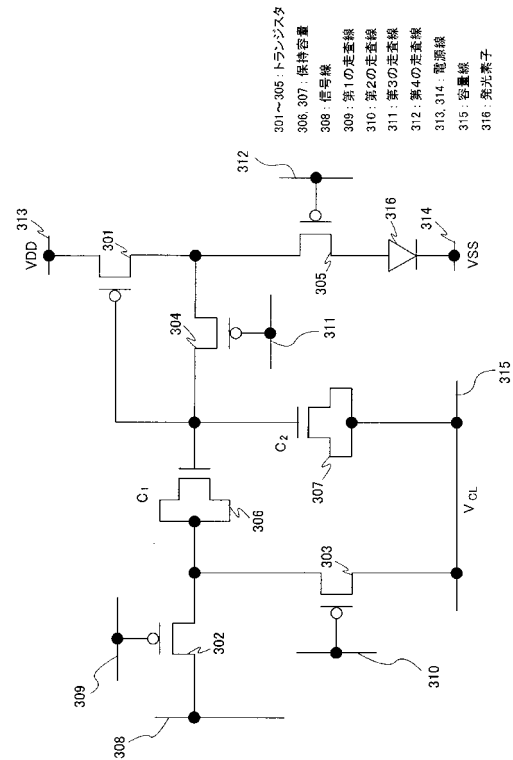
【図 10】



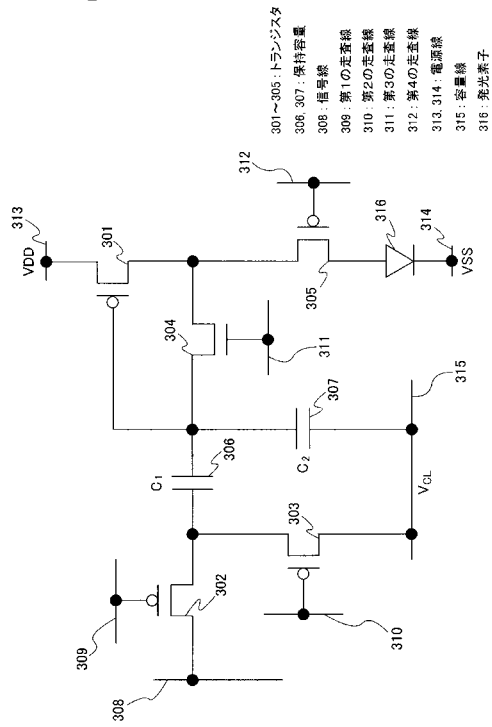
【図 11】



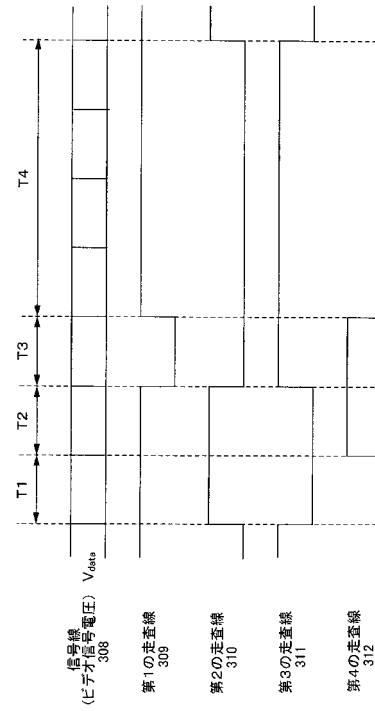
【図 12】



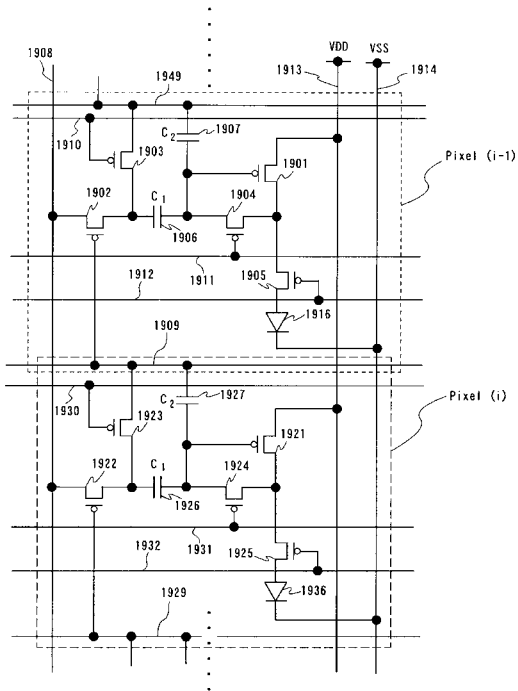
【図 17】



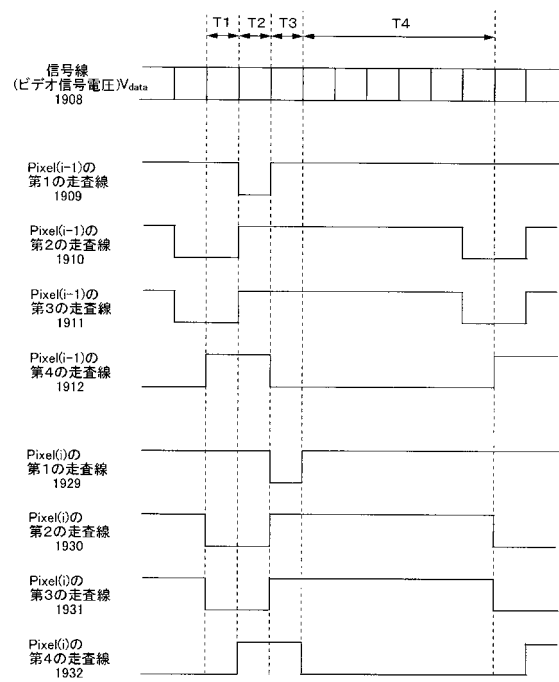
【図 18】



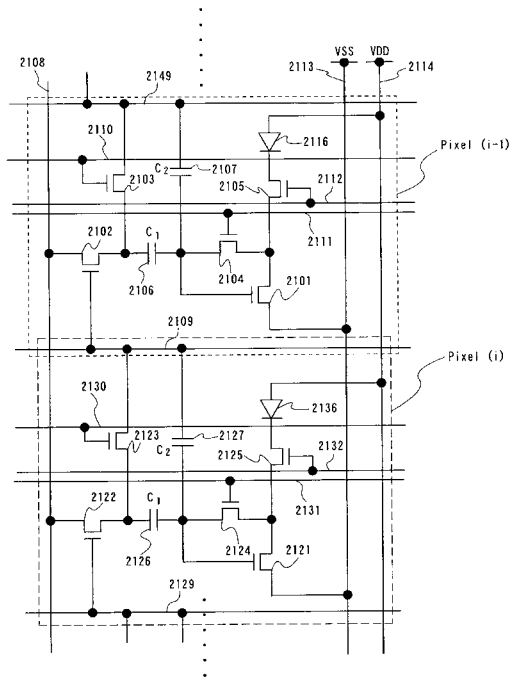
【図 19】



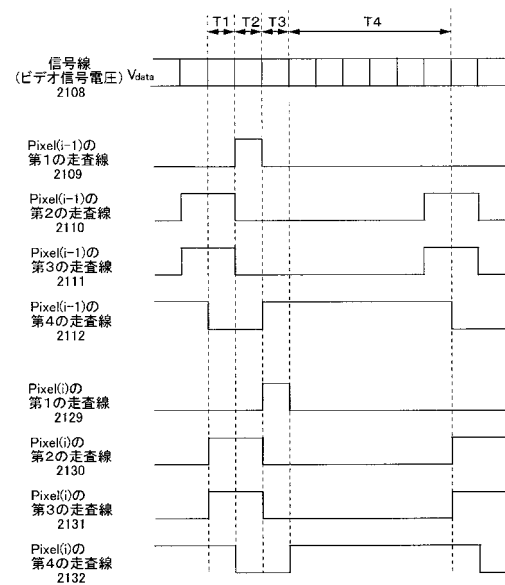
【図 20】



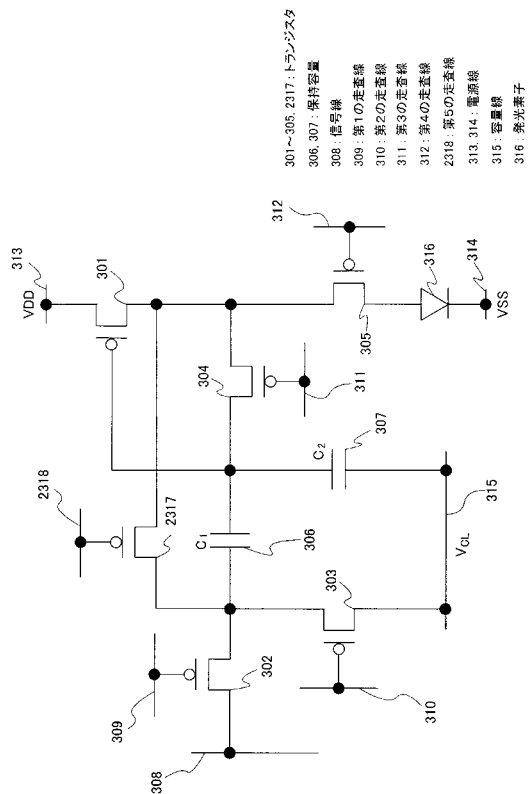
【図 2 1】



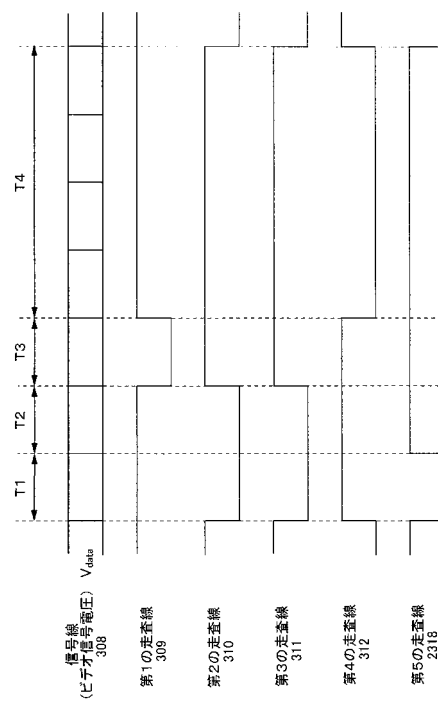
【図 2 2】



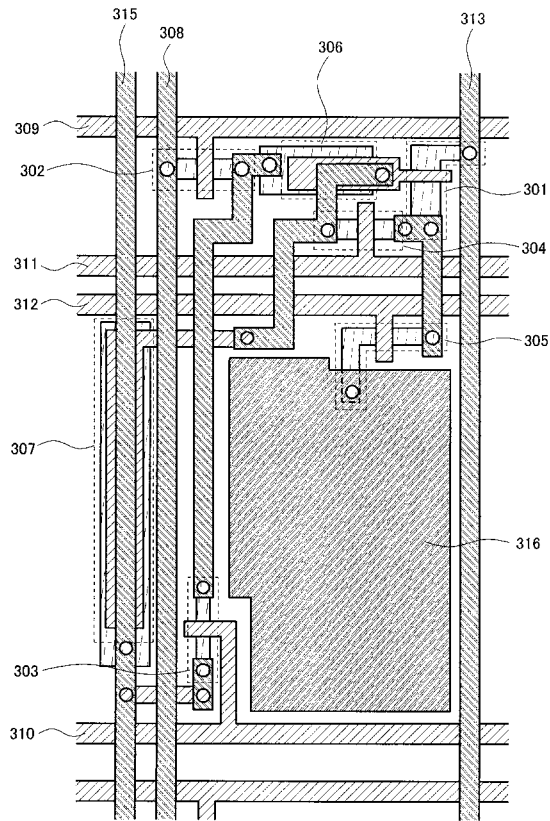
【図 2 3】



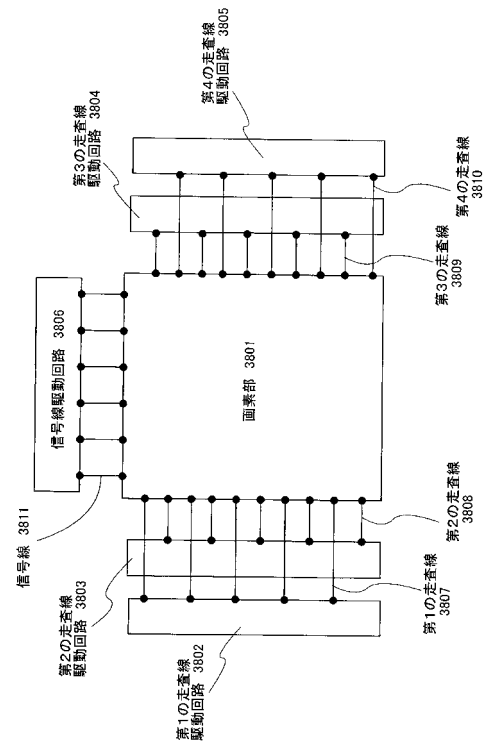
【図 2 4】



【図 37】

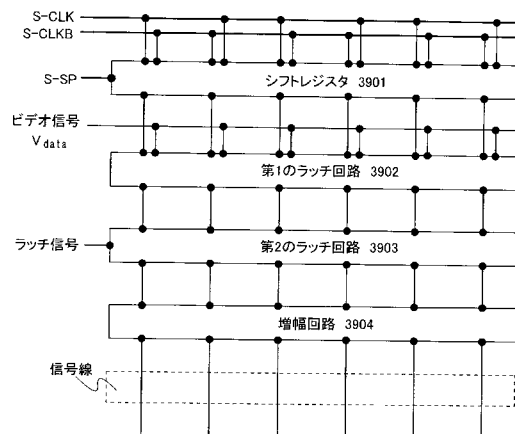


【図 38】

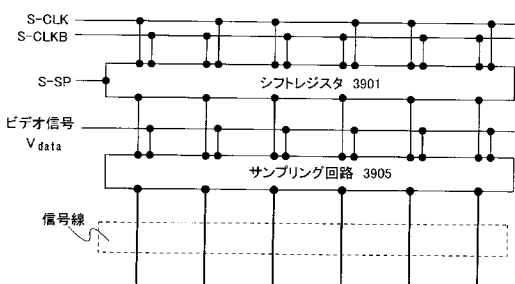


【図 39】

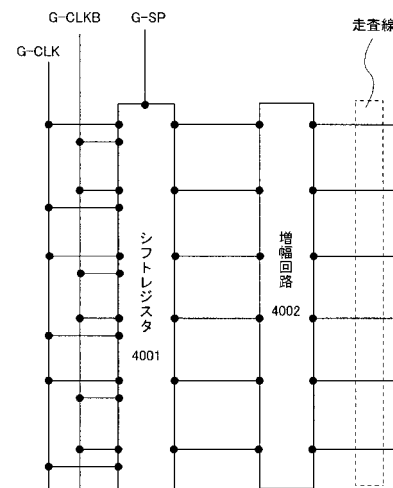
(A)



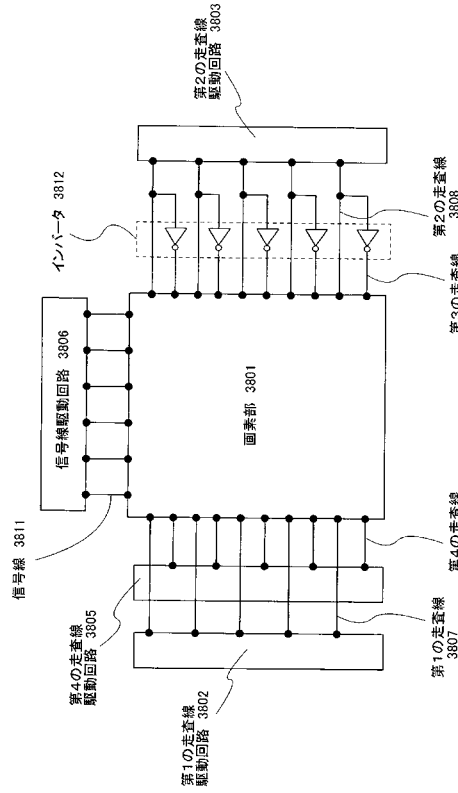
(B)



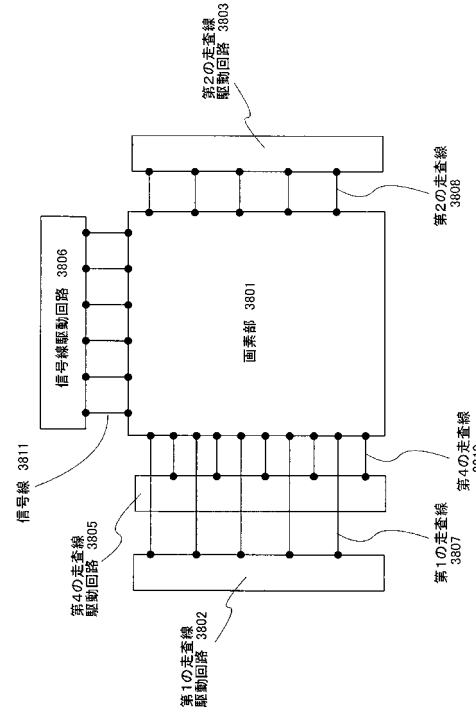
【図 40】



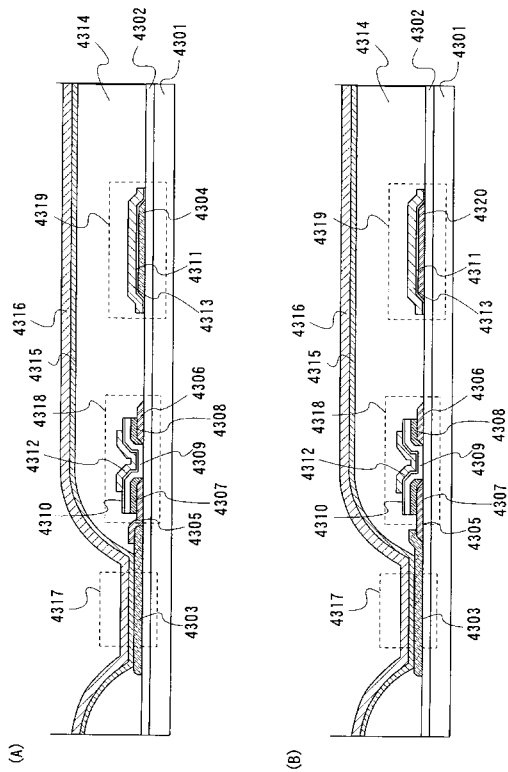
【図 4 1】



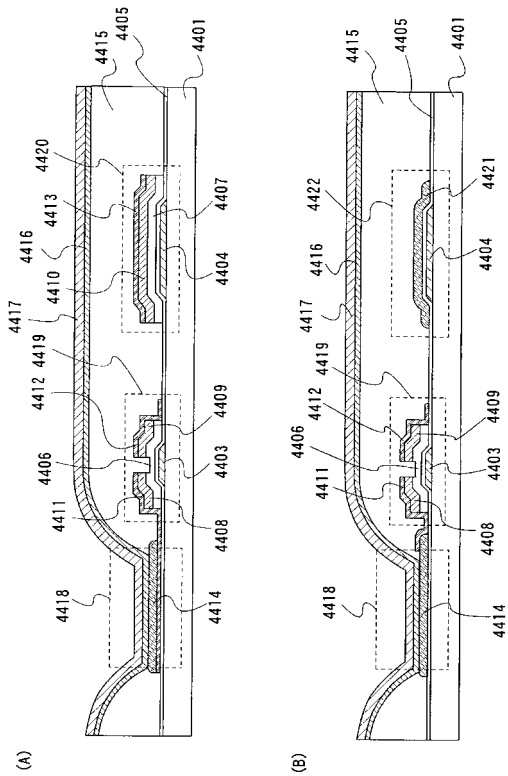
【図 4 2】



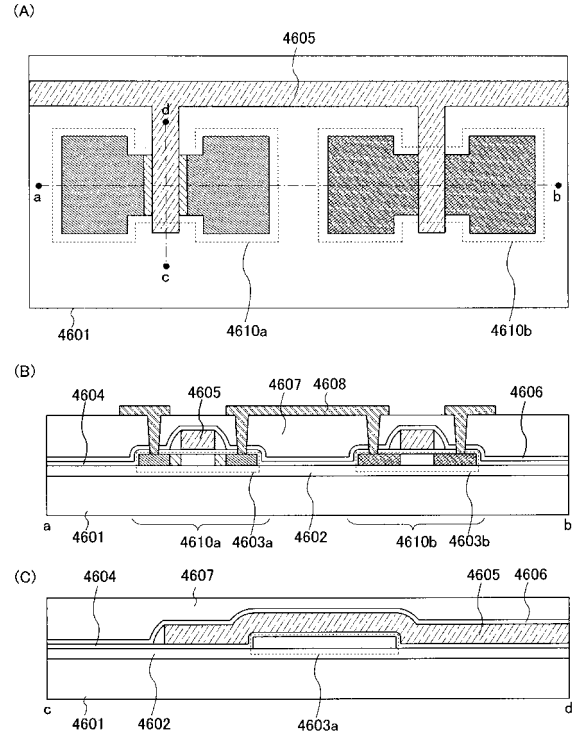
【図 4 3】



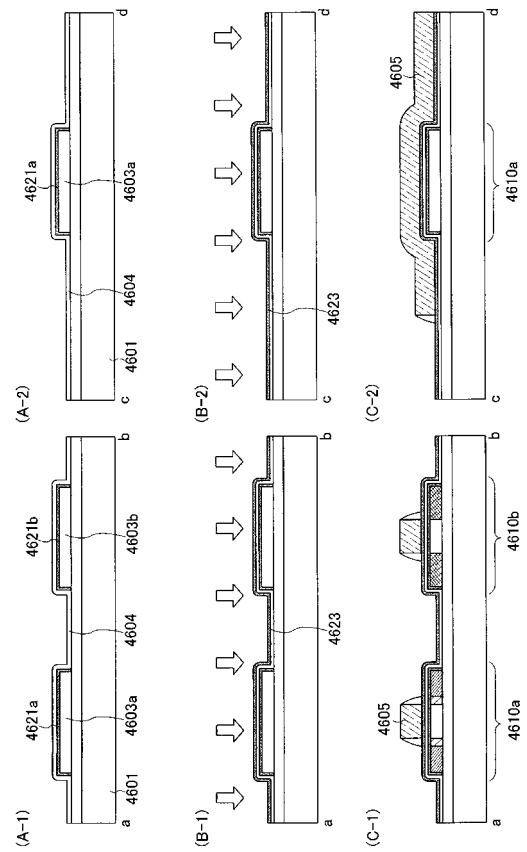
【図 4 4】



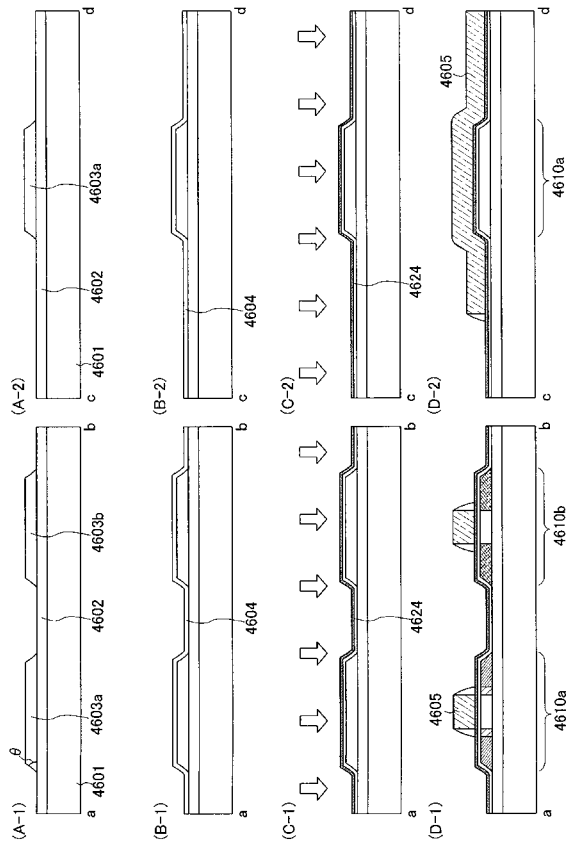
【图 4 6】



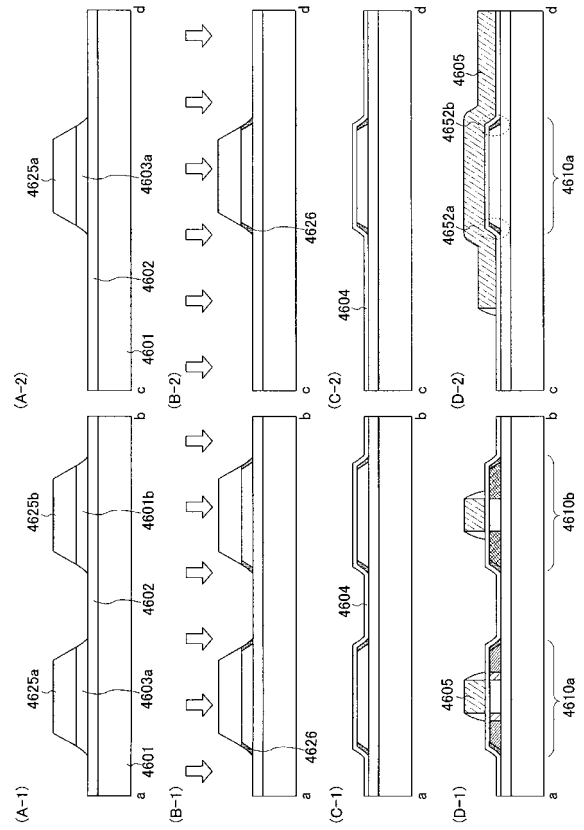
【图 4 8】



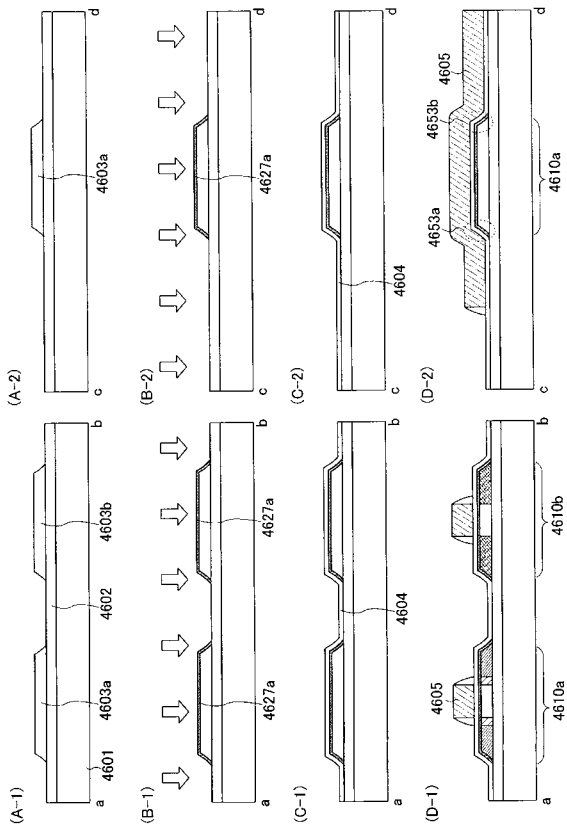
【図 49】



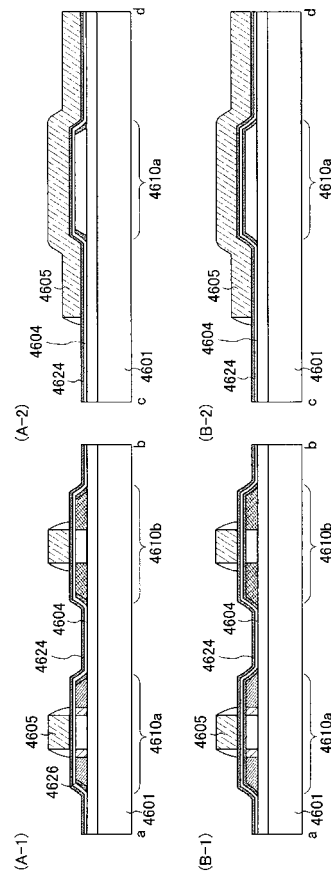
【図 50】



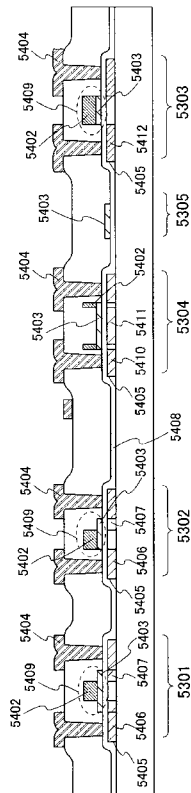
【図 51】



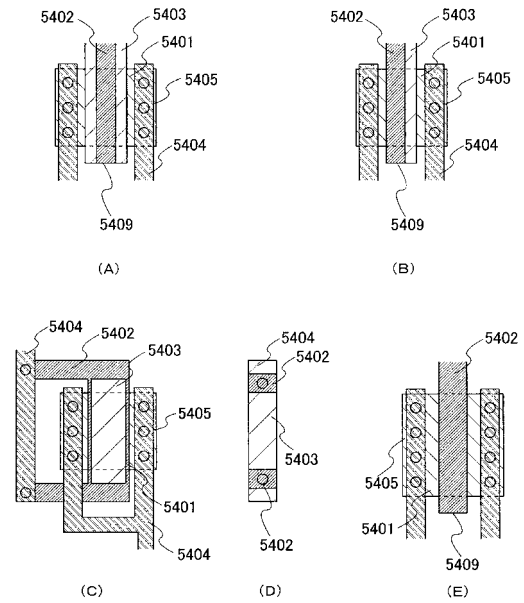
【図 52】



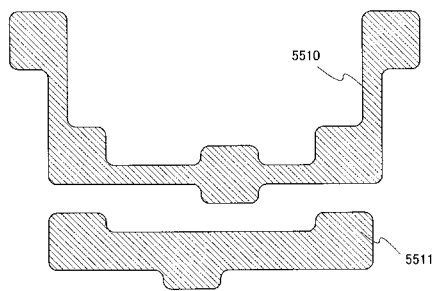
【図 5 3】



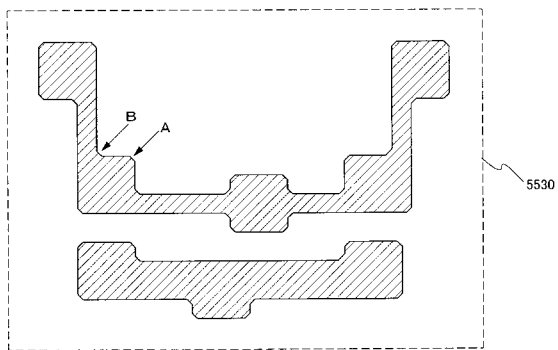
【図 5 4】



【図 5 5】

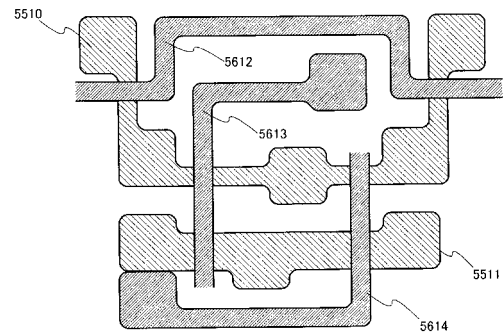


(A)

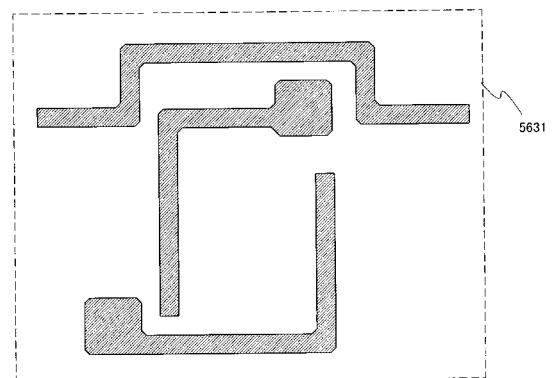


(B)

【図 5 6】

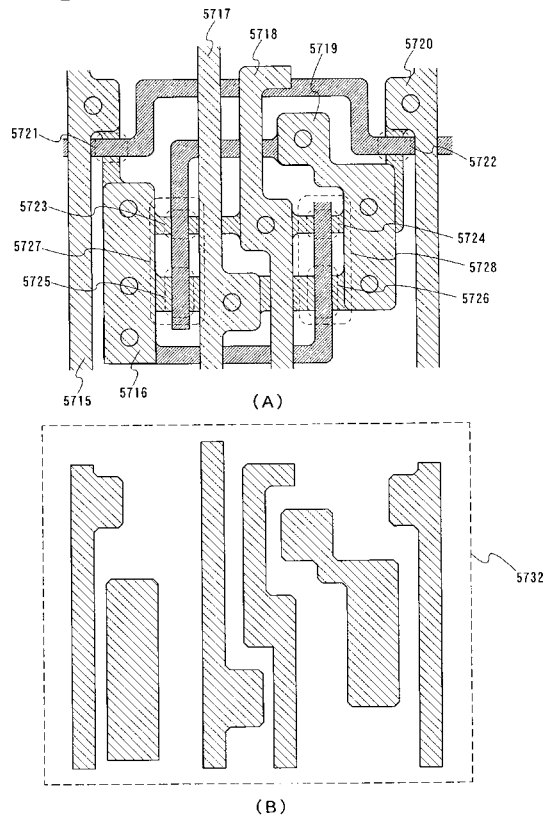


(A)

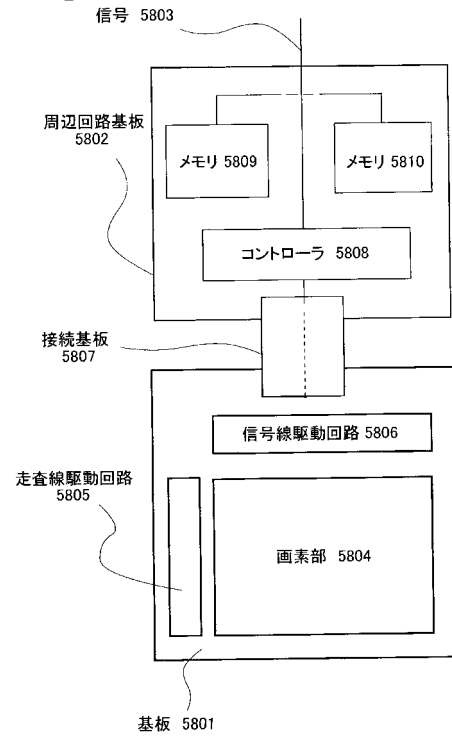


(B)

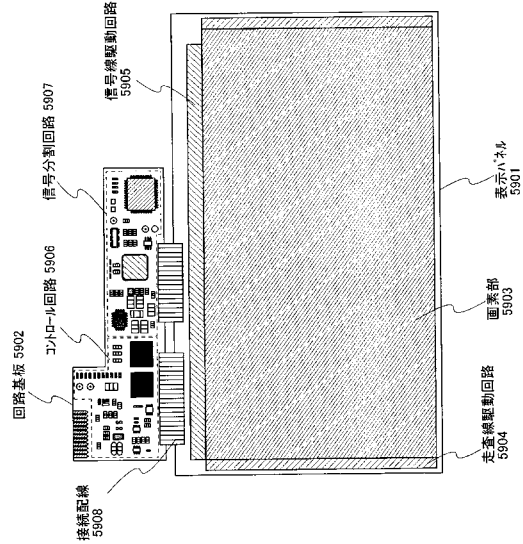
【図 57】



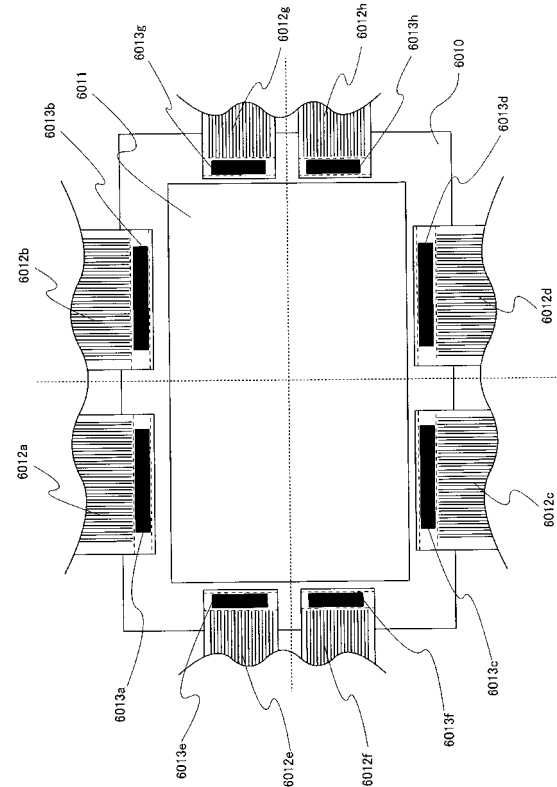
【図 58】



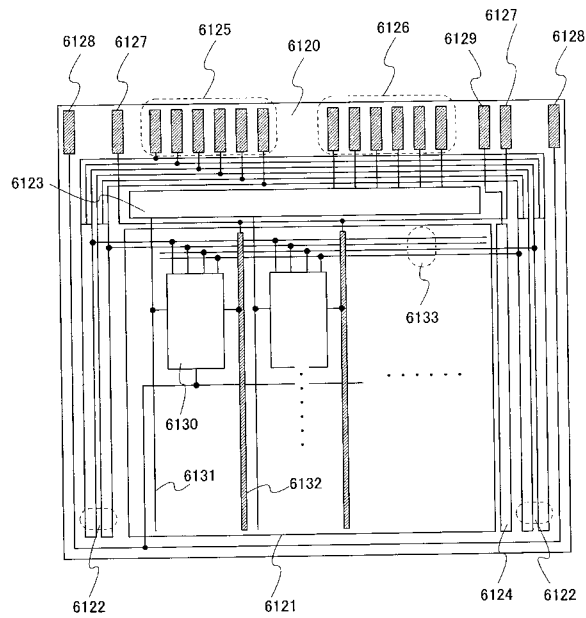
【図 59】



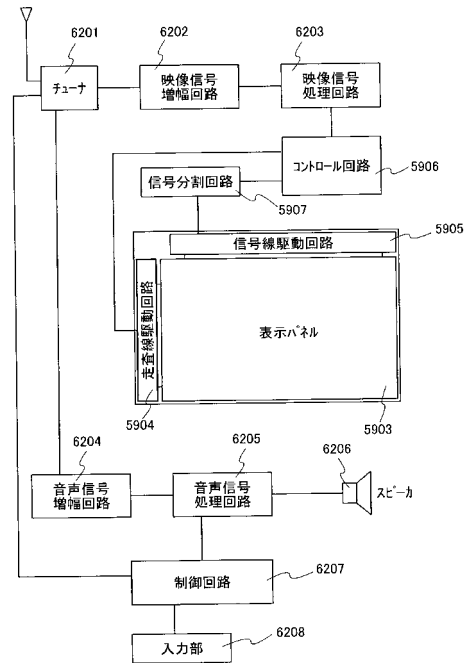
【図 60】



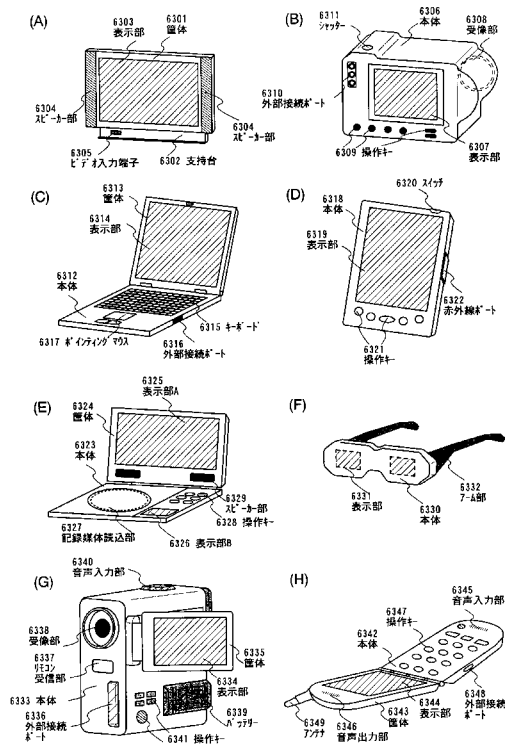
【図 6 1】



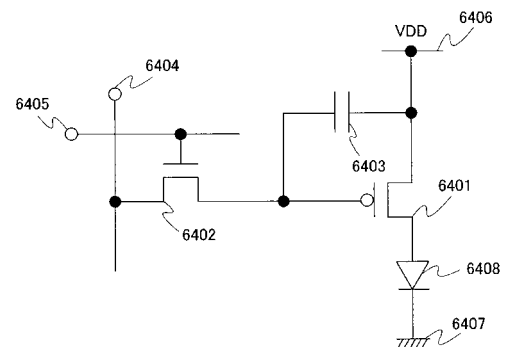
【図 6 2】



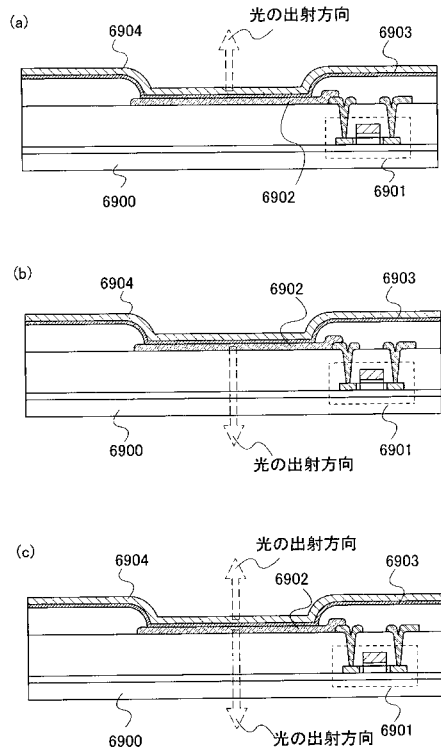
【図 6 3】



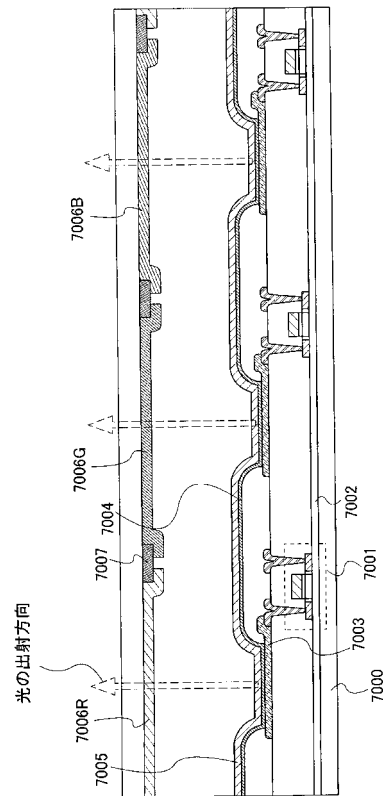
【図 6 4】



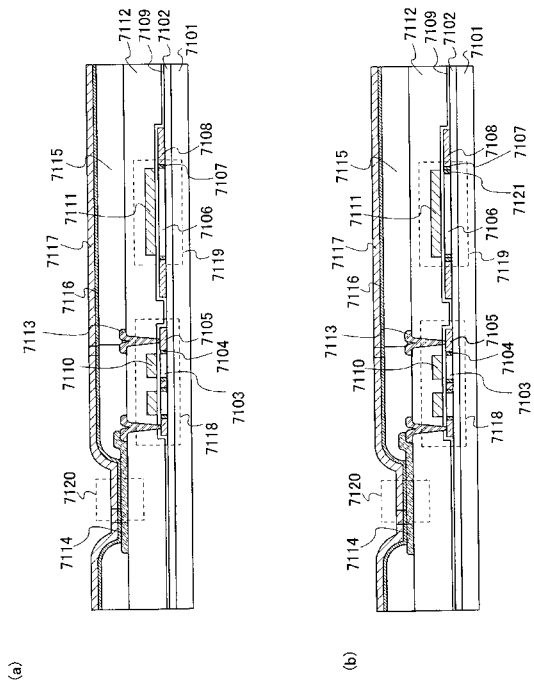
【図 69】



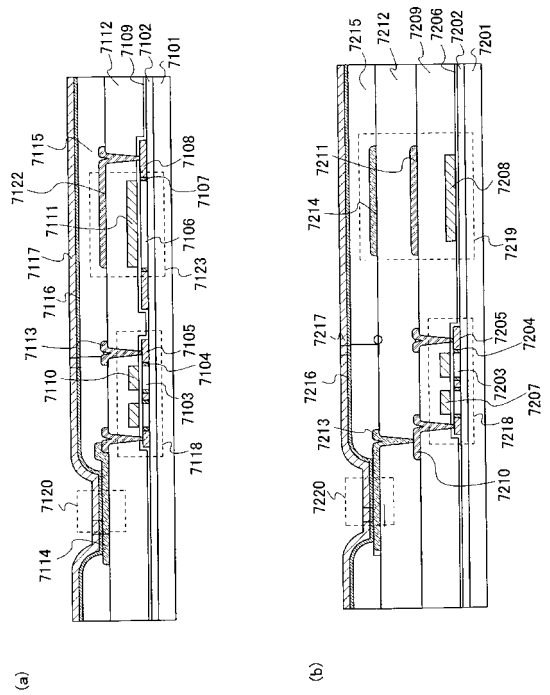
【図 70】



【図 71】



【図 72】



フロントページの続き

(51)Int.Cl.

F I

テーマコード (参考)

G 0 9 F 9/30 3 3 8

H 0 5 B 33/14 A