

(19) 日本国特許庁(JP)

(12) 公 開 特 許 公 報(A)

(11) 特許出願公開番号
特開2011-249902
(P2011-249902A)

(43) 公開日 平成23年12月8日(2011.12.8)

(51) Int.Cl.	F I	テーマコード (参考)
H O 3 K 17/693 (2006.01)	H O 3 K 17/693 A	5 J O 5 5
H O 3 K 17/687 (2006.01)	H O 3 K 17/687 G	
H O 3 K 17/10 (2006.01)	H O 3 K 17/10	
H O 3 K 17/06 (2006.01)	H O 3 K 17/06 C	

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号	特願2010-118111 (P2010-118111)	(71) 出願人	000191238
(22) 出願日	平成22年5月24日 (2010.5.24)		新日本無線株式会社
			東京都中央区日本橋横山町3番10号
		(72) 発明者	栗原 大介
			埼玉県ふじみ野市福岡二丁目1番1号 新
			日本無線株式会社川越製作所内
		Fターム(参考)	5J055 AX05 AX06 AX07 BX03 BX04
			CX03 CX24 DX12 DX42 DX43
			DX61 DX72 DX73 DX83 EX01
			EX02 EY01 EY10 EY21 EZ12
			EZ13 EZ54 FX05 FX12 FX18
			FX37 GX01 GX06

(54) 【発明の名称】 半導体スイッチ回路

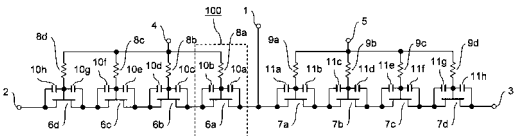
(57) 【要約】 (修正有)

【課題】低周波帯域において線形性劣化のない半導体スイッチ回路を提供する。

【解決手段】入出力端子間に直列にソースおよびドレインを接続した1又は2以上の電界効果トランジスタと、電界効果トランジスタのゲートに接続した抵抗を備えた半導体スイッチ回路において、電界効果トランジスタのゲートドレイン間およびゲートソース間に、キャパシタをそれぞれ接続可能とした。

【効果】FETのゲートドレイン間およびゲートソース間すべてにキャパシタを接続したことにより、従来より低い周波数帯域においてゲート電極に接続する抵抗よりFETのインピーダンスが十分低くなるため、線形性を向上させることが可能となる。

【選択図】図2



【特許請求の範囲】

【請求項 1】

入出力端子間に直列にソースおよびドレインを接続した 1 又は 2 以上の電界効果トランジスタと、該電界効果トランジスタのゲートに接続した抵抗を備えた半導体スイッチ回路において、前記電界効果トランジスタのゲートドレイン間およびゲートソース間に、キャパシタをそれぞれ接続したことを特徴とする半導体スイッチ回路。

【請求項 2】

入出力端子間に直列にソースおよびドレインを接続した 1 又は 2 以上の電界効果トランジスタと、該電界効果トランジスタのゲートに接続した抵抗を備えた半導体スイッチ回路において、前記電界効果トランジスタのゲートドレイン間およびゲートソース間に、直列に接続したキャパシタとスイッチをそれぞれ接続したことを特徴とする半導体スイッチ回路。

10

【請求項 3】

入出力端子間に直列にソースおよびドレインを接続した 1 又は 2 以上の電界効果トランジスタと、該電界効果トランジスタのゲートに接続した抵抗を備えた半導体スイッチ回路において、該電界効果トランジスタのゲートドレイン間およびゲートソース間にキャパシタと抵抗を直列にそれぞれ接続したことを特徴とする半導体スイッチ回路。

【発明の詳細な説明】

【技術分野】

【0001】

20

本発明は半導体スイッチ回路に関し、特に線形性の優れた半導体スイッチ回路に関する。

【背景技術】

【0002】

携帯電話などの高周波信号を切り替えるために、電界効果トランジスタ（以下、FET という）を用いた半導体スイッチ回路が用いられる。図 10 は、第 1 の従来例の半導体スイッチ回路である（特許文献 1 参照）。図 10 に示すように従来の半導体スイッチ回路は、共通入出力端子 1 と第 1 の個別入出力端子 2 との間に FET 6a を、共通入出力端子 1 と第 2 の個別入出力端子 3 との間に FET 7a をそれぞれ接続した構成となっている。また、FET 6a のゲート電極と第 1 の制御端子 4 との間に第 1 の抵抗 8a を、FET 7a のゲート電極と第 2 の制御端子 5 との間に第 2 の抵抗 9a をそれぞれ接続した構成となっている。

30

【0003】

このような構成の半導体スイッチ回路では、第 1 の制御端子 4 に論理値 High に相当する電圧を印加するとともに、第 2 の制御端子 5 に論理値 Low に相当する電圧を印加することで、FET 6a が導通状態、第 2 の FET 7a が非導通状態となり、共通入出力端子 1 と第 1 の個別入出力端子 2 との間が信号の通過経路となる。一方、第 1 の制御端子 4 および第 2 の制御端子 5 に印加する論理値を逆にすると、FET 6a が非導通状態、FET 7a が導通状態となり、共通入出力端子 1 と第 2 の個別入出力端子 3 との間が信号の通過経路となり、スイッチング動作を行うことができる。

40

【0004】

ここで、図 10 に示す半導体スイッチ回路において、第 1 の制御端子 4 に論理値 High に相当する電圧を、第 2 の制御端子 5 に論理値 Low に相当する電圧をそれぞれ印加したときの高周波等価回路を図 11 に示す。導通状態にある FET 6a は、ゲートドレイン間容量 C_{gd1} 、ゲートソース間容量 C_{gs1} 、ドレインソース間の抵抗 R_{on} で表すことができる。一方非導通状態にある FET 7a は、ゲートドレイン間容量 C_{gd2} と、ゲートソース間容量 C_{gs2} 、ドレインソース間の容量 C_{ds} で表すことができる。なお FET 6a、FET 7a のそれぞれのゲートは、高抵抗を介して制御端子に接続しており、高周波信号に対して高インピーダンスと見なすことができるため、無視できる。

50

【0005】

このような等価回路で表すことができる半導体スイッチ回路で、共通入出力端子1から高周波信号を入力すると、共通入出力端子1から第1の個別入出力端子2へ大部分の電流が流れる。この流れる電流に応じてFET6aのドレインソース間に電圧が発生し、FET6aのゲートにはCgd1とCgs1で分圧された電圧が印加される。Cgd1とCgs1の容量値はほぼ等しいため、Cgd1およびCgs1にはドレインソース間電圧の約半分の電圧が印加される。

【0006】

ここで、共通入出力端子1から大電力信号が入力すると、Cgd1およびCgs1に印加される電圧が大きくなるため、FET6aに電流が流せなくなってしまう。

10

【0007】

一方、FET7aは共通入出力端子1から高周波信号を入力すると、ドレインソース間に入力電圧が印加され、FET7aのゲートにCgd2とCgs2で分圧された電圧が印加される。Cgd2とCgs2の容量値はほぼ等しいため、Cgd2およびCgs2にはドレインソース間電圧の約半分の電圧が印加される。

【0008】

ここで、共通入出力端子1から大電力信号が入力すると、Cgd2およびCgs2に印加される電圧が大きくなり、FET7aのゲートに印加されている制御電圧ではFET7aをピンチオフできなくなり、FET7aが非導通状態を保てなくなる。

【0009】

このように共通入出力端子1に大電力信号を入力した場合には、FETが所望の導通状態あるいは非導通状態とならず、所望のスイッチング動作ができなくなってしまうという問題があった。

20

【0010】

そこで、大電力信号を入力しても所望のスイッチ動作を可能とするため、図12に示す半導体スイッチ回路が提案されている。図12に示す第2の従来例の半導体スイッチ回路は、図10で説明した第1の従来例のFET6aのゲート電極と第1の入出力端子2との間にキャパシタ10bを、FET7aのゲート電極と第2の入出力端子3との間にキャパシタ11hをそれぞれ接続した構成となっている。

【0011】

このようにキャパシタ10b、11bを追加することにより、キャパシタを接続したFETのゲートドレイン、ゲートソース間に印加される電圧が小さくなるため、より大電力の信号が入力した場合でも、非導通状態のFETが、導通状態とならないような構成となっている。また、第1の従来例の共通入出力端子1とFET6a、7aとの間にキャパシタをそれぞれ接続した構成とする場合もある。

30

【0012】

また図13に示す第3の従来例の半導体スイッチ回路は、共通入出力端子1と第1の個別入出力端子2との間に直列に4つのFET6a～FET6dを、共通入出力端子1と第2の個別入出力端子3との間に直列に4つのFET7a～FET7dをそれぞれ接続する構成となっている。また、FET6a～FET6dの各ゲート電極と第1の制御端子4との間にそれぞれ抵抗8a～抵抗8dを、FET7a～FET7dの各ゲート電極と第2の制御端子5との間にそれぞれ抵抗9a～抵抗9dを接続した構成となっている。各FETのゲート幅は、図10に示した半導体スイッチ回路のFETのゲート幅より広い（例えば4倍）サイズとなっている。

40

【0013】

このような構成の半導体スイッチ回路では、第1の制御端子4に論理値Highに相当する電圧を、第2の制御端子5に論理値Lowに相当する電圧をそれぞれ印加し、共通入出力端子1から大電力信号を入力した場合、FET6a～FET6dのゲート幅が広いことによりドレインソース間抵抗分は小さくなるため、各ゲートドレイン、ゲートソース間電圧が、図10に示した第1の従来例の半導体スイッチ回路より小さくなる。その

50

結果、従来より大電力信号を通すことが可能となる。また、非導通状態となる F E T 7 a ~ F E T 7 d は、入力した電圧がゲートドレイン、ゲートソース間にほぼ等しく分圧されるため、大電力信号が入力しても非導通状態を保つことが可能となる。

【0014】

さらにまた大電力信号のスイッチ動作可能な半導体スイッチ回路として、図 1 4 に示すような第 4 の従来例の半導体スイッチ回路が提案されている（特許文献 2 参照）。図 1 4 に示す半導体スイッチ回路は、図 1 3 に示す半導体スイッチ回路の共通入出力端子 1、個別入出力端子 2、個別入出力端子 3 とそれらと接続する F E T 6 a、F E T 7 a、F E T 6 d、F E T 7 d のゲート電極との間に、それぞれキャパシタ 1 0 a、1 1 a、1 0 h、1 1 h を接続した構成となっている。このようにキャパシタを追加したことにより、キャ
10
パシタを接続した F E T のゲートドレイン、ゲートソース間に印加される電圧が小さくなるため、より大電力の信号が入力した場合でも、非導通状態の F E T が、導通状態とならないような構成となっている。

【先行技術文献】

【特許文献】

【0015】

【特許文献 1】特開 2 0 0 2 - 2 5 2 3 3 5 号公報

【特許文献 2】特開平 0 9 - 0 0 8 6 2 1 号公報

【発明の概要】

【発明が解決しようとする課題】

10

20

【0016】

ところで、携帯電話に使用される信号は 8 0 0 M H z 帯や 2 G H z 帯などの周波数帯において使用されているが、近年、近距離無線通信などには 1 3 . 5 6 M H z 帯などが使用されるようになってきている。このような低い周波数帯において上記のような半導体スイッチ回路を用いた場合でも、大電力の信号を通過できなくなるという問題が発生している。

【0017】

例えば図 1 3 に示す半導体スイッチ回路において、1 0 M H z および 2 G H z の信号を入力したときの入力電力に対するロスのシミュレーション結果を図 1 5 に示す。図 1 5 に示すように、2 G H z の信号が入力したときには、3 4 d B m 程度までロスの劣化がない
30
のに対し、1 0 M H z の信号が入力したときには、2 5 d B m 程度からロスの劣化が見られることがわかる。ロスが劣化する原因は、周波数が低くなると F E T のゲートソース間、ゲートドレイン間容量のインピーダンスが高くなり、各 F E T のゲート電極に接続した抵抗が無視できなくなるためである。

【0018】

さらに図 1 6 に、図 1 3 に示す半導体スイッチ回路において、共通入出力端子 1 に 1 0 d B m の 2 G H z および 1 0 M H z の信号を入力したときの F E T 7 a のゲートドレイン間電圧のシミュレーション結果を示す。図 1 6 に示すように、1 0 M H z の信号が入力したとき、ゲートドレイン間電圧が高いことがわかる。この結果から、1 0 M H z の信号が入力したとき、線形性が劣化することがわかる。
40

【0019】

一方、図 1 4 に示す半導体スイッチ回路の場合には、キャパシタ 1 0 a、1 0 h、1 1 a、1 1 h を接続した F E T のゲートドレイン、ゲートソース間に印加される電圧は小さくなる。しかし、キャパシタを接続していない F E T のゲートドレイン、ゲートソース間電圧は大きくなってしまふ。したがって、図 1 4 に示す半導体スイッチ回路においても線形性が劣化してしまふことがわかる。

【0020】

このように従来の半導体スイッチ回路において、低周波帯域で線形性が劣化する原因は、F E T のゲートソース間、ゲートドレイン間容量のインピーダンスに対し、F E T のゲートに接続される抵抗のインピーダンスが、無視できなくなることであるから、ゲ
50

ト電極に接続される抵抗の値を大きくすれば低周波帯域での線形性劣化を抑制することができると考えられる。しかしながら、この抵抗値を大きくしすぎるとFETのゲートリーク電流によりゲートに電流が流れることから、抵抗による電圧降下が大きくなってしまい、FETに印加される直流バイアスが低くなり、線形性特性の劣化を引き起こしてしまう。また、FETのゲート幅を広げることでFETのゲートソース間、ゲートドレイン間の容量が大きくなり、FETのインピーダンスを小さくすることができると考えられるが、FETのゲート幅に比例してゲートリーク電流が大きくなることから同様の問題を引き起こすことになってしまう。

【0021】

本発明は上記問題点を解消し、低周波帯域において線形性劣化のない半導体スイッチ回路を提供することを目的とする。

【課題を解決するための手段】

【0022】

上記目的を達成するため、本願請求項1に係る発明は、入出力端子間に直列にソースおよびドレインを接続した1又は2以上の電界効果トランジスタと、該電界効果トランジスタのゲートに接続した抵抗を備えた半導体スイッチ回路において、前記電界効果トランジスタのゲートドレイン間およびゲートソース間に、キャパシタをそれぞれ接続したことを特徴とする。

【0023】

本願請求項2に係る発明は、入出力端子間に直列にソースおよびドレインを接続した1又は2以上の電界効果トランジスタと、該電界効果トランジスタのゲートに接続した抵抗を備えた半導体スイッチ回路において、前記電界効果トランジスタのゲートドレイン間およびゲートソース間に、直列に接続したキャパシタとスイッチをそれぞれ接続したことを特徴とする。

【0024】

本願請求項3に係る発明は、入出力端子間に直列にソースおよびドレインを接続した1又は2以上の電界効果トランジスタと、該電界効果トランジスタのゲートに接続した抵抗を備えた半導体スイッチ回路において、該電界効果トランジスタのゲートドレイン間およびゲートソース間にキャパシタと抵抗を直列にそれぞれ接続したことを特徴とする。

【発明の効果】

【0025】

本発明によれば、FETのゲートドレイン間およびゲートソース間すべてにキャパシタを接続したことにより、従来より低い周波数帯域においてゲート電極に接続する抵抗よりFETのインピーダンスが十分低くなるため、線形性を向上させることが可能となる。

【0026】

また、ゲートドレイン間およびゲートソース間に接続されるキャパシタに直列にスイッチを接続することにより、通過信号の周波数帯域によって、キャパシタを接続状態、あるいは非接続状態とすることができ、通過特性の改善を図ることができる。具体的には、低周波帯域の信号を通過させる場合には、スイッチをオン状態にして使用することで、線形性を向上させることができ、高周波帯域の信号を通過させる場合には、スイッチの一部あるいは全部をオフ状態として使用することが可能となり、通過させる信号の周波数帯域に応じて、良好な特性が得られるという利点がある。

【0027】

さらに、ゲートドレイン間およびゲートソース間に接続するキャパシタに直列に抵抗を接続することにより、低周波から高周波まで線形性の大きな劣化のない半導体スイッチ回路を提供することができる。

【図面の簡単な説明】

【0028】

【図1】本発明の第1の実施例の半導体スイッチ回路の説明図である。

10

20

30

40

50

【図 2】本発明の第 2 の実施例の半導体スイッチ回路の説明図である。

【図 3】本発明の第 2 の実施例と第 3 の従来例の F E T 6 a のゲートドレイン間電圧のシミュレーション結果の説明図である。

【図 4】本発明の第 2 の実施例と第 3 の従来例の F E T 7 a のゲートドレイン間電圧のシミュレーション結果の説明図である。

【図 5】本発明の第 2 の実施例と第 3 の従来例の高周波特性のシミュレーション結果の説明図である。

【図 6】本発明の第 4 の実施例の半導体スイッチ回路の説明図である。

【図 7】本発明の第 5 の実施例の半導体スイッチ回路の説明図である。

【図 8】本発明の第 5 の実施例と第 3 の従来例の高周波特性のシミュレーション結果の説明図である。

10

【図 9】本発明の第 4 の実施例と第 3 の従来例において、周波数に対するスイッチの通過ロスのシミュレーション結果である。

【図 10】第 1 の従来例の半導体スイッチ回路の説明図である。

【図 11】第 1 の従来例の半導体スイッチ回路の高周波等価回路の説明図である。

【図 12】第 2 の従来例の半導体スイッチ回路の説明図である。

【図 13】第 3 の従来例の半導体スイッチ回路の説明図である。

【図 14】第 4 の従来例の半導体スイッチ回路の説明図である。

【図 15】第 3 の従来例の半導体スイッチ回路の高周波特性のシミュレーション結果の説明図である。

20

【図 16】第 3 の従来例の半導体スイッチ回路の高周波特性のシミュレーション結果の説明図である。

【発明を実施するための形態】

【0029】

本発明は、共通入出力端子と個別入出力端子との間に、直列に 1 又は 2 以上の F E T が接続されており、それぞれの F E T のゲートソース、ゲートドレイン間にキャパシタが接続されている、あるいは接続可能となっていることを特徴としている。以下、本発明の実施例について詳細に説明する。

【実施例 1】

【0030】

30

まず第 1 の実施例について説明する。図 1 に示すように、共通入出力端子 1 と第 1 の個別入出力端子 2 との間に、F E T 6 a が接続している。また、共通入出力端子 1 と第 2 の個別入出力端子 3 との間に、F E T 7 a が接続している。F E T 6 a のゲート電極と制御端子 4 との間には抵抗 8 a が接続し、F E T 7 a のゲート電極と制御端子 5 との間には抵抗 9 a が接続している。そして本発明では、F E T のゲートドレイン間、ゲートソース間にキャパシタ 10 a、10 b、11 a、11 b がそれぞれ接続した構成となっている。ここでキャパシタの容量値は、通過する信号の周波数帯域、特に低周波数帯域において、そのインピーダンスが抵抗 8 a、9 a より十分小さくなるように設定する。また、抵抗 8 a、9 a の抵抗値が同一の場合、キャパシタ 10 a、10 b、11 a、11 b の容量値は同一にする。

40

【0031】

このように構成した半導体スイッチ回路では、従来例同様、第 1 の制御端子 4 に論理値 H i g h に相当する電圧を印加するとともに、第 2 の制御端子 5 に論理値 L o w に相当する電圧を印加することで、F E T 6 a が導通状態、F E T 7 a が非導通状態となり、共通入出力端子 1 と第 1 の個別入出力端子 2 との間が信号の通過経路となる。一方、第 1 の制御端子 4 および第 2 の制御端子 5 に印加する論理値を逆にすると、F E T 6 a が非導通状態、F E T 7 a が導通状態となり、共通入出力端子 1 と第 2 の個別入出力端子 3 との間が信号通過経路となり、スイッチ動作を行うことができる。

【0032】

第 1 の制御端子 4 に論理値 H i g h に相当する電圧を、第 2 の制御端子 5 に論理値 L o

50

wに相当する電圧をそれぞれ印加し、共通入出力端子1に10MHz、10dBmの信号を入力する。導通状態のFET6aのゲートドレイン間電圧、すなわちキャパシタ10aの電圧波形の電圧振幅は小さくなっていることが確認された。これは、本実施例の半導体スイッチ回路では、10MHzにおいてキャパシタ10aを抵抗8aより十分低インピーダンスにしているためである。

【0033】

同様に、非導通状態のFET7aのゲートドレイン間電圧、すなわちキャパシタ11a電圧波形の電圧振幅も小さくなっていることが確認された。したがって、第1の実施例では第2の従来例および第3の従来例よりも大電力の信号を通すことが可能となることがわかる。

【実施例2】

【0034】

次に、第2の実施例について説明する。図2に示すように、共通入出力端子1と第1の個別入出力端子2との間にFET6a～6dが接続している。また、共通入出力端子1と第2の個別入出力端子3との間にFET7a～7dが接続している。FET6a～6dの各ゲート電極と制御端子4との間には抵抗8a～8dがそれぞれ接続している。同様にFET7a～7dの各ゲート電極と制御端子5との間には抵抗9a～9dがそれぞれ接続している。そして本実施例では、各FETのゲートドレイン間、ゲートソース間にキャパシタ10a～10h、11a～11hがそれぞれ接続した構成となっている。ここでキャパシタの容量値は、通過する信号の周波数帯域、特に低周波数帯域において、そのインピーダンスが抵抗8a～8d、9a～9dより十分小さくなるように設定する。また、抵抗8a～8d、9a～9dの抵抗値が同一の場合、キャパシタ10a～10h、11a～11hの容量値は同一にする。

【0035】

このように構成した半導体スイッチ回路では、従来例同様、第1の制御端子4に論理値Highに相当する電圧を印加するとともに、第2の制御端子5に論理値Lowに相当する電圧を印加することで、FET6a～FET6dが導通状態、FET7a～FET7dが非導通状態となり、共通入出力端子1と第1の個別入出力端子2との間が信号の通過経路となる。一方、第1の制御端子4および第2の制御端子5に印加する論理値を逆にすると、FET6a～FET6dが非導通状態、FET7a～7dが導通状態となり、共通入出力端子1と第2の個別入出力端子3との間が信号通過経路となり、スイッチ動作を行うことができる。

【0036】

次に本実施例の半導体スイッチ回路の高周波特性について説明する。第1の制御端子4に論理値Highに相当する電圧を、第2の制御端子5に論理値Lowに相当する電圧をそれぞれ印加し、共通入出力端子1に10MHz、10dBmの信号を入力する。導通状態のFET6aのゲートドレイン間電圧、すなわちキャパシタ10aの電圧波形のシミュレーション結果を図2に示す。比較のため、図13に示す第3の従来例の半導体スイッチ回路に、共通入出力端子1に10MHz、10dBmの信号を入力した場合の導通状態のFET6aのゲートドレイン間電圧のシミュレーション結果も図3に示す。

【0037】

図3より、本実施例の電圧振幅は小さくなっていることがわかる。これは、本実施例の半導体スイッチ回路では、10MHzにおいてキャパシタ10aを抵抗8aより十分低インピーダンスにしているためである。

【0038】

同様に、非導通状態のFET7aのゲートドレイン間電圧、すなわちキャパシタ11a電圧波形を図4に示す。比較のため、図13に示す半導体スイッチ回路において、同様に、共通入出力端子1に10MHz、10dBmの信号を入力した場合の非導通状態のFET7aのゲートドレイン間電圧のシミュレーション結果も図4に示す。

【0039】

図 3 同様、本実施例の電圧振幅は小さくなっていることがわかる。以上、F E T 6 a および F E T 7 a について示したが、同様にキャパシタが接続されている F E T 6 b ~ F E T 6 d および F E T 7 b ~ F E T 7 d も第 3 の従来例より電圧の振幅が小さくなる。したがって、本実施例では第 3 の従来例および第 4 の従来例よりも大電力の信号を通すことが可能となることがわかる。

【0040】

第 2 の実施例の半導体スイッチ回路を用いることにより線形性特性が改善することを示すシミュレーション結果を図 5 に示す。図 5 は、本実施例の半導体スイッチ回路と図 1 3 に示す第 3 の従来例の半導体スイッチ回路について、10 MHz 信号を入力した時の入力電力に対するロスのシミュレーション結果である。第 3 の従来例の半導体スイッチ回路では 25 dBm 程度からロスが劣化しているのに対し、第 2 の実施例の半導体スイッチ回路では 34 dBm 程度までロスの劣化をなくすることができる。

10

【実施例 3】

【0041】

次に第 3 の実施例について説明する。第 1 および第 2 の実施例では、ゲートードレイン間およびゲートーソース間に接続するキャパシタは、すべて同一のキャパシタンスである場合について説明したが、共通入出力端子および個別入出力端子に接続する F E T のゲートードレイン間あるいはゲートーソース間に接続するキャパシタの内、共通入出力端子側および個別入出力端子側に接続するキャパシタの容量値を、他の F E T のゲートードレイン間あるいはゲートーソース間に接続するキャパシタの容量値より大きくすることも可能である。

20

【0042】

この場合、前述の図 1 4 に示した第 3 の従来例と同様、容量値の大きいキャパシタを接続したゲートードレイン間またはゲートーソース間に印加される電圧を他のゲートードレイン間またはゲートーソース間の電圧より小さくすることで線形性を向上させることが可能となる。したがって、図 2 に示す構造の半導体スイッチ回路において、キャパシタ 10 a、10 h、11 a、11 h の容量値を他のキャパシタの容量値より大きくした回路とすることで、低周波で線形性を更に向上させる回路とすることができる。

【実施例 4】

【0043】

次に第 4 の実施例について説明する。図 2 に示す単位スイッチ 100 を、図 6 に示すように、F E T 6 a のゲートードレイン間にキャパシタ 10 a とスイッチ 12 a を、ゲートーソース間にキャパシタ 10 b とスイッチ 12 b を、それぞれ接続した単位スイッチ 101 に変更する。他の F E T についても同様に、キャパシタ 10 c ~ 10 h、11 a ~ 11 h とスイッチを直列に接続する。

30

【0044】

例えば、すべてのスイッチをオン状態にした場合、図 2 の回路と等価となり、低周波帯域で線形性の劣化がない半導体スイッチ回路を実現することができる。また、すべてのスイッチをオフ状態とした場合、第 3 の従来例と等価になり、高周波帯域で劣化のない半導体スイッチ回路を実現することができる。さらにまた、共通入出力端子側および個別入出力端子側のスイッチのみをオン状態とし、他のスイッチをオフ状態とした場合、第 3 の実施例と等価となり、低周波帯域で線形性の劣化がない半導体スイッチ回路を実現することができる。

40

【0045】

このようにスイッチを追加することにより、通過する信号の周波数帯域に応じて、所望の特性が得られる構成で 사용할ことができる半導体スイッチ回路を提供することができる。なお、直列に接続するキャパシタ 10 a とスイッチ 12 a およびキャパシタ 10 b とスイッチ 12 b は逆にして接続しても同様の特性を得ることができる。

【実施例 5】

【0046】

50

次に第5の実施例について説明する。図2に示す単位スイッチ100を、図7に示すように、FET6aのゲートドレイン間にキャパシタ10aと抵抗14aを、ゲートソース間にキャパシタ10bと抵抗14bを、それぞれ接続した単位スイッチ102に変更する。他のFETについても同様に、キャパシタ10c～10h、11a～11hと抵抗を直列に接続する。ここで、低周波ではキャパシタ10a、10bのインピーダンスより抵抗14a、14bのインピーダンスが低くなるように、高周波ではキャパシタ10a、10bのインピーダンスより抵抗14a、14bのインピーダンスが高くなるように容量値、抵抗値を設定する。

【0047】

このように設定することにより、低周波帯域ではキャパシタ10a、10bにより線形性を改善させることができ、また高周波帯域では、抵抗14a、14bにより高周波特性の劣化を抑制することができる。図8には本実施例と第3の従来例の半導体スイッチ回路について、入力電力に対するロスのシミュレーション結果を示す。図8から明らかなように、従来例より本実施例のロスの線形性が改善していることがわかる。また、図9に本実施例および第3の従来例の周波数に対するロスのシミュレーション結果を示す。図9から明らかなように、本実施例は第3の従来例と比較して周波数が高くなってもロスの劣化がほとんどないことがわかる。このように本実施例の回路を適用することにより、低周波帯域および高周波帯域において使用することが可能となる半導体スイッチ回路を提供することができる。なお、直列に接続するキャパシタ10aと抵抗14aおよびキャパシタ10bと抵抗14bは逆にして接続しても同様の特性を得ることができる。

【0048】

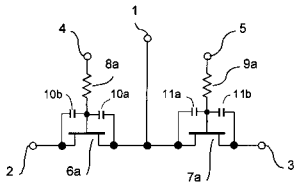
以上本発明の実施例について、SPDT (Single Pole Dual Throw) スwitchの場合について説明したが、本発明はSPDTスイッチに限定されるものではなく、SPSTスイッチの他、マルチポート入力マルチポート出力スイッチ、あるいはスイッチを切り替えるためのデコーダ回路を内蔵した半導体スイッチ回路についても適用することができる。

【符号の説明】

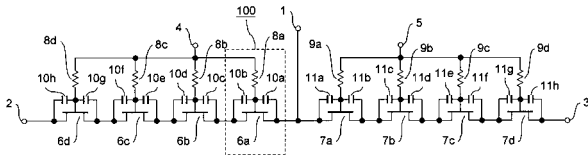
【0049】

1：共通入出力端子、2：第1の個別入出力端子、3：第2の個別入出力端子、4：第1の制御端子、5：第2の制御端子、6a～6d、7a～7d：FET、8a～8h、9a～9h、14a、14b：抵抗、10a～10h、11a～11h：キャパシタ、12a、12b：スイッチ

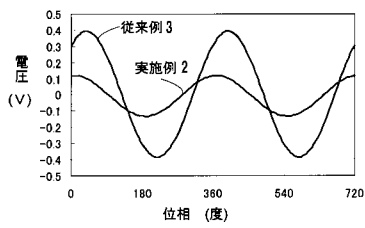
【 図 1 】



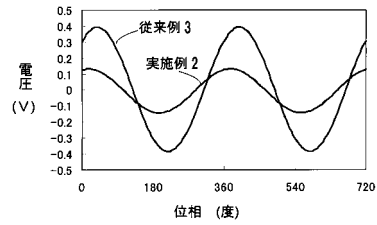
【図 2】



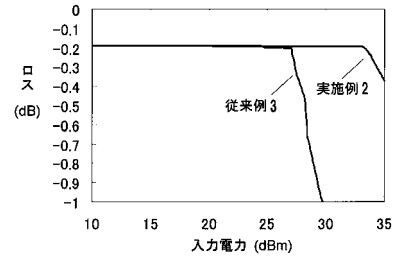
【 図 3 】



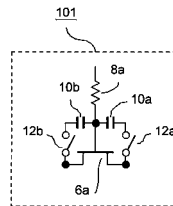
【図 4】



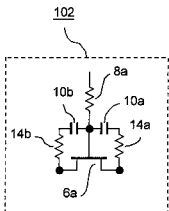
【図 5】



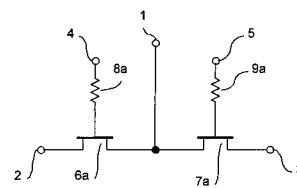
【図 6】



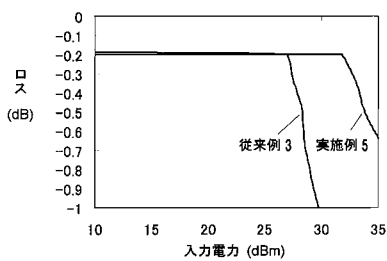
【图 7】



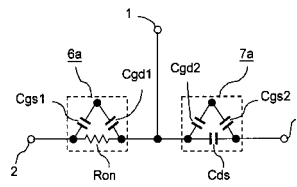
【图 10】



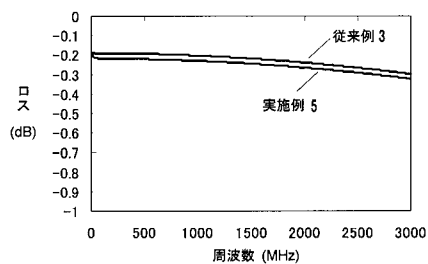
【图 8】



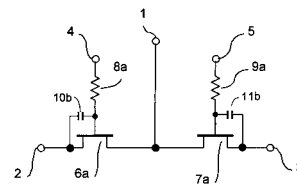
【图 1 1】



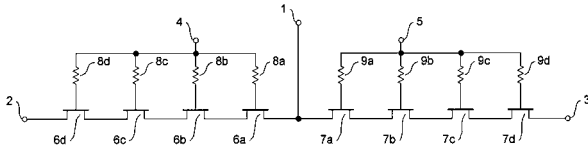
【图 9】



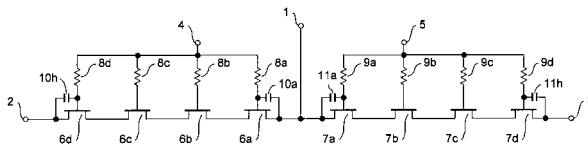
【 図 1 2 】



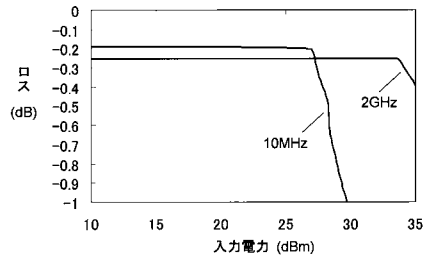
【図 1 3】



【図 1 4】



【図 1 5】



【図 1 6】

