

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-49561

(P2011-49561A)

(43) 公開日 平成23年3月10日(2011.3.10)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 27/115 (2006.01)	HO 1 L 27/10 4 3 4	5 B 1 2 5
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/792 (2006.01)	HO 1 L 27/10 4 5 1	5 F 1 0 1
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 8 1	
HO 1 L 27/10 (2006.01)	G 1 1 C 17/00 6 2 2 E	
審査請求 未請求 請求項の数 43 O L (全 70 頁) 最終頁に続く		

(21) 出願番号 特願2010-189800 (P2010-189800)
 (22) 出願日 平成22年8月26日 (2010. 8. 26)
 (31) 優先権主張番号 10-2009-0079243
 (32) 優先日 平成21年8月26日 (2009. 8. 26)
 (33) 優先権主張国 韓国 (KR)
 (31) 優先権主張番号 12/752, 485
 (32) 優先日 平成22年4月1日 (2010. 4. 1)
 (33) 優先権主張国 米国 (US)

(特許庁注：以下のものは登録商標)

1. R R A M

(71) 出願人 390019839
 三星電子株式会社
 S A M S U N G E L E C T R O N I C S
 C O . , L T D .
 大韓民国京畿道水原市靈通区梅灘洞 4 1 6
 4 1 6, M a e t a n - d o n g, Y e o
 n g t o n g - g u, S u w o n - s i,
 G y e o n g g i - d o 4 4 2 - 7 4 2
 (K R)

(74) 代理人 110000051
 特許業務法人共生国際特許事務所

(72) 発明者 孫 炳 根
 大韓民国 京畿道 水原市 靈通区 靈通
 洞 4 0 4 棟 2 0 0 4 号

最終頁に続く

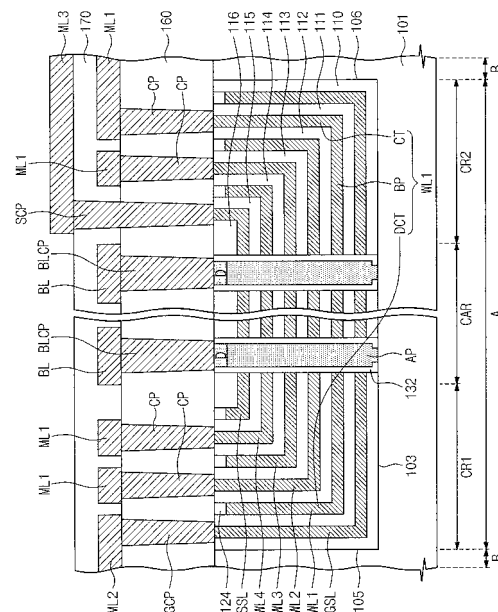
(54) 【発明の名称】 3次元メモリセルアレイを含む半導体メモリ素子及びその製造方法

(57) 【要約】

【課題】高密度、且つ工程マージンの確保された3次元メモリセルアレイを含む半導体メモリ素子を提供する。

【解決手段】平坦な基板と、基板に対して垂直に形成され且つ各々複数の貯蔵セルを含む複数のメモリストリングからなるメモリストリングアレイと水平方向に互いに重畳した複数のワードラインを含み、ワードラインは各々基板に平行で且つメモリストリングに接続された第1部分及び第1部分から延伸され基板に対して上方に傾斜する第2部分を含み、メモリストリングアレイは複数のワードラインの各々の第1部分の中間部分に配置され、ワードラインの各々に接続されて各々対応する貯蔵セルを形成し、複数のワードラインの第1、第2グループは各々、メモリストリングアレイの第1、第2の側方に配置された第1、第2導電ラインのグループの各々と電氣的に接続される。

【選択図】図3



【特許請求の範囲】**【請求項 1】**

平坦な基板と、

前記基板に対して垂直（Z方向とする）に形成され、且つ、各々複数の貯蔵セル（メモリセル）を含む複数のメモリストリングからなるメモリストリングアレイ（X、Y方向に整列しているとする）と、

Z方向に互いに離隔して重畳した複数のワードラインとを含み、

前記ワードラインは各々前記基板に平行に形成され、前記メモリストリングに接続された第1部分、及び前記第1部分から延伸され前記基板に対して上方（Z方向に）に傾斜する第2部分を含み、

前記メモリストリングアレイは前記複数のワードラインの各々の第1部分に配置され、前記ワードラインの各々に接続されて各々対応する前記貯蔵セルを形成し、

前記複数のワードラインの第1グループは前記メモリストリングアレイの第1の側方に配置された第1導電ラインのグループの各々と電氣的に接続され、前記複数のワードラインの第2グループは前記メモリストリングアレイの第2の側方に配置された第2導電ラインのグループの各々と電氣的に接続されることを特徴とする半導体メモリ素子。

10

【請求項 2】

前記ワードラインのうち、前記第1グループのワードライン及び前記第2グループのワードラインは、前記メモリストリングの上部から底部まで延伸された垂直方向（Z方向）に沿って交互に位置することを特徴とする請求項1に記載の半導体メモリ素子。

20

【請求項 3】

前記メモリストリングの延伸方向は、前記基板と90°に交差し、前記メモリストリングアレイの前記第1の側方は、前記メモリストリングアレイの前記第2の側方と、前記メモリストリングアレイを挟んで対向することを特徴とする請求項1に記載の半導体メモリ素子。

【請求項 4】

前記複数のワードラインの各々の第1部分は互いに平行であることを特徴とする請求項1に記載の半導体メモリ素子。

【請求項 5】

前記メモリストリングアレイの前記第1の側方に位置する前記複数のワードラインの各々の前記第2部分は、互いに平行であり、前記メモリストリングアレイの前記第2の側方に位置する前記複数のワードラインの各々の前記第2部分は、互いに平行であることを特徴とする請求項1に記載の半導体メモリ素子。

30

【請求項 6】

前記第1グループのワードラインは前記メモリストリングの上部から底部に向かってカウンティングし、奇数番目の貯蔵セルに各々接続するよう配置され、前記第2グループのワードラインは前記メモリストリングの上部から底部に向かってカウンティングし、偶数番目の貯蔵セルに各々接続するよう配置されることを特徴とする請求項1に記載の半導体メモリ素子。

【請求項 7】

前記メモリストリングアレイの前記第1の側方に位置する、偶数番目の前記ワードラインの第2部分の上方に傾斜して延伸された端部、及び前記メモリストリングアレイの前記第2の側方に位置する、奇数番目の前記ワードラインの第2部分の上方に傾斜して延伸された端部に各々配置された絶縁キャップをさらに含むことを特徴とする請求項1に記載の半導体メモリ素子。

40

【請求項 8】

第3導電ラインと接続され、前記メモリストリングアレイの第3の側方に配置されたワードラインの第3グループをさらに含み、

前記ワードラインの第1グループは前記メモリストリングの上部から底部に向かってカウンティングしてモジュロ（modulo）3で第1番目の貯蔵セルと各々接続され、

50

前記ワードラインの第 2 グループは前記メモリストリングアレイの上部から底部に向かってカウンティングしてモジュロ 3 で第 2 番目の貯蔵セルと各々接続され、

前記ワードラインの第 3 グループは前記メモリストリングアレイの上部から底部に向かってカウンティングしてモジュロ 3 で第 0 番目の貯蔵セルと各々接続されることを特徴とする請求項 1 に記載の半導体メモリ素子。

【請求項 9】

前記複数の貯蔵セルの各々及び対応するワードラインは前記基板の平坦面に平行に配置された他の平面に配置されることを特徴とする請求項 1 に記載の半導体メモリ素子。

【請求項 10】

前記メモリストリングアレイの他の側方の同一の平面内に配置されたワードラインの連続する部分は 1 つのワードラインに電氣的に接続されることを特徴とする請求項 9 に記載の半導体メモリ素子。

【請求項 11】

前記基板は水平であり、前記メモリストリングは垂直であり、

前記基板上に配置された周辺領域をさらに含むことを特徴とする請求項 1 に記載の半導体メモリ素子。

【請求項 12】

前記第 1 グループのワードラインと第 1 導電ラインとの間、及び前記第 2 グループのワードラインと前記第 2 導電ラインとの間に、各々コンタクトパッドとして配置された複数の導電パターンをさらに含むことを特徴とする請求項 1 に記載の半導体メモリ素子。

【請求項 13】

前記平坦な基板上に配置された周辺領域をさらに含むことを特徴とする請求項 12 に記載の半導体メモリ素子。

【請求項 14】

前記周辺領域は、前記導電パターンの下部面と同一のレベルに配置されることを特徴とする請求項 13 に記載の半導体メモリ素子。

【請求項 15】

前記ワードラインの前記上方に傾斜する第 2 部分は、前記基板と 50°乃至 90°の角度を有することを特徴とする請求項 1 に記載の半導体メモリ素子。

【請求項 16】

前記上方に傾斜する第 2 部分は、各ワードラインの前記第 1 部分の両端から延伸され、前記第 2 部分の各対の 1 方は絶縁キャップで覆われることを特徴とする請求項 1 に記載の半導体メモリ素子。

【請求項 17】

前記ワードライン及び前記メモリストリング (Z 方向) の各々と直交するように配置された複数のビットライン (Y 方向) をさらに含み、前記複数のビットラインの各々は、該ビットラインに沿って配置された前記複数のメモリストリングの上端で該メモリストリングに接続されることを特徴とする請求項 1 に記載の半導体メモリ素子。

【請求項 18】

前記平坦な基板上にチャンバ (凹部) をさらに含み、

前記チャンバは、前記基板内のシリコンリセスを含み、前記メモリストリング、ビットライン、及びワードラインの各々の延長部は前記シリコンリセス内に配置されることを特徴とする請求項 1 に記載の半導体メモリ素子。

【請求項 19】

前記平坦な基板上にチャンバをさらに含み、

前記チャンバは前記基板の上部面上の絶縁壁を含み、前記メモリストリング、ビットライン、及びワードラインの延長部は前記絶縁壁の周りに配置されることを特徴とする請求項 1 に記載の半導体メモリ素子。

【請求項 20】

前記ワードラインの延長部は金属またはシリサイドを含むことを特徴とする請求項 1 に

10

20

30

40

50

記載の半導体メモリ素子。

【請求項 2 1】

前記複数の貯蔵セルを含む前記メモリストリングは柱、管、またはバーサイド形状を有することを特徴とする請求項 1 に記載の半導体メモリ素子。

【請求項 2 2】

少なくとも 2 つのロウデコードをさらに含み、

1 つのロウデコードは前記第 1 グループのワードラインの側方に配置され、他のロウデコードは前記第 2 グループのワードラインの側方に配置されることを特徴とする請求項 6 に記載の半導体メモリ素子。

【請求項 2 3】

さらに、各々、X 方向に整列した複数のメモリストリングに接続され、離隔して互いに平行に Y 方向に整列した複数のストリング選択ラインを備え、

前記 2 つのロウデコードの中の第 1 ロウデコードは、Y 方向に沿ってカウントして偶数番目、または奇数番目からなる前記ストリング選択ラインのグループのいずれか 1 つと接続され、

前記 2 つのロウデコードの中の第 2 ロウデコードは、前記ストリング選択ラインのグループの他の 1 つと各々接続されることを特徴とする請求項 2 2 に記載の半導体メモリ素子。

【請求項 2 4】

前記 2 つのロウデコードの中の第 1 ロウデコードは、すべてのストリング選択ライン、及び Z 方向に沿ってカウントして偶数番目または奇数番目のワードラインのグループのいずれか 1 つと接続され、

前記 2 つのロウデコードの中の第 2 ロウデコードは、すべてのストリング選択ライン、及び前記ワードラインのグループの他の 1 つと各々接続されることを特徴とする請求項 2 2 に記載の半導体メモリ素子。

【請求項 2 5】

前記基板はシリコンを含み、前記絶縁膜はシリコン酸化膜を含み、前記ワードラインは金属を含むことを特徴とする請求項 1 に記載の半導体メモリ素子。

【請求項 2 6】

前記貯蔵セルは制御ゲート、第 1 絶縁領域、電荷貯蔵領域、及び第 2 絶縁領域を含むことを特徴とする請求項 1 に記載の半導体メモリ素子。

【請求項 2 7】

前記貯蔵セルは、制御ゲートとして金属ゲート、ブロッキング膜として high-K 領域、電荷貯蔵膜として窒化領域、及びトンネル膜として酸化領域を含むことを特徴とする請求項 1 に記載の半導体メモリ素子。

【請求項 2 8】

平坦な基板を提供し、

前記基板上にチャンバ（凹部）を形成し、

絶縁膜及び犠牲膜を前記チャンバ内に交互に蒸着し、各膜は、水平な第 1 部分、及び前記基板に対して上方に傾斜する少なくとも 1 つの第 2 部分を含み、

前記基板に垂直であり、前記重畳した膜を貫通して基板に到達するホール（貫通孔）を形成し、

前記ホール内に前記基板と垂直にメモリストリングを蒸着してメモリストリングアレイを形成し、

前記メモリストリングは複数の貯蔵セルを含み、

犠牲膜を導電膜に各々取り替え、複数の延伸されたワードラインを形成し、

前記離隔して重畳した複数のワードラインのうち、奇数番目のワードラインを、前記メモリストリングアレイの第 1 の側方に配置した導電ラインと接続し、偶数番目のワードラインを前記メモリストリングアレイの第 2 の側方に配置した導電ラインと各々接続することを含むことを特徴とする半導体メモリ素子の製造方法。

10

20

30

40

50

【請求項 29】

前記メモリストリングの最上部レベルの表面上に周辺領域を形成することをさらに含むことを特徴とする請求項 28 に記載の半導体メモリ素子の製造方法。

【請求項 30】

前記垂直メモリストリングはバーサイド形であり、

X - c u t のためにトレンチを形成し、メモリストリングを 2 つの平行なストリングに分けることをさらに含むことを特徴とする請求項 28 に記載の半導体メモリ素子の製造方法。

【請求項 31】

前記基板はシリコンを含み、前記絶縁膜はシリコン酸化膜を含み、前記ワードラインは金属を含むことを特徴とする請求項 28 に記載の半導体メモリ素子の製造方法。

10

【請求項 32】

前記チャンバは前記基板を直接リセスして形成されることを特徴とする請求項 28 に記載の半導体メモリ素子の製造方法。

【請求項 33】

前記チャンバは前記基板上に絶縁側壁を形成して前記基板上に形成されることを特徴とする請求項 28 に記載の半導体メモリ素子の製造方法。

【請求項 34】

前記貯蔵セルは、前記メモリストリングとして形成された、ワードラインに接続された制御ゲート、第 1 絶縁領域、電荷貯蔵領域、第 2 絶縁領域、及びチャネルが形成される活性領域を含むことを特徴とする請求項 28 に記載の半導体メモリ素子の製造方法。

20

【請求項 35】

前記貯蔵セルは、制御ゲートとして金属ゲート膜、ブロッキング領域（第 2 絶縁領域）として h i g h - K 膜、電荷貯蔵領域として窒化膜、及びトンネル領域（第 1 絶縁領域）として酸化膜を含むことを特徴とする請求項 28 に記載の半導体メモリ素子の製造方法。

【請求項 36】

基板と、

前記基板に対して垂直（Z 方向とする）に形成された複数のメモリストリングからなるメモリストリングアレイ（X、Y 方向に整列しているとする）と、

前記メモリストリングは複数の貯蔵セル（メモリセル）を含み、

30

Z 方向に互いに離隔して重畳した複数のワードラインとを含み、

前記ワードラインは各々前記基板に平行に形成され、前記メモリストリングに結合された第 1 部分、及び前記第 1 部分から延伸され前記基板に対して上方（Z 方向に）に傾斜する第 2 部分を含み、

前記メモリストリングのアレイは前記複数のワードラインの各々の第 1 部分 に配置され、前記ワードラインの各々に結合されて各々対応する前記貯蔵セルを形成し、

前記 Z 方向に重畳した複数のワードラインのうち、奇数番目のワードラインは前記メモリストリングアレイの第 1 の側方に配置された第 1 導電ラインのグループ内の各々の導電ラインと電氣的に接続され、

偶数番目のワードラインは前記メモリストリングアレイの第 2 の側方に配置された第 2 導電ラインのグループ内の各々の導電ラインと電氣的に接続されることを特徴とする半導体メモリ素子。

40

【請求項 37】

基板と、

前記基板に対して垂直（Z 方向とする）に形成された複数のメモリストリングからなるメモリストリングアレイ（X、Y 方向に整列しているとする）と、

前記メモリストリングは複数の貯蔵セル（メモリセル）を含み、

Z 方向に互いに離隔して重畳した複数のワードラインとを含み、

前記ワードラインは各々前記基板に平行に形成され、前記メモリストリングに結合された第 1 部分、及び前記第 1 部分から延伸され前記基板に対して上方（Z 方向に）に傾斜す

50

る第 2 部分を含み、

前記メモリストリングのアレイは前記複数のワードラインの各々の第 1 部分 に配置され、前記ワードラインの各々に結合されて各々対応する前記貯蔵セルを形成し、

前記ワードラインは前記メモリストリングアレイの第 1 の側方に配置された第 1 導電ラインと選択的に接続された第 1 ワードライン、及び前記メモリストリングアレイの第 2 の側方に配置された第 2 導電ラインと選択的に接続された第 2 ワードラインを含むことを特徴とする半導体メモリ素子。

【請求項 38】

前記ワードラインは少なくとも 1 つのダミーワードラインを含むことを特徴とする請求項 37 に記載の半導体メモリ素子。

【請求項 39】

前記第 1 の側方には第 1 ロウデコーダを有し、前記第 2 の側方には第 2 ロウデコーダを有することを特徴とする請求項 37 に記載の半導体メモリ素子。

【請求項 40】

基板と、

前記基板に対して垂直（Z 方向とする）に形成された複数のメモリストリングからなるメモリストリングアレイ（X、Y 方向に整列しているとする）と、

前記メモリストリングは複数の貯蔵セル（メモリセル）を含み、

Z 方向に互いに離隔して重畳した複数のワードラインと、

少なくとも 2 つのロウデコーダとを含み、

前記複数のワードラインは、前記メモリストリングアレイの第 1 の側方に配置された 1 つのロウデコーダと電氣的に接続されたワードラインの第 1 グループと、前記メモリストリングアレイの第 2 の側方に配置された他のロウデコーダと電氣的に接続されたワードラインの第 2 グループとを含むことを特徴とする半導体メモリ素子。

【請求項 41】

さらに、各々、X 方向に整列した複数のメモリストリングに接続され、離隔して互いに平行に Y 方向に整列した複数のストリング選択ラインを備え、

前記第 1 ロウデコーダは、前記メモリストリングアレイの第 1 の側方に配置した導電ラインを介して前記ストリング選択ラインの第 1 のグループと接続され、

前記第 2 ロウデコーダは、前記メモリストリングアレイの第 2 の側方に配置した導電ラインを介して前記ストリング選択ラインの残りからなるグループと接続されることを特徴とする請求項 40 に記載の半導体メモリ素子。

【請求項 42】

前記 2 つのロウデコーダの中のいずれか 1 つは前記ストリング選択ラインの全体と接続されることを特徴とする請求項 40 に記載の半導体メモリ素子。

【請求項 43】

平坦な基板を提供し、

前記基板上にチャンバ（凹部）を形成し、

前記チャンバ内に絶縁膜及び導電膜を交互に蒸着し、

前記導電膜は複数のワードラインを形成し、

各膜は、水平な第 1 部分、及び前記基板に対して上方に傾斜する少なくとも 1 つの第 2 部分を含み、

前記基板に垂直であり、前記重畳した膜を貫通して前記基板に到達するホール（貫通孔）を形成し、

前記ホール内に前記基板と垂直にメモリストリングを形成してメモリストリングアレイを形成し、

前記メモリストリングは複数の貯蔵セルを含み、

前記離隔して重畳した複数のワードラインのうち、奇数番目のワードラインを前記メモリストリングアレイの第 1 の側方に配置したコンタクトパッドに接続し、偶数番目のワードラインを前記メモリストリングアレイの第 2 の側方に配置したコンタクトパッドに接続

10

20

30

40

50

することを特徴とする半導体メモリ素子の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体素子に係り、より具体的には、分散した(distributed)コンタクトパッドを有する改善した3次元構造を有する半導体メモリ素子に関する。

【背景技術】

【0002】

半導体産業の高度発展によって、半導体素子の高集積化、低消費電力化及び/または高速化などが深化している。特に、半導体素子の高集積化は多様な電子機器の仕様を増加させることができ、且つ製品の価格を決める重要な要因であるので、最近になって重要性が大きくなっている。かくして、高集積化された半導体素子を実現するため、半導体技術は既存の平板型素子から脱して多様な構造を含む半導体素子を製造するように発展した。

10

【0003】

半導体素子の高集積化及び構造の多様化によって、半導体素子に存在する多様で複雑なパターンを導電ライン及び他のパターンと接続する工程のマージン確保がますます難しくなっている。半導体素子の工程で不良が発生した場合、半導体素子の信頼性が低下し、これは半導体素子を含む電子器機性能の低下に直結する。これによって、複雑なパターンを有する半導体素子において工程マージンを確保し、高集積化された半導体素子で信頼性を向上させるための多様な研究が進められている。

20

【先行技術文献】

【特許文献】

【0004】

【特許文献1】日本特許出願公開第2008-263029号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の目的は、メモリセルアレイ、及びメモリセルアレイとその外部電気回路網との間の電気的な接続を含めた構成に係り、高密度、且つ工程マージンの確保された3次元構造のメモリ素子を提供することにある。

30

したがって、垂直NAND、VNANDに限定されず、RRAM、MRAM及びPRAMのような3次元構造のメモリ素子に適用できる。

【0006】

本発明の他の目的は、メモリセルアレイ、及びメモリセルアレイとその外部電気回路網との間の電気的接続を含めた構成に係り、高密度、且つ工程マージンの確保された3次元構造のメモリ素子の製造方法を提供することにある。

したがって、垂直NANDまたはVNANDに限定されず、PRAM、MRAM、RRAMなどのような3次元構造のメモリ素子の製造に適用できる。

【課題を解決するための手段】

【0007】

本発明の一実施形態によると、半導体メモリ素子は平坦な基板と、前記基板に垂直であり、複数の貯蔵セルを含むメモリストリングと、複数のワードラインとを含み、各ワードラインは前記基板に平行であり、前記メモリストリングに接続された第1部分及び前記基板と交差する第2部分を含み、前記複数のワードラインの第1グループは前記メモリストリングの第1側の第1導電ラインと電気的に接続され、前記複数のワードラインの第2グループは前記メモリストリングの第2側の第2導電ラインと電気的に接続される。

40

【0008】

ワードラインの第1グループのワードライン及びワードラインの第2グループのワードラインは、前記メモリストリングの上部から底まで延長する方向に交互に位置する。延長するメモリストリングは前記基板と90°に交差し、前記メモリストリングの前記第1側

50

は前記メモリストリングの前記第 2 側と対向する。

【0009】

前記複数のワードラインの各々の第 1 部分は各々互いに平行である。前記メモリストリングの前記第 1 側の前記複数のワードラインの各々の前記第 2 部分は各々互いに平行である。

【0010】

前記第 1 交互 (a l t e r n a t i n g) ワードラインは前記メモリストリングの上部から底にカウンティング (c o u n t i n g) して、奇数番目の貯蔵セルに各々配置され、前記第 2 交互 (a l t e r n a t i n g) ワードラインは前記メモリストリングの上部から底にカウンティング (c o u n t i n g) して、偶数番目の貯蔵セルに各々配置される。

10

【0011】

前記半導体メモリ素子はメモリストリングの前記第 1 側の偶数番目のワードラインの前記第 2 部分の前記延長された一端、及び前記メモリストリングの前記第 2 側の奇数番目のワードラインの前記第 2 部分の前記延長された一端に配置された絶縁キャップ (i n s u l a t i n g c a p s) をさらに含む。

【0012】

前記半導体メモリ素子は第 2 導電ラインと接続され、前記メモリストリングの第 3 側上に配置されたワードラインの第 3 グループをさらに含み、前記ワードラインの第 1 グループは前記メモリストリングの上部から下にカウンティング (c o u n t i n g) して、モジュール (m o d u l u s) 3 で一番目の貯蔵セルと各々接続され、前記ワードラインの第 2 グループは前記メモリストリングの上部から下にカウンティングして、モジュール (m o d u l u s) 3 で二番目の貯蔵セルと各々接続され、前記ワードラインの第 3 グループは前記メモリストリングの上部から下にカウンティングして、モジュール (m o d u l u s) 3 で 0 番目の貯蔵セルと各々接続される。

20

【0013】

前記複数の貯蔵セルの各々及び対応するワードラインは前記基板の平面に平行に配置された他の平面に配置される。メモリストリングの他の側上の同一の平面内に配置されたワードラインの連続する部分は 1 つのワードラインに電氣的に接続される。前記基板は水平であり、前記メモリストリングは垂直であり、前記半導体メモリ素子は前記基板上に配置されるか、または前記垂直メモリストリング上に配置される周辺領域をさらに含む。

30

【0014】

前記半導体メモリ素子は前記複数のワードラインの前記第 1 交互 (a l t e r n a t i n g) ワードラインと第 1 導電ラインとの間、及び前記複数のワードラインの前記第 2 交互 (a l t e r n a t i n g) ワードラインと前記第 2 導電ラインとの間にコンタクトパッドに配置された複数の導電パターンをさらに含む。前記半導体メモリ素子は前記平坦な基板上に配置された周辺領域をさらに含む。

【0015】

前記周辺領域は導電パターンの下部面と同一のレベルに配置されるか、または前記チャンバの上部上に配置される。前記ワードラインの前記交差する第 2 延長部は前記基板と 50°乃至 90°の角度を有する。前記交差する第 2 延長部は各ワードラインの前記第 1 部分の両端から延長され、各ワードラインから交差する第 2 部分の各対の 1 つは絶縁キャップ (i n s u l a t i n g c a p) で覆われる。

40

【0016】

前記半導体メモリ素子は前記ワードライン及び前記メモリストリングの各々と垂直に (p e r p e n d i c u l a r) 配置された複数のビットラインをさらに含む。前記平坦な基板上にチャンバ (c h a m b e r) をさらに含み、前記チャンバは前記基板内のシリコンリセスを含み、前記延長するメモリストリング及び延長するワードラインは前記シリコンリセス内に配置される。

【0017】

50

前記平坦な基板上にチャンバをさらに含み、前記チャンバは前記基板の上部面上の絶縁壁 (i n s u l a t i n g w a l l) を含み、前記延長するメモリストリング及び延長するワードラインは前記絶縁壁の周りに配置される。前記延長するワードラインは金属またはシリサイドを含む。前記複数の貯蔵セルを含む前記メモリストリングは柱 (c o l u m n a r) 、管 (t u b u l a r) 、またはバーサイド (b a r - s i d e d) 形であり得る。

【 0 0 1 8 】

前記半導体メモリ素子は少なくとも2つのロウ (r o w) デコーダをさらに含み、1つのロウデコーダは奇数番目の貯蔵セルの側面に配置され、他のロウデコーダは偶数番目の貯蔵セルの側面に配置される。前記2つのロウデコーダの中の第1ロウデコーダは偶数または奇数ストリング選択ラインの中のいずれか1つと接続され、前記2つのロウデコーダの中の第2ロウデコーダは偶数または奇数ストリング選択ラインの中の他の1つと各々接続される。前記2つのロウデコーダの中で第1ロウデコーダはすべてのストリング選択ライン、及び偶数または奇数ワードラインの中のいずれか1つと接続され、前記2つのロウデコーダの中で第2ロウデコーダは奇数または偶数ワードラインの中の他の1つと各々接続される。

10

【 0 0 1 9 】

前記基板はシリコンを含み、前記絶縁膜はシリコン酸化膜を含み、前記ワードラインは金属を含む。前記貯蔵セルは制御ゲート、第1絶縁領域、電荷貯蔵領域、及び第2絶縁領域を含む。前記貯蔵セルは制御ゲートとして金属ゲート、ブロッキング膜として h i g h - K 領域、電荷貯蔵膜として窒化領域、及びトンネル膜として酸化領域を含む。

20

【 0 0 2 0 】

本発明の一実施形態によれば、半導体メモリ素子の製造方法は、基板を提供し、前記基板上にチャンバを形成し、絶縁膜及び犠牲膜を前記チャンバ内に交互に蒸着し、各膜は水平な第1部分、及び少なくとも1つの前記基板と交差する第2部分を含み、前記基板に垂直であり、前記膜を貫通して基板に延長するホールを形成し、前記ホール内に前記基板と垂直なメモリストリングを蒸着し、前記メモリストリングは複数の貯蔵セルを含み、犠牲膜を導電膜に各々取り替えて、複数の延長するワードラインを形成し、前記複数のワードラインの第1交互 (a l t e r n a t i n g) ワードラインを前記メモリストリングの第1側の導電ラインと接続し、複数のワードラインの第2交互 (a l t e r n a t i n g) ワードラインを前記メモリストリングの第2側の導電ラインと各々接続することを含む。

30

【 0 0 2 1 】

前記半導体メモリ素子の製造方法は前記メモリストリングの最上部レベルの表面上に周辺領域を形成することをさらに含む。前記垂直メモリストリングはバーサイド (b a r - s i d e d) 形であり、前記半導体メモリ素子の製造方法は X - c u t のためにトレンチを形成してメモリストリングを2つの平行なストリングに分けることをさらに含む。前記基板はシリコンを含み、前記絶縁膜はシリコン酸化膜を含み、前記ワードラインは金属を含む。前記チャンバは前記基板を直接リセスする。

【 0 0 2 2 】

前記チャンバは前記基板上に絶縁側壁を形成して前記基板上に形成される。各貯蔵セルは制御ゲート、第1絶縁領域、電荷貯蔵領域、及び絶縁領域を含む。各貯蔵セルは制御ゲートとして金属ゲート、ブロッキング膜として h i g h - K 領域、電荷貯蔵膜として窒化領域、及びトンネル膜として酸化領域を含む。

40

【 0 0 2 3 】

本発明の実施形態によると、半導体メモリ素子は、基板と、前記基板に垂直なメモリストリングと、前記メモリストリングは複数の貯蔵セルとを含み、複数のワードラインを含み、各ワードラインは前記基板に平行な前記メモリストリングに結合された第1部分、及び前記基板と交差し、上に延長する第2部分を含み、複数のワードラインの第1交互 (a l t e r n a t i n g) ワードラインは前記メモリストリングの第1側の第1導電ラインと電氣的に接続され、複数のワードラインの第2交互 (a l t e r n a t i n g) ワード

50

ラインは前記メモリストリングの第 2 側の第 2 導電ラインと電氣的に接続される。

【0024】

本発明の実施形態によれば、半導体メモリ素子は基板と、前記基板に垂直なメモリストリングと、前記メモリストリングは複数の貯蔵セルとを含み、複数のワードラインを含み、各ワードラインは前記基板に平行であり、前記メモリストリングに結合された第 1 部分、及び前記基板と交差し、上に延長する第 2 部分を含み、前記ワードラインは前記メモリストリングの第 1 側の第 1 導電ラインと選択的に接続された第 1 ワードライン及び前記メモリストリングの第 2 側の第 2 導電ラインと選択的に接続された第 2 導電ラインを含む。

【0025】

前記ワードラインは少なくとも 1 つのダミーワードラインを含む。前記第 1 側は第 1 ロウ (row) デコーダを有し、前記第 2 側は第 2 ロウデコーダを有する。

本発明の実施形態によれば、半導体メモリ素子は基板と、前記基板に垂直なメモリストリングと、前記メモリストリングは複数の貯蔵セルとを含み、複数のワードライン及び少なくとも 2 つのロウ (row) デコーダを含み、複数のワードラインは前記メモリストリングの第 1 側の 1 つのロウデコーダと電氣的に接続されたワードラインの第 1 グループ、及び前記メモリストリングの第 2 側の他のロウデコーダと電氣的に接続されたワードラインの第 2 グループを含む。前記第 1 ロウデコーダは前記メモリストリングの第 1 側のストリング選択ラインの 1 グループと接続され、前記第 2 ロウデコーダは前記メモリストリングの第 2 側のストリング選択ラインの他のグループと接続される。前記 2 つのロウデコードの中のいずれか 1 つは前記ストリング選択ラインの全体と接続される。

【0026】

本発明の実施形態によれば、半導体メモリ素子の製造方法は、基板を提供し、前記基板上にチャンバを形成し、前記チャンバ内に絶縁膜及び導電膜を交互に蒸着し、前記導電膜は複数のワードラインを形成し、各膜は水平な第 1 部分及び前記基板と交差する少なくとも 1 つの第 2 部分を含し、前記基板に垂直であり、前記膜を貫通して前記基板に延長するホールを形成し、前記ホール内に前記基板と垂直なメモリストリングを形成し、前記メモリストリングは複数の貯蔵セルを含み、前記複数のワードラインの第 1 交互 (alternating) ワードラインと前記メモリストリングの一侧のコンタクトパッドとを接続し、前記複数のワードラインの第 2 交互 (alternating) ワードラインと前記メモリストリングの第 2 側のコンタクトパッドとを接続することを含む。

【発明の効果】

【0027】

本発明によれば、平坦な基板上に上下方向に重畳した面状のワードラインと、これを垂直に貫通する孔に設けたメモリストリングにより、ワードラインとメモリストリングの接続はセルフアラインに達成でき、ワードラインから外部導電ラインへのコンタクトの工程マージンは実質的に無制限になるので、十分余裕のある工程マージンを持つ高密度の 3 次元メモリ素子を提供できる。

本発明の実施形態によれば、少なくとも 2 つの活性バー (active bars) が電氣的な接続の失敗なしに半導体基板上にユニホームに (uniformly) 積層される。したがって、このような構造内に形成された複数セルの分散は改善することができる。言い替えれば、高集積化が最適化されて電氣的特性が改善した不揮発性メモリ素子を実現することができる。

【図面の簡単な説明】

【0028】

【図 1】本発明の一実施形態に係る半導体素子を説明するための図式的な平面図である。

【図 2】本発明の一実施形態に係る半導体素子を説明するための図式的な平面図である。

【図 3】本発明の一実施形態によって図 1 及び図 2 の I - I ' に沿って切断した図式的な断面図である。

【図 4】本発明の一実施形態によって図 1 及び図 2 の I - I ' に沿って切断した図式的な断面図である。

【図 5】本発明の一実施形態によって図 1 及び図 2 の I - I ' に沿って切断した図式的な断面図である。

【図 6】本発明の一実施形態に係る情報貯蔵膜（例えば、電荷貯蔵膜）を説明するための図式図である。

【図 7】本発明の他の実施形態に係る半導体素子を説明するための図式的な平面図である。

【図 8】本発明の他の実施形態に係る半導体素子を説明するための図式的な平面図である。

【図 9】本発明の一実施形態によって図 7 及び図 8 の I I - I I ' に沿って切断した図式的な断面図である。

10

【図 10】本発明の一実施形態によって図 7 及び図 8 の I I - I I ' に沿って切断した図式的な断面図である。

【図 11】本発明の一実施形態によって図 7 及び図 8 の I I - I I ' に沿って切断した図式的な断面図である。

【図 12】本発明の一実施形態に係る情報貯蔵膜を説明するための図式図である。

【図 13】本発明の一実施形態に係る活性部を部分的に示す図である。

【図 14】本発明の一実施形態に係る半導体素子を説明するための図式的な平面図である。

【図 15】本発明の一実施形態によって、図 14 の I I I - I I I ' に沿って切断した図式的な断面図である。

20

【図 16】本発明の一実施形態によって、図 14 の I I I - I I I ' に沿って切断した図式的な断面図である。

【図 17】本発明の一実施形態によって、図 14 の I I I - I I I ' に沿って切断した図式的な断面図である。

【図 18】本発明の一実施形態に係る半導体素子を説明するための図式的な平面図である。

【図 19】本発明の一実施形態によって、図 18 の I V - I V ' に沿って切断した図式的な断面図である。

【図 20】本発明の一実施形態によって、図 18 の I V - I V ' に沿って切断した図式的な断面図である。

30

【図 21】本発明の一実施形態によって、図 18 の I V - I V ' に沿って切断した図式的な断面図である。

【図 22】本発明の一実施形態に係る半導体素子を説明するための図式的な平面図である。

【図 23】本発明の一実施形態に係る半導体素子を説明するための図式的な平面図である。

【図 24】本発明の一実施形態によって、図 22 及び図 23 の V - V ' に沿って切断した図式的な断面図である。

【図 25】本発明の一実施形態によって、図 22 及び図 23 の V - V ' に沿って切断した図式的な断面図である。

40

【図 26】本発明の一実施形態によって、図 22 及び図 23 の V - V ' に沿って切断した図式的な断面図である。

【図 27】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 28】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 29】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 30】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

50

【図 3 1】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 3 2】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 3 3】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 3 4】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 3 5】本発明の一実施形態に係る半導体素子を説明するための図式的な平面図である。

【図 3 6】本発明の一実施形態に係る半導体素子を説明するための図式的な平面図である。

【図 3 7】本発明の一実施形態によって、図 3 5 及び図 3 6 の V I - V I ' に沿って切断した図式的な断面図である。

【図 3 8】本発明の一実施形態によって、図 3 5 及び図 3 6 の V I - V I ' に沿って切断した図式的な断面図である。

【図 3 9】本発明の一実施形態によって、図 3 5 及び図 3 6 の V I - V I ' に沿って切断した図式的な断面図である。

【図 4 0】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 4 1】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 4 2】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 4 3】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 4 4】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 4 5】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 4 6】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 4 7】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 4 8】本発明の一実施形態に係る半導体素子の形成方法を説明するための図式的な断面図である。

【図 4 9】本発明の一実施形態に係る半導体素子を含むメモリシステムのブロック図である。

【図 5 0】本発明の一実施形態に係る半導体素子を含むメモリカードのブロック図である。

【図 5 1】本発明の一実施形態に係る半導体素子が装着された情報処理システムのブロック図である。

【図 5 2】本発明の一実施形態に係る半導体素子を含む不揮発性メモリ素子のブロック図である。

【発明を実施するための形態】

【0029】

本発明の実施形態は分散したコンタクトパッドを有する改善した 3 次元構造の半導体メモリ構造を提供する。望ましい実施形態は高信頼性を確保することができる改善したコンタクト面積のマージンを提供する。また、本発明はワードラインまたはワードラインとメモリストリング（以下、単に「ストリング」ともいう）選択ラインとの間の接続、及び少

10

20

30

40

50

なくとも2つのロウデコーダのレイアウトを提供する。

【0030】

以下、添付の図を参照して本発明の望ましい実施形態をさらに詳細に説明する。しかし、本発明はここで説明する実施形態に限定されず、他の形態への具体化も可能である。さらにここで紹介する実施形態は開示された内容が徹底且つ完全になれるように、そして当業者に本発明の思想を十分に伝達するために提供される。また、望ましい実施形態によることから、説明の手順によって提示される参照符号はその手順に必ず限定されない。図において、膜及び領域の厚さは明確性のために誇張されている。また、膜が他の膜または基板上にあると言及される場合に、それは他の膜または基板上に直接形成され、またはそれらの間に第3の膜を介在することができる。本明細書において、‘及び/または’という表現は前後に羅列された構成要素のうちの少なくとも1つを含む意味として用いられる。

10

【0031】

本発明の第1実施形態に係る半導体素子を説明する。図1及び図2は、本発明の実施形態に係る平面図を示し、図3は、図1及び図2のI-I'に沿って切断した断面図である。

【0032】

本発明に係る半導体素子はメモリセルアレイ領域、ロウ(row)デコーダ、コラム(column)デコーダ、メモリセルアレイと半導体素子の外部の素子とを接続する配線(例えば、電圧発生器)、及びコントロールユニットを含む。配線は、他の層、パターンまたはラインに垂直に延長する導電ビア(via)、プラグ、またはパッドと接続される。

20

【0033】

本発明に係る半導体メモリ素子のメモリセルアレイは、3次元構造の複数のメモリセルを含む。本発明の一実施形態によれば、前記メモリセルアレイは、平坦な基板上で垂直に形成され、各々複数のメモリセルを含む複数のメモリストリングのアレイからなる。前記メモリストリングは各々、制御ゲート、第1絶縁膜、電荷貯蔵膜、第2絶縁膜、及び、チャンネルが形成される活性部を含む。電荷貯蔵膜は絶縁膜またはナノドット(nano-dots)などのように電荷が貯蔵される膜を含む。電荷貯蔵のための前記絶縁膜はシリコン窒化膜、または酸素より窒素が十分に多いシリコン酸窒化膜を含む。第1絶縁膜は活性部と電荷貯蔵膜との間に位置する。前記第1絶縁膜はシリコン酸化膜、またはシリコン酸窒化膜、及びシリコン窒化膜の中のいずれを含む薄い(約50~150)複層膜を含む。前記第2絶縁膜は前記電荷貯蔵膜と前記制御ゲートとの間に位置する。前記第2絶縁膜はシリコン酸化膜、high-K物質、アルミニウム酸化膜及びまたはこれらの組み合わせであり得る。

30

【0034】

活性部の形状は多様なタイプであり得る。例えば、柱(pillar)、円周(columnar)、管(tubular)またはバーサイド(bar-sided)形状であり得る。前記管活性部は内部の絶縁性物質を取り囲んでいる。

【0035】

図1、図2、及び図3を参照すると、基板101が提供される。前記基板101は半導体ベースの半導体基板であり、実質的に平坦である。前記基板はシリコン、好ましくは、単結晶シリコンを含む。前記基板101は第1導電型のドーパントでドーピングされたウェル(well)のようなドーピング領域を含む。前記基板101内に共通ソース領域(図示しない)が配置される。前記複数のメモリストリングは1つのソース領域を、共通ソースラインとして共有する。前記共通ソース領域は前記基板101の、メモリセルが形成される領域(後述の凹部A)内に平板形態(plateform)に配置される。前記共通ソース領域は高濃度のドーパントを含むことができる。前記共通ソース領域に含まれたドーパントは前記ウェルに含まれたドーパントと異なる導電型の第2導電型であり得る。例えば、前記ウェルがp型ドーパントを含む場合、前記共通ソース領域は高濃度のn型ドーパントを含む。

40

50

【0036】

図4を参照すると、前記基板100は平坦である。突出部104が基板100上に形成される。前記突出部104は基板100上に蒸着される。突出部104の物質はシリコンまたは絶縁膜であり得る。その結果として生じた表面は平坦な基板100における、凹部A及び、突出部104による隆起部Bを含む。前記凹部Aは底面103と、互いに対向する第1側壁105及び第2側壁106を含む。これによる基板101は前記第1側壁105及び第2側壁106から延長された隆起部Bを含む。前記隆起部Bの上部面は前記凹部Aの前記底面103と平行であり得る。

これと異なり、再び図3を参照すると、前記凹部A及び前記隆起部Bは、半導体基板101の凹部Aが配置される部分をエッチングして、隆起部Bが配置される部分を残して形成される。この場合、前記基板101は一体の基板であり得る。前記凹部Aにメモリセルが配置される。もし、突出部が絶縁膜で形成され、周辺回路が突出部上に形成される場合、シリコン膜が突出部上にさらに形成される(Silicon on Insulator type、SOI)。

以下、この凹部Aと隆起部Bが形成された基板100、101を、基板101で代表する。

【0037】

前記半導体メモリ素子を説明する。

【0038】

前記凹部Aは前記第1側壁105と隣接した第1コンタクト領域CR1及び前記第2側壁106と隣接した第2コンタクト領域CR2を含む。前記第1コンタクト領域CR1と前記第2コンタクト領域CR2との間にセルアレイ領域CARが配置される。前記第1コンタクト領域CR1及び第2コンタクト領域CR2は、前記セルアレイ領域CARを挟んで互いに離隔されている。

前記メモリストリングのアレイは、このセルアレイ領域CARに形成される。

【0039】

前記基板101上に互いに離隔された導電パターンGSL、WL1~WL4、SSLが配置される。前記導電パターンGSL、WL1~WL4、SSLは前記基板101の前記凹部A上に順に積層された接地選択ラインGSL、ワードラインWL1~WL4、及びストリング選択ラインSSLを含む。

【0040】

そして、隣接した導電体の間の所望しないショート(short)を防止するため、層間絶縁膜が隣接したワードラインの間に配置される。本発明に係る前記メモリ素子は、接地選択ラインGSL及び/またはストリング選択ラインSSLの近傍の、またはワードラインの間のダミーワードラインを含む。前記ワードラインWL、接地選択ラインGSL及びストリング選択ラインSSLは導電膜と層間絶縁膜が積層されて形成される。他の実施形態によれば、積層されたワードラインWL、接地選択ラインGSL及びストリング選択ラインSSL、と層間絶縁膜の積層は複数回に分けて実行される。

【0041】

前記メモリセルアレイは平坦な基板上に配置された情報貯蔵が可能な複数のメモリセルの3次元構造であり得る。メモリセルの活性化のためのスイッチング素子はトランジスタまたはダイオードタイプであり得る。メモリセルのタイプは揮発性または不揮発性タイプであり得る。例えば、本発明に係るメモリ素子はフラッシュメモリ素子である。

【0042】

3次元メモリ素子の活性部は平坦な基板101と垂直または平行である。望ましくは、前記活性部は基板上の垂直活性部である。前記活性部はシリコンで形成される。前記活性部は柱(pillar)、管(tubular)またはバーサイド(bar-sided)タイプであり得る。前記活性部は単結晶シリコンまたは多結晶シリコンで形成される。前記活性部は非晶質シリコンで形成され、多結晶シリコンに結晶化される。

【0043】

制御ゲート、第1絶縁膜、電荷貯蔵膜、第2絶縁膜及び活性部を含むメモリストリングは平坦な (p l a n a r) 基板に対して垂直に形成される。電荷貯蔵のための前記絶縁膜はシリコン窒化膜、または酸素より窒素が十分に多いシリコン酸窒化膜を含むことができる。第1絶縁膜は活性部と電荷貯蔵膜との間に位置する。前記第1絶縁膜はシリコン酸化膜、またはシリコン酸化膜、シリコン酸窒化膜、及びシリコン窒化膜の中のいずれを含む薄い (約 50 ~ 150) 複層膜を含むことができる。前記第2絶縁膜は前記電荷貯蔵膜と前記制御ゲートとの間に位置する。前記第2絶縁膜はシリコン酸化膜、 h i g h - K 物質、アルミニウム酸化膜及びまたはこれらの組み合わせであり得る。

【0044】

一方、前記導電パターン G S L、W L 1 ~ W L 4、S S L は、ゲート間絶縁膜 1 1 1 ~ 1 1 5 を挟んで互いに離隔されて配置される。例えば、前記接地選択ライン G S L、第1ゲート間絶縁膜 1 1 1、第1ワードライン W L 1、第2ゲート間絶縁膜 1 1 2、第2ワードライン W L 2、第3ゲート間絶縁膜 1 1 3、第3ワードライン W L 3、第4ゲート間絶縁膜 1 1 4、第4ワードライン W L 4、第5ゲート間絶縁膜 1 1 5、及びストリング選択ライン S S L が順に積層されている。

【0045】

前記凹部 A の前記底面 1 0 3、第1及び第2側壁 1 0 5、1 0 6 と前記接地選択ライン G S L との間に接地選択絶縁膜 1 1 0 が配置される。前記ストリング選択ライン S S L 上にストリング選択絶縁膜 1 1 6 が配置される。前記絶縁膜 1 1 0 ~ 1 1 6 は合わせて前記層間絶縁膜を形成し、各々、前記凹部 A の前記底面 1 0 3 上にあって前記底面 1 0 3 に平行に配置された底部と、前記底部から前記第1側壁 1 0 5 及び前記第2側壁 1 0 6 に沿って延長される側壁部を含む。

【0046】

前記導電パターン G S L、W L 1 ~ W L 4、S S L は前記凹部 A の前記底面 1 0 3 上に配置された底部 B P を含む。前記底部 B P は前記底面 1 0 3 と平行である。

前記メモリストリングは、前記セルアレイ領域において、前記導電パターン G S L、W L 1 ~ W L 4、S S L と前記層間絶縁膜とを貫通して形成され、これらの導電パターン及び層間絶縁膜の貫通孔壁は、前記メモリストリングの第2絶縁膜と接触する。

前記メモリセルの活性部は、前記メモリストリングのうち、前記ワードライン W L 1 ~ W L 4 との貫通孔壁に対応する部分からなる。

【0047】

前記導電パターン G S L、W L 1 ~ W L 4、S S L は上側延長部 (上方傾斜部) を含む。前記上側延長部はコンタクト延長部 C T を含む。前記コンタクト延長部 C T は前記底部 B P の一端から前記第1側壁 1 0 5 または前記第2側壁 1 0 6 の中の1つの側壁上に延長する。前記導電パターン G S L、W L 1 ~ W L 4、S S L の中のいずれか1つの導電パターンのコンタクト延長部が配置されるコンタクト領域と、前記いずれか1つの導電パターンと隣接した導電パターンのコンタクト延長部が配置されるコンタクト領域は異なることができる。例えば、前記接地選択ライン G S L のコンタクト延長部 C T が前記第1コンタクト領域 C R 1 に配置される場合、前記接地選択ゲート膜 G S L と隣接した第1ワードライン W L 1 のコンタクト延長部 C T は前記第2コンタクト領域 C R 2 に配置される。

【0048】

前記コンタクト延長部 C T は前記底面 1 0 3 に対して傾斜する。例えば、前記コンタクト延長部 C T は前記底面 1 0 3 に対して直角に傾斜することができる。本発明の一実施形態において、前記コンタクト延長部 C T の上部面は前記隆起部 B の上部面と同一平面にある (c o p l a n a r)。前記コンタクト延長部 C T が前記底部 B P となす角度は 50 ° ~ 90 ° であり得る。

【0049】

前記導電パターン G S L、W L 1 ~ W L 4、S S L は前記底面 1 0 3 上の前記底部 B P の他端から前記第1側面 1 0 5 及び前記第2側面 1 0 6 の中の他の1つの側面上に延長された (e x t e n d e d o v e r) ダミー延長部 D C T を含む。前記導電パターン G S

L、WL 1～WL 4、SSLの中のいずれか1つの導電パターンのダミー延長部が配置されるコンタクト領域と、前記いずれか1つの導電パターンと隣接した他の導電パターンのダミー延長部が配置されるコンタクト領域は異なることができる。例えば、前記ストリング選択ラインSSLのダミー延長部DCTが前記第1コンタクト領域CR 1に配置される場合、前記ストリング選択ラインSSLと隣接した前記第4ワードラインWL 4のダミー延長部DCTは前記第2コンタクト領域CR 2に配置される。

【0050】

前記導電パターンGSL、WL 1～WL 4、SSLの各々は1つのコンタクト延長部CTと1つのダミー延長部DCTとを含む。前記導電パターンGSL、WL 1～WL 4、SSLの中の1つの導電パターンにおいて、前記ダミー延長部DCTの長さは前記コンタクト延長部CTの長さより短いことがある。前記コンタクト延長部CTは互いに隣接したダミー延長部DCTの間に配置される。ダミー延長部DCTと隣接したコンタクト延長部CTはその間に介在された絶縁膜の側壁部によって離隔される。言い換えれば、ワードラインの一部はメモリストリングの第1側（図1、図2で左側、即ち、前記第1コンタクト領域CR 1にある）導電ラインと接続でき（後述）、ワードラインの残りはメモリストリングの第2側（図1、図2で右側、即ち、前記第2コンタクト領域CR 2にある）導電ラインと接続できる（後述）ので、接続コンタクトマージンを改善することができる。

【0051】

前記ダミー延長部DCT上にダミー絶縁パターン124が配置される。前記ダミー絶縁パターン124の上部面は前記隆起部Bの上部面と同一平面にある。前記ダミー絶縁パターン124の上部面は前記ストリング選択絶縁膜116の上部面と同一平面にある。前記ダミー絶縁パターン124の側壁は前記ダミー延長部DCTの側壁と同一平面にある。前記ダミー絶縁パターン124は前記絶縁膜110～116と同一の物質を含むことができる。

【0052】

前記ワードラインWL 1～WL 4のコンタクト延長部CT上に導電プラグが各々配置される。前記導電プラグはワードラインコンタクトプラグCPであり得る。前記ワードラインWL 1～WL 4の各々は前記ワードラインコンタクトプラグCPと電氣的に接続される。前記ワードラインコンタクトプラグCPの幅は前記ワードラインWL 1～WL 4のコンタクト延長部CTの上部面の幅より広いことがある。前記ワードラインコンタクトプラグCPは前記ワードラインWL 1～WL 4のコンタクト延長部CTと隣接したダミー延長部DCTの間の幅より広いことがある。前記ワードラインコンタクトプラグCPは第1層間絶縁膜160を貫通する。前記ワードラインコンタクトプラグCP及び前記第1層間絶縁膜160上に第1導電ラインML 1が配置される。前記ワードラインコンタクトプラグCPは前記第1導電ラインML 1と電氣的に接続される。前記第1導電ラインML 1の一部は第1方向（図1、図2で左方向）に延長される。前記第1導電ラインML 1の残りの一部は前記第1方向の反対になる第2方向（図1、図2で右方向）に延長される。例えば、前記基板101から奇数層に配置されたワードラインWL 2、WL 4と接続された第1導電ラインML 1は前記第1方向に延長され、前記基板101から偶数層に配置されたワードラインWL 1、WL 3と接続された第1導電ラインML 1は前記第2方向に延長される。前記第1導電ラインML 1は前記ワードラインコンタクトプラグCPを通じて前記ワードラインWL 1～WL 4と電氣的に接続される。これと異なり、前記ワードラインWL 1～WL 4と前記導電ラインML 1は直接接続され得る。前記第1導電ラインML 1を覆う第2層間絶縁膜170が配置される。前記第1層間絶縁膜160及び前記第2層間絶縁膜170は同一の物質を含むことができる。

【0053】

前記接地選択ラインGSLのコンタクト延長部CT上に導電プラグが配置される。前記導電プラグは接地選択コンタクトプラグGCPであり得る。前記接地選択ラインGSLは前記接地選択コンタクトプラグGCPと電氣的に接続される。前記接地選択コンタクトプラグGCPの幅は前記接地選択ラインGSLのコンタクト延長部CTの上部面の幅より広

10

20

30

40

50

いことがある。前記接地選択コンタクトプラグ G C P は第 1 層間絶縁膜 1 6 0 を貫通する。前記接地選択コンタクトプラグ G C P 及び前記第 1 層間絶縁膜 1 6 0 上に第 2 導電ライン M L 2 が配置される。前記接地選択コンタクトプラグ G C P は前記第 2 導電ライン M L 2 と電氣的に接続される。前記第 2 導電ライン M L 2 は前記第 1 方向に延長される。前記第 2 導電ライン M L 2 は前記接地選択コンタクトプラグ G C P を通じて前記接地選択ライン G S L と電氣的に接続される。これと異なり、前記接地選択ライン G S L と前記第 2 導電ライン M L 2 は直接接続され得る。前記第 2 層間絶縁膜 1 7 0 は前記第 2 導電ライン M L 2 を覆う。

【 0 0 5 4 】

前記ストリング選択ライン S S L のコンタクト延長部 C T 上に導電プラグが配置される。前記導電プラグはストリング選択コンタクトプラグ S C P であり得る。前記ストリング選択ライン S S L は前記ストリング選択コンタクトプラグ S C P と電氣的に接続される。前記ストリング選択コンタクトプラグ S C P の幅は前記ストリング選択ライン S S L のコンタクト延長部 C T の上部面の幅より広いことがある。前記ストリング選択コンタクトプラグ S C P は第 1 層間絶縁膜 1 6 0 を貫通する。前記ストリング選択コンタクトプラグ S C P 及び前記第 1 層間絶縁膜 1 6 0 上に第 3 導電ライン M L 3 が配置される。前記ストリング選択コンタクトプラグ S S L は前記第 3 導電ライン M L 3 と電氣的に接続される。図 1、図 2 を参照すると、複数のストリング選択ライン S S L が前記凹部 A 内に提供される。そして、互いに隣接したストリング選択ライン S S L の前記第 3 導電ライン M L 3 は図 1 の場合は同一方向に、図 2 の場合は互いに異なる方向に延長する。本発明の他の実施形態において、導電パッドはコンタクトパッドとコンタクト延長部 C T との間に介在される。

10

20

【 0 0 5 5 】

前記導電ライン M L 1 ~ M L 3 は前記セルアレイ領域 C A R を挟んで前記第 1 方向及び前記第 2 方向に分けて延長される。例えば、コンタクト延長部 C T が前記第 1 コンタクト領域 C R 1 に配置される導電パターン G S L、W L 2、W L 4 と接続された導電ライン M L 1、M L 2 は前記第 1 方向に延長され、コンタクト延長部 C T が前記第 2 コンタクト領域 C R 2 に配置される導電パターン W L 1、W L 3、S S L と接続された導電ライン M L 1、M L 3 は前記第 2 方向に延長される。

【 0 0 5 6 】

前記凹部 A の前記底面 1 0 3 から上部に延長される活性部 A P が配置される。前記活性部 A P は前記基板 1 0 1 に垂直に延長される。前記活性部 A P は前記導電パターン G S L、W L 1 ~ W L 4、S S L を貫通し、前記活性部 A P の一端が前記共通ソース領域 1 0 2 に電氣的に接続される。前記活性部 A P の他端にドレイン領域 D が配置される。前記ドレイン領域 D は高濃度のドーパントでドーピングされた領域であり得る。例えば、前記活性部 A P は単結晶半導体を含む。

30

【 0 0 5 7 】

本発明の一実施形態において、前記活性部 A P の前記ドレイン領域 D 上にビットラインコンタクトプラグ B L C P が配置される。前記ビットラインコンタクトプラグ B L C P は前記ドレイン領域 D と電氣的に接続されており、前記第 1 層間絶縁膜 1 6 0 を貫通する。前記ビットラインコンタクトプラグ B L C P の上部にビットライン B L が配置される。前記ビットライン B L は前記ビットラインコンタクトプラグ B L C P を通じて前記活性部 A P の前記ドレイン領域 D と接続される。これと異なり、前記ビットライン B L はドレイン領域 D に直接接続され得る。前記ビットライン B L は前記第 1 方向及び前記第 2 方向と交差する第 3 方向に延長される。前記第 3 方向は前記第 1 及び第 2 方向と直角に交差でき、その場合は第 1、第 2 側壁 1 0 5、1 0 6 の水平方向に平行になる。

40

前記ビットライン B L は複数本配置され、各々のビットライン B L は、前記メモリストリングのアレイのうち前記第 3 方向に沿って整列する複数のメモリストリングの前記ドレイン領域 D に前記ビットラインコンタクトプラグ B L C P を介して接続される。従って前記ビットライン B L は前記ストリング選択ライン S S L と交差する。

50

【 0 0 5 8 】

前記活性部 A P の側壁と前記導電パターン G S L 、 W L 1 ~ W L 4 、 S S L との間に情報貯蔵膜 1 3 2 が介在される。前記情報貯蔵膜 1 3 2 は前記導電パターン G S L 、 W L 1 ~ W L 4 、 S S L を貫通するシリンドertypeに配置されている。前記情報貯蔵膜 1 3 2 は前記活性部 A P をとり囲むように配置される。前記情報貯蔵膜 1 3 2 は前記活性部 A P の側壁と前記導電パターン G S L 、 W L 1 ~ W L 4 、 S S L 及び前記絶縁膜 1 1 0 ~ 1 1 6 との間に配置される。

【 0 0 5 9 】

本発明の第 1 実施形態に係る活性部、情報貯蔵膜、及び導電パターンを具体的に説明する。図 6 は、本発明の第 1 実施形態に係る情報貯蔵膜を説明するための図である。

10

【 0 0 6 0 】

図 6 を参照すると、前記情報貯蔵膜 1 3 2 は第 1 絶縁膜（以下、「トンネル誘電膜」ともいう）1 3 6 と、電荷貯蔵膜 1 3 5 と、第 2 絶縁膜（以下、「ブロッキング膜」ともいう）1 3 4 とを含む。

【 0 0 6 1 】

図 1 及び図 2 を参照すると、前記セルアレイ部の一端の外部に延長する一配線は前記側のワードラインのコンタクト延長部と電氣的に接続される一方、前記セルアレイ部の他端の外部に延長する他の配線は前記他側のワードラインのコンタクト延長部と電氣的に接続される。

20

図 1 に示すように、すべてのストリング選択ライン S S L は一側で配線と接続される一方、図 2 に示すように、ストリング選択ラインの一部は一側の配線と接続され、残りのストリング選択ラインは他側の配線と接続される。前記ワードラインは交互に選択される。すなわち、例えば、ストリングの底から上に向かって奇数番目のワードライン（第 1、第 3、第 5 ワードライン）はストリングの一侧（図 1、図 2 で右側）の配線と接続され、偶数番目のワードライン（第 2、第 4、第 6 ワードライン）はストリングの他側（図 1、図 2 で左側）の配線と接続される。

【 0 0 6 2 】

前記トンネル誘電膜 1 3 6 は前記活性部 A P の側壁を覆う。前記トンネル誘電膜 1 3 6 は単一層または多層であり得る。例えば、前記トンネル誘電膜 1 3 6 はシリコン酸窒化膜、シリコン窒化膜、シリコン酸化膜、及び金属酸化膜の中で選択された少なくともいずれか 1 つを含む。

30

【 0 0 6 3 】

前記電荷貯蔵膜 1 3 5 は前記トンネル誘電膜 1 3 6 を覆う。前記電荷貯蔵膜 1 3 5 は前記トンネル誘電膜 1 3 6 によって前記活性部 A P と離隔される。前記電荷貯蔵膜 1 3 5 は電荷を貯蔵することができる電荷トラップサイト（s i t e）を含むことができる。例えば、前記電荷貯蔵膜 1 3 5 はシリコン窒化膜、金属窒化膜、金属酸窒化膜、金属シリコン酸化膜、金属シリコン酸窒化膜、及びナノドット（n a n o d o t s）の中の少なくともいずれか 1 つを含む。

【 0 0 6 4 】

前記電荷貯蔵膜 1 3 5 と前記導電パターン G S L 、 W L 1 ~ W L 4 、 S S L との間にブロッキング膜 1 3 4 が介在される。前記電荷貯蔵膜 1 3 5 と前記絶縁膜 1 1 0 ~ 1 1 6 との間にブロッキング膜 1 3 4 が介在される。前記ブロッキング膜 1 3 4 は前記電荷貯蔵膜 1 3 5 を覆う。前記ブロッキング膜 1 3 4 はシリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜、及び高誘電膜の中で選択された少なくともいずれか 1 つを含む。前記高誘電膜は金属酸化膜、金属窒化膜、及び金属酸窒化膜の中で選択された少なくともいずれか 1 つを含む。前記高誘電膜はハフニウム（H f）、ジルコニウム（Z r）、アルミニウム（A l）、タンタル（T a）、ランタン（L a）、セリウム（C e）、プラセオジウム（P r）などを含む。前記ブロッキング膜 1 3 4 の誘電率は前記トンネル絶縁膜 1 3 6 の誘電率より大きいことがある。

40

50

【 0 0 6 5 】

本発明の第 1 実施形態の変形例を説明する。図 5 は、本発明の第 1 実施形態の変形例を説明するための図であり、図 1 及び図 2 の I - I ' に沿って切断した断面図である。

【 0 0 6 6 】

図 1、図 2、及び図 5 を参照すると、基板 1 0 1 が提供される。前記基板 1 0 1 内に共通ソース領域が配置される。前記基板 1 0 1 は凹部 A を含む。前記凹部 A は底面 1 0 3 と互いに対向する第 1 側壁 1 0 5 及び第 2 側壁 1 0 6 を含む。前記基板 1 0 1 は前記第 1 側壁 1 0 5 及び第 2 側壁 1 0 6 から延長された隆起部 B を含む。前記隆起部 B の上部面は前記凹部 A の前記底面 1 0 3 と平行である。前記隆起部 B は前記基板 1 0 1 上に配置された突出部 1 0 4 によって定義される。

10

【 0 0 6 7 】

前記凹部 A にはメモリセルが配置される。前記凹部 A は第 1 側壁 1 0 5 に隣接した第 1 コンタクト領域 C R 1、及び第 2 側壁 1 0 6 に隣接した第 2 コンタクト領域 C R 2 を含む。前記メモリセルは図 3 を参照して説明したメモリセルであり得る。

【 0 0 6 8 】

本発明の第 1 実施形態の他の変形例に係る半導体素子を説明する。図 5 は、本発明の第 1 実施形態の他の変形例を説明するための図であり、図 1 の I - I ' に沿って切断した断面図である。

【 0 0 6 9 】

図 1、2、及び図 5 を参照すると、基板 1 0 1 が提供される。前記基板 1 0 1 内に共通ソース領域が配置される。前記基板 1 0 1 は凹部 A を含む。前記凹部 A は底面 1 0 3 と互いに対向する第 1 側壁 1 0 5 及び第 2 側壁 1 0 6 を含む。前記第 1 側壁 1 0 5 及び前記第 2 側壁 1 0 6 の中のいずれか 1 つの側壁は前記凹部 A の前記底面 1 0 3 に傾いている。例えば、前記第 1 側壁 1 0 5 及び前記第 2 側壁 1 0 6 は前記底面 1 0 3 に対して 5 0 ° であるか、または 9 0 ° より小さいことがある。前記第 1 側壁 1 0 5 が前記底面 1 0 3 に対して有する勾配と前記第 2 側壁 1 0 6 が前記底面 1 0 3 に対して有する勾配は同一であり得る。これと異なり、前記第 1 側壁 1 0 5 が前記底面 1 0 3 に対して有する勾配と前記第 2 側壁 1 0 6 が前記底面 1 0 3 に対して有する勾配は異なることができる。前記基板 1 0 1 は前記第 1 側壁 1 0 5 及び第 2 側壁 1 0 6 から延長された隆起部 B を含む。前記隆起部 B の上部面は前記凹部 A の前記底面 1 0 3 と平行である。前記基板 1 0 1 において前記凹部 A 及び前記隆起部 B はエッチング工程を通じて定義される。これと異なり、図 4 を参照して説明したように、前記隆起部 B は前記基板 1 0 1 上に選択的蒸着により形成された突出部 1 0 4 によって定義される。

20

30

【 0 0 7 0 】

前記凹部 A にはメモリセルが配置される。前記メモリセルを説明する。前記凹部 A の前記第 1 側壁 1 0 5 と隣接した第 1 コンタクト領域 C R 1 及び前記第 2 側壁 1 0 6 と隣接した第 2 コンタクト領域 C R 2 を含む。図 3 を参照して説明したメモリセルが配置される。前記導電パターン G S L、W L 1 ~ W L 4、S S L の中の 1 つの導電パターンで、コンタクト延長部 C T 及びダミー延長部 D C T は底部 B P に対して傾いた勾配を有する。

【 0 0 7 1 】

前記コンタクト延長部 C T が配置されたコンタクト領域と隣接した側壁が前記底面 1 0 3 となす角度は、前記コンタクト延長部 C T が底部 B P となす角度と同一であり得る。第 1 ワードライン W L 1 を例にとって、コンタクト延長部 C T が前記底部 B P に対して有する勾配は前記第 2 側壁 1 0 6 が前記底面 1 0 3 に対して有する勾配と同一であり得る。前記第 1 側壁 1 0 5 及び前記第 2 側壁 1 0 6 が前記底面 1 0 3 に対して有する勾配が各々異なる場合、1 つの導電パターンで、コンタクト延長部 C T が底部 B P に対して有する勾配は、ダミー延長部 D C T が底部 B P に対して有する勾配と異なることができる。

40

【 0 0 7 2 】

図 1 はセルアレイに割り当てられた少なくとも 2 つのロウ (r o w) デコーダを含み、すべての前記ストリング選択ライン S S L が 1 側のロウデコーダと結合されたメモリ素子

50

を示す一方、図 2 は奇数のストリング選択ラインは一侧のロウデコーダと結合し、偶数のストリング選択ラインは他側のロウデコーダと結合するメモリ素子を示す。

【 0 0 7 3 】

本発明の第 2 実施形態に係る半導体素子を説明する。図 7 乃至図 8 は、本発明の第 2 実施形態に係る半導体素子を説明するための平面図であり、図 9 は、図 7 及び図 8 の I I - I I ' に沿って切断した断面図である。

【 0 0 7 4 】

図 7、図 8、及び図 9 を参照すると、基板 2 0 1 が提供される。前記基板 2 0 1 は半導体基盤の半導体基板である。前記基板 2 0 1 はウェル (w e l l) を含む。前記ウェルは第 1 導電型のドーパントを含む。前記基板 2 0 1 内に共通ソース領域 2 0 2 が配置される。前記共通ソース領域 2 0 2 は前記基板 2 0 1 のセル領域内に平板形態 (p l a t e f o r m) に配置される。前記共通ソース領域 2 0 2 は高濃度のドーパントを含むことができる。前記共通ソース領域 2 0 2 に含まれたドーパントは前記ウェルに含まれたドーパントと異なる導電型の第 2 導電型であり得る。例えば、前記ウェルが p 型ドーパントを含む場合、前記共通ソース領域 2 0 2 は高濃度の n 型ドーパントを含む。

【 0 0 7 5 】

前記基板 2 0 1 は凹部 A を含む。前記凹部 A は底面 2 0 3 と互いに対向する第 1 側壁 2 0 5 及び第 2 側壁 2 0 6 を含む。前記基板 2 0 1 は前記第 1 側壁 2 0 5 及び第 2 側壁 2 0 6 から延長された隆起部 B を含む。前記隆起部 B の上部面は前記凹部 A の前記底面 2 0 3 と平行である。前記凹部 A 及び前記隆起部 B は、半導体基板の凹部 A が配置される部分をエッチングして、隆起部 B が配置される部分を残して形成される。この場合、前記基板 2 0 1 は一体の基板であり得る。前記凹部 A にメモリセルが配置される。

【 0 0 7 6 】

前記凹部 A の前記第 1 側壁 2 0 5 と隣接した第 1 コンタクト領域 C R 1、及び前記第 2 側壁 2 0 6 と隣接した第 2 コンタクト領域 C R 2 を含む。前記第 1 コンタクト領域 C R 1 と前記第 2 コンタクト領域 C R 2 との間にセルアレイ領域 C A R が配置される。前記第 1 コンタクト領域 C R 1 及び第 2 コンタクト領域 C R 2 は、前記セルアレイ領域 C A R を挟んで互いに離隔されている。

【 0 0 7 7 】

前記基板 2 0 1 上に互いに離隔された導電パターン G S L、W L 1 ~ W L 4、S S L が配置される。前記導電パターン G S L、W L 1 ~ W L 4、S S L は前記基板 2 0 1 の前記凹部 A 上に順に積層された接地選択ライン G S L、ワードライン W L 1 ~ W L 4、及びストリング選択ライン S S L を含む。前記導電パターン G S L、W L 1 ~ W L 4、S S L はゲート間絶縁膜 2 1 0 ~ 2 1 4 を挟んで互いに離隔されて配置される。例えば、前記接地選択ライン G S L、第 1 ゲート間絶縁膜 2 1 0、第 1 ワードライン W L 1、第 2 ゲート間絶縁膜 2 1 1、第 2 ワードライン W L 2、第 3 ゲート間絶縁膜 2 1 2、第 3 ワードライン W L 3、第 4 ゲート間絶縁膜 2 1 3、第 4 ワードライン W L 4、第 5 ゲート間絶縁膜 2 1 4、及びストリング選択ライン S S L が順に積層されている。前記絶縁膜 2 1 0 ~ 2 1 4 は前記基板 2 0 1 の前記凹部 A の前記底面 2 0 3 上の底部、前記底部から前記第 1 側壁 2 0 5 及び前記第 2 側壁 2 0 6 上に延長される側壁部を含む。前記ストリング選択ライン S S L 上にストリング選択絶縁膜 2 1 5 が配置されている。前記導電パターン G S L、W L 1 ~ W L 4、S S L は第 1 方向に延長されるライン形態であり得る。前記第 1 方向は I I - I I ' の方向である。すなわち、本実施形態のメモリ素子はセルアレイメモリでワードライン平面を分離する X - c u t トレンチを含む素子である。実質的に同一のレベルの前記分離したワードラインは電氣的に互いに接続されており、1 つのワードライン平面として作用する。

【 0 0 7 8 】

前記導電パターン G S L、W L 1 ~ W L 4、S S L は前記凹部 A の前記底面 2 0 3 上に配置された底部 B P を含む。前記底部 B P の長さは前記基板 2 0 1 の前記凹部 A から遠く

なるほど長さが短くなる。前記底部 B P は前記底面 2 0 3 と平行である。前記底部 B P は前記隆起部 B の上部面と平行である。

【 0 0 7 9 】

前記導電パターン G S L、W L 1 ~ W L 4、S S L は前記底部 B P の一端から前記第 1 側壁 2 0 5 または前記第 2 側壁 2 0 6 の中の 1 つの側壁上に延長される (e x t e n d e d o v e r) コンタクト延長部 C T を含む。前記導電パターン G S L、W L 1 ~ W L 4、S S L の中のいずれか 1 つの導電パターンのコンタクト延長部が配置されるコンタクト領域と、前記いずれか 1 つの導電パターンと隣接した他の導電パターンのコンタクト延長部が配置されるコンタクト領域は異なることができる。例えば、前記接地選択ライン G S L のコンタクト延長部 C T が前記第 1 コンタクト領域 C R 1 に配置される場合、前記接地選択ライン G S L と隣接した第 1 ワードライン W L 1 のコンタクト延長部 C T は前記第 2 コンタクト領域 C R 2 に配置される。

10

【 0 0 8 0 】

前記コンタクト延長部 C T は前記底面 2 0 3 に対して傾斜する。前記コンタクト延長部 C T は前記底面 2 0 3 に対して直角に傾斜することができる。前記コンタクト延長部 C T は前記基板 2 0 1 の前記凹部 A から距離が遠くなるほど長さが減少される。前記コンタクト延長部 C T の上部面は前記隆起部 B の上部面と同一平面にある。前記コンタクト延長部 C T が前記底部 B P となす角度は 9 0 ° であり得る。

【 0 0 8 1 】

前記導電パターン G S L、W L 1 ~ W L 4、S S L は前記底面 2 0 3 上の前記底部 B P の他端から前記第 1 側面 2 0 5 及び前記第 2 側面 2 0 6 の中の他の 1 つの側面上に延長される (e x t e n d e d o v e r) ダミー延長部 D C T を含む。前記導電パターン G S L、W L 1 ~ W L 4、S S L の中のいずれか 1 つの導電パターンのダミー延長部が配置されるコンタクト領域と、前記いずれか 1 つの導電パターンと隣接した他の導電パターンのダミー延長部が配置されるコンタクト領域は異なることができる。例えば、前記ストリング選択ライン S S L のダミー延長部 D C T が前記第 1 コンタクト領域 C R 1 に配置される場合、前記ストリング選択ライン S S L と隣接した前記第 4 ワードライン W L 4 のダミー延長部 D C T は前記第 2 コンタクト領域 C R 2 に配置される。

20

【 0 0 8 2 】

前記導電パターン G S L、W L 1 ~ W L 4、S S L の各々は 1 つのコンタクト延長部 C T と、1 つのダミー延長部 D C T とを含む。前記導電パターン G S L、W L 1 ~ W L 4、S S L の中の 1 つの導電パターンで、前記ダミー延長部 D C T の長さは前記コンタクト延長部 C T の長さより短いことがある。前記コンタクト延長部 C T は互いに隣接したダミー延長部 D C T の間に配置される。ダミー延長部 D C T と隣接したコンタクト延長部 C T はその間に介在された絶縁膜の側壁部によって離隔される。

30

【 0 0 8 3 】

前記ダミー延長部 D C T 上にダミー絶縁パターン 2 6 4 が配置される。前記ダミー絶縁パターン 2 6 4 の上部面は前記隆起部 B の上部面と同一平面にある。前記ダミー絶縁パターン 2 6 4 の上部面は前記ストリング選択絶縁膜 2 1 5 の上部面と同一平面にある。前記ダミー絶縁パターン 2 6 4 の側壁は前記ダミー延長部 D C T の側壁と同一平面にある。前記ダミー絶縁パターン 2 6 4 は前記絶縁膜 2 1 0 ~ 2 1 5 と同一の物質を含むことができる。

40

【 0 0 8 4 】

前記ワードライン W L 1 ~ W L 4 のコンタクト延長部 C T 上に導電プラグが配置される。前記導電プラグはワードラインコンタクトプラグ C P であり得る。前記ワードライン W L 1 ~ W L 4 の各々は前記ワードラインコンタクトプラグ C P と電氣的に接続される。前記ワードラインコンタクトプラグ C P の幅は前記ワードライン W L 1 ~ W L 4 のコンタクト延長部 C T の上部面の幅より広いことがある。前記ワードラインコンタクトプラグ C P は前記ワードライン W L 1 ~ W L 4 のコンタクト延長部 C T と隣接したダミー延長部 D C T の間の幅より広いことがある。前記ワードラインコンタクトプラグ C P は第 1 層間絶縁

50

膜 280 を貫通する。前記ワードラインコンタクトプラグ C P 及び前記第 1 層間絶縁膜 280 上に第 1 導電ライン M L 1 が配置される。前記ワードラインコンタクトプラグ C P は前記第 1 導電ライン M L 1 と電氣的に接続される。前記第 1 導電ライン M L 1 は前記第 1 方向と交差する第 2 方向に延長される。前記第 1 導電ライン M L 1 は前記ワードラインコンタクトプラグ C P を通じて前記ワードライン W L 1 ~ W L 4 と電氣的に接続される。これと異なり、前記第 1 導電ライン M L 1 及び前記ワードライン W L 1 ~ W L 4 は直接接続され得る。前記第 1 導電ライン M L 1 を覆う第 2 層間絶縁膜 290 が配置される。前記第 1 層間絶縁膜 280 及び前記第 2 層間絶縁膜 290 は同一の物質を含むことができる。

【0085】

前記接地選択ライン G S L のコンタクト延長部 C T 上に導電プラグが配置される。前記導電プラグは接地選択コンタクトプラグ G C P であり得る。前記接地選択ライン G S L は前記接地選択コンタクトプラグ G C P と電氣的に接続される。前記接地選択コンタクトプラグ G C P の幅は前記接地選択ライン G S L のコンタクト延長部 C T の上部面の幅より広いことがある。前記接地選択コンタクトプラグ G C P は第 1 層間絶縁膜 280 を貫通する。前記接地選択コンタクトプラグ G C P 及び前記第 1 層間絶縁膜 280 上に第 2 導電ライン M L 2 が配置される。前記接地選択コンタクトプラグ G S P は前記第 2 導電ライン M L 2 と電氣的に接続される。前記第 2 導電ライン M L 2 は前記第 2 方向に延長される。前記第 2 導電ライン M L 2 は前記接地選択コンタクトプラグ G C P を通じて接地選択ライン G S L と電氣的に接続される。これと異なり、前記第 2 導電ライン M L 2 は前記接地選択ライン G S L と直接接続され得る。前記第 2 層間絶縁膜 290 は前記第 2 導電ライン M L 2 を覆う。

10

20

【0086】

前記ストリング選択ライン S S L のコンタクト延長部 C T 上に導電プラグが配置される。前記導電プラグはストリング選択コンタクトプラグ S C P であり得る。前記ストリング選択ライン S S L は前記ストリング選択コンタクトプラグ S C P と電氣的に接続される。前記ストリング選択コンタクトプラグ S C P の幅は前記ストリング選択ライン S S L のコンタクト延長部 C T の上部面の幅より広いことがある。前記ストリング選択コンタクトプラグ S C P は第 1 層間絶縁膜 280 及び前記第 2 層間絶縁膜 290 を貫通する。前記ストリング選択コンタクトプラグ S C P 及び前記第 2 層間絶縁膜 280 上に第 3 導電ライン M L 3 が配置される。前記ストリング選択コンタクトプラグ S S L は前記第 3 導電ライン M L 3 と電氣的に接続される。前記第 3 導電ライン M L 3 は前記第 1 方向に延長される。図 8 を参照すると、複数のストリング選択ライン S S L が前記凹部 A 内に配置される。そして、互いに隣接したストリング選択ライン S S L の第 3 導電ライン M L 3 は他の方向に延長される。

30

【0087】

前記導電ライン M L 1、M L 2 は前記セルアレイ領域 C A R の両側に分けられて配置される。導電パターン G S L、W L 1 ~ W L 4 の中のいずれか 1 つの導電パターンと接続された導電ラインは、前記いずれか 1 つの導電パターンと隣接した他の導電パターンと接続された導電ラインと異なるコンタクト領域に配置される。例えば、前記第 1 ワードライン W L 1 と接続された第 1 導電ライン M L 1 は前記第 2 コンタクト領域 C R 2 に配置されており、前記第 1 ワードライン W L 1 と隣接した前記接地選択ライン G S L 及び前記第 2 ワードライン W L 2 と各々接続された第 2 導電ライン M L 2 及び第 1 導電ライン M L 1 は前記第 1 コンタクト領域 C R 1 に配置されている。

40

【0088】

前記基板 201 の前記凹部 A の前記底面 203 から上部に延長される活性部 A P が配置される。前記活性部 A P は前記基板 201 に垂直に延長される。前記活性部 A P は前記導電パターン G S L、W L 1 ~ W L 4、S S L を貫通する。これと異なり、前記活性部 A P は前記導電パターン G S L、W L 1 ~ W L 4、S S L の側面と対向することができる。前記活性部 A P の一端が前記共通ソース領域 202 に電氣的に接続される。前記活性部 A P の他端にドレイン領域 223 が配置される。前記ドレイン領域 D は高濃度のドーパントで

50

ドーピングされた領域であり得る。前記活性部 A P は単結晶半導体を含む。

【0089】

前記活性部 A P の前記ドレイン領域 D 上にビットラインコンタクトプラグ B L C P が配置される。前記ビットラインコンタクトプラグ B L C P は前記ドレイン領域 2 2 3 と電氣的に接続され、前記第 1 層間絶縁膜 2 8 0 及び第 2 層間絶縁膜 2 9 0 を貫通する。前記ビットラインコンタクトプラグ B L C P の上部にビットライン B L が配置される。前記ビットライン B L は前記ビットラインコンタクトプラグ B L C P を通じて前記活性部 A P の前記ドレイン領域 2 2 3 と接続される。これと異なり、前記ビットライン B L はドレイン領域 D に直接接続され得る。前記ビットライン B L は前記第 2 方向に延長される。前記ビットライン B L は前記第 3 導電ライン M L 3 と交差する。

10

【0090】

前記活性部 A P の側壁と前記導電パターン G S L、W L 1 ~ W L 4、S S L との間に情報貯蔵膜 2 4 0 が介在される。前記情報貯蔵膜 2 4 0 は前記導電パターン G S L、W L 1 ~ W L 4、S S L と前記活性部 A P の側壁との間に配置される。前記情報貯蔵膜 2 4 0 は前記導電パターン G S L、W L 1 ~ W L 4、S S L と前記絶縁膜 2 1 0 ~ 2 1 5 との間に配置される。

【0091】

本発明の第 2 実施形態に係る活性部、情報貯蔵膜及び導電パターンを具体的に説明する。図 1 2 は、本発明の第 2 実施形態に係る情報貯蔵膜を説明するための図である。

【0092】

20

図 7 はセルアレイに割り当てられた少なくとも 2 つのロウ (r o w) デコーダを含み、すべての前記ストリング選択ライン S S L が 1 つのロウデコーダと結合されたメモリ素子を示す一方、図 8 は奇数のストリング選択ラインは一口ウデコーダと結合し、偶数のストリング選択ラインは他のロウデコーダと結合するメモリ素子を示す。

【0093】

図 1 2 を参照すると、前記情報貯蔵膜 2 4 0 はトンネル誘電膜 2 4 2 と、電荷貯蔵膜 2 4 4 と、ブロッキング膜 2 4 6 とを含む。

【0094】

前記トンネル誘電膜 2 4 2 は前記活性部 A P の側壁を覆う。前記トンネル誘電膜 2 4 2 は単一層または多層であり得る。例えば、前記トンネル誘電膜 2 4 2 はシリコン酸窒化膜、シリコン窒化膜、シリコン酸化膜及び金属酸化膜の中で選択された少なくともいずれか 1 つを含む。

30

【0095】

前記電荷貯蔵膜 2 4 4 は前記トンネル誘電膜 2 4 2 を覆う。前記電荷貯蔵膜 2 4 4 は前記トンネル誘電膜 2 4 2 によって前記活性部 A P と離隔される。前記電荷貯蔵膜 2 4 4 は電荷を貯蔵することができる電荷トラップサイト (s i t e) を含むことができる。例えば、前記電荷貯蔵膜 2 4 4 はシリコン窒化膜、金属窒化膜、金属酸窒化膜、金属シリコン酸化膜、金属シリコン酸窒化膜及びナノドット (n a n o d o t) の中の少なくともいずれか 1 つを含む。

【0096】

40

前記電荷貯蔵膜 2 4 4 と前記導電パターン G S L、W L 1 ~ W L 4、S S L との間にブロッキング膜 2 4 6 が介在される。前記電荷貯蔵膜 2 4 4 と前記絶縁膜 1 1 0 ~ 1 1 6 との間にブロッキング膜 2 4 6 が介在される。前記ブロッキング膜 2 4 6 は前記電荷貯蔵膜 2 4 4 を覆う。前記ブロッキング膜 2 4 6 はシリコン酸化膜、シリコン窒化膜、シリコン酸窒化膜及び高誘電膜の中で選択された少なくともいずれか 1 つを含む。前記高誘電膜は金属酸化膜、金属窒化膜及び金属酸窒化膜の中で選択された少なくともいずれか 1 つを含む。前記高誘電膜はハフニウム (H f)、ジルコニウム (Z r)、アルミニウム (A l)、タンタル (T a)、ランタン (P a)、セリウム (C e)、プラセオジウム (P r) などを含む。前記ブロッキング膜 2 4 6 の誘電率は前記トンネル絶縁膜 2 4 2 の誘電率より大きいことがある。

50

本発明の第2実施形態の活性部の変形例を説明する。図13は、本発明の第2実施形態の変形例に係る活性部を説明するための図である。

【0097】

図13を参照すると、図12を参照して説明したトンネル誘電膜242、電荷貯蔵膜244及びブロッキング膜246を含む情報貯蔵膜240が導電パターンWL1、GSLと前記活性部APとの間に配置される。前記活性部APは前記導電パターンGSL、WL1の前記底部BPの側面と対向する。

【0098】

本発明の第2実施形態の変形例を説明する。図10は、本発明の第2実施形態の変形例を説明するための図であり、図7及び図8のII-II'に沿って切断した断面図である。

10

【0099】

図7、図8、及び図10を参照すると、基板200が提供される。前記基板200内に共通ソース領域202が配置される。前記基板200は凹部Aを含む。前記凹部Aは底面203と互いに対向する第1側壁205及び第2側壁206を含む。前記基板200は前記第1側壁205及び第2側壁206から延長された隆起部Bを含む。前記隆起部Bの上部面は前記凹部Aの前記底面203と平行である。前記隆起部Bは前記基板201上に配置された絶縁膜204によって定義される。

【0100】

前記凹部Aにメモリセルが配置される。前記凹部Aの前記第1側壁205と隣接した第1コンタクト領域CR1、及び前記第2側壁206と隣接した第2コンタクト領域CR2を含む。前記基板200の凹部Aには図9を参照して説明したメモリセルが配置される。

20

【0101】

本発明の第2実施形態の他の変形例に係る半導体素子を説明する。図11は、本発明の第2実施形態の他の変形例を説明するための図であり、図7及び図8のII-II'に沿って切断した断面図である。

【0102】

図7、図8、及び図11を参照すると、基板201が提供される。前記基板201内に共通ソース領域102が配置される。前記基板201は凹部Aを含む。前記凹部Aは底面203と互いに対向する第1側壁205及び第2側壁206を含む。前記第1側壁205及び前記第2側壁206の中のいずれか1つの側壁は前記凹部Aの前記底面203に傾いている。例えば、前記第1側壁205及び前記第2側壁206は前記底面203に対して50°であるか、または90°より小さいことがある。前記第1側壁205が前記底面203に対して有する勾配と前記第2側壁206が前記底面203に対して有する勾配は同一であり得る。これと異なり、前記第1側壁205が前記底面203に対して有する勾配と前記第2側壁206が前記底面203に対して有する勾配は異なることができる。前記基板201は前記第1側壁205及び第2側壁206から延長された隆起部Bを含む。前記隆起部Bの上部面は前記凹部Aの前記底面203と平行である。基板の凹部及び隆起部はエッチング工程を通じて定義される。これと異なり、図10を参照して説明したように、前記隆起部Bは前記基板201上に配置された絶縁膜104によって定義される。

30

40

【0103】

前記凹部Aにメモリセルが配置される。前記凹部Aの前記第1側壁205に隣接した第1コンタクト領域CR1、及び前記第2側壁206に隣接した第2コンタクト領域CR2を含む。図9を参照して説明したメモリセルが配置される。前記導電パターンGSL、WL1~WL4、SSLの中の1つの導電パターンで、コンタクト延長部CT及びダミー延長部DCTは底部BPに対して傾いた勾配を有する。

【0104】

前記コンタクト延長部CTが配置されたコンタクト領域に隣接した側壁が前記底面203となす角度は、前記コンタクト延長部CTが底部BPとなす角度と同一であり得る。第1ワードラインWL1を例にとって、コンタクト延長部CTが前記底部BPに対して有す

50

る勾配は、前記第 2 側壁 206 が前記底面 203 に対して有する勾配と同一であり得る。前記第 1 側壁 205 及び前記第 2 側壁 206 が前記底面 203 に対して有する勾配が各々異なる場合、1つの導電パターンで、コンタクト延長部 CT が底部 BP に対して有する勾配は、ダミー延長部 DCT が底部 BP に対して有する勾配と異なることができる。

【0105】

図 12 及び図 13 を参照すると、前記活性部はシリコンで形成される。前記活性部は柱 (pillar)、管 (tubular) またはバーサイド (bar-sided) 形であり得る。前記活性部は単結晶シリコンまたは多結晶シリコンで形成される。前記活性部は非晶質シリコンで形成され、多結晶シリコンに結晶化される。図 13 はバーサイド形の垂直な活性部を示す。本発明によれば、活性部の形は制限されない。したがって、管または柱形の活性部を図 1、図 2、及び図 7、図 8 に適用することができる。

10

【0106】

本発明の第 3 実施形態に係る半導体素子を説明する。図 14 は、本発明の第 3 実施形態に係る半導体素子を説明するための平面図であり、図 15 は、図 14 の III-III' に沿って切断した断面図である。

【0107】

図 14 及び図 15 を参照すると、基板 301 が提供される。前記基板 301 は半導体基盤の半導体基板である。間基板 301 はウェル (well) を含む。前記ウェルは第 1 導電型のドーパントを含む。前記基板 301 内に共通ソース領域 302 が配置される。前記共通ソース領域 302 は前記基板 301 のセル領域内に平板形態 (plate form) に配置される。前記共通ソース領域 302 は高濃度のドーパントを含むことができる。前記共通ソース領域 302 に含まれたドーパントは前記ウェルに含まれたドーパントと異なる導電型の第 2 導電型であり得る。例えば、前記ウェルが p 型ドーパントを含む場合、前記共通ソース領域 302 は高濃度の n 型ドーパントを含む。

20

【0108】

前記基板 301 は凹部 A を含む。前記凹部 A は底面 303 と第 1 側壁 306 とを含む。前記基板 301 は前記第 1 側壁 306 から延長された隆起部 B を含む。前記隆起部 B の上部面は前記凹部 A の前記底面 303 と平行である。前記凹部 A 及び前記隆起部 B は、半導体基板の凹部 A が配置される部分をエッチングして、隆起部 B が配置される部分を残して形成される。この場合、前記基板 301 は一体の基板である。

30

【0109】

前記基板 301 はセル領域 と周辺回路領域 とを含む。前記セル領域 にはメモリセルが配置される。前記セル領域 は前記凹部 A 及び前記隆起部 B を含む。前記周辺回路領域 には周辺回路が配置される。前記周辺回路領域 は前記隆起部 B を含む。

【0110】

前記基板 301 のセル領域 に対して説明する。

【0111】

前記基板 301 の前記凹部 A 上に互いに離隔された導電パターン GSL、WL1~WL4、SSL が配置される。前記導電パターン GSL、WL1~WL4、SSL は前記基板 301 の前記凹部 A 上に順に積層された接地選択ライン GSL、ワードライン WL1~WL4、及びストリング選択ライン SSL を含む。前記導電パターン GSL、WL1~WL4、SSL はゲート間絶縁膜 311~315 を挟んで互いに離隔されて配置される。例えば、前記接地選択ライン GSL、第 1 ゲート間絶縁膜 311、第 1 ワードライン WL1、第 2 ゲート間絶縁膜 312、第 2 ワードライン WL2、第 3 ゲート間絶縁膜 313、第 3 ワードライン WL3、第 4 ゲート間絶縁膜 314、第 4 ワードライン WL4、第 5 ゲート間絶縁膜 315、及びストリング選択ライン SSL が順に積層されている。

40

【0112】

前記基板 301 の前記凹部 A の前記底面 303 及び第 1 側壁 306 と前記接地選択ライン GSL との間に接地選択絶縁膜 310 が配置される。前記ストリング選択ライン SSL 上にストリング選択絶縁膜 316 が配置される。前記絶縁膜 310~316 は前記基板 3

50

01の前記凹部Aの前記底面303上の底部と、前記底部から前記第1側壁306上に延長される側壁部とを含む。

【0113】

前記導電パターンGSL、WL1~WL4、SSLは前記凹部Aの前記底面303上に配置された底部BPを含む。前記底部BPの長さは前記基板301の前記凹部Aから遠くなるほど長さが短くなることができる。前記底部BPは前記底面303と平行である。前記底部BPは前記隆起部Bの上部面と平行である。

【0114】

前記導電パターンGSL、WL1~WL4、SSLは前記底部BPの一端から前記第1側壁206上に延長される(extended over)コンタクト延長部CTを含む。前記コンタクト延長部CTの延長線は前記底面303と交差することができる。前記コンタクト延長部CTの延長線は前記底面303と直角に交差することができる。前記コンタクト延長部CTは前記基板301の前記凹部Aから距離が遠くなるほど長さが減少される。前記コンタクト延長部CTの上部面は前記隆起部Bの上部面と同一平面にある。前記コンタクト延長部CTが前記底部BPとなす角度は90°であり得る。

【0115】

前記ワードラインWL1~WL4のコンタクト延長部CT上に導電プラグが配置される。前記導電プラグはワードラインコンタクトプラグCPであり得る。前記ワードラインWL1~WL4の各々は前記ワードラインコンタクトプラグCPと電氣的に接続される。前記ワードラインコンタクトプラグCPは第1層間絶縁膜360を貫通する。前記ワードラインコンタクトプラグCP及び前記第1層間絶縁膜360上に第1導電ラインML1が配置される。前記ワードラインコンタクトプラグCPは前記第1導電ラインML1と電氣的に接続される。前記第1導電ラインML1は第1方向に延長される。前記第1導電ラインML1は前記ワードラインコンタクトプラグCPを通じて前記ワードラインWL1~WL4と電氣的に接続される。これと異なり、前記第1導電ラインML1は前記ワードラインWL1~WL4と直接接続され得る。前記第1導電ラインML1覆う第2層間絶縁膜370が配置される。前記第1層間絶縁膜360及び前記第2層間絶縁膜360は同一の物質を含むことができる。

【0116】

前記接地選択ラインGSLのコンタクト延長部CT上に導電プラグが配置される。前記導電プラグは接地選択コンタクトプラグGCPであり得る。前記接地選択ラインGSLは前記接地選択コンタクトプラグGCPと電氣的に接続される。前記接地選択コンタクトプラグGCPは第1層間絶縁膜360を貫通する。前記接地選択コンタクトプラグGCP及び前記第1層間絶縁膜360上に第2導電ラインML2が配置される。前記接地選択コンタクトプラグGCPは前記第2導電ラインML2と電氣的に接続される。前記第2導電ラインML2は前記第1方向に延長される。前記第1方向はIII-III'方向である。前記第2導電ラインML2は前記接地選択コンタクトプラグGCPを通じて前記接地選択ラインGSLと電氣的に接続される。これと異なり、前記第2導電ラインML2は前記接地選択ラインGSLと直接接続され得る。前記第2層間絶縁膜370は前記第2導電ラインML2を覆う。

【0117】

前記ストリング選択ラインSSLのコンタクト延長部CT上に導電プラグが配置される。前記導電プラグはストリング選択コンタクトプラグSCPであり得る。前記ストリング選択ラインSSLは前記ストリング選択コンタクトプラグSCPと電氣的に接続される。前記ストリング選択コンタクトプラグSCPは第1層間絶縁膜360及び第2層間絶縁膜370を貫通する。前記ストリング選択コンタクトプラグSCP及び前記第1層間絶縁膜360上に第3導電ラインML3が配置される。前記ストリング選択コンタクトプラグSSLは前記第3導電ラインML3と電氣的に接続される。前記第3導電ラインML3は前記第1方向に延長される。

【0118】

前記凹部 A の前記底面 3 0 3 から上部に延長される活性部 A P が配置される。前記活性部 A P は前記基板 3 0 1 に垂直に延長される。前記活性部 A P は前記導電パターン G S L、W L 1 ~ W L 4、S S L を貫通して前記活性部 A P の一端が前記共通ソース領域 3 0 2 に電氣的に接続される。前記活性部 A P の他端にドレイン領域 D が配置される。前記ドレイン領域 D は高濃度のドーパントでドーピングされた領域であり得る。前記活性部 A P は単結晶半導体を含む。

【 0 1 1 9 】

前記活性部 A P の前記ドレイン領域 D 上にビットラインコンタクトプラグ B L C P が配置される。前記ビットラインコンタクトプラグ B L C P は前記ドレイン領域 D と電氣的に接続され、前記第 1 層間絶縁膜 3 6 0 を貫通する。前記ビットラインコンタクトプラグ B L C P の上部にビットライン B L が配置される。前記ビットライン B L は前記ビットラインコンタクトプラグ B L C P を通じて前記活性部 A P の前記ドレイン領域 D と接続される。これと異なり、前記ビットライン B L はドレイン領域 D に直接接続され得る。前記ビットライン B L は前記第 1 方向と交差する第 2 方向に延長される。前記ビットライン B L は前記第 3 導電ライン M L 3 と交差する。

10

【 0 1 2 0 】

前記活性部 A P の側壁と前記導電パターン G S L、W L 1 ~ W L 4、S S L との間に情報貯蔵膜 3 3 2 が介在される。前記情報貯蔵膜 3 3 2 は前記導電パターン G S L、W L 1 ~ W L 4、S S L を貫通するシリンドertype に配置される。前記情報貯蔵膜 3 3 2 は前記活性部 A P を取り囲むように配置される。前記情報貯蔵膜 3 3 2 は前記活性部 A P の側壁と前記導電パターン G S L、W L 1 ~ W L 4、S S L 及び前記絶縁膜 3 1 0 ~ 1 1 6 との間に配置される。

20

【 0 1 2 1 】

本発明の第 3 実施形態に係る情報貯蔵膜 3 3 2 は図 6 を参照して説明した情報貯蔵膜である。

【 0 1 2 2 】

前記基板 3 0 1 の周辺回路領域 に対して説明する。

【 0 1 2 3 】

前記周辺回路領域 の前記隆起部 B の上部面上に周辺回路が配置される。前記隆起部 B の上部面上にゲート絶縁膜 3 5 4 が配置される。前記ゲート絶縁膜 3 5 4 はシリコン酸化膜を含む。前記ゲート絶縁膜 3 5 4 は前記隆起部 B の上部面を熱酸化して形成されたことを含む。前記ゲート絶縁膜 3 5 4 上にゲート電極 3 5 6 が配置される。前記ゲート電極 3 5 6 はドーピングされたポリシリコン、金属及び金属シリサイドの中のいずれか 1 つを含む。前記ゲート電極 3 5 6 の両側壁上にスペーサ 3 5 8 が配置される。前記ゲート電極 3 5 6 の両側壁の前記隆起部 B にソースドレイン領域 3 5 3 が配置される。前記ソースドレイン領域 3 5 3 は高濃度のドーパントでドーピングされた領域である。

30

【 0 1 2 4 】

前記ゲート電極 3 5 6 及びソースドレイン領域 3 5 3 上に第 1 層間絶縁膜 3 6 0 を貫通する周辺回路コンタクトプラグ P C P が配置される。前記周辺回路コンタクトプラグ P C P 上に第 4 導電ライン M L 4 が配置される。前記第 4 導電ライン M L 4 上に第 2 層間絶縁膜 3 7 0 が配置される。

40

【 0 1 2 5 】

本発明の第 3 実施形態の変形例を説明する。図 1 6 は、本発明の第 3 実施形態の変形例を説明するための図であり、図 1 4 の I I I - I I I ' に沿って切断した断面図である。

【 0 1 2 6 】

図 1 4 及び図 1 6 を参照すると、基板 3 0 0 が提供される。前記基板 3 0 0 内に共通ソース領域 3 0 2 が配置される。前記基板 3 0 0 は凹部 A を含む。前記凹部 A は底面 3 0 3 と第 1 側壁 3 0 6 とを含む。前記基板 3 0 0 は前記第 1 側壁 3 0 6 から延長された隆起部 B を含む。前記隆起部 B の上部面は前記凹部 A の前記底面 3 0 3 と平行である。前記隆起部 B は前記基板 3 0 0 上に配置された絶縁膜 3 0 4 によって定義される。

50

【 0 1 2 7 】

前記基板 3 0 0 はセル領域 及び周辺回路領域 を含む。前記セル領域 にはメモリセルが配置される。前記周辺回路領域 に周辺回路が配置される。

【 0 1 2 8 】

前記基板 3 0 0 のセル領域 に対して説明する。

【 0 1 2 9 】

前記基板 3 0 0 のセル領域 には図 1 5 を参照して説明したメモリセルが配置される。

【 0 1 3 0 】

前記基板 3 0 0 の周辺回路領域 に対して説明する。

【 0 1 3 1 】

前記周辺回路領域 の前記隆起部 B の上部面上に周辺回路が配置される。前記絶縁膜 3 0 4 の上部面上に半導体膜 3 5 2 が配置される。前記半導体膜 3 5 2 はポリシリコン、結晶質シリコン、及び単結晶シリコンを含むその他半導体物質を含む。前記半導体膜 3 5 2 上にゲート絶縁膜 3 5 4 が配置される。前記ゲート絶縁膜 3 5 4 はシリコン酸化膜を含む。前記ゲート絶縁膜 3 5 4 は前記半導体膜 3 5 2 を熱酸化して形成されたことを含む。前記ゲート絶縁膜 3 5 4 上にゲート電極 3 5 6 が配置される。前記ゲート電極 3 5 6 はドーピングされたポリシリコン、金属、及び金属シリサイドの中のいずれか 1 つを含む。前記ゲート電極 3 5 6 の両側壁上にスペーサ 3 5 8 が配置される。前記ゲート電極 3 5 6 の両側壁の前記半導体膜 3 5 2 にソースドレイン領域 3 5 3 が配置される。前記ソースドレイン領域 3 5 3 は高濃度のドーパントでドーピングされた領域であり得る。

【 0 1 3 2 】

前記ゲート電極 3 5 6 及びソースドレイン領域 3 5 3 上に第 1 層間絶縁膜 3 6 0 を貫通する周辺回路コンタクトプラグ P C P が配置される。前記周辺回路コンタクトプラグ P C P 上に第 4 導電ライン M L 4 が配置される。前記第 4 導電ライン M L 4 上に第 2 層間絶縁膜 3 7 0 が配置される。

【 0 1 3 3 】

本発明の第 3 実施形態の他の変形例に係る半導体素子を説明する。図 1 7 は、本発明の第 3 実施形態の他の変形例を説明するための図であり、図 1 4 の I I I - I I I ' に沿って切断した断面図である。

【 0 1 3 4 】

図 1 4 及び図 1 7 を参照すると、基板 3 0 1 が提供される。前記基板 3 0 1 内に共通ソース領域 3 0 2 が配置される。前記基板 3 0 1 は凹部 A を含む。前記凹部 A は底面 3 0 3 と第 1 側壁 3 0 6 とを含む。前記第 1 側壁 3 0 6 は前記凹部 A の前記底面 3 0 3 に傾いている。例えば、前記第 1 側壁 3 0 5 は前記底面 3 0 3 に対して 90° 超過 130° 以下の角度を有することができる。前記前記基板 3 0 1 は前記第 1 側壁 3 0 6 から延長された隆起部 B を含む。前記隆起部 B の上部面は前記凹部 A の前記底面 3 0 3 と平行である。基板の凹部及び隆起部はエッチング工程を通じて定義される。これと異なり、図 1 6 を参照して説明したように、前記隆起部 B は前記基板 3 0 1 上に配置された絶縁膜 3 0 4 によって定義される。

【 0 1 3 5 】

前記基板 3 0 1 はセル領域 及び周辺回路領域 を含む。前記セル領域 にはメモリセルが配置される。前記周辺回路領域 は周辺回路を含む。

【 0 1 3 6 】

前記基板 3 0 1 のセル領域 に対して説明する。

【 0 1 3 7 】

前記セル領域 の前記凹部 A に図 1 5 を参照して説明したメモリセルが配置される。前記導電パターン G S L、W L 1 ~ W L 4、S S L のコンタクト延長部 C T は前記底面 3 0 3 に対して傾いた勾配を有する。導電パターン G S L、W L 1 ~ W L 4、S S L のコンタクト延長部 C T が前記底面 3 0 3 となす角度は前記第 1 側壁 3 0 6 が前記底面 3 0 3 に対してなす角度と同一であり得る。

10

20

30

40

50

【0138】

前記基板301の周辺回路領域 に対して説明する。

【0139】

前記基板301の周辺回路領域 には図15を参照して説明した周辺回路が配置される。これと異なり、上述のように、基板が図16を参照して説明した基板の場合、半導体膜352が追加される。

【0140】

本発明の第4実施形態に係る半導体素子を説明する。図18は、本発明の第4実施形態に係る半導体素子を説明するための平面図であり、図19は、図18のIV-IV'に沿って切断した断面図である。

10

【0141】

図18及び図19を参照すると、基板401が提供される。前記基板401は半導体基盤の半導体基板である。前記基板401はウェル(well)を含む。前記ウェルは第1導電型のドーパントを含む。前記基板401内に共通ソース領域402が配置される。前記共通ソース領域402は前記基板401のセル領域内に平板形態(plate form)に配置される。前記共通ソース領域402は高濃度のドーパントを含むことができる。前記共通ソース領域402に含まれたドーパントは前記ウェルに含まれたドーパントと異なる導電型の第2導電型であり得る。例えば、前記ウェルがp型ドーパントを含む場合、前記共通ソース領域402は高濃度のn型ドーパントを含む。

【0142】

20

前記基板401は凹部Aを含む。前記凹部Aは底面403と第1側壁406とを含む。前記基板401は前記第1側壁406から延長された隆起部Bを含む。前記隆起部Bの上部面は前記凹部Aの前記底面403と平行である。前記凹部A及び前記隆起部Bは、半導体基板の凹部Aが配置される部分をエッチングして、隆起部Bが配置される部分を残して形成される。この場合、前記基板401は一体の基板である。

【0143】

前記基板401はセル領域 及び周辺回路領域 を含む。前記セル領域 にはメモリセルが配置される。前記セル領域 は前記凹部A及び前記隆起部Bを含む。前記周辺回路領域 には周辺回路が配置される。前記周辺回路領域 は前記隆起部Bを含む。

【0144】

30

前記基板401のセル領域 に対して説明する。

【0145】

前記基板401の前記セル領域 の前記凹部A上に互いに離隔された導電パターンGSL、WL1~WL4、SSLが配置される。前記導電パターンGSL、WL1~WL4、SSLは前記基板401の前記凹部A上に順に積層された接地選択ラインGSL、ワードラインWL1~WL4、及びストリング選択ラインSSLを含む。前記導電パターンGSL、WL1~WL4、SSLはゲート間絶縁膜410~414を挟んで互いに離隔されて配置される。例えば、前記接地選択ラインGSL、第1ゲート間絶縁膜410、第1ワードラインWL1、第2ゲート間絶縁膜411、第2ワードラインWL2、第3ゲート間絶縁膜412、第3ワードラインWL3、第4ゲート間絶縁膜413、第4ワードラインWL4、第5ゲート間絶縁膜414、及びストリング選択ラインSSLが順に積層されている。

40

【0146】

前記ストリング選択ラインSSL上にストリング選択絶縁膜415が配置される。前記絶縁膜410~414は前記基板401の前記凹部Aの前記底面403上の底部と、前記底部から前記第1側壁405上に延長される側壁部とを含む。前記導電パターンGSL、WL1~WL4、SSLは第1方向に延長されるライン形態であり得る。前記第1方向はIV-IV'の方向である。

【0147】

前記導電パターンGSL、WL1~WL4、SSLは前記凹部Aの前記底面403上に

50

配置された底部 B P を含む。前記底部 B P の長さは前記基板 4 0 1 の前記凹部 A から遠くなるほど短くなる。前記底部 B P は前記底面 4 0 3 と平行である。前記底部 B P は前記隆起部 B の上部面と平行である。

【 0 1 4 8 】

前記導電パターン G S L 、 W L 1 ~ W L 4 、 S S L は前記底部 B P の一端から前記第 1 側壁 4 0 6 上に延長される (e x t e n d e d o v e r) コンタクト延長部 C T を含む。前記コンタクト延長部 C T の延長線は前記底面 4 0 3 と交差する。前記コンタクト延長部 C T の延長線は前記底面 4 0 3 と直角に交差することができる。前記コンタクト延長部 C T は前記基板 4 0 1 の前記凹部 A から距離が遠くなるほど長さが減少される。前記コンタクト延長部 C T の上部面は前記隆起部 B の上部面と同一平面にある。前記コンタクト延長部 C T が前記底部 B P となす角度は 9 0 ° であり得る。

10

【 0 1 4 9 】

前記ワードライン W L 1 ~ W L 4 のコンタクト延長部 C T 上に導電プラグが配置される。前記導電プラグはワードラインコンタクトプラグ C P であり得る。前記ワードライン W L 1 ~ W L 4 の各々は前記ワードラインコンタクトプラグ C P と電氣的に接続される。前記ワードラインコンタクトプラグ C P は第 1 層間絶縁膜 4 8 0 を貫通する。前記ワードラインコンタクトプラグ C P 及び前記第 1 層間絶縁膜 4 8 0 上に第 1 導電ライン M L 1 が配置される。前記ワードラインコンタクトプラグ C P は前記第 1 導電ライン M L 1 と電氣的に接続される。前記第 1 導電ライン M L 1 は前記第 1 方向と交差する第 2 方向に延長される。前記第 1 導電ライン M L 1 は前記ワードラインコンタクトプラグ C P を通じて前記ワードライン W L 1 ~ W L 4 と電氣的に接続される。これと異なり、前記第 1 導電ライン M L 1 は前記ワードライン W L 1 ~ W L 4 と直接接続され得る。前記第 1 導電ライン M L 1 を覆う第 2 層間絶縁膜 4 9 0 が配置される。前記第 1 層間絶縁膜 4 8 0 及び前記第 2 層間絶縁膜 4 9 0 は同一の物質を含むことができる。

20

【 0 1 5 0 】

前記接地選択ライン G S L のコンタクト延長部 C T 上に導電プラグが配置される。前記導電プラグは接地選択コンタクトプラグ G C P であり得る。前記接地選択ライン G S L は前記接地選択コンタクトプラグ G C P と電氣的に接続される。前記接地選択コンタクトプラグ G C P は第 1 層間絶縁膜 4 8 0 を貫通する。前記接地選択コンタクトプラグ G C P 及び前記第 1 層間絶縁膜 4 8 0 上に第 2 導電ライン M L 2 が配置される。前記接地選択コンタクトプラグ G C P は前記第 2 導電ライン M L 2 と電氣的に接続される。前記第 2 導電ライン M L 2 は前記第 2 方向に延長される。前記第 2 導電ライン M L 2 は前記接地選択コンタクトプラグ G C P を通じて前記接地選択ライン G S L と電氣的に接続される。これと異なり、前記第 2 導電ライン M L 2 は前記接地選択ライン G S L と直接接続され得る。前記第 2 層間絶縁膜 4 9 0 は前記第 2 導電ライン M L 2 を覆う。

30

【 0 1 5 1 】

前記ストリング選択ライン S S L のコンタクト延長部 C T 上に導電プラグが配置される。前記導電プラグはストリング選択コンタクトプラグ S C P であり得る。前記ストリング選択ライン S S L は前記ストリング選択コンタクトプラグ S C P と電氣的に接続される。前記ストリング選択コンタクトプラグ S C P は第 1 層間絶縁膜 4 8 0 及び第 2 層間絶縁膜 4 9 0 を貫通する。前記ストリング選択コンタクトプラグ S C P 及び前記第 1 層間絶縁膜 4 8 0 上に第 3 導電ライン M L 3 が配置される。前記ストリング選択コンタクトプラグ S S L は前記第 3 導電ライン M L 3 と電氣的に接続される。前記第 3 導電ライン M L 3 は前記第 1 方向に延長される。

40

【 0 1 5 2 】

前記基板 4 0 1 の前記凹部 A の前記底面 4 0 3 から上部に延長される活性部 A P が配置される。前記活性部 A P は前記基板 4 0 1 に垂直に延長される。前記活性部 A P は前記導電パターン G S L 、 W L 1 ~ W L 4 、 S S L を貫通する。これと異なり、図 1 3 を参照して説明したように、前記活性部 A P は前記導電パターン G S L 、 W L 1 ~ W L 4 、 S S L の側面と対向する。前記活性部 A P の一端が前記共通ソース領域 4 0 2 に電氣的に接続さ

50

れる。前記活性部 A P の他端にドレイン領域 4 2 3 が配置される。前記ドレイン領域 D は高濃度のドーパントでドーピングされた領域であり得る。前記活性部 A P は単結晶半導体を含む。

【0153】

前記活性部 A P の前記ドレイン領域 D 上にビットラインコンタクトプラグ B L C P が配置される。前記ビットラインコンタクトプラグ B L C P は前記ドレイン領域 4 2 3 と電氣的に接続され、前記第 1 層間絶縁膜 4 8 0 及び第 2 層間絶縁膜 4 9 0 を貫通する。前記ビットラインコンタクトプラグ B L C P の上部にビットライン B L が配置される。前記ビットライン B L は前記ビットラインコンタクトプラグ B L C P を通じて前記活性部 A P の前記ドレイン領域 4 2 3 と接続される。これと異なり、前記ビットライン B L は前記ドレイン領域 4 2 3 と直接接続され得る。前記ビットライン B L は前記第 2 方向に延長される。前記ビットライン B L は前記ストリング選択ライン S S L と交差する。

10

【0154】

前記活性部 A P の側壁と前記導電パターン G S L、W L 1 ~ W L 4、S S L との間に情報貯蔵膜 4 4 0 が介在される。前記情報貯蔵膜 4 4 0 は前記導電パターン G S L、W L 1 ~ W L 4、S S L と前記活性部 A P の側壁との間に配置される。前記情報貯蔵膜 4 4 0 は前記導電パターン G S L、W L 1 ~ W L 4、S S L と前記絶縁膜 4 1 0 ~ 4 1 5 との間に配置される。

【0155】

本発明の第 4 実施形態に係る情報貯蔵膜 4 2 0 は図 1 2 または図 1 3 を参照して説明した情報貯蔵膜であり得る。

20

【0156】

前記周辺回路領域 に対して説明する。

【0157】

前記周辺回路領域 の前記隆起部 B の上部面上に周辺回路が配置される。前記隆起部 B の上部面上にゲート絶縁膜 4 7 4 が配置される。前記ゲート絶縁膜 4 7 4 はシリコン酸化膜を含む。前記ゲート絶縁膜 4 7 4 は前記半導体基板 4 0 1 を熱酸化して形成されたことを含む。前記ゲート絶縁膜 4 7 4 上にゲート電極 4 7 6 が配置される。前記ゲート電極 4 7 6 はドーピングされたポリシリコン、金属及び金属シリサイドの中のいずれか 1 つを含む。前記ゲート電極 4 7 6 の両側壁上にゲートスペーサ 4 7 8 が配置される。前記ゲート電極 4 7 6 の両側壁の前記隆起部 B にソースドレイン領域 4 7 3 が配置される。前記ソースドレイン領域 4 7 3 は高濃度のドーパントでドーピングされた領域であり得る。

30

【0158】

前記ゲート電極 4 7 6 及びソースドレイン領域 4 7 3 上に第 1 層間絶縁膜 4 8 0 を貫通する周辺回路コンタクトプラグ P C P が配置される。前記周辺回路コンタクトプラグ P C P 上に第 4 導電ライン M L 4 が配置される。前記第 4 導電ライン M L 4 上に第 2 層間絶縁膜 4 9 0 が配置される。

【0159】

本発明の第 4 実施形態の変形例を説明する。図 2 0 は、本発明の第 4 実施形態の変形例を説明するための図であり、図 1 8 の I V - I V ' に沿って切断した断面図である。

40

【0160】

図 1 8 及び図 2 0 を参照すると、基板 4 0 0 が提供される。前記基板 4 0 0 内に共通ソース領域 4 0 2 が配置される。前記基板 4 0 0 は凹部 A を含む。前記凹部 A は底面 4 0 3 と第 1 側壁 4 0 5 とを含む。前記基板 4 0 0 は前記第 1 側壁 4 0 5 から延長された隆起部 B を含む。前記隆起部 B の上部面は前記凹部 A の前記底面 4 0 3 と平行である。前記隆起部 B は前記基板 4 0 0 上に配置された絶縁膜 4 0 4 によって定義される。

【0161】

前記基板 4 0 0 はセル領域 及び周辺回路領域 を含む。前記セル領域 にはメモリセルが配置される。前記周辺回路領域 には周辺回路が配置される。

【0162】

50

前記基板 400 のセル領域 に対して説明する。

【0163】

前記セル領域 の前記凹部 A には図 19 を参照して説明したメモリセルが配置される。

【0164】

前記基板 400 の周辺回路領域 に対して説明する。

【0165】

前記周辺回路領域 の前記隆起部 B の上部面上に周辺回路が配置される。前記絶縁膜 404 の上部面上に半導体膜 472 が配置される。前記半導体膜 472 はポリシリコン、結晶質シリコン、及び単結晶シリコンを含むその他半導体物質であり得る。前記半導体膜 472 上にゲート絶縁膜 474 が配置される。前記ゲート絶縁膜 474 はシリコン酸化膜を含む。前記ゲート絶縁膜 474 は前記半導体膜 472 を熱酸化して形成されたことを含む。前記ゲート絶縁膜 474 上にゲート電極 476 が配置される。前記ゲート電極 476 はドーピングされたポリシリコン、金属、及び金属シリサイドの中のいずれか 1 つを含む。前記ゲート電極 476 の両側壁上にスペーサ 478 が配置される。前記ゲート電極 476 の両側壁の前記半導体膜 472 にソースドレイン領域 473 が配置される。前記ソースドレイン領域 473 は高濃度のドーパントでドーピングされた領域であり得る。

10

【0166】

前記ゲート電極 476 及びソースドレイン領域 473 上に第 1 層間絶縁膜 480 を貫通する周辺回路コンタクトプラグ PCP が配置される。前記周辺回路コンタクトプラグ PCP 上に第 4 導電ライン ML4 が配置される。前記第 4 導電ライン ML4 上に第 2 層間絶縁膜 490 が配置される。

20

【0167】

本発明の第 4 実施形態の他の変形例に係る半導体素子を説明する。図 21 は、本発明の第 4 実施形態の他の変形例を説明するための図であり、図 18 の IV - IV' に沿って切断した断面図である。

【0168】

図 18 及び図 21 を参照すると、基板 401 が提供される。前記基板 401 内に共通ソース領域 402 が配置される。前記基板 401 は凹部 A を含む。前記凹部 A は底面 403 と第 1 側壁 405 とを含む。前記第 1 側壁 405 は前記凹部 A の前記底面 403 に傾いている。例えば、前記第 1 側壁 405 は前記底面 403 に対して 90° 超過 130° 以下の角度を有することができる。前記前記基板 401 は前記第 1 側壁 405 から延長された隆起部 B を含む。前記隆起部 B の上部面は前記凹部 A の前記底面 403 と平行である。基板の凹部及び隆起部はエッチング工程を通じて定義される。これと異なり、図 20 を参照して説明したように、前記隆起部 B は前記基板 401 上に配置された絶縁膜 404 によって定義される。

30

【0169】

前記基板 401 はセル領域 及び周辺回路領域 を含む。前記セル領域 にはメモリセルが配置される。前記周辺回路領域 は周辺回路を含む。

【0170】

前記基板 401 のセル領域 に対して説明する。

40

【0171】

前記セル領域 には図 19 を参照して説明したメモリセルが配置される。前記導電パターン GSL、WL1 ~ WL4、SSL のコンタクト延長部 CT は前記底面 403 に対して傾いた勾配を有する。導電パターン GSL、WL1 ~ WL4、SSL のコンタクト延長部 CT が前記底面 403 となす角度は前記第 1 側壁 406 が前記底面 403 となす角度と同一であり得る。

【0172】

前記基板 401 の周辺回路領域 に対して説明する。

【0173】

前記基板 401 の周辺回路領域 には図 19 を参照して説明した周辺回路が配置される

50

。これと異なり、上述ように、基板が図 20 を参照して説明した基板の場合、半導体膜 472 が追加される。

【0174】

本発明の第 5 実施形態に係る半導体素子を説明される。図 22 及び図 23 は本発明の第 5 実施形態に係る半導体素子を説明するための平面図であり、図 24 は、図 22 及び図 23 の V - V ' に沿って切断した断面図である。

【0175】

図 22、図 23、及び図 24 を参照すると、基板 501 が提供される。前記基板 501 は半導体基盤の半導体基板である。前記基板 501 はウェル (well) を含む。前記ウェルは第 1 導電型のドーパントを含む。前記基板 501 内に共通ソース領域 502 が配置される。前記共通ソース領域 502 は前記基板 501 のセル領域内に平板形態 (plate form) に配置される。前記共通ソース領域 502 は高濃度のドーパントを含むことができる。前記共通ソース領域 502 に含まれたドーパントは前記ウェルに含まれたドーパントと異なる導電型の第 2 導電型であり得る。例えば、前記ウェルが p 型ドーパントを含む場合、前記共通ソース領域 502 は高濃度の n 型ドーパントを含む。

10

【0176】

前記基板 501 は凹部 A を含む。前記凹部 A は底面 503 と互いに対向する第 1 側壁 505 及び第 2 側壁 506 を含む。前記基板 501 は前記第 1 側壁 505 及び第 2 側壁 506 から延長された隆起部 B を含む。前記隆起部 B の上部面は前記凹部 A の前記底面 503 と平行である。前記凹部 A 及び前記隆起部 B は、半導体基板の凹部 A が配置される部分をエッチングして、隆起部 B が配置される部分を残して形成される。この場合、前記基板 501 は一体の基板である。

20

【0177】

前記基板 501 はセル領域 及び周辺回路領域 を含む。前記セル領域 にはメモリセルが配置される。前記セル領域 は前記凹部 A 及び前記隆起部 B を含む。前記周辺回路領域 には周辺回路が配置される。前記周辺回路領域 は前記隆起部 B を含む。

【0178】

前記基板 501 のセル領域 に対して説明する。

前記セル領域 は前記凹部 A の前記第 1 側壁 505 と隣接した第 1 コンタクト領域 CR1、及び前記第 2 側壁 506 と隣接した第 2 コンタクト領域 CR2 を含む。前記第 1 コンタクト領域 CR1 と前記第 2 コンタクト領域 CR2 との間にセルアレイ領域 CAR が配置される。前記第 1 コンタクト領域 CR1 及び第 2 コンタクト領域 CR2 は、前記セルアレイ領域 CAR を挟んで互いに離隔されている。

30

【0179】

前記基板 501 上に互いに離隔された導電パターン GSL、WL1 ~ WL4、SSL が配置される。前記導電パターン GSL、WL1 ~ WL4、SSL は前記基板 501 の前記凹部 A 上に順に積層された接地選択ライン GSL、ワードライン WL1 ~ WL4、及びストリング選択ライン SSL を含む。前記導電パターン GSL、WL1 ~ WL4、SSL はゲート間絶縁膜 511 ~ 515 を挟んで互いに離隔されて配置される。例えば、前記接地選択ライン GSL、第 1 ゲート間絶縁膜 511、第 1 ワードライン WL1、第 2 ゲート間絶縁膜 512、第 2 ワードライン WL2、第 3 ゲート間絶縁膜 513、第 3 ワードライン WL3、第 4 ゲート間絶縁膜 514、第 4 ワードライン WL4、第 5 ゲート間絶縁膜 515、及びストリング選択ライン SSL が順に積層されている。前記絶縁膜 510 ~ 516 は前記基板 501 の前記凹部 A の前記底面 503 上の底部と、前記底部から前記第 1 側壁 505 及び前記第 2 側壁 506 上に延長される側壁部とを含む。

40

【0180】

前記基板 501 の前記凹部 A の前記底面 503、第 1 及び第 2 側壁 505、506 と前記接地選択ライン GSL との間に接地選択絶縁膜 510 が配置される。前記ストリング選択ライン SSL 上にストリング選択絶縁膜 516 が配置される。前記ワードライン WL1 ~ WL4 は前記凹部 A と平行な平板形態であり得る。

50

【 0 1 8 1 】

前記導電パターン G S L、W L 1 ~ W L 4、S S L は前記凹部 A の前記底面 5 0 3 上に配置された底部 B P を含む。前記底部 B P の長さは前記基板 5 0 1 の前記凹部 A から遠くなるほど短くなる。前記底部 B P は前記底面 5 0 3 と平行である。前記底部 B P は前記隆起部 B の上部面と平行である。

【 0 1 8 2 】

前記導電パターン G S L、W L 1 ~ W L 4、S S L は前記底部 B P の一端から前記第 1 側壁 5 0 5 または前記第 2 側壁 5 0 6 の中の 1 つの側壁上に延長される (e x t e n d e d o v e r) コンタクト延長部 C T を含む。前記導電パターン G S L、W L 1 ~ W L 4、S S L の中のいずれか 1 つの導電パターンのコンタクト延長部が配置されるコンタクト領域と、前記いずれか 1 つの導電パターンと隣接した他の導電パターンのコンタクト延長部が配置されるコンタクト領域は異なることができる。例えば、前記接地選択ライン G S L のコンタクト延長部 C T が前記第 1 コンタクト領域 C R 1 に配置される場合、前記接地選択ライン G S L と隣接した第 1 ワードライン W L 1 のコンタクト延長部 C T は前記第 2 コンタクト領域 C R 2 に配置される。前記コンタクト延長部 C T の延長線は前記底面 5 0 3 と交差する。前記コンタクト延長部 C T の延長線は前記底面 5 0 3 と直角に交差することができる。前記コンタクト延長部 C T は前記基板 5 0 1 の前記凹部 A から距離が遠くなるほど長さが減少される。前記コンタクト延長部 C T の上部面は前記隆起部 B の上部面と同一平面にある。前記コンタクト延長部 C T が前記底部 B P となす角度は 90° であり得る。

【 0 1 8 3 】

前記導電パターン G S L、W L 1 ~ W L 4、S S L は前記底面 5 0 3 上の前記底部 B P の他端から前記第 1 側面 5 0 5 及び前記第 2 側面 5 0 6 の中の他の 1 つの側面上に延長される (e x t e n d e d o v e r) ダミー延長部 D C T を含む。前記導電パターン G S L、W L 1 ~ W L 4、S S L の中のいずれか 1 つの導電パターンのダミー延長部が配置されるコンタクト領域と、前記いずれか 1 つの導電パターンと隣接した他の導電パターンのダミー延長部が配置されるコンタクト領域は異なることができる。例えば、前記ストリング選択ライン S S L のダミー延長部 D C T が前記第 1 コンタクト領域 C R 1 に配置される場合、前記ストリング選択ライン S S L と隣接した前記第 4 ワードライン W L 4 のダミー延長部 D C T は前記第 2 コンタクト領域 C R 2 に配置される。前記導電パターン G S L、W L 1 ~ W L 4、S S L の各々は 1 つのコンタクト延長部 C T と 1 つのダミー延長部 D C T とを含む。前記導電パターン G S L、W L 1 ~ W L 4、S S L の中の 1 つの導電パターンで、前記ダミー延長部 D C T の長さは前記コンタクト延長部 C T の長さより短いことがある。前記コンタクト延長部 C T は互いに隣接したダミー延長部 D C T の間に配置される。ダミー延長部 D C T と隣接したコンタクト延長部 C T はその間に介在された絶縁膜の側壁部によって離隔される。

【 0 1 8 4 】

前記ダミー延長部 D C T 上にダミー絶縁パターン 5 2 4 が配置される。前記ダミー絶縁パターン 5 2 4 の上部面は前記隆起部 B の上部面と同一平面にある。前記ダミー絶縁パターン 5 2 4 の上部面は前記ストリング選択絶縁膜 5 1 6 の上部面と同一平面にある。前記ダミー絶縁パターン 5 2 4 の側壁は前記ダミー延長部 D C T の側壁と同一平面にある。前記ダミー絶縁パターン 5 2 4 は前記絶縁膜 5 1 0 ~ 5 1 6 と同一の物質を含むことができる。

【 0 1 8 5 】

前記ワードライン W L 1 ~ W L 4 のコンタクト延長部 C T 上に導電プラグが配置される。前記導電プラグはワードラインコンタクトプラグ C P であり得る。前記ワードライン W L 1 ~ W L 4 の各々は前記ワードラインコンタクトプラグ C P と電氣的に接続される。前記ワードラインコンタクトプラグ C P の幅は前記ワードライン W L 1 ~ W L 4 のコンタクト延長部 C T の上部面の幅より広いことがある。前記ワードラインコンタクトプラグ C P は前記ワードライン W L 1 ~ W L 4 のコンタクト延長部 C T と隣接したダミー延長部 D C

Tの間の幅より広いことがある。前記ワードラインコンタクトプラグCPは第1層間絶縁膜560を貫通する。前記ワードラインコンタクトプラグCP及び前記第1層間絶縁膜560上に第1導電ラインML1が配置される。前記ワードラインコンタクトプラグCPは前記第1導電ラインML1と電氣的に接続される。前記第1導電ラインML1の一部は第1方向に延長される。前記第1導電ラインML1の残りの一部は前記第1方向の反対になる第2方向に延長される。例えば、前記基板501から奇数層に配置されたワードラインWL2、WL4と接続された第1導電ラインML1は前記第1方向に延長され、前記基板501から偶数層に配置されたワードラインWL1、WL3と接続された第1導電ラインML1は前記第2方向に延長される。前記第1方向はV-V'方向である。前記第1導電ラインML1は前記ワードラインコンタクトプラグCPを通じて前記ワードラインWL1~WL4と電氣的に接続される。これと異なり、前記第1導電ラインML1は前記ワードラインWL1~WL4と直接接続され得る。前記第1導電ラインML1を覆う第2層間絶縁膜570が配置される。前記第1層間絶縁膜560及び前記第2層間絶縁膜570は同一の物質を含むことができる。

【0186】

前記接地選択ラインGSLのコンタクト延長部CT上に導電プラグが配置される。前記導電プラグは接地選択コンタクトプラグGCPであり得る。前記接地選択ラインGSLは前記接地選択コンタクトプラグGCPと電氣的に接続される。前記接地選択コンタクトプラグGCPの幅は前記接地選択ラインGSLのコンタクト延長部CTの上部面の幅より広いことがある。前記接地選択コンタクトプラグGCPは第1層間絶縁膜560を貫通する。前記接地選択コンタクトプラグGCP及び前記第1層間絶縁膜560上に第2導電ラインML2が配置される。前記接地選択コンタクトプラグGCPは前記第2導電ラインML2と電氣的に接続される。前記第2導電ラインML2は前記第1方向に延長される。前記第2導電ラインML2は前記接地選択コンタクトプラグGCPを通じて前記接地選択ラインGSLと電氣的に接続される。これと異なり、前記第2導電ラインML2は前記接地選択ラインGSLと直接接続され得る。前記第2層間絶縁膜570は前記第2導電ラインML2を覆う。

【0187】

前記ストリング選択ラインSSLのコンタクト延長部CT上に導電プラグが配置される。前記導電プラグはストリング選択コンタクトプラグSCPであり得る。前記ストリング選択ラインSSLは前記ストリング選択コンタクトプラグSCPと電氣的に接続される。前記ストリング選択コンタクトプラグSCPの幅は前記ストリング選択ラインSSLのコンタクト延長部CTの上部面の幅より広いことがある。前記ストリング選択コンタクトプラグSCPは第1層間絶縁膜560及び第2層間絶縁膜570を貫通する。前記ストリング選択コンタクトプラグSCP及び前記第1層間絶縁膜560上に第3導電ラインML3が配置される。前記ストリング選択コンタクトプラグSSLは前記第3導電ラインML3と電氣的に接続される。前記第3導電ラインML3は前記第2方向に延長される。前記第2層間絶縁膜570は前記第3導電ラインML3を覆う。図20を参照すると、複数のストリング選択ラインSSLが前記凹部A内に配置される。そして、互いに隣接したストリング選択ラインSSLの第3導電ラインML3は他の方向に延長される。

【0188】

前記導電ラインML2、ML1、ML3は前記セルアレイ領域CARを挟んで前記第1方向及び前記第2方向に分けて延長される。例えば、コンタクト延長部CTが前記第1コンタクト領域CR1に配置される導電パターンGSL、WL2、WL4と接続された導電ラインML2、ML1は前記第1方向に延長され、コンタクト延長部CTが前記第2コンタクト領域CR2に配置される導電パターンWL1、WL3、SSLと接続された導電ラインML1、ML3は前記第2方向に延長される。

【0189】

前記凹部Aの前記底面503から上部に延長される活性部APが配置される。前記活性部APは前記基板501に垂直に延長される。前記活性部APは前記導電パターンGSL

、W L 1 ~ W L 4、S S Lを貫通して前記活性部 A Pの一端が前記共通ソース領域 5 0 2に電氣的に接続される。前記活性部 A Pの他端にドレイン領域 Dが配置される。前記ドレイン領域 Dは高濃度のドーパントでドーピングされた領域であり得る。前記活性部 A Pは単結晶半導体を含む。

【 0 1 9 0 】

前記活性部 A Pの前記ドレイン領域 D上にビットラインコンタクトプラグ B L C Pが配置される。前記ビットラインコンタクトプラグ B L C Pは前記ドレイン領域 Dと電氣的に接続され、前記第 1 層間絶縁膜 5 6 0を貫通する。前記ビットラインコンタクトプラグ B L C Pの上部にビットライン B Lが配置される。前記ビットライン B Lは前記ビットラインコンタクトプラグ B L C Pを通じて前記活性部 A Pの前記ドレイン領域 Dと接続される。これと異なり、前記ビットライン B Lは前記ドレイン領域 Dに直接接続され得る。前記ビットライン B Lは前記第 1 方向及び前記第 2 方向と交差する第 3 方向に延長される。前記第 3 方向は前記第 1 及び第 2 方向と直角に交差することができる。前記ビットライン B Lは前記ストリング選択ライン S S Lと交差する。

【 0 1 9 1 】

前記活性部 A Pの側壁と前記導電パターン G S L、W L 1 ~ W L 4、S S Lとの間に情報貯蔵膜 5 3 2が介在される。前記情報貯蔵膜 5 3 2は前記導電パターン G S L、W L 1 ~ W L 4、S S Lを貫通するシリンドertypeに配置される。前記情報貯蔵膜 5 3 2は前記活性部 A Pを取り囲むように配置される。前記情報貯蔵膜 5 3 2は前記活性部 A Pの側壁と前記導電パターン G S L、W L 1 ~ W L 4、S S L及び前記絶縁膜 5 1 0 ~ 5 1 6との間に配置される。

本発明の第 5 実施形態に係る情報貯蔵膜 5 3 2は図 6を参照して説明した情報貯蔵膜であり得る。

【 0 1 9 2 】

前記基板 5 0 1の周辺回路領域 に対して説明する。

【 0 1 9 3 】

前記周辺回路領域 の前記隆起部 Bの上部面上に周辺回路が配置される。前記隆起部 Bの上部面上にゲート絶縁膜 5 5 4が配置される。前記ゲート絶縁膜 5 5 4はシリコン酸化膜を含む。前記ゲート絶縁膜 5 5 4は前記隆起部 Bの上部面を熱酸化して形成されたことを含む。前記ゲート絶縁膜 5 5 4上にゲート電極 5 5 6が配置される。前記ゲート電極 5 5 6はドーピングされたポリシリコン、金属、及び金属シリサイドの中のいずれか 1つを含む。前記ゲート電極 5 5 6の両側壁上にスペーサ 5 5 8が配置される。前記ゲート電極 5 5 6の両側壁の前記隆起部 Bにソースドレイン領域 5 5 3が配置される。前記ソースドレイン領域 5 5 3は高濃度のドーパントでドーピングされた領域であり得る。

【 0 1 9 4 】

前記ゲート電極 5 5 6及びソースドレイン領域 5 5 3上に第 1 層間絶縁膜 5 6 0を貫通する周辺回路コンタクトプラグ P C Pが配置される。前記周辺回路コンタクトプラグ P C P上に第 4 導電ライン M L 4が配置される。前記第 4 導電ライン M L 4上に第 2 層間絶縁膜 5 7 0が配置される。

【 0 1 9 5 】

本発明の第 5 実施形態の変形例を説明する。図 2 5は、本発明の第 5 実施形態の変形例を説明するための図であり、図 2 2及び図 2 3の V - V 'に沿って切断した断面図である。

【 0 1 9 6 】

図 2 5、図 2 2、及び図 2 3を参照すると、基板 5 0 0が提供される。前記基板 5 0 0内に共通ソース領域 5 0 2が配置される。前記基板 5 0 0は凹部 Aを含む。前記凹部 Aは底面 5 0 3と互いに対向する第 1 側壁 5 0 5及び第 2 側壁 5 0 6を含む。前記基板 5 0 0は前記第 1 側壁 5 0 5及び第 2 側壁 5 0 6から延長された隆起部 Bを含む。前記隆起部 Bの上部面は前記凹部 Aの前記底面 5 0 3と平行である。前記隆起部 Bは前記基板 5 0 0上に配置された絶縁膜 5 0 4によって定義される。

【0197】

前記基板501はセル領域及び周辺回路領域を含む。前記セル領域にはメモリセルが配置される。前記周辺回路領域に周辺回路が配置される。

【0198】

前記基板500のセル領域に対して説明する。

【0199】

前記セル領域は前記凹部Aの前記第1側壁505と隣接した第1コンタクト領域CR1、及び前記第2側壁506と隣接した第2コンタクト領域CR2を含む。前記基板500のセル領域には図24を参照して説明したメモリセルが配置される。

【0200】

前記基板500の周辺回路領域に対して説明する。

【0201】

前記周辺回路領域の前記隆起部Bの上部面上に周辺回路が配置される。前記絶縁膜504の上部面上に半導体膜552が配置される。前記半導体膜552はポリシリコン、結晶質シリコン及び単結晶シリコンを含むその他半導体物質であり得る。前記半導体膜552上にゲート絶縁膜554が配置される。前記ゲート絶縁膜554はシリコン酸化膜を含む。前記ゲート絶縁膜554は前記半導体膜552を熱酸化して形成されたことを含む。前記ゲート絶縁膜554上にゲート電極556が配置される。前記ゲート電極556はドーピングされたポリシリコン、金属、及び金属シリサイドの中のいずれか1つを含む。前記ゲート電極556の両側壁上にスペーサ558が配置される。前記ゲート電極556の両側壁の前記半導体膜552にソースドレイン領域553が配置される。前記ソースドレイン領域553は高濃度のドーパントでドーピングされた領域であり得る。

【0202】

前記ゲート電極556及びソースドレイン領域553上に第1層間絶縁膜560を貫通する周辺回路コンタクトプラグPCPが配置される。前記周辺回路コンタクトプラグPCP上に第4導電ラインML4が配置される。前記第4導電ラインML4上に第2層間絶縁膜570が配置される。

【0203】

本発明の第5実施形態の他の変形例に係る半導体素子を説明する。図26は、本発明の第5実施形態の他の変形例を説明するための図であり、図22及び図23のV-V'に沿って切断した断面図である。

【0204】

図22、図23、及び図26を参照すると、基板501が提供される。前記基板501内に共通ソース領域502が配置される。前記基板501は凹部Aを含む。前記凹部Aは底面503と互いに対向する第1側壁505及び第2側壁506を含む。前記第1側壁505及び前記第2側壁506の中のいずれか1つの側壁は前記凹部Aの前記底面503に傾いている。例えば、前記第1側壁505及び前記第2側壁506は前記底面503に対して50°から90°の角度を有することができる。前記第1側壁505が前記底面503に対して有する勾配と前記第2側壁506が前記底面503に対して有する勾配は同一であり得る。これと異なり、前記第1側壁505が前記底面503に対して有する勾配と前記第2側壁506が前記底面503に対して有する勾配は異なることができる。前記基板501は前記第1側壁505及び第2側壁506から延長された隆起部Bを含む。前記隆起部Bの上部面は前記凹部Aの前記底面503と平行である。基板の凹部A及び隆起部Bはエッチング工程を通じて定義される。これと異なり、図25を参照して説明したように、前記隆起部Bは前記基板500上に配置された絶縁膜504によって定義される。

【0205】

前記基板501はセル領域及び周辺回路領域を含む。前記セル領域にはメモリセルが配置される。前記周辺回路領域は周辺回路を含む。

【0206】

前記基板501のセル領域に対して説明する。

【0207】

前記セル領域は前記凹部Aの前記第1側壁505と隣接した第1コンタクト領域CR1、及び前記第2側壁506と隣接した第2コンタクト領域CR2を含む。図24を参照して説明したメモリセルが配置される。前記導電パターンGSL、WL1~WL4、SSLの中の1つの導電パターンで、コンタクト延長部CT及びダミー延長部DCTは底部BPに対して傾いた勾配を有する。

【0208】

前記コンタクト延長部CTが配置されたコンタクト領域と隣接した側壁が前記底面503となす角度は、前記コンタクト延長部CTが底部BPとなす角度と同一であり得る。第1ワードラインWL1を例にとって、コンタクト延長部CTが前記底部BPに対して有する勾配は、前記第2側壁506が前記底面503に対して有する勾配と同一であり得る。前記第1側壁505及び前記第2側壁506が前記底面503に対して有する勾配が各々異なる場合、1つの導電パターンで、コンタクト延長部CTが底部BPに対して有する勾配は、ダミー延長部DCTが底部BPに対して有する勾配と異なることができる。

【0209】

前記基板501の周辺回路領域に対して説明する。

【0210】

前記基板501の周辺回路領域には図24を参照して説明した周辺回路が配置される。これと異なり、上述のように、基板が図25を参照して説明した基板の場合、半導体膜552が追加される。

【0211】

本発明の第5実施形態の形成方法を説明する。図27~図34は、本発明の第5実施形態の形成方法を説明するための断面図である。

【0212】

図27を参照すると、基板501が提供される。前記基板501は凹部Aを含む。前記凹部Aは底面503と、互いに対向する第1側壁505と、第2側壁506とを含む。前記基板501は前記第1側壁505及び第2側壁506から延長された隆起部Bを含む。前記隆起部Bの上部面は前記凹部Aの前記底面503と平行である。前記基板501の前記凹部A及び前記隆起部Bを形成することは、凹部Aが形成される部分の半導体基板をエッチングして、隆起部Bが形成される部分の半導体基板を残すことを含む。

【0213】

前記基板501はセル領域及び周辺回路領域を含む。前記セル領域にはメモリセルが配置される。前記セル領域は前記凹部A及び前記隆起部Bを含む。前記周辺回路領域は周辺回路を含む。前記周辺回路領域は前記隆起部Bを含む。

【0214】

前記セル領域は前記凹部Aの前記第1側壁505と隣接した第1コンタクト領域CR1、及び前記第2側壁506と隣接した第2コンタクト領域CR2を含む。前記第1コンタクト領域CR1と前記第2コンタクト領域CR2との間にセルアレイ領域CARが配置される。前記第1コンタクト領域CR1及び第2コンタクト領域CR2は、前記セルアレイ領域CARを挟んで互いに離隔されている。

【0215】

前記基板501は単結晶構造の半導体（例えば、P型シリコンウェーハ）であり得る。前記基板501はウェルを含む。前記ウェルは前記基板501内にドーパントを注入させて形成される。前記ドーパントはイオン注入またはプラズマ注入を含むドーピング工程によって前記基板501内に注入される。前記基板501の上部面に共通ソース領域502が提供される。前記共通ソース領域502は前記ウェル内にドーパントをドーピングすることによって形成される。前記共通ソース領域502は前記ウェルと異なる導電型のドーパントを含むことができる。例えば、前記ウェルはp型ドーパントを含み、前記共通ソース領域502はn型ドーパントを含む。

【0216】

図 28 を参照すると、前記基板 501 の前記凹部 A 上に導電パターン G S L、W L 1 ~ W L 4、S S L 及び絶縁膜 510 ~ 516 が交互に形成される。例えば、前記基板 501 上に接地選択絶縁膜 510、接地選択ライン G S L、第 1 ゲート間絶縁膜 511、第 1 ワードライン W L 1、第 2 ゲート間絶縁膜 512、第 2 ワードライン W L 2、第 3 ゲート間絶縁膜 513、第 3 ワードライン W L 3、第 4 ゲート間絶縁膜 514、第 4 ワードライン W L 4、第 5 ゲート間絶縁膜 515、ストリング選択ライン S S L、及びストリング選択絶縁膜 516 が順に蒸着される。前記導電パターン G S L、W L 1 ~ W L 4、S S L 及び前記絶縁膜 510 ~ 516 は前記隆起部 B の上部面上にも形成される。前記導電パターン G S L、W L 1 ~ W L 4、S S L は金属または多結晶半導体物質を含む。前記絶縁膜 510 ~ 516 はシリコン酸化膜を含む。

10

【0217】

前記隆起部 B の上部面をエッチング停止膜としてエッチング工程が実行される。前記平坦化工程はエッチバックまたは化学機械的研磨 (C M P) の中のいずれか 1 つの方法によって実行される。前記エッチング工程によって、前記隆起部 B の上部面上に形成された導電パターン G S L、W L 1 ~ W L 4、S S L 及び絶縁膜 510 ~ 516 が除去される。

【0218】

前記導電パターン G S L、W L 1 ~ W L 4、S S L は前記凹部 A の前記底面 503 上に配置された底部 B P を含む。前記導電パターン G S L、W L 1 ~ W L 4、S S L は前記底部 B P の一端から前記第 1 側壁 505 または前記第 2 側壁 506 の中の 1 つの側壁上に延長される (e x t e n d e d o v e r) コンタクト延長部 C T を含む。前記導電パターン G S L、W L 1 ~ W L 4、S S L の中のいずれか 1 つの導電パターンのコンタクト延長部が配置されるコンタクト領域と、前記いずれか 1 つの導電パターンと隣接した他の導電パターンのコンタクト延長部が配置されるコンタクト領域は異なることができる。前記コンタクト延長部 C T の露出された上部面は前記隆起部 B の上部面と同一平面にある。

20

【0219】

前記導電パターン G S L、W L 1 ~ W L 4、S S L は前記底面 503 上の前記底部 B P の他端から前記第 1 側面 505 及び前記第 2 側面 506 の中の他の 1 つの側面上に延長される (e x t e n d e d o v e r) ダミー延長部 D C T を含む。前記導電パターン G S L、W L 1 ~ W L 4、S S L の中のいずれか 1 つの導電パターンのダミー延長部が配置されるコンタクト領域と、前記いずれか 1 つの導電パターンと隣接した導電パターンのダミー延長部が配置されるコンタクト領域は異なることができる。前記導電パターン G S L、W L 1 ~ W L 4、S S L の各々は 1 つのコンタクト延長部 C T と 1 つのダミー延長部 D C T とを含む。

30

【0220】

露出された前記コンタクト延長部 C T の上部面を覆うマスクパターン 520 が形成される。前記マスクパターン 520 はダミー延長部 D C T を露出させる。前記マスクパターン 520 を形成することは、前記基板 501 上にマスク膜を形成し、前記マスク膜をパターニングすることを含む。前記マスクパターン 520 は前記導電パターン G S L、W L 1 ~ W L 4、S S L 及び前記絶縁膜 510 ~ 516 に対してエッチング選択比を有する物質を含む。例えば、前記マスクパターン 520 はシリコン窒化膜またはフォトレジストパターンを含む。

40

【0221】

図 29 を参照すると、前記マスクパターン 520 をエッチングマスクとして用いて、前記マスクパターン 520 によって露出されたダミー延長部 D C T の一部がエッチングされる。前記ダミー延長部 D C T の一部がエッチングされ、ダミーリセス部 522 が形成される。前記ダミー延長部 D C T の長さは前記コンタクト延長部 C T の長さより短いことがある。前記ダミーリセス部 522 によって前記絶縁膜 510 ~ 516 の側壁部の一部が露出される。前記ダミー延長部 D C T をエッチングすることは、前記導電パターン G S L、W L 1 ~ W L 4、S S L に対するエッチング率が前記マスクパターン 520 及び前記絶縁膜 510 ~ 516 より高いエッチングレシビを利用することができる。前記マスクパターン

50

5 2 0 が除去される。

【0 2 2 2】

前記ストリング選択ライン S S L がパターンニングされ、第 1 方向に延長されるライン形態で形成される。前記第 1 方向は V - V ' 方向である。

【0 2 2 3】

図 3 0 を参照すると、前記ダミーリセス部 5 2 2 を埋め込むダミー絶縁パターン 5 2 4 が形成される。前記ダミー絶縁パターン 5 2 4 を形成することは、前記基板 5 0 1 上にダミー絶縁膜を形成し、前記隆起部 B の上部面または前記ストリング選択絶縁膜 5 1 6 の上部面をエッチング停止膜として平坦化工程を実行することを含む。前記ダミー絶縁パターン 5 2 4 の上部面は前記隆起部 B の上部面と同一平面にある。前記ダミー絶縁パターン 5 2 4 の上部面は前記ストリング選択絶縁膜 5 1 6 の上部面と同一平面にある。前記ダミー絶縁パターン 5 2 4 の側壁は前記絶縁膜 5 1 0 ~ 5 1 6 の側壁と同一平面にある。

10

【0 2 2 4】

前記導電パターン G S L、W L 1 ~ W L 4、S S L 及び前記絶縁膜 5 1 0 ~ 5 1 6 をエッチングして、前記凹部 A の前記底面 5 0 3 の前記共通ソース領域 5 0 2 を露出する活性開口部 5 3 0 が形成される。前記活性開口部 5 3 0 は前記導電パターン G S L、W L 1 ~ W L 4、S S L の側壁及び前記絶縁膜 5 1 0 ~ 5 1 6 の側壁を露出する。前記導電パターン G S L、W L 1 ~ W L 4、S S L 及び前記絶縁膜 5 1 0 ~ 5 1 6 をエッチングすることは異方性エッチング工程を利用することができる。

20

【0 2 2 5】

図 3 1 を参照すると、前記活性開口部 5 3 0 によって露出された前記導電パターン G S L、W L 1 ~ W L 4、S S L の側壁及び前記絶縁膜 5 1 0 ~ 5 1 6 の側壁を覆う情報貯蔵膜 5 3 2 が形成される。前記情報貯蔵膜 5 3 2 は前記活性開口部 5 3 0 によって露出された前記共通ソース領域 5 0 2 を覆う。前記情報貯蔵膜 5 3 2 は前記隆起部 B の上部面、ストリング選択絶縁膜 5 1 6 の上部面、絶縁膜 5 1 0 ~ 5 1 5 の側壁部、ダミー絶縁パターン 5 2 4 の上部面、及びコンタクト延長部 C T の上部面上に形成される。

【0 2 2 6】

再び図 6 を参照して、前記情報貯蔵膜 5 3 2 の形成方法を説明する。前記情報貯蔵膜 5 3 2 を形成することは、前記活性開口部 5 3 0 内にブロッキング膜 1 3 4 を形成し、前記ブロッキング膜 1 3 4 を覆う電荷貯蔵膜 1 3 5 を形成し、前記電荷貯蔵膜 1 3 5 を覆うトンネル絶縁膜 1 3 6 を形成することを含む。

30

【0 2 2 7】

再び図 3 1 を参照すると、前記活性開口部 5 3 0 内にスペーサ 5 3 4 が形成される。前記スペーサ 5 3 4 は前記活性開口部 5 3 0 の側壁上に形成された情報貯蔵膜 5 3 2 と前記活性開口部 5 3 0 の底面上に形成された情報貯蔵膜 5 3 2 の一部を覆う。前記スペーサ 5 3 4 を形成することは、前記基板 5 0 1 上にスペーサ膜を形成し、異方性で底部をエッチングすることを含む。前記スペーサ 5 3 4 はシリコンを含む。前記スペーサ 5 3 4 は前記情報貯蔵膜 5 3 2 に対してエッチング選択比を有する物質を含む。

【0 2 2 8】

図 3 2 を参照すると、前記スペーサ 5 3 4 をエッチングマスクとして用いて、前記スペーサ 5 3 4 によって露出された情報貯蔵膜 5 3 2 がエッチングされる。前記情報貯蔵膜 5 3 2 がエッチングされ、前記基板 5 0 3 の表面が露出される。前記隆起部 B の上部面、ストリング選択絶縁膜 5 1 6 の上部面、絶縁膜 5 1 0 ~ 5 1 5 の側壁部、ダミー絶縁パターン 5 2 4 の上部面、及びコンタクト延長部 C T の上部面上に形成された情報貯蔵膜 5 3 2 が除去される。前記スペーサ 5 3 4 は除去されるか、または除去されず、活性部として用いることができる。前記スペーサ 5 3 4 がポリシリコンを含む場合、前記スペーサ 5 3 4 は除去されず、活性部として用いることができる。これと異なり、前記スペーサ 5 3 4 が絶縁物質の場合、前記スペーサ 5 3 4 は除去され、活性部を形成するための半導体物質が開口部の底及び側壁上に形成される。

40

【0 2 2 9】

50

前記活性開口部 530 を満たす活性部 A P が形成される。前記活性部 A P は単結晶半導体を含むが、これによって限定されない。前記活性部 A P が単結晶半導体を含む場合、前記活性部 A P は前記基板 501 のシード層 (seed layer) として用いたエピタキシャル成長 (epitaxial growth) によって形成される。これと異なり、前記活性部 A P は、前記活性開口部 530 を満たす多結晶または非晶質の半導体膜を形成した後、熱及び/またはレーザを提供して前記多結晶または非晶質半導体膜を相転移することによって形成されることもできる。前記スペーサ 534 が除去されない場合、前記活性部 A P は前記スペーサ 534 と同一の物質を含むことができる。前記活性部 A P は前記活性開口部 530 を満たすように形成されるか、前記活性開口部 530 を満たす活性部 A P の一部を除去してシリンドertype に形成することもできる。

10

【0230】

前記活性部 A P の上部にドレイン領域 D が形成される。前記ドレイン領域 D は前記活性部 A P の上部をドーピングさせて形成される。前記ドレイン領域 D は前記ウェルと異なる導電型のドーパントが高濃度で含まれた領域であり得る。例えば、前記ドレイン領域 D は高濃度の n 型ドーパントを含む。前記ドレイン領域 D は管 (tubular) 状のパッド形であり得る。

【0231】

図 33 を参照すると、前記隆起部 B の上部面上にゲート絶縁膜 554 が形成される。前記ゲート絶縁膜 554 を形成することは、前記半導体基板 501 を熱酸化することを含む。前記ゲート絶縁膜 554 が熱酸化工程によって形成される場合、前記コンタクト延長部 C T の上部面上に酸化膜が形成されるので、前記ゲート絶縁膜 554 を形成する前に、前記凹部 A を覆い、前記隆起部 B を露出するマスク層が追加で形成される。前記マスク層は絶縁膜であり得る。

20

【0232】

前記ゲート絶縁膜 554 はシリコン酸化膜を含む。前記ゲート絶縁膜 554 上にゲート電極 556 が形成される。前記ゲート電極 556 の両側の半導体膜 552 にソースドレイン領域 553 が形成される。前記ソースドレイン領域 553 は前記半導体膜 552 に不純物を注入して形成される。

【0233】

図 34 を参照すると、前記ゲート電極 556 の両側壁上にゲートスペーサ 558 が形成される。前記基板 501 上に第 1 層間絶縁膜 560 が形成される。前記第 1 層間絶縁膜 560 は前記隆起部 B 上の周辺回路を覆う。前記第 1 層間絶縁膜 560 はシリコン酸化膜を含む。

30

【0234】

前記第 1 層間絶縁膜 560 をエッチングして、前記導電パターン G S L、W L 1 ~ W L 4 のコンタクト延長部 C T、前記活性部 A P の前記ドレイン領域 D、及び前記周辺回路の前記ゲート電極 556 の上部面を各々露出するコンタクト開口部 562、ビットライン開口部 564、及び周辺回路開口部 566 が各々形成される。この時、周辺回路領域のソースドレイン領域を露出する開口部が形成される。前記第 1 層間絶縁膜 560 のエッチングは異方性エッチング工程を利用することができる。

40

【0235】

上述のように、前記ゲート絶縁膜 554 が熱酸化工程で形成されて、前記セル領域の前記導電パターン G S L、W L 1 ~ W L 4、S S L のコンタクト延長部 C T の上部面に酸化膜が形成された場合、前記第 1 層間絶縁膜 560 をエッチングする過程で前記マスク層はエッチングされ、前記コンタクト延長部 C T が露出される。これと異なり、前記ゲート絶縁膜 554 が熱酸化工程で形成されたが、前記導電パターン G S L、W L 1 ~ W L 4、S S L のコンタクト延長部 C T の上部にマスク層を形成しないので、酸化膜が形成された場合、前記第 1 層間絶縁膜 560 をエッチングする過程で、前記酸化膜はエッチングされることができる。

【0236】

50

再び図 2 4 を参照すると、前記コンタクト開口部 5 6 2、前記ビットライン開口部 5 6 4 及び前記周辺回路開口部 5 6 6 を各々埋め込むコンタクトプラグ G C P、C P、ビットラインコンタクトプラグ B L C P、及び周辺回路コンタクトプラグ P C P が形成される。

【 0 2 3 7 】

接地選択コンタクトプラグ G C P は前記接地選択ライン G S L のコンタクト延長部 C T と電氣的に接続される。前記ワードラインコンタクトプラグ C P は前記ワードライン W L 1 ~ W L 4 と電氣的に接続される。前記コンタクトプラグ G C P、C P は各々前記導電パターン G S L、W L 1 ~ W L 4 より高い伝導性を有する物質を含む。前記周辺回路コンタクトプラグ P C P は前記ゲート電極 5 5 6 と電氣的に接続される。前記周辺回路コンタクトプラグ P C P は前記ゲート電極 5 5 6 より高い伝導性を有する物質を含む。例えば、前記コンタクトプラグ G C P、C P、ビットラインコンタクトプラグ B L C P、及び周辺回路コンタクトプラグ P C P はタングステンを含む。

10

【 0 2 3 8 】

前記接地選択コンタクトプラグ G C P 上に第 2 導電ライン M L 2 が形成される。前記ワードラインコンタクトプラグ C P 上に第 1 導電ライン M L 1 が形成される。前記ビットラインコンタクトプラグ B L C P 上にビットライン B L が形成される。前記周辺回路コンタクトプラグ P C P 上に第 4 導電ライン M L 4 が形成される。前記第 2 導電ライン M L 2、第 1 導電ライン M L 1、ビットライン B L、及び第 4 導電ライン M L 4 が形成されることは、前記第 1 層間絶縁膜 5 6 0 上に導電膜を形成し、パターニングすることを含む。

【 0 2 3 9 】

20

前記第 2 導電ライン M L 2、第 1 導電ライン M L 1、及び第 4 導電ライン M L 4 を覆う第 2 層間絶縁膜 5 7 0 が形成される。前記第 2 層間絶縁膜 5 7 0 は前記第 1 層間絶縁膜 5 6 0 と同一の物質を含むことができる。前記第 2 層間絶縁膜 5 7 0 を貫通し、ストリング選択ライン S S L のコンタクト延長部 C T を露出する開口部を埋め込むストリング選択コンタクトプラグ S C P が形成される。前記ストリング選択コンタクトプラグ S C P は前記ストリング選択ライン S S L より伝導性が高い物質を含む。前記ストリング選択コンタクトプラグ S C P 上に第 3 導電ライン M L 3 が形成される。前記第 3 導電ライン M L 3 を形成することは、第 2 層間絶縁膜 5 7 0 上に導電膜を形成し、パターニングすることを含む。これによって、図 2 4 を参照して説明した半導体素子が提供される。

【 0 2 4 0 】

30

図 2 5 を参照して説明した本発明の第 5 実施形態の変形例に係る半導体素子の形成方法を説明する。

【 0 2 4 1 】

図 2 5 を参照すると、図 2 7 ~ 図 3 4、及び図 2 4 を参照して説明した半導体素子の形成方法において、凹部 A 及び隆起部 B は基板 5 0 0 上に絶縁膜 5 0 4 を形成し、凹部 A が配置される基板 5 0 0 の部分上の絶縁膜をエッチングし、隆起部 B が配置される基板 5 0 0 の部分上の絶縁膜 5 0 4 を残して定義される。

【 0 2 4 2 】

前記周辺回路領域 の前記隆起部 B 上に半導体膜 5 5 2 が形成される。前記半導体膜 5 5 2 を形成することは、前記隆起部 B の上部面上に半導体膜 5 5 2 をボンディングすること、または前記半導体膜 5 5 2 を成長させることを含む。前記半導体膜 5 5 2 はシリコンを含むことができる。前記半導体膜 5 5 2 上にゲート絶縁膜 5 5 4 が形成される。以後、図 3 3 及び図 3 4 を参照して説明した周辺回路の形成方法によって周辺回路が形成される。

40

【 0 2 4 3 】

図 2 6 を参照して説明した本発明の第 5 実施形態の他の変形例に係る半導体素子の形成方法を説明する。

【 0 2 4 4 】

図 2 6 を参照すると、図 2 7 ~ 図 3 4、及び図 2 4 を参照して説明した半導体素子の形成方法において、前記第 1 側壁 5 0 5 及び前記第 2 側壁 5 0 6 の中の少なくとも 1 つの側

50

壁は、前記底面 5 0 3 に傾くように形成される。この場合、前記コンタクト延長部 C T 及び前記ダミー延長部 D C T は前記底面 5 0 3 及び前記底部 B P に傾くように形成される。前記絶縁膜 5 1 0 ~ 5 1 6 の側壁部は前記底面 5 0 3 に傾くように形成される。

【 0 2 4 5 】

本発明の第 6 実施形態に係る半導体素子を説明する。図 3 5 及び図 3 6 は、本発明の第 6 実施形態に係る半導体素子を説明するための平面図であり、図 3 7 は、図 3 5 及び図 3 6 の V I - V I ' に沿って切断した断面図である。

【 0 2 4 6 】

図 3 5 乃至図 3 6 、及び図 3 7 を参照すると、基板 6 0 1 が提供される。前記基板 6 0 1 は半導体基盤の半導体基板である。前記基板 6 0 1 はウェル (w e l l) を含む。前記ウェルは第 1 導電型のドーパントを含む。前記基板 6 0 1 内に共通ソース領域 2 0 2 が配置される。前記共通ソース領域 6 0 2 は前記基板 6 0 1 のセル領域内に平板形態 (p l a t e f o r m) に配置される。これと異なり、共通ソース領域は基板上にライン形態であり得る。例えば、前記共通ソース領域はゲート代替工程で形成されたトレンチを実現して形成される。

【 0 2 4 7 】

前記共通ソース領域 6 0 2 は高濃度のドーパントを含むことができる。前記共通ソース領域 2 0 2 に含まれたドーパントは前記ウェルに含まれたドーパントと異なる導電型の第 2 導電型であり得る。例えば、前記ウェルが p 型ドーパントを含む場合、前記共通ソース領域 2 0 2 は高濃度の n 型ドーパントを含む。

【 0 2 4 8 】

前記基板 6 0 1 は凹部 A を含む。前記凹部 A は底面 6 0 3 と互いに対向する第 1 側壁 6 0 5 及び第 2 側壁 6 0 6 を含む。前記基板 6 0 1 は前記第 1 側壁 6 0 5 及び第 2 側壁 6 0 6 から延長された隆起部 B を含む。前記隆起部 B の上部面は前記凹部 A の前記底面 6 0 3 と平行である。前記凹部 A 及び前記隆起部 B は半導体基板の凹部 A が配置される部分をエッチングして、隆起部 B が配置される部分を残して形成される。この場合、前記基板 6 0 1 は一体の基板である。

【 0 2 4 9 】

前記基板 6 0 1 はセル領域 及び周辺回路領域 を含む。前記セル領域 にはメモリセルが配置される。前記セル領域 は前記凹部 A 及び前記隆起部 B を含む。前記周辺回路領域 には周辺回路が配置される。前記周辺回路領域 は前記隆起部 B を含む。

【 0 2 5 0 】

前記基板 6 0 1 のセル領域 に対して説明する。

【 0 2 5 1 】

前記セル領域 は前記凹部 A の前記第 1 側壁 6 0 5 と隣接した第 1 コンタクト領域 C R 1 、及び前記第 2 側壁 6 0 6 と隣接した第 2 コンタクト領域 C R 2 を含む。前記第 1 コンタクト領域 C R 1 と前記第 2 コンタクト領域 C R 2 との間にセルアレイ領域 C A R が配置される。前記第 1 コンタクト領域 C R 1 及び第 2 コンタクト領域 C R 2 は、前記セルアレイ領域 C A R を挟んで互いに離隔されている。

【 0 2 5 2 】

前記基板 6 0 1 上に互いに離隔された導電パターン G S L 、 W L 1 ~ W L 4 、 S S L が配置される。前記導電パターン G S L 、 W L 1 ~ W L 4 、 S S L は前記基板 6 0 1 の前記凹部 A 上に順に積層された接地選択ライン G S L 、ワードライン W L 1 ~ W L 4 、及びストリング選択ライン S S L を含む。前記導電パターン G S L 、 W L 1 ~ W L 4 、 S S L はゲート間絶縁膜 6 1 0 ~ 6 1 4 を挟んで互いに離隔されて配置される。例えば、前記接地選択ライン G S L 、第 1 ゲート間絶縁膜 6 1 0 、第 1 ワードライン W L 1 、第 2 ゲート間絶縁膜 6 1 1 、第 2 ワードライン W L 2 、第 3 ゲート間絶縁膜 6 1 2 、第 3 ワードライン W L 3 、第 4 ゲート間絶縁膜 6 1 3 、第 4 ワードライン W L 4 、第 5 ゲート間絶縁膜 6 1 4 、及びストリング選択ライン S S L が順に積層されている。前記絶縁膜 6 1 0 ~ 6 1 4 は前記基板 6 0 1 の前記凹部 A の前記底面 6 0 3 上の底部と、前記底部から前記第 1 側壁

605及び前記第2側壁606上に延長される側壁部とを含む。前記ストリング選択ラインSSL上にストリング選択絶縁膜615が配置される。前記導電パターンGSL、WL1～WL4、SSLは第1方向に延長されるライン形態であり得る。前記第1方向はV I - V I ' の方向である。

【0253】

前記導電パターンGSL、WL1～WL4、SSLは前記凹部Aの前記底面603上に配置された底部BPを含む。前記底部BPの長さは前記基板601の前記凹部Aから遠くなるほど短くなる。前記底部BPは前記底面603と平行である。前記底部BPは前記隆起部Bの上部面と平行である。

【0254】

前記導電パターンGSL、WL1～WL4、SSLは前記底部BPの一端から前記第1側壁605または前記第2側壁606の中の1つの側壁上に延長される(extended over)コンタクト延長部CTを含む。前記導電パターンGSL、WL1～WL4、SSLの中のいずれか1つの導電パターンのコンタクト延長部が配置されるコンタクト領域と、前記いずれか1つの導電パターンと隣接した他の導電パターンのコンタクト延長部が配置されるコンタクト領域は異なることができる。例えば、前記接地選択ラインGSLのコンタクト延長部CTが前記第1コンタクト領域CR1に配置される場合、前記接地選択ラインGSLと隣接した第1ワードラインWL1のコンタクト延長部CTは前記第2コンタクト領域CR2に配置される。

【0255】

前記コンタクト延長部CTの延長線は前記底面603と交差する。前記コンタクト延長部CTの延長線は前記底面603と直角に交差することができる。前記コンタクト延長部CTは前記基板601の前記凹部Aから距離が遠くなるほど長さが減少される。前記コンタクト延長部CTの上部面は前記隆起部Bの上部面と同一平面にある。前記コンタクト延長部CTが前記底部BPとなす角度は90°であり得る。

【0256】

前記導電パターンGSL、WL1～WL4、SSLは前記底面603上の前記底部BPの他端から前記第1側面605及び前記第2側面606の中の他の1つの側面上に延長される(extended over)ダミー延長部DCTを含む。前記導電パターンGSL、WL1～WL4、SSLの中のいずれか1つの導電パターンのダミー延長部が配置されるコンタクト領域と、前記いずれか1つの導電パターンと隣接した他の導電パターンのダミー延長部が配置されるコンタクト領域は異なることができる。例えば、前記ストリング選択ラインSSLのダミー延長部DCTが前記第1コンタクト領域CR1に配置される場合、前記ストリング選択ラインSSLと隣接した前記第4ワードラインWL4のダミー延長部DCTは前記第2コンタクト領域CR2に配置される。

【0257】

前記導電パターンGSL、WL1～WL4、SSLの各々は1つのコンタクト延長部CTと1つのダミー延長部DCTとを含む。前記導電パターンGSL、WL1～WL4、SSLの中の1つの導電パターンで、前記ダミー延長部DCTの長さは前記コンタクト延長部CTの長さより短いことがある。前記コンタクト延長部CTは互いに隣接したダミー延長部DCTの間に配置される。ダミー延長部DCTと隣接したコンタクト延長部CTはその間に介在された絶縁膜の側壁部によって離隔される。

【0258】

前記ダミー延長部DCT上にダミー絶縁パターン664が配置される。前記ダミー絶縁パターン664の上部面は前記隆起部Bの上部面と同一平面にある。前記ダミー絶縁パターン664の上部面は前記ストリング選択絶縁膜615の上部面と同一平面にある。前記ダミー絶縁パターン664の側壁は前記ダミー延長部DCTの側壁と同一平面にある。前記ダミー絶縁パターン664は前記絶縁膜610～615と同一の物質を含むことができる。

【0259】

前記ワードラインW L 1 ~ W L 4 のコンタクト延長部C T 上に導電プラグが配置される。前記導電プラグはワードラインコンタクトプラグC P であり得る。前記ワードラインW L 1 ~ W L 4 の各々は前記ワードラインコンタクトプラグC P と電氣的に接続される。前記ワードラインコンタクトプラグC P の幅は前記ワードラインW L 1 ~ W L 4 のコンタクト延長部C T の上部面の幅より広いことがある。前記ワードラインコンタクトプラグC P は前記ワードラインW L 1 ~ W L 4 のコンタクト延長部C T と隣接したダミー延長部D C T の間の幅より広いことがある。前記ワードラインコンタクトプラグC P は第1層間絶縁膜680を貫通する。前記ワードラインコンタクトプラグC P 及び前記第1層間絶縁膜680上に第1導電ラインM L 1 が配置される。前記ワードラインコンタクトプラグC P は前記第1導電ラインM L 1 と電氣的に接続される。前記第1導電ラインM L 1 は前記第1方向と交差する第2方向に延長される。前記第1導電ラインM L 1 は前記ワードラインコンタクトプラグC P を通じて前記ワードラインW L 1 ~ W L 4 と電氣的に接続される。これと異なり、前記第1導電ラインM L 1 は前記ワードラインW L 1 ~ W L 4 と直接接続され得る。前記第1導電ラインM L 1 を覆う第2層間絶縁膜690が配置される。前記第1層間絶縁膜680及び前記第2層間絶縁膜690は同一の物質を含むことができる。

10

【0260】

前記接地選択ラインG S L のコンタクト延長部C T 上に導電プラグが配置される。前記導電プラグは接地選択コンタクトプラグG C P であり得る。前記接地選択ラインG S L は前記接地選択コンタクトプラグG C P と電氣的に接続される。前記接地選択コンタクトプラグG C P の幅は前記接地選択ラインG S L のコンタクト延長部C T の上部面の幅より広いことがある。前記接地選択コンタクトプラグG C P は第1層間絶縁膜680を貫通する。前記接地選択コンタクトプラグG C P 及び前記第1層間絶縁膜680上に第2導電ラインM L 2 が配置される。前記接地選択コンタクトプラグG C P は前記第2導電ラインM L 2 と電氣的に接続される。前記第2導電ラインM L 2 は前記第2方向に延長される。前記第2導電ラインM L 2 は前記接地選択コンタクトプラグG C P を通じて前記接地選択ラインG S L と電氣的に接続される。これと異なり、前記第2導電ラインM L 2 は前記接地選択ラインG S L と直接接続され得る。前記第2層間絶縁膜690は前記第2導電ラインM L 2 を覆う。

20

【0261】

前記ストリング選択ラインS S L のコンタクト延長部C T 上に導電プラグが配置される。前記導電プラグはストリング選択コンタクトプラグS C P であり得る。前記ストリング選択ラインS S L は前記ストリング選択コンタクトプラグS C P と電氣的に接続される。前記ストリング選択コンタクトプラグS C P の幅は前記ストリング選択ラインS S L のコンタクト延長部C T の上部面の幅より広いことがある。前記ストリング選択コンタクトプラグS C P は第1層間絶縁膜680及び前記第2層間絶縁膜690を貫通する。前記ストリング選択コンタクトプラグS C P 及び前記第2層間絶縁膜680上に第3導電ラインM L 3 が配置される。前記ストリング選択コンタクトプラグS S L は前記第3導電ラインM L 3 と電氣的に接続される。前記第3導電ラインM L 3 は前記第1方向に延長される。

30

【0262】

前記導電ラインG S L 、 W L 1 ~ W L 4 は前記セルアレイ領域C A R の両側に分けられて配置される。導電パターンG S L 、 W L 1 ~ W L 4 の中のいずれか1つの導電パターンと接続された導電ラインは、前記いずれか1つの導電パターンと隣接した導電パターンと接続された導電ラインと異なるコンタクト領域に配置される。例えば、前記第1ワードラインW L 1 と接続された第1導電ラインM L 1 は前記第2コンタクト領域C R 2 に配置され、前記第1ワードラインW L 1 と隣接した前記接地選択ラインG S L 及び前記第2ワードラインW L 2 と各々接続された第2導電ラインM L 2 及び第1導電ラインM L 1 は前記第1コンタクト領域C R 1 に配置される。実施形態において、導電パターンW L 1 ~ W L 4 、 G S L を切断するためのトレンチ及びゲート間絶縁膜が形成される(図示しない)。前記トレンチはゲート代替及び情報貯蔵膜を含む膜を満たすのに用いることができる。

40

【0263】

50

前記凹部 A の前記底面 6 0 3 から上部に延長される活性部 A P が配置される。前記活性部 A P は前記基板 6 0 1 に垂直に延長される。前記活性部 A P は前記導電パターン G S L、W L 1 ~ W L 4、S S L を貫通する。これと異なり、前記活性部 A P は前記導電パターン G S L、W L 1 ~ W L 4、S S L の側面と対向することができる。前記活性部 A P の一端が前記共通ソース領域 6 0 2 に電氣的に接続される。前記活性部 A P の他端にドレイン領域 6 2 3 が配置される。前記ドレイン領域 6 2 3 は高濃度のドーパントでドーピングされた領域であり得る。前記活性部 A P は単結晶半導体を含む。

【 0 2 6 4 】

前記活性部 A P の前記ドレイン領域 6 2 3 上にビットラインコンタクトプラグ B L C P が配置される。前記ビットラインコンタクトプラグ B L C P は前記ドレイン領域 6 2 3 と電氣的に接続され、前記第 1 層間絶縁膜 6 8 0 及び第 2 層間絶縁膜 6 9 0 を貫通する。前記ビットラインコンタクトプラグ B L C P の上部にビットライン B L が配置される。前記ビットライン B L は前記ビットラインコンタクトプラグ B L C P を通じて前記活性部 A P の前記ドレイン領域 6 2 3 と接続される。これと異なり、前記ビットライン B L は前記ドレイン領域 6 2 3 と直接接続され得る。前記ビットライン B L は前記第 1 方向と交差する第 2 方向に延長される。前記ビットライン B L は前記第 3 導電ライン M L 3 と交差する。

【 0 2 6 5 】

前記活性部 A P の側壁と前記導電パターン G S L、W L 1 ~ W L 4、S S L との間に情報貯蔵膜 6 4 0 が介在される。前記情報貯蔵膜 6 4 0 は前記導電パターン G S L、W L 1 ~ W L 4、S S L と前記活性部 A P の側壁との間に配置される。前記情報貯蔵膜 6 4 0 は前記導電パターン G S L、W L 1 ~ W L 4、S S L と前記絶縁膜 6 1 0 ~ 6 1 5 との間に配置される。

【 0 2 6 6 】

本発明の第 6 実施形態に係る情報貯蔵膜 6 4 0 は図 1 2 または図 1 3 を参照して説明した情報貯蔵膜であり得る。

【 0 2 6 7 】

前記周辺回路領域 に対して説明する。

【 0 2 6 8 】

前記周辺回路領域 の前記隆起部 B の上部面上に周辺回路が配置される。前記隆起部 B の上部面上にゲート絶縁膜 6 7 4 が配置される。前記ゲート絶縁膜 6 7 4 はシリコン酸化膜を含む。前記ゲート絶縁膜 6 7 4 は前記隆起部 B の上部面を熱酸化して形成されたことを含む。前記ゲート絶縁膜 6 7 4 上にゲート電極 6 7 6 が配置される。前記ゲート電極 6 7 6 はドーピングされたポリシリコン、金属、及び金属シリサイドの中のいずれか 1 つを含む。前記ゲート電極 6 7 6 の両側壁上にスペーサ 6 7 8 が配置される。前記ゲート電極 6 7 6 の両側壁の前記隆起部 B にソースドレイン領域 6 7 3 が配置される。前記ソースドレイン領域 6 7 3 は高濃度のドーパントでドーピングされた領域であり得る。

【 0 2 6 9 】

前記ゲート電極 6 7 6 及びソースドレイン領域 6 7 3 上に第 1 層間絶縁膜 6 7 0 を貫通する周辺回路コンタクトプラグ P C P が配置される。前記周辺回路コンタクトプラグ P C P 上に第 4 導電ライン M L 4 が配置される。前記第 4 導電ライン M L 4 上に第 2 層間絶縁膜 6 9 0 が配置される。

【 0 2 7 0 】

本発明の第 6 実施形態の変形例を説明する。図 3 8 は、本発明の第 2 実施形態の変形例を説明するための図であり、図 3 5 及び図 3 6 の V I - V I ' に沿って切断した断面図である。

【 0 2 7 1 】

図 3 5、図 3 6、及び図 3 8 を参照すると、基板 6 0 0 が提供される。前記基板 6 0 0 内に共通ソース領域 6 0 2 が配置される。前記基板 6 0 0 は凹部 A を含む。前記凹部 A は底面 6 0 3 と互いに対向する第 1 側壁 6 0 5 及び第 2 側壁 6 0 6 を含む。前記基板 6 0 0 は前記第 1 側壁 6 0 5 及び第 2 側壁 6 0 6 から延長された隆起部 B を含む。前記隆起部 B

の上部面は前記凹部 A の前記底面 6 0 3 と平行である。前記隆起部 B は前記基板 6 0 1 上に配置された絶縁膜 2 0 4 によって定義される。

【0272】

図 3 5 及び図 3 6 を参照すると、図 1 及び図 2 のように、前記セルアレイ部の一端の外部に延長する一配線は前記一侧のワードラインのコンタクト延長部と電氣的に接続される一方、前記セルアレイ部の他端の外部に延長する他の配線は前記他側のワードラインのコンタクト延長部と電氣的に接続される。図 3 5 に示すように、すべてのストリング選択ライン S S L は一侧で配線と接続される一方、図 3 6 に示すように、数個ストリング選択ラインは一侧の配線と接続され、数個ストリング選択ラインは他層の配線と接続される。前記ワードラインは交互に選択される。すなわち、例えば、ストリングの底から上に奇数番目のワードライン（第 1、第 3、第 5 ワードライン）はストリングの一侧の配線と接続され、偶数番目のワードライン（第 2、第 4、第 6 ワードライン）はストリングの他側の配線と接続される。

10

【0273】

前記基板 6 0 0 はセル領域 及び周辺回路領域 を含む。前記セル領域 にはメモリセルが配置される。前記周辺回路領域 には周辺回路が配置される。

【0274】

前記基板 6 0 0 のセル領域 に対して説明する。

【0275】

前記セル領域 は前記凹部 A の前記第 1 側壁 6 0 5 と隣接した第 1 コンタクト領域 C R 1、及び前記第 2 側壁 6 0 6 と隣接した第 2 コンタクト領域 C R 2 を含む。前記基板 6 0 0 のセル領域 には図 3 7 を参照して説明したメモリセルが配置される。

20

【0276】

前記基板 6 0 0 の周辺回路領域 に対して説明する。

【0277】

前記周辺回路領域 の前記隆起部 B の上部面上に周辺回路が配置される。前記絶縁膜 6 0 4 の上部面上に半導体膜 6 7 2 が配置される。前記半導体膜 6 7 2 はポリシリコン、結晶質シリコン、及び単結晶シリコンを含むその他半導体物質を含む。前記半導体膜 6 7 2 上にゲート絶縁膜 6 7 4 が配置される。前記ゲート絶縁膜 6 7 4 はシリコン酸化膜を含む。前記ゲート絶縁膜 6 7 4 は前記隆起部 B の上部面を熱酸化して形成されたことを含む。前記ゲート絶縁膜 6 7 4 上にゲート電極 6 7 6 が配置される。前記ゲート電極 6 7 6 はドーピングされたポリシリコン、金属、及び金属シリサイドの中のいずれか 1 つを含む。前記ゲート電極 6 7 6 の両側壁上にゲートスペーサ 6 7 8 が配置される。前記ゲート電極 6 7 6 の両側壁の前記半導体膜 6 7 2 の上部面にソースドレイン領域 6 7 3 が配置される。前記ソースドレイン領域 6 7 3 は高濃度のドーパントでドーピングされた領域であり得る。

30

【0278】

前記ゲート電極 6 7 6 及びソースドレイン領域 6 7 3 上に第 1 層間絶縁膜 1 6 0 を貫通する周辺回路コンタクトプラグ P C P が配置される。前記周辺回路コンタクトプラグ P C P 上に第 4 導電ライン M L 4 が配置される。前記第 4 導電ライン M L 4 上に第 2 層間絶縁膜 6 9 0 が配置される。

40

【0279】

本発明の第 6 実施形態の他の変形例に係る半導体素子を説明する。図 3 9 は、本発明の第 6 実施形態の他の変形例を説明するための図であり、図 3 5 及び図 3 6 の V I - V I ' に沿って切断した断面図である。

【0280】

図 3 5、図 3 6、及び図 3 9 を参照すると、基板 6 0 1 が提供される。前記基板 6 0 1 内に共通ソース領域 6 0 2 が配置される。前記基板 6 0 1 は凹部 A を含む。前記凹部 A は底面 6 0 3 と互いに対向する第 1 側壁 6 0 5 及び第 2 側壁 6 0 6 を含む。前記第 1 側壁 6 0 5 及び前記第 2 側壁 6 0 6 の中のいずれか 1 つの側壁は前記凹部 A の前記底面 6 0 3 に

50

傾いている。例えば、前記第 1 側壁 605 及び前記第 2 側壁 606 は前記底面 603 に対して 50° から 90° の角度を有することができる。前記第 1 側壁 605 が前記底面 603 に対して有する勾配と前記第 2 側壁 606 が前記底面 603 に対して有する勾配と同一であり得る。これと異なり、前記第 1 側壁 605 が前記底面 603 に対して有する勾配と前記第 2 側壁 606 が前記底面 603 に対して有する勾配は異なることができる。前記前記基板 601 は前記第 1 側壁 605 及び第 2 側壁 606 から延長された隆起部 B を含む。前記隆起部 B の上部面は前記凹部 A の前記底面 603 と平行である。前記基板 601 の凹部 A 及び隆起部 B は半導体基板のエッチング工程を通じて定義される。これと異なり、図 38 を参照して説明したように、前記隆起部 B は前記基板 600 上に配置された絶縁膜 604 によって定義され得る。

10

【0281】

前記基板 601 はセル領域 及び周辺回路領域 を含む。前記セル領域 にはメモリセルが配置される。前記周辺回路領域 は周辺回路を含む。

【0282】

前記基板 601 のセル領域 に対して説明する。

【0283】

前記セル領域 は前記凹部 A の前記第 1 側壁 605 と隣接した第 1 コンタクト領域 CR1、及び前記第 2 側壁 606 と隣接した第 2 コンタクト領域 CR2 を含む。図 37 を参照して説明したメモリセルが配置される。前記導電パターン GSL、WL1 ~ WL4、SSL の中の 1 つの導電パターンで、コンタクト延長部 CT 及びダミー延長部 DCT は底部 BP に対して傾いた勾配を有する。

20

【0284】

前記コンタクト延長部 CT が配置されたコンタクト領域と隣接した側壁が前記底面 603 となす角度は、前記コンタクト延長部 CT が底部 BP となす角度と同一であり得る。第 1 ワードライン WL1 を例にとって、コンタクト延長部 CT が前記底部 BP に対して有する勾配は、前記第 2 側壁 606 が前記底面 603 に対して有する勾配と同一であり得る。前記第 1 側壁 605 及び前記第 2 側壁 606 が前記底面 603 に対して有する勾配が各々異なる場合、1 つの導電パターンで、コンタクト延長部 CT が底部 BP に対して有する勾配は、ダミー延長部 DCT が底部 BP に対して有する勾配と異なることができる。

【0285】

前記基板 601 の周辺回路領域 に対して説明する。

30

【0286】

前記基板 601 の周辺回路領域 には図 24 を参照して説明した周辺回路が配置される。これと異なり、上述のように、基板が図 26 を参照して説明した基板の場合、半導体膜 672 が追加される。

【0287】

本発明の第 6 実施形態に係る半導体素子の形成方法を説明する。図 40 ~ 図 48 は、本発明の第 6 実施形態に係る半導体素子を説明するための図である。

【0288】

図 40 を参照すると、基板 601 が提供される。前記基板 601 は凹部 A を含む。前記凹部 A は底面 603 と互いに対向する第 1 側壁 605 及び第 2 側壁 606 を含む。前記基板 601 は前記第 1 側壁 605 及び第 2 側壁 606 から延長された隆起部 B を含む。前記隆起部 B の上部面は前記凹部 A の前記底面 603 と平行である。基板の凹部 A 及び隆起部 B は、凹部 A が配置される半導体基板の一部をエッチングして定義される。この場合、前記基板 600 は一体の基板である。

40

【0289】

前記基板 601 はセル領域 及び周辺回路領域 を含む。前記セル領域 にはメモリセルが配置される。前記セル領域 は前記凹部 A 及び前記隆起部 B を含む。前記周辺回路領域 は周辺回路を含む。前記周辺回路領域 は前記隆起部 B を含む。

【0290】

50

前記セル領域は前記凹部 A の前記第 1 側壁 605 と隣接した第 1 コンタクト領域 CR1、及び前記第 2 側壁 606 と隣接した第 2 コンタクト領域 CR2 を含む。前記第 1 コンタクト領域 CR1 と前記第 2 コンタクト領域 CR2 との間にセルアレイ領域 CAR が配置される。前記第 1 コンタクト領域 CR1 及び第 2 コンタクト領域 CR2 は、前記セルアレイ領域 CAR を挟んで互いに離隔されている。

【0291】

前記基板 601 は単結晶構造の半導体（例えば、P 型シリコンウェーハ）であり得る。前記基板 601 はウェルを含む。前記ウェルは前記基板 601 内にドーパントを注入させて形成される。前記ドーパントはイオン注入またはプラズマ注入を含むドーピング工程によって前記基板 601 内に注入される。前記基板 601 の上部面に共通ソース領域 602 が提供される。前記共通ソース領域 602 は前記ウェル内にドーパントをドーピングすることによって形成される。前記共通ソース領域 602 は前記ウェルと異なる導電型のドーパントを含む。本発明の一実施形態において、共通ソース領域はトレンチの底領域内に形成される。例えば、前記ウェルは p 型ドーパントを含み、前記共通ソース領域 602 は n 型ドーパントを含む。

【0292】

前記基板 601 の前記凹部 A 上に犠牲膜 SC1～SC6 及び絶縁膜 610～615 が交互に積層される。例えば、前記基板 601 上に第 1 犠牲膜 SC1、第 1 ゲート間絶縁膜 610、第 2 犠牲膜 SC2、第 2 ゲート間絶縁膜 611、第 3 犠牲膜 SC3、第 3 ゲート間絶縁膜 612、第 4 犠牲膜 SC4、第 4 ゲート間絶縁膜 613、第 5 犠牲膜 SC5、第 5 ゲート間絶縁膜 614、第 6 犠牲膜 SC6、及びストリング選択絶縁膜 615 が順に形成されることを含む。前記犠牲膜 SC1～SC6 及び前記絶縁膜 610～615 は前記隆起部 B の上部面上に形成される。前記犠牲膜 SC1～SC6 及び前記絶縁膜 610～615 は前記凹部 A の前記底面 603 上の底部と前記底部から前記第 1 側壁 605 及び前記第 2 側壁 606 に延長される側壁部を各々含む。

【0293】

前記犠牲膜の物質は選択的に除去されることができる物質であり得る。例えば、犠牲膜はリン酸または燐（P）を含む酸を選択的に除去されることができるシリコン窒化膜を含む。前記絶縁膜 610～615 はシリコン酸化膜を含む。前記犠牲膜 SC1～SC6 は前記絶縁膜 610～615 のエッチングを最小化しながら選択的にエッチングされる物質で形成される。例えば、前記犠牲膜 SC1～SC6 はシリコン窒化膜を含む。

【0294】

前記隆起部 A の上部面（upper surface）をエッチング停止膜として平坦化工程が実行される。前記平坦化工程はエッチバックまたは化学機械的研磨方式で実行される。前記隆起部 A の上部面は前記絶縁膜 610～615 の側壁部の上部面と同一平面にある。前記犠牲膜 SC1～SC6 の側壁部の上部面は前記絶縁膜 610～615 の側壁部の上部面及び前記隆起部 B の上部面と同一平面にある。

【0295】

図 41 を参照すると、交互に積層された前記絶縁膜 610～615 及び犠牲膜 SC1～SC6 をパターンングして、前記基板 601 の前記凹部 A の前記底面 603 を露出させる第 1 開口部 620 が形成される。前記第 1 開口部 620 形成のためのパターンングは異方性エッチング技術を用いて実施されることができる。前記第 1 開口部 620 は前記凹部 A の前記底面 603、前記絶縁膜 610～615 の側面、及び前記犠牲膜 SC1～SC6 の側面を露出させる。

【0296】

図 42 を参照すると、前記第 1 開口部 620 の内側壁を覆う活性部 AP が形成される。前記活性部 AP は化学気相蒸着法（CVD）または原子層化学蒸着法（ALD）の中のいずれか 1 つを用いて前記第 1 開口部 620 の内側壁をコンフォーマルに覆うように形成される。前記活性部 AP はそれが接触する前記基板 601 と同一の導電型を有するように形成され、これによって、前記活性部 AP と前記基板 601 は電氣的に接続される。例えば

、前記活性部 A P は前記基板 6 0 1 と結晶の欠陥なしに、連続的につながる単結晶構造のシリコンを含む。このために、前記活性部 A P はエピタキシャル技術の中の 1 つを用いて前記露出された前記基板 6 0 1 から成長される。第 1 開口部 6 2 0 の残りの空間は絶縁性物質 6 2 4 (例えば、シリコン酸化膜、シリコン窒化膜または空気)で満たされる。前記活性部 A P の上部にはドレイン領域 6 2 3 が形成される。前記活性部 A P は柱、管 (t u b u l a r) またはバーサイド (b a r - s i d e d) 状であり得る。

【 0 2 9 7 】

前記絶縁膜 6 1 0 ~ 6 1 5 及び前記犠牲膜 S C 1 ~ S C 6 をパターンニングして、前記基板 6 0 1 の前記凹部 A の前記底面 6 0 3 を露出させる予備ゲート分離領域が形成される。前記予備ゲート分離領域は前記第 2 方向に隣接する活性部 A P の間に形成される (図 1 4 参照)。前記絶縁膜 6 1 0 ~ 6 1 5 及び前記犠牲膜 S C 1 ~ S C 6 の側壁が前記予備ゲート分離領域によって露出される。前記予備ゲート分離領域を形成することは前記第 1 開口部 6 2 0 の形成方法と同一であり得る。

10

【 0 2 9 8 】

図 4 3 を参照すると、前記予備ゲート分離領域によって露出された前記犠牲膜 S C 1 ~ S C 6 が除去される。犠牲膜を露出するトレンチが形成され、犠牲膜を除去することはトレンチによって形成された領域を利用して実行される。前記絶縁膜 6 1 0 ~ 6 1 5 の間には前記活性部 A P の側壁を露出させるゲート領域 6 3 0 が形成される。前記犠牲膜 S C 1 ~ S C 6 を除去する段階は前記絶縁膜 6 1 0 ~ 6 1 5 、前記基板 6 0 1 、前記活性部 A P 、及び前記絶縁性物質 6 2 4 に対してエッチング選択比を有するエッチングレソピを用いて実施することができる。前記犠牲膜 S C 1 ~ S C 6 を除去する段階は乾式または湿式の方法でも良く、等方性エッチングの方法でも良い。同時に、満たされた活性部 A P と絶縁物質のコア部は絶縁膜 6 1 0 ~ 6 1 5 が維持される支持台として作用することができる。

20

【 0 2 9 9 】

図 4 4 を参照すると、前記ゲート領域 6 3 0 が形成された結果物上に情報低貯蔵膜 6 4 0 がコンフォーマルに形成される。前記情報貯蔵膜 6 4 0 は前記ゲート領域 6 3 0 によって露出された活性部 A P の側壁上に形成される。前記情報貯蔵膜 6 4 0 は前記隆起部 B の上部面、前記ストリング選択絶縁膜 6 1 5 の上部面、及び前記ゲート領域 6 3 0 によって露出された絶縁膜 6 1 0 ~ 6 1 5 の部分上に形成される。

30

【 0 3 0 0 】

再び図 6 を参照して、情報貯蔵膜 6 4 0 の形成方法を説明する。前記情報貯蔵膜 6 4 0 を形成することは、露出された前記活性部 A P の側壁を覆うトンネル絶縁膜 2 4 2 を形成し、前記トンネル絶縁膜 2 4 2 を覆う電荷貯蔵膜 2 4 4 を形成し、前記電荷貯蔵膜 2 4 4 を覆うブロッキング膜 2 4 6 を形成することを含む。

【 0 3 0 1 】

再び図 4 4 を参照すると、前記情報貯蔵膜 6 4 0 上に前記予備ゲート分離領域及び前記ゲート領域 6 3 0 を満たす予備ゲート導電膜 6 5 0 が形成される。前記予備ゲート導電膜 6 5 0 は優れたステップカバレッジを提供する化学気相蒸着法 (C V D) または原子層化学蒸着法 (A L D) を用いて形成された多結晶シリコン膜、シリサイド膜、及び金属膜の中の少なくともいずれか 1 つを含む。一方、前記情報貯蔵膜 6 4 0 は前記基板 6 0 1 上にも形成され、前記予備ゲート導電膜 6 5 0 は前記基板 6 0 1 から電氣的に分離する。

40

【 0 3 0 2 】

図 4 5 を参照すると、前記予備ゲート導電膜 6 5 0 の形成後、エッチング工程が実行される。前記エッチング工程は湿式エッチング及び乾式エッチング方法を利用して実行される。前記隆起部 B の上部面上の前記予備ゲート導電膜 6 5 0 及び前記情報貯蔵膜 6 4 0 が除去される。前記予備ゲート分離領域の予備ゲート導電膜 6 5 0 が除去される。

【 0 3 0 3 】

次の工程は図 1 4 F 及び図 1 4 G で説明した実施形態と類似である。

【 0 3 0 4 】

前記予備ゲート導電膜 6 5 0 をパターンニングして、導電パターン G S L 、 W L 1 ~ W L

50

4、SSLが形成される。

【0305】

前記導電パターンGSL、WL1～WL4、SSLは前記凹部Aの前記底面503上に配置された底部BPを含む。前記導電パターンGSL、WL1～WL4、SSLは前記底部BPの一端から前記第1側壁605または前記第2側壁606の中の1つの側壁上に延長される(extended over)コンタクト延長部CTを含む。前記導電パターンGSL、WL1～WL4、SSLの中のいずれか1つの導電パターンのコンタクト延長部が配置されるコンタクト領域と、前記いずれか1つの導電パターンと隣接した他の導電パターンのコンタクト延長部が配置されるコンタクト領域は異なることができる。前記コンタクト延長部CTの露出された上部面は前記隆起部Bの上部面と同一平面にある。

10

【0306】

前記導電パターンGSL、WL1～WL4、SSLは前記底面603上の前記底部BPの他端から前記第1側面605及び前記第2側面606の中の他の1つの側面上に延長される(extended over)ダミー延長部DCTを含む。前記導電パターンGSL、WL1～WL4、SSLの中のいずれか1つの導電パターンのダミー延長部が配置されるコンタクト領域と、前記いずれか1つの導電パターンと隣接した他の導電パターンのダミー延長部が配置されるコンタクト領域は異なることができる。前記導電パターンGSL、WL1～WL4、SSLの各々は1つのコンタクト延長部CTと1つのダミー延長部DCTとを含む。

20

【0307】

露出された前記コンタクト延長部CTの上部面を覆うマスクパターン660が形成される。前記マスクパターン660はダミー延長部DCTを露出させる。前記マスクパターン660を形成することは、前記基板601上にマスク膜を形成し、前記マスク膜をパターニングすることを含む。前記マスクパターン660は前記導電パターンGSL、WL1～WL4、SSL及び前記絶縁膜610～615に対してエッチング選択比を有する物質を含む。例えば、前記マスクパターン660はシリコン窒化膜またはフォトレジストパターンを含む。

【0308】

図46を参照すると、前記マスクパターン660をエッチングマスクとして用いて、前記マスクパターン660によって露出されたダミー延長部DCTの一部がエッチングされる。前記ダミー延長部DCTの一部がエッチングされ、ダミーリセス部662が形成される。前記ダミー延長部DCTの長さは前記コンタクト延長部CTの長さより短いことがある。前記ダミーリセス部662によって前記絶縁膜610～615の側壁部の一部が露出される。前記ダミー延長部DCTをエッチングすることは、前記導電パターンGSL、WL1～WL4、SSLに対するエッチング率が前記マスクパターン660及び前記絶縁膜610～615より高いエッチングレシビを利用することができる。前記マスクパターン660が除去される。

30

【0309】

図47を参照すると、前記ダミーリセス部662を埋め込むダミー絶縁パターン664が形成される。前記ダミー絶縁パターン664を形成することは、前記基板601上にダミー絶縁膜を形成し、前記隆起部Bの上部面または前記ストリング選択絶縁膜615の上部面をエッチング停止膜として平坦化工程を実行することを含む。前記ダミー絶縁パターン664の上部面は前記隆起部Bの上部面と同一平面にある。前記ダミー絶縁パターン664の上部面は前記ストリング選択絶縁膜615及び前記コンタクト延長部CTの上部面と同一平面にある。

40

【0310】

前記隆起部Bの上部面上にゲート絶縁膜674が形成される。前記ゲート絶縁膜674は熱酸化工程を通じて形成される。前記ゲート絶縁膜674は40～300 厚さのシリコン酸化膜を含む。前記ゲート絶縁膜674が熱酸化工程で形成される場合、露出された前記セル領域の前記導電パターンGSL、WL1～WL4、SSLのコンタクト延長部

50

C Tの上部面に酸化膜が形成されるので、前記ゲート絶縁膜 6 7 4 を形成する前に、前記凹部 A を覆い、前記隆起部 B を露出するマスク層が追加で形成される。前記マスク層は絶縁膜であり得る。

【 0 3 1 1 】

前記ゲート絶縁膜 6 7 4 上にゲート電極 6 7 6 が形成される。前記ゲート電極 6 7 6 の両側の前記隆起部 B にソースドレイン領域 6 7 3 が形成される。前記ソースドレイン領域 6 7 3 は高濃度のドーパントでドーピングされた領域であり得る。

【 0 3 1 2 】

図 4 8 を参照すると、前記ゲート電極 6 7 6 の両側にゲートスペーサ 6 7 8 が形成される。前記基板 6 0 1 の全面を覆う第 1 層間絶縁膜 6 8 0 が形成される。前記第 1 層間絶縁膜 6 8 0 はシリコン酸化膜を含む。前記第 1 層間絶縁膜 6 8 0 をエッチングして、前記コンタクト延長部 C T の上部面を露出するコンタクト開口部 6 8 6 、前記ドレイン領域 6 2 3 を露出するビットライン開口部 6 8 4 、及び前記周辺回路領域 の前記ゲート電極 6 7 6 を露出する周辺回路開口部 6 8 6 が形成される。前記ソースドレイン領域を露出させる開口部が形成される。前記第 1 層間絶縁膜 6 8 0 をエッチングすることは、異方性エッチング工程を利用することを含む。

10

【 0 3 1 3 】

上述のように、前記ゲート絶縁膜 6 7 4 が熱酸化工程で形成され、前記セル領域 の前記導電パターン G S L 、 W L 1 ~ W L 4 、 S S L のコンタクト延長部 C T の上部面にマスク層を形成した場合、前記第 1 層間絶縁膜 6 8 0 をエッチングする過程で前記マスク層はエッチングされ、前記コンタクト延長部 C T が露出される。これと異なり、前記ゲート絶縁膜 6 7 4 が熱酸化工程で形成されたが、前記導電パターン G S L 、 W L 1 ~ W L 4 、 S S L のコンタクト延長部 C T の上部にマスク層を形成しないので、酸化膜が形成された場合、前記第 1 層間絶縁膜 6 8 0 をエッチングする過程で、前記酸化膜が除去されて前記コンタクト延長部 C T が露出される。

20

【 0 3 1 4 】

再び図 3 7 を参照すると、前記コンタクト開口部 6 8 2 、前記ビットライン開口部 6 8 4 、及び前記周辺回路開口部 6 8 6 を各々埋め込むコンタクトプラグ G C P 、 C P 、ビットラインコンタクトプラグ B L C P 、及び周辺回路コンタクトプラグ P C P が形成される。

30

【 0 3 1 5 】

接地選択コンタクトプラグ G C P は前記接地選択ライン G S L のコンタクト延長部 C T と電氣的に接続される。前記ワードラインコンタクトプラグ C P は前記ワードライン W L 1 ~ W L 4 と電氣的に接続される。前記コンタクトプラグ G C P 、 C P は各々前記導電パターン G S L 、 W L 1 ~ W L 4 、 S S L より高い伝導性を有する物質を含む。前記周辺回路コンタクトプラグ P C P は前記ゲート電極 6 7 6 と電氣的に接続される。前記周辺回路コンタクトプラグ P C P は前記ゲート電極 6 7 6 より高い伝導性を有する物質を含む。例えば、前記コンタクトプラグ G C P 、 C P 、ビットラインコンタクトプラグ B L C P 、及び周辺回路コンタクトプラグ P C P はタングステンを含む。

40

【 0 3 1 6 】

前記接地選択コンタクトプラグ G C P 上に第 2 導電ライン M L 2 が形成される。前記ワードラインコンタクトプラグ C P 上に第 1 導電ライン M L 1 が形成される。前記ビットラインコンタクトプラグ B L C P 上にビットライン B L が形成される。前記周辺回路コンタクトプラグ P C P 上に第 4 導電ライン M L 4 が形成される。前記第 2 導電ライン M L 2 、第 1 導電ライン M L 1 、ビットライン B L 、及び第 4 導電ライン M L 4 を形成されることは、前記第 1 層間絶縁膜 6 8 0 上に導電膜を形成し、パターンニングすることを含む。

【 0 3 1 7 】

前記第 2 導電ライン M L 2 、第 1 導電ライン M L 1 、及び第 4 導電ライン M L 4 を覆う第 2 層間絶縁膜 6 9 0 が形成される。前記第 2 層間絶縁膜 6 9 0 は前記第 1 層間絶縁膜 6 8 0 と同一の物質を含むことができる。前記第 2 層間絶縁膜 6 9 0 を貫通し、ストリング

50

選択ラインSSLのコンタクト延長部CTを露出する開口部を埋め込むストリング選択コンタクトプラグSCPが形成される。前記ストリング選択コンタクトプラグSCPは前記ストリング選択ラインSSLより伝導性が高い物質を含む。前記ストリング選択コンタクトプラグSCP上に第3導電ラインML3が形成される。前記第3導電ラインML3を形成することは、第2層間絶縁膜690上に導電膜を形成し、パターニングすることを含む。これによって、図37を参照して説明した半導体素子が提供される。

【0318】

図38を参照して説明した本発明の第6実施形態の変形例に係る半導体素子の形成方法を説明する。

【0319】

図38を参照すると、図40～図48、及び図37を参照して説明したメモリセルの形成方法において、前記基板600に前記凹部A及び前記隆起部Bを形成することは、前記基板600上に絶縁膜604を形成し、凹部A上の絶縁膜604をエッチングし、隆起部B上の絶縁膜604を残すことを含む。

【0320】

図47を参照して説明した周辺回路の形成方法において、前記周辺回路領域の前記隆起部Bの上部面上に半導体膜672が形成される。例えば、前記半導体膜672は前記隆起部Bの前記絶縁膜604上にボンディングする工程または前記半導体膜672を成長させることを利用して形成される。例えば、前記半導体膜672は多結晶シリコンまたは単結晶シリコンを含む。前記半導体膜672上にゲート絶縁膜674が形成される。

【0321】

図39を参照して説明した本発明の第6実施形態の他の変形例に係る半導体素子の形成方法を説明する。

【0322】

図39を参照すると、図40～図48、及び図37を参照して説明した半導体素子の形成方法において、前記第1側壁605及び前記第2側壁606の中の少なくとも1つの側壁は、前記底面603に傾くように形成される。この場合、前記コンタクト延長部CT及び前記ダミー延長部DCTは前記底面603及び前記底部BPに傾くように形成される。前記絶縁膜610～615の側壁部は前記底面603に傾くように形成される。

【0323】

本発明の第1実施形態及び第3実施形態に係る半導体素子は上述の図24～図26及び図27～図34を参照して説明した半導体素子の形成方法を参照して形成される。

【0324】

本発明の第2実施形態及び第4実施形態に係る半導体素子は、上述の図37～図39及び図40～図48を参照して説明した半導体素子の形成方法を参照して形成される。

【0325】

本発明の適用例を説明する。

【0326】

図49は、本発明の実施形態に係る半導体素子を含むメモリシステムの一例を示す概略ブロック図である。

【0327】

図49を参照すると、メモリシステム1100は、PDA、ポータブル(Portable)コンピュータ、ウェブタブレット(web tablet)、無線電話機(wireless phone)、携帯電話(mobile phone)、デジタルミュージックプレーヤ(Digital music player)、メモリカード(memory card)、または情報を無線環境で送信及び/または受信することができるすべての素子に適用することができる。

【0328】

メモリシステム1100はコントローラ1110、キーパッド(key pad)、キーボード及びディスプレイのような入出力装置1120、メモリ1130、インターフェー

10

20

30

40

50

ス 1 1 4 0、及びバス 1 1 5 0を含む。メモリ 1 1 3 0とインターフェース 1 1 4 0はバス 1 1 5 0を通じて相互疎通する。

【 0 3 2 9 】

コントローラ 1 1 1 0は少なくとも1つのマイクロプロセッサ、デジタルシグナルプロセッサ、マイクロコントローラ、またはそれらと類似な他のプロセス装置を含む。メモリ 1 1 3 0はコントローラによって実行された命令を貯蔵するのに用いることができる。入出力装置 1 1 2 0はシステム 1 1 0 0の外部からデータまたは信号が入力されるか、またはシステム 1 1 0 0の外部にデータまたは信号を出力する。例えば、入出力装置 1 1 2 0はキーボード、キーパッドまたはディスプレイ素子を含む。

【 0 3 3 0 】

メモリ 1 1 3 0は本発明の実施形態に係る不揮発性メモリ素子を含む。メモリ 1 1 3 0はまた他の種類のメモリ、任意の随時接近が可能な揮発性メモリ、その他多様な種類のメモリをさらに含む。

【 0 3 3 1 】

インターフェース 1 1 4 0はデータを通信ネットワークに送り出すか、またはネットワークからデータを受ける役割を果たす。

【 0 3 3 2 】

図 5 0は、本発明の実施形態に係る半導体素子を備えるメモリカードの一例を示す概略ブロック図である。

【 0 3 3 3 】

図 5 0を参照すると、高容量のデータ貯蔵能力を支援するためのメモリカード 1 2 0 0は、本発明に係るフラッシュメモリ装置 1 2 1 0を装着する。本発明に係るメモリカード 1 2 0 0はホスト (H o s t) とフラッシュメモリ装置 1 2 1 0との間の諸般のデータ交換を制御するメモリコントローラ 1 2 2 0を含む。

【 0 3 3 4 】

S R A M 1 2 2 1はプロセッシングユニット 1 2 2 2の動作メモリとして用いられる。ホストインターフェース 1 2 2 3はメモリカード 1 2 0 0と接続されるホストのデータ交換プロトコルを具備する。エラー訂正ブロック 1 2 2 4はマルチビットフラッシュメモリ装置 1 2 1 0から読み出されたデータに含まれるエラーを検出及び訂正する。メモリインターフェース 1 2 2 5は本発明のフラッシュメモリ装置 1 2 1 0とインタフェーシングする。プロセッシングユニット 1 2 2 2はメモリコントローラ 1 2 2 0のデータ交換のための諸般の制御動作を実行する。図示しないが、本発明に係るメモリカード 1 2 0 0はホスト (H o s t) とのインタフェーシングのためのコードデータを貯蔵する R O M (図示しない) などをさらに提供することができることはこの分野の通常的な知識を習得した者等に自明である。

【 0 3 3 5 】

図 5 1は、本発明に係る半導体素子を装着する情報処理システムの一例を示す概略ブロック図である。

【 0 3 3 6 】

図 5 1を参照すると、モバイル器機やデスクトップコンピュータのような情報処理システムに本発明のフラッシュメモリシステム 1 3 1 0が装着される。本発明に係る情報処理システム 1 3 0 0は、フラッシュメモリシステム 1 3 1 0と、システムバス 7 6 0に電氣的に各々接続されたモデム 1 3 2 0と、中央処理装置 1 3 3 0と、R A M 1 3 4 0と、ユーザインターフェース 1 3 5 0とを含む。フラッシュメモリシステム 1 3 1 0は上述のメモリシステムまたはフラッシュメモリシステムと実質的に同一に構成される。フラッシュメモリシステム 1 3 1 0には中央処理装置 1 3 3 0によって処理されたデータまたは外部から入力されたデータが貯蔵される。ここで、上述のフラッシュメモリシステム 1 3 1 0は半導体ディスク装置 (S S D) に構成することができ、この場合、情報処理システム 1 3 0 0は大容量のデータをフラッシュメモリシステム 1 3 1 0に安定的に貯蔵することができる。そして信頼性の増大によって、フラッシュメモリシステム 1 3 1 0はエラー訂正

10

20

30

40

50

に必要となる資源を節減することができるので、高速のデータ交換機能を情報処理システム1300に提供することができる。図示しないが、本発明に係る情報処理システム1300は、応用チップセット(Application Chipset)、カメライメージプロセッサ(Camera Image Processor: CIS)、入出力装置をさらに包含できることはこの分野の通常の知識を習得した者には自明であろう。

【0337】

また、本発明に係るフラッシュメモリ装置またはメモリシステムは多様な形態のパッケージに実装することができる。例えば、本発明に係るフラッシュメモリ装置またはメモリシステムはPoP(Package on Package)、Ball grid arrays(BGAs)、Chip scale packages(CSPs)、Plastic Leaded Chip Carrier(PLCC)、Plastic Dual In-Line Package(PDIP)、Die in Wafer Pack、Die in Wafer Form、Chip On Board(COB)、Ceramic Dual In-Line Package(CERDIP)、Plastic Metric Quad Flat Pack(MQFP)、Thin Quad Flatpack(TQFP)、Small Outline(SOIC)、Shrink Small Outline Package(SSOP)、Thin Small Outline(TSOP)、Thin Quad Flatpack(TQFP)、System In Package(SIP)、Multi Chip Package(MCP)、Wafer-level Fabricated Package(WFP)、Wafer-Level Processed Stack Package(WSP)などのような方式でパッケージ化して実装される。

10

20

【0338】

図52は、本発明の実施形態に係る不揮発性メモリ素子のブロック図である。

【0339】

図52を参照すると、本発明に係る不揮発性メモリ素子1400は、メモリセルアレイ1430、コントロールロジック回路1440、電圧発生器1410、セルアレイ1430の両側に配置されたデコーディング回路1420、及びページバッファ1450を含む。

30

【0340】

前記半導体メモリ素子は基板、実質的に基板に法線として配置されるメモリストリング、及び少なくとも2つのロウデコーダを含む。前記メモリストリングは複数の貯蔵セルと、複数のワードラインとを含む。前記複数のワードラインは、前記メモリストリングの第1側の一口ウデコーダと電氣的に接続されたワードラインの第1グループ、及び前記メモリストリングの第2側の他のロウデコーダと電氣的に接続されたワードラインの第2グループを含む。前記セルアレイ部の一端及び他端の外部に延長する配線は両側のロウデコーダと接続される。これによって、第1ロウデコーダは前記メモリストリングの第1側のストリング選択ラインのグループと接続され、第2ロウデコーダは前記メモリストリングの第2側のストリング選択ラインの他グループと接続される。これとは異なり、2つのロウデコーダの中のいずれか1つはすべてのストリング選択ラインと接続することができる。

40

【0341】

前記メモリセルアレイ1400は行(またはワードライン)及び列(またはビットライン)で構成されたマトリクスに配列されたメモリセルを含む。前記メモリセルはNANDまたはNOR構造に配列される。NAND構造において、各メモリセルスクリング直列に接続されたトランジスタを含む。

【0342】

本発明の概念は、端が階段形(staircase form)で形成され、導電プラグと接続されたワードラインWL1~WLnを有する半導体素子に適用することができることは当業者に自明である。

50

【 0 3 4 3 】

前記コントロールロジック回路 1 4 4 0 は不揮発性メモリ素子 1 4 0 0 の動作の全般を制御するように構成される。実施形態において、コントロールロジック回路 1 4 4 0 は直列のプログラム動作を制御する。例えば、コントロールロジック回路 1 4 4 0 はプログラムシーケンスを貯蔵するステートマシン (s t a t e m a c h i n e) であり得る。しかし、当業者であれば、コントロールロジック回路 1 4 4 0 は本明細書に記載した内容に制限されないことは自明である。例えば、コントロールロジック回路 1 4 4 0 は読み出し及び消去動作をコントロールするように構成される。

【 0 3 4 4 】

前記コントロールロジック回路 1 4 4 0 は、ロウアドレスに反応して選択されたワードライン、非選択されたワードライン、ストリング選択ライン S S L、接地選択ライン G S L、及び共通ソースライン C S L を駆動する。

10

【 0 3 4 5 】

前記デコーディング回路 1 4 2 9 は電圧発生器 1 4 1 0 によって発生された電圧を利用して上部ラインを駆動する。例えば、プログラム動作において、前記デコーディング回路 1 4 2 0 はプログラム電圧 V p g m 及びパス電圧 V p a s s を各々選択されたワードライン及び非選択されたワードラインに印加する。

【 0 3 4 6 】

前記ページバッファ 1 4 5 0 は感知増幅器または書き込みドライバ (d r i v e r) として動作することができる。読み出し動作において、前記ページバッファ 1 4 5 0 は前記メモリセルアレイ 1 4 3 0 からデータを読み出す。特に、前記ページバッファ 1 4 5 0 はビットライン電圧を感知し、前記ビットライン電圧によってデータを区別し、区別されたデータを内部に貯蔵する。

20

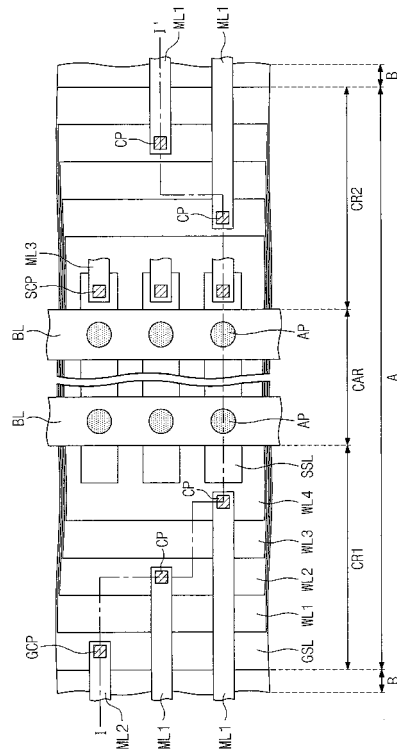
【 符号の説明 】

【 0 3 4 7 】

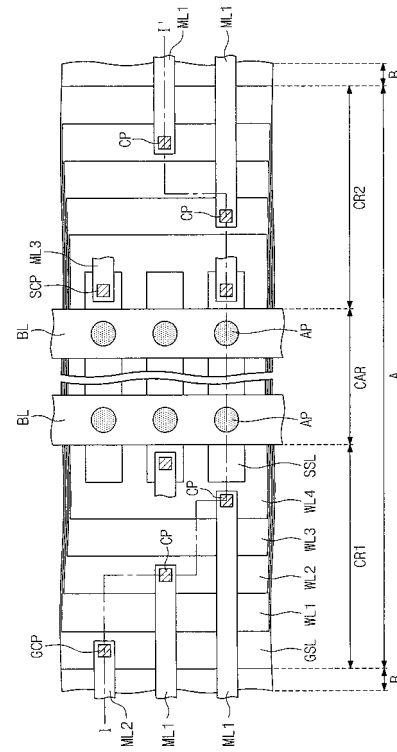
- 1 0 0、1 0 1 基板
- 1 0 3 凹部 A の底面
- 1 0 4 突出部
- 1 0 5、1 0 6 第 1、第 2 側壁
- 1 1 0 接地選択絶縁膜
- 1 1 1 ~ 1 1 5 第 1 ~ 第 5 ゲート間絶縁膜
- 1 1 6 スtring選択絶縁膜
- 1 2 4 ダミー絶縁パターン
- 1 3 2 情報貯蔵膜
- 1 3 4 第 1 絶縁膜 (トンネル誘電膜)
- 1 3 5 電荷貯蔵膜
- 1 3 6 第 2 絶縁膜 (ブロッキング膜)
- 1 6 0 第 1 層間絶縁膜
- 1 7 0 第 2 層間絶縁膜

30

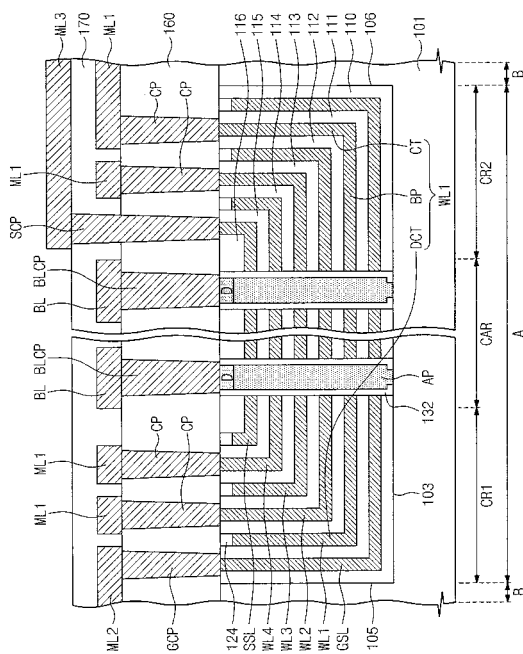
【図 1】



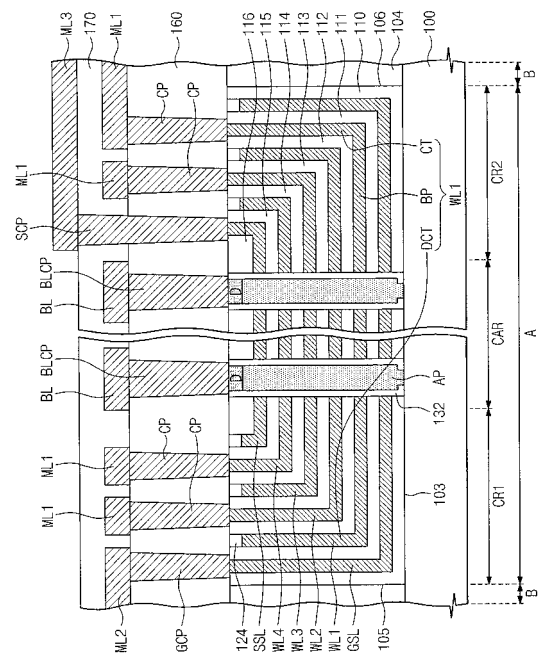
【図 2】



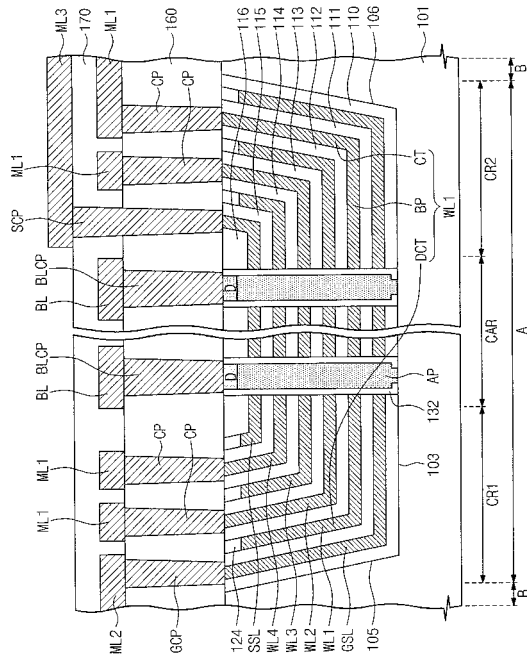
【図 3】



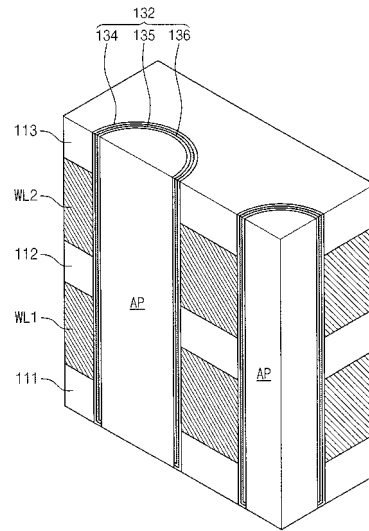
【図 4】



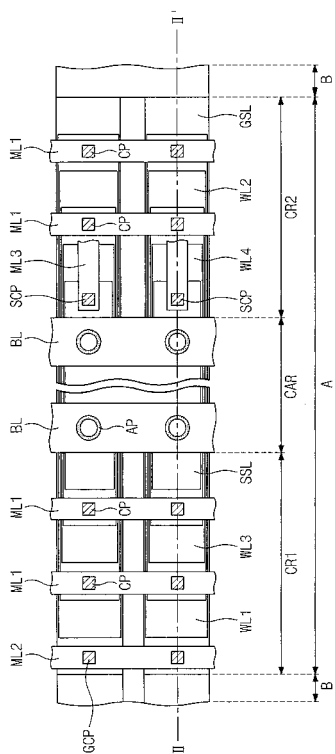
【図 5】



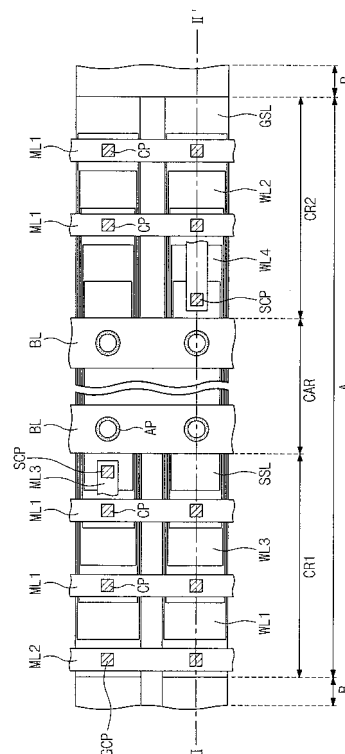
【図 6】



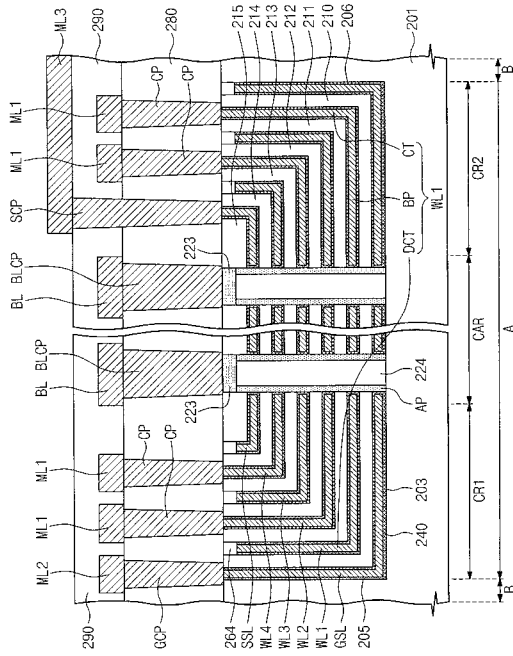
【図 7】



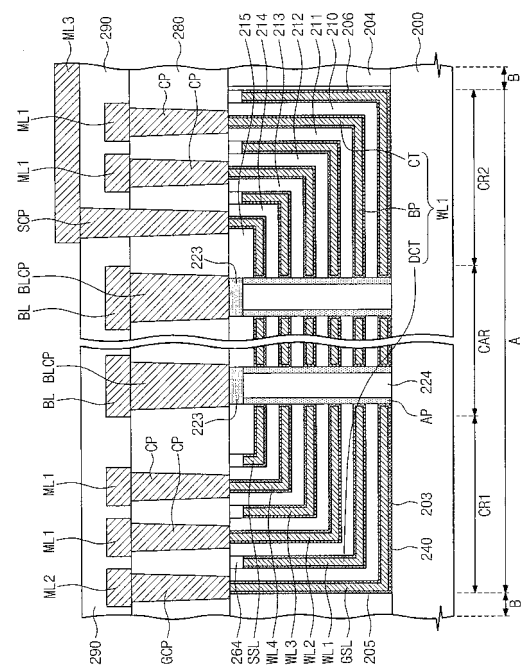
【図 8】



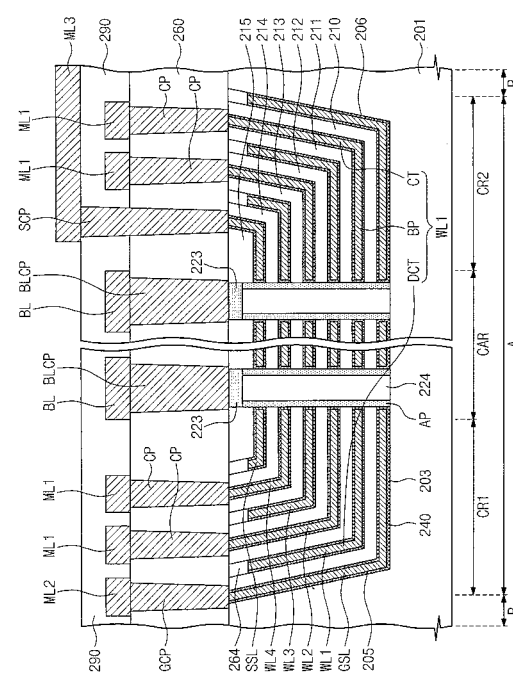
【図 9】



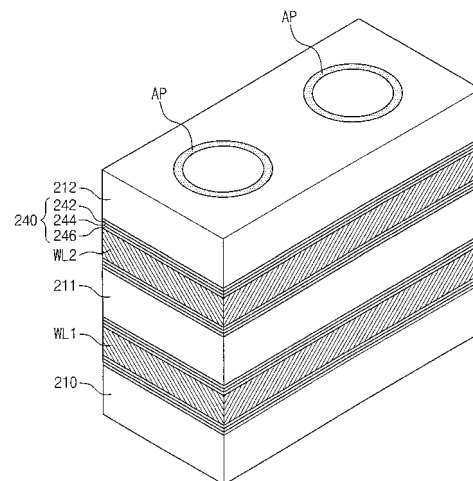
【図 10】



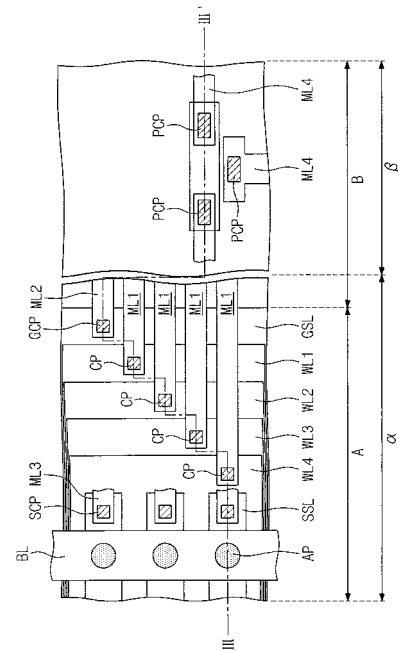
【図 11】



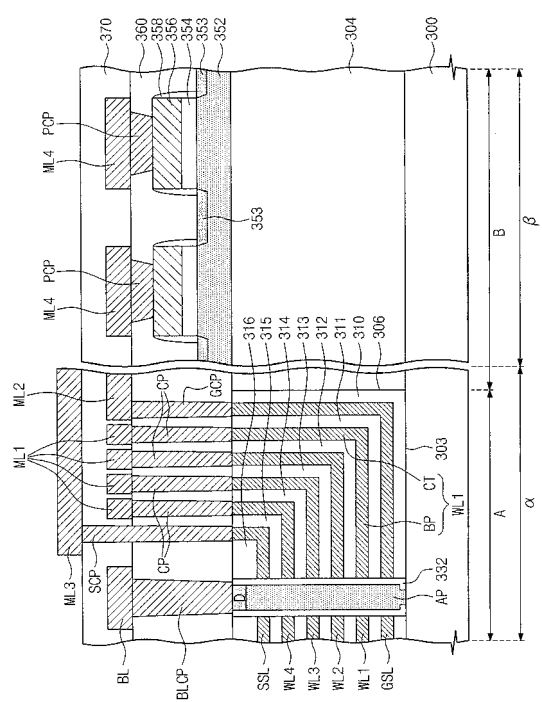
【図 12】



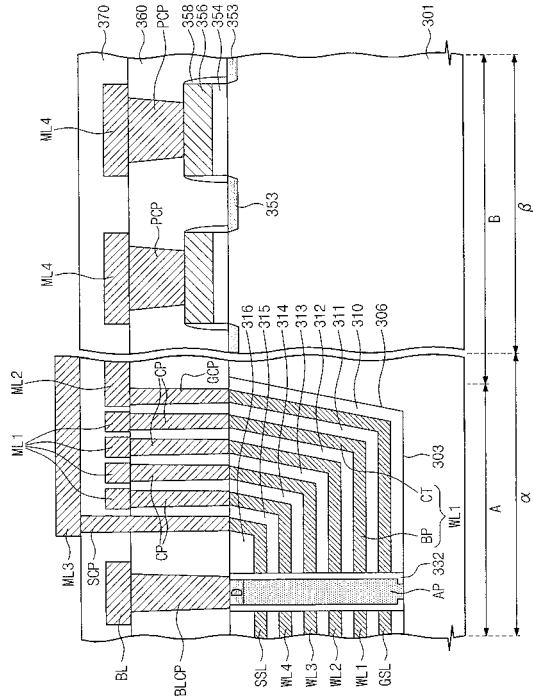
【 図 1 4 】



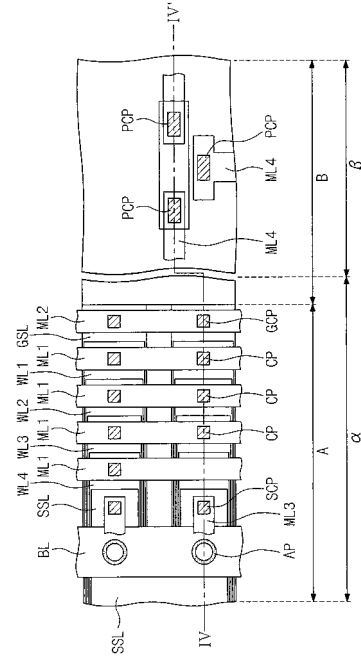
【 ㄨ 1 6 】



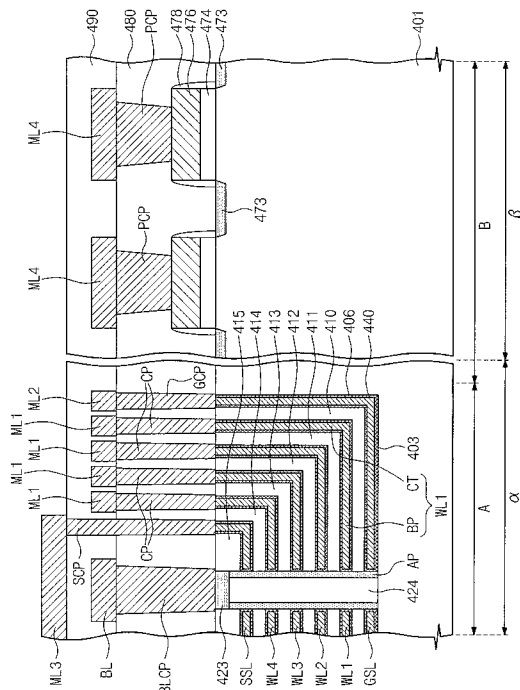
【図 17】



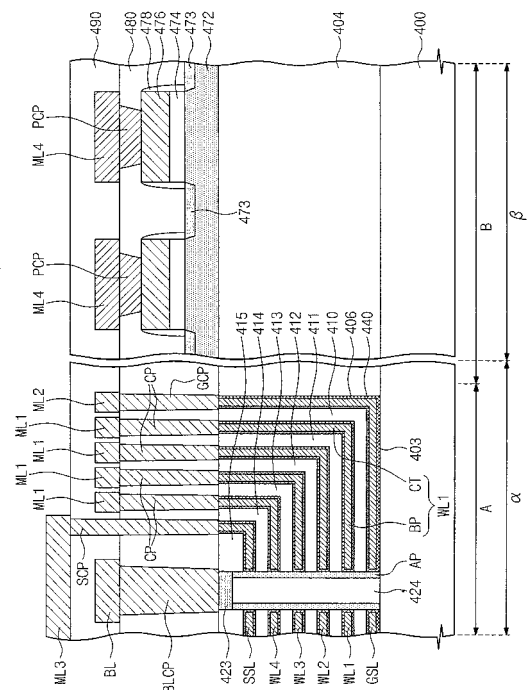
【図 18】



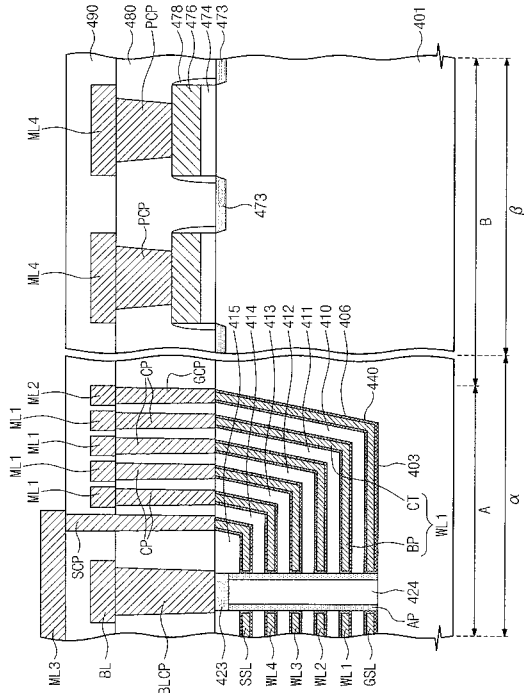
【図 19】



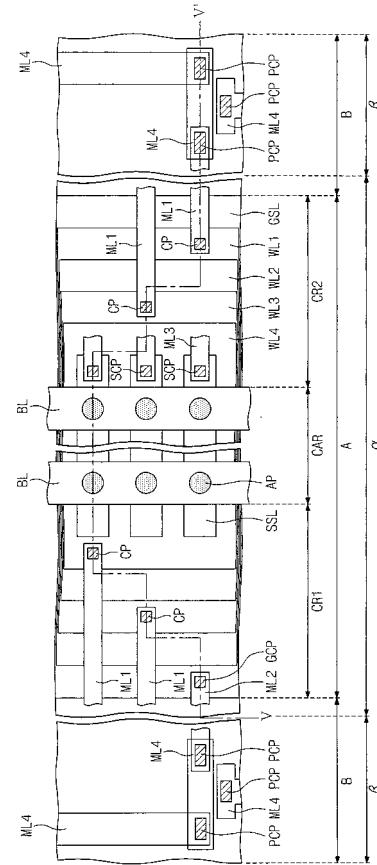
【図 20】



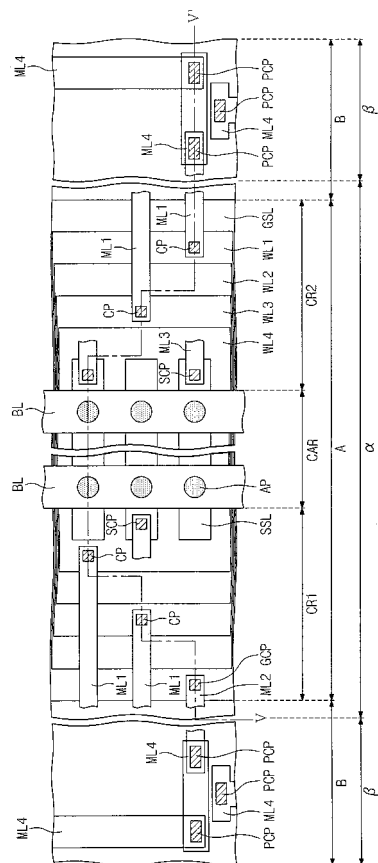
【図 2 1】



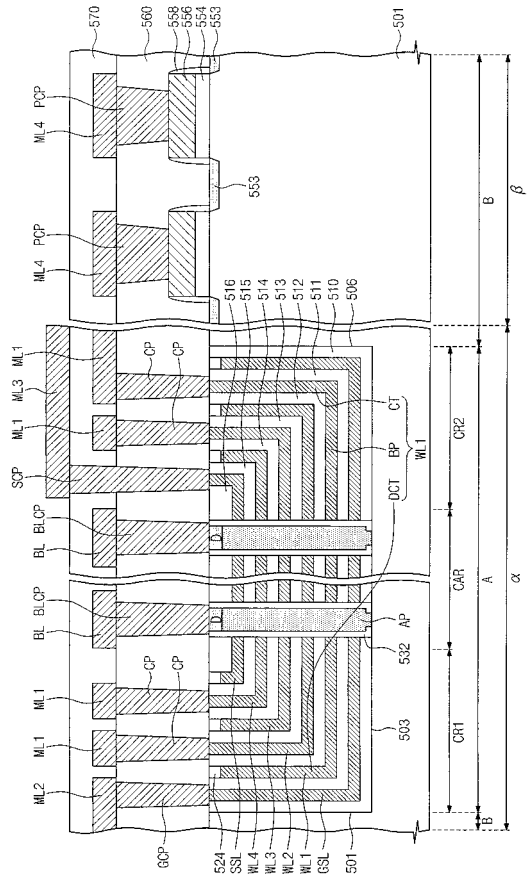
【図 2 2】



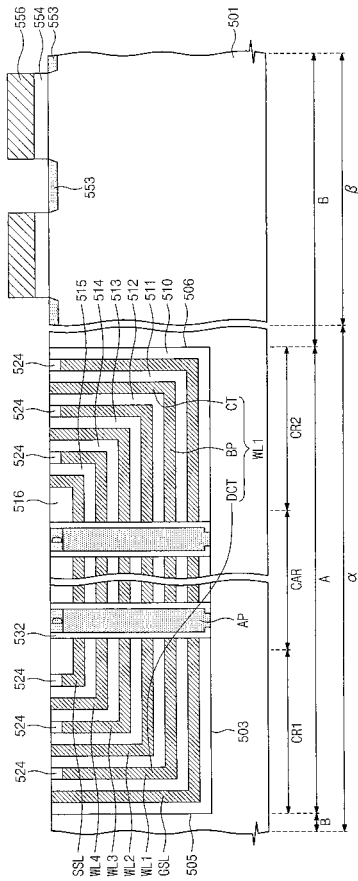
【図 2 3】



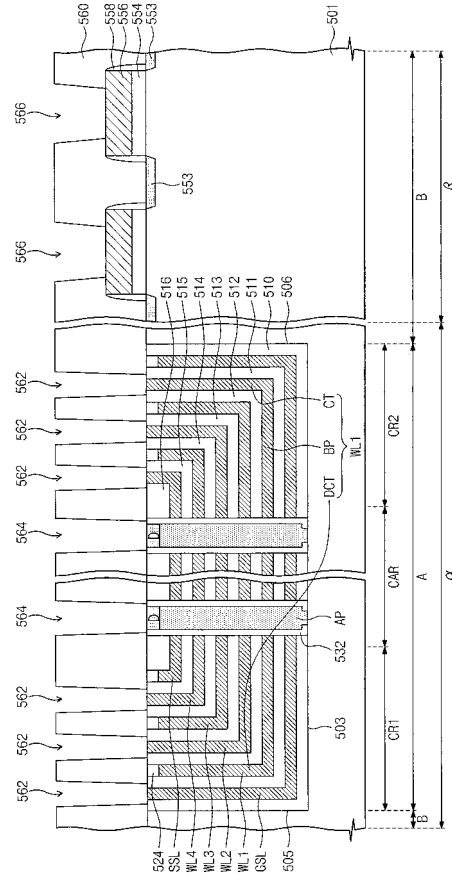
【図 2 4】



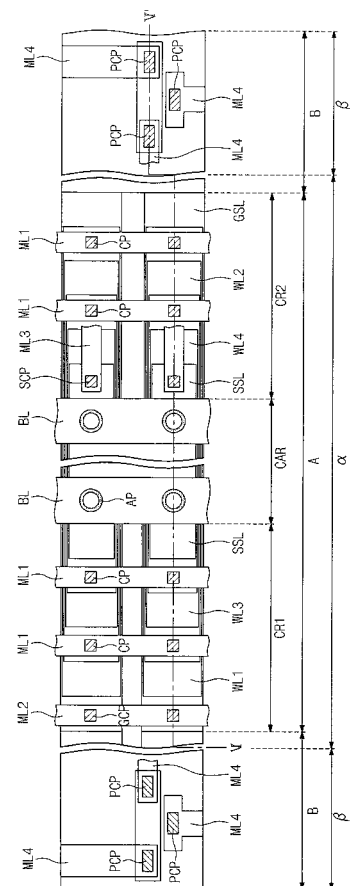
【 図 3 3 】



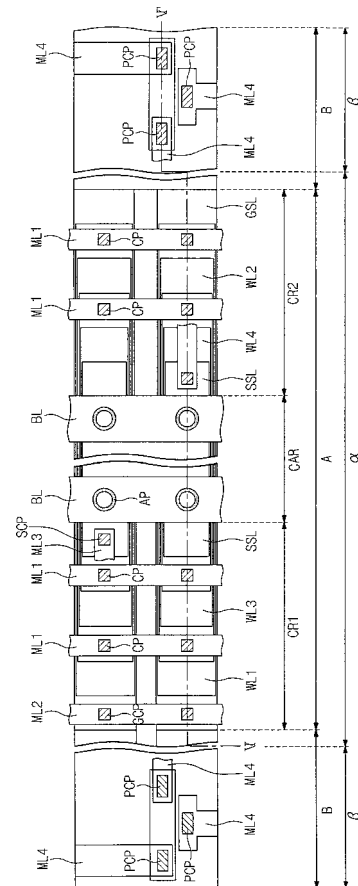
【 図 3 4 】



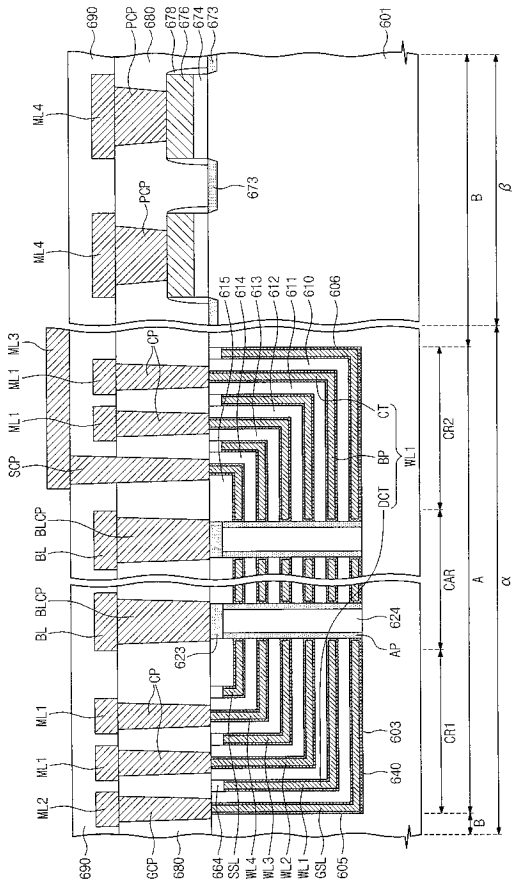
【 図 3 5 】



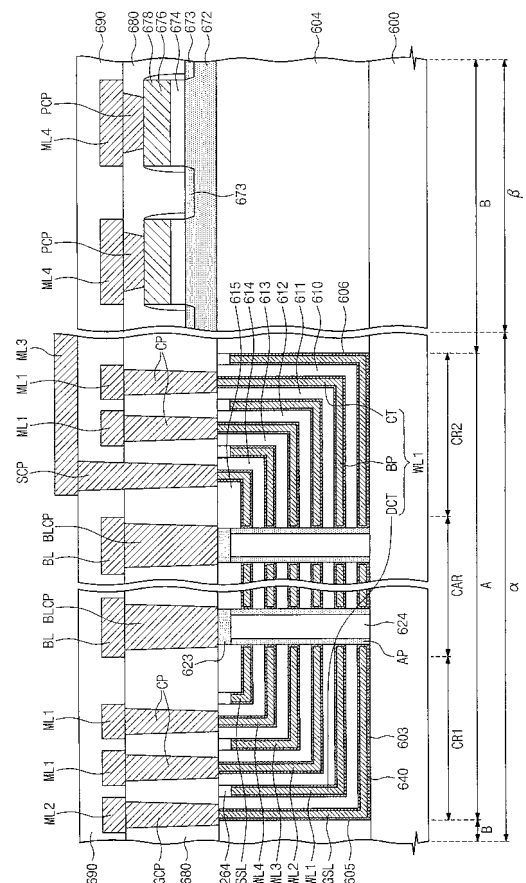
【 図 3 6 】



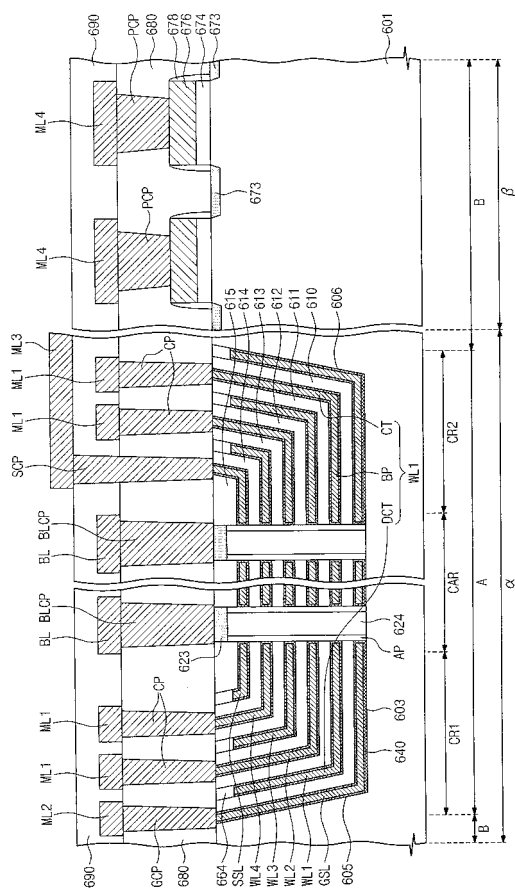
【 図 3 7 】



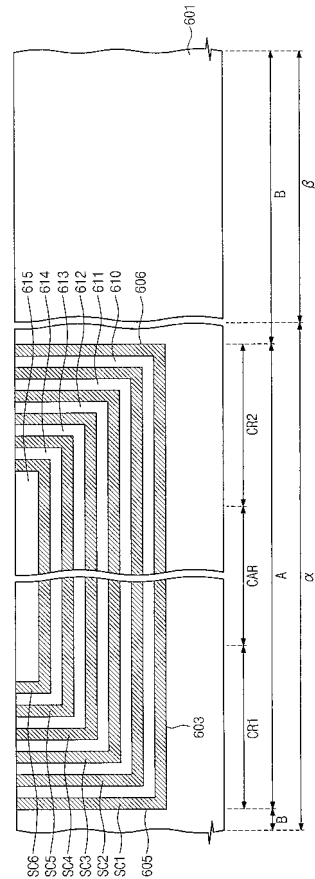
【 図 3 8 】



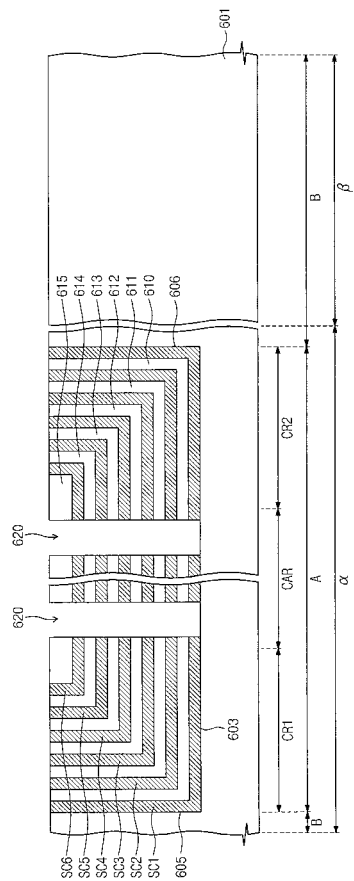
【 図 3 9 】



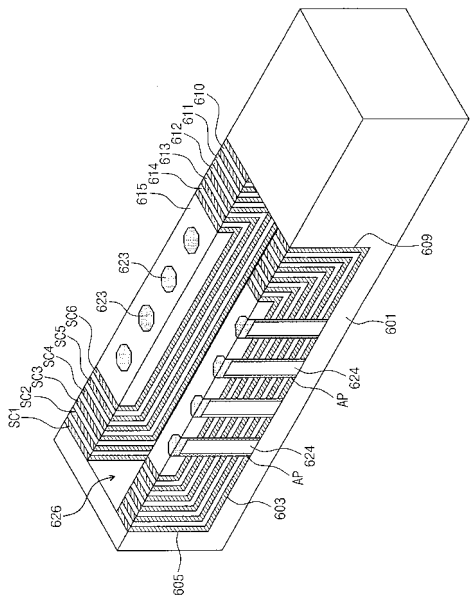
【 図 4 0 】



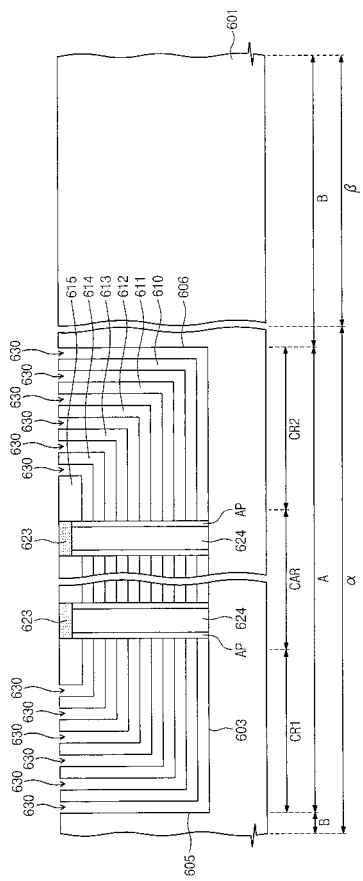
【図 4 1】



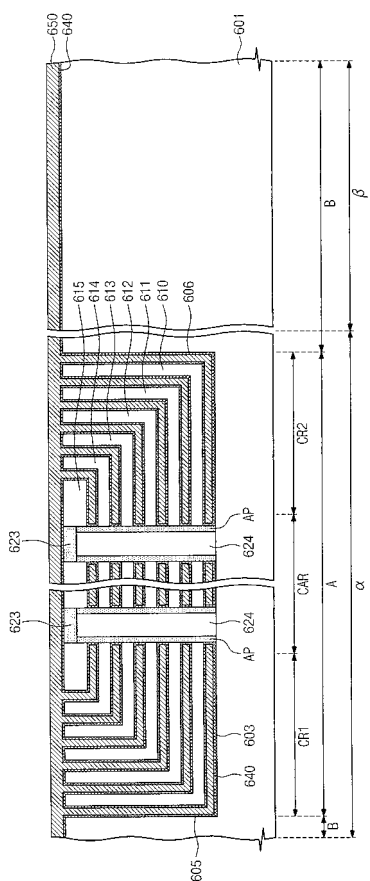
【図 4 2】



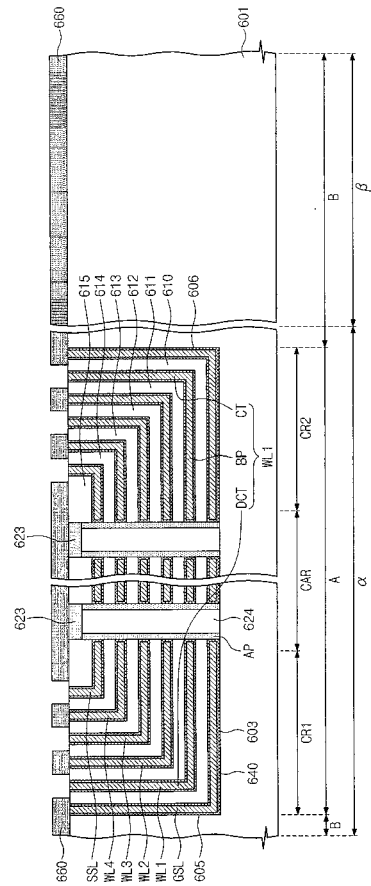
【図 4 3】



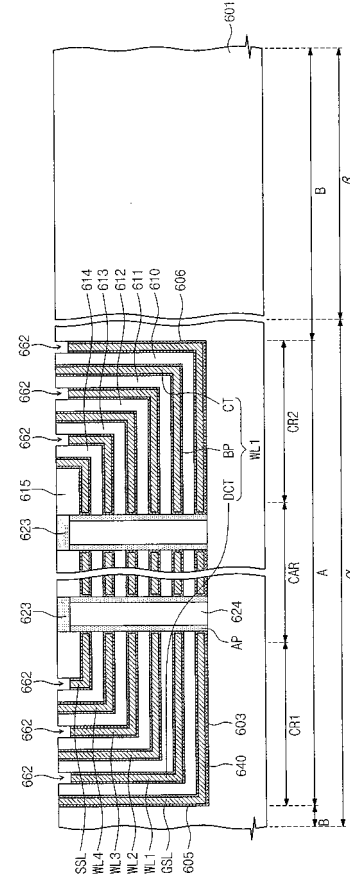
【図 4 4】



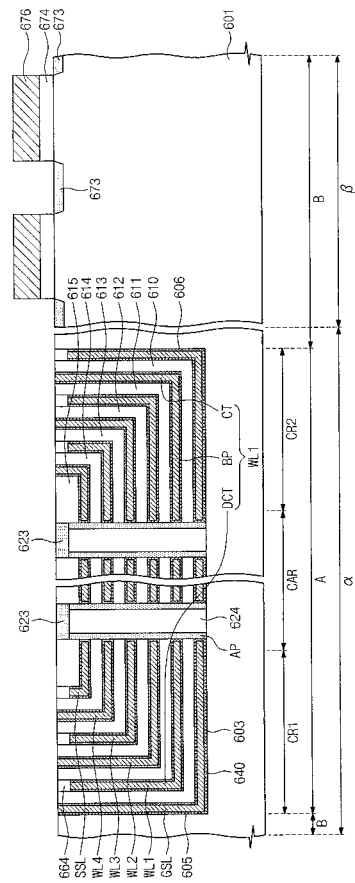
【図 4 5】



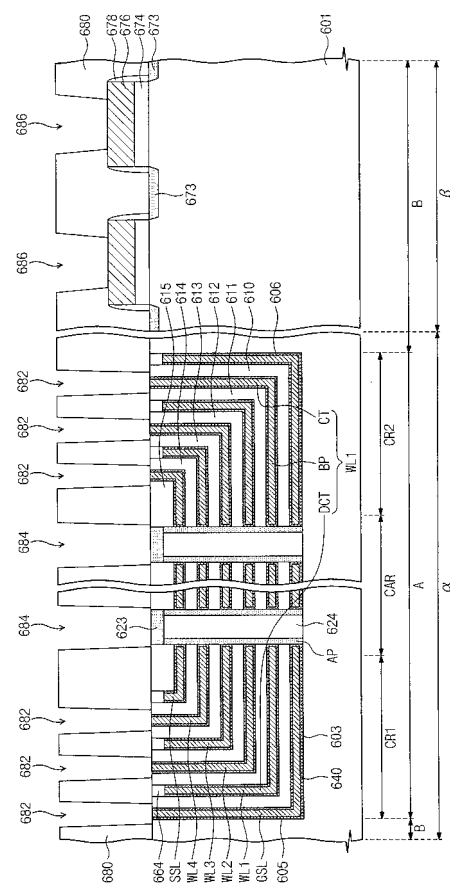
【図 4 6】



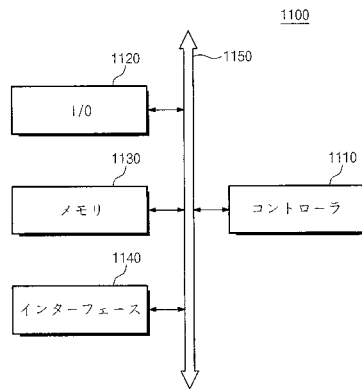
【図 4 7】



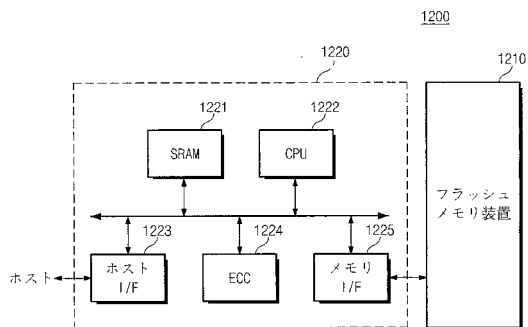
【図 4 8】



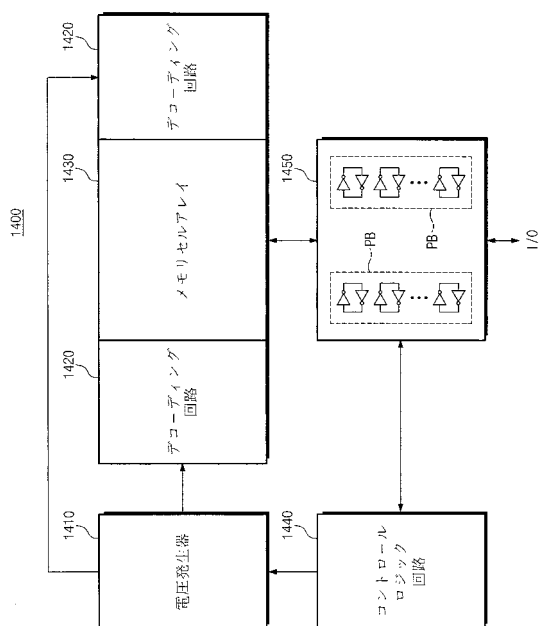
【図 49】



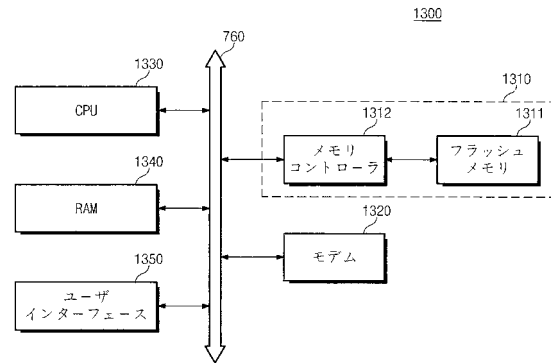
【図 50】



【図 52】



【図 51】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
G 1 1 C 16/04 (2006.01) G 1 1 C 17/00 6 2 1 Z
 G 1 1 C 17/00 6 2 5

- (72)発明者 金 漢 洙
 大韓民国 京畿道 水原市 霊通区 霊通洞 チョンミョンロ 1 0 0 三星 来美安アパート
 4 3 1 棟 6 0 1 号
- (72)発明者 安 永 洙
 大韓民国 京畿道 龍仁市 器興区 麻北洞 ムドンLG 2次アパート 1 0 2 棟 1 5 0 3 号
- (72)発明者 金 敏 求
 大韓民国 京畿道 龍仁市 水枝区 豊徳川洞 ジンサンマウル 三星5次アパート 5 2 6 棟 1
 4 0 4 号
- (72)発明者 金 鎮 瑚
 大韓民国 京畿道 華城市 機山洞 ヘンリムマウル 来美安アパート 1 0 1 棟 1 2 0 3 号
- (72)発明者 崔 在 亨
 大韓民国 京畿道 華城市 盤松洞 ソルビットマウル ギョンナム オナーズビル アパート
 4 0 4 棟 6 0 3 号
- (72)発明者 崔 錫 憲
 大韓民国 京畿道 水原市 霊通区 霊通洞 ビョクジョクゴル ロッテ アパート 9 4 6 棟 1
 4 0 2 号
- (72)発明者 沈 載 株
 大韓民国 京畿道 水原市 長安区 泉川洞 4 8 2 番地 シンミョンアパート 7 5 1 棟 6 0 1
 号
- (72)発明者 趙 源 錫
 大韓民国 京畿道 水原市 霊通区 霊通1洞 ファンゴルマウル2団地 ビョクサンアパート
 2 2 4 棟 1 2 0 2 号
- (72)発明者 沈 善 一
 大韓民国 ソウル特別市 松坡区 芳イ1洞 コロンアパート 1 0 4 棟 7 0 4 号
- (72)発明者 林 周 永
 大韓民国 ソウル特別市 城北区 長位2洞 6 8 - 2 0 5

F ターム(参考) 5B125 BA02 BA08 CA06 CA30 EA01 EA05 EE19 EK01 EK02 FA07
 FA10
 5F083 EP17 EP18 EP22 EP32 EP48 EP49 EP76 FZ10 GA10 JA02
 JA04 JA05 JA19 KA01 KA05 LA12 LA16 LA21 MA06 MA16
 ZA04
 5F101 BA42 BA44 BA45 BA54 BB02 BD16 BD22 BD34