

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-199829

(P2014-199829A)

(43) 公開日 平成26年10月23日(2014.10.23)

(51) Int.Cl.

F I

テーマコード (参考)

H O 1 L 25/07 (2006.01)

H O 1 L 25/04

C

H O 1 L 25/18 (2006.01)

審査請求 未請求 請求項の数 7 O L (全 13 頁)

(21) 出願番号 特願2011-167683 (P2011-167683)

(22) 出願日 平成23年7月29日 (2011.7.29)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(74) 代理人 100105924

弁理士 森下 賢樹

(74) 代理人 100123102

弁理士 宗田 悟志

(72) 発明者 山本 哲也

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

(72) 発明者 臼井 良輔

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

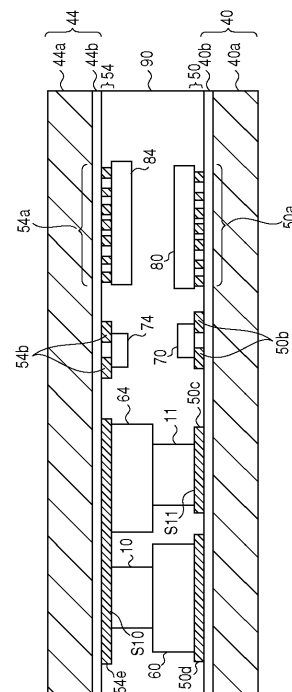
(54) 【発明の名称】 半導体モジュール及びそれを搭載したインバータ

(57) 【要約】

【課題】半導体モジュールの放熱特性を向上させる。

【解決手段】半導体モジュール200は、基板40とこれに対向して配置されている基板44を有する。半導体素子10の高発熱主面S10は基板44側を向いて設けられ、配線層54eを介して基板44に熱的に接続されている。半導体素子11の高発熱主面S11は基板40側を向いて設けられ、配線層50cを介して基板40に熱的に接続されている。また、半導体素子10のエミッタ電極と半導体素子11のコレクタ電極は配線層54eおよびヒートスプレッド64を介して電氣的に接続されている。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

第 1 の基板と、
前記第 1 の基板に対して所定の間隔で対向して配置されている第 2 の基板と、
前記第 1 の基板と前記第 2 の基板の間に設けられ、一方の主面側の発熱量が他方の主面側の発熱量より大きい第 1 の半導体素子と、
前記第 1 の基板と前記第 2 の基板の間に設けられ、一方の主面側の発熱量が他方の主面側の発熱量より大きい第 2 の半導体素子と、
を備え、
前記第 1 の半導体素子の一方の主面が前記第 1 の基板と熱的に接続し、
前記第 2 の半導体素子の一方の主面が前記第 2 の基板と熱的に接続していることを特徴とする半導体モジュール。

10

【請求項 2】

前記第 1 の基板および第 2 の基板のうちの一方の基板と前記第 1 の半導体素子との間、他方の基板と前記第 2 の半導体素子との間にそれぞれ放熱部材を設けたことを特徴とする請求項 1 に記載の半導体モジュール。

【請求項 3】

前記第 1 の基板および第 2 の基板のうちの一方の基板と前記第 1 の半導体素子との間、他方の基板と前記第 2 の半導体素子との間にそれぞれ弾性部材を設けたことを特徴とする請求項 1 または 2 に記載の半導体モジュール。

20

【請求項 4】

前記放熱部材を弾性体としたことを特徴とする請求項 2 に記載の半導体モジュール。

【請求項 5】

前記第 1 の基板および第 2 の基板のうちの一方の基板に設けられた配線層を介して前記第 1 の半導体素子の電極と前記第 2 の半導体素子の電極が電氣的に接続されていることを特徴とする請求項 1 から 4 のいずれかに記載の半導体モジュール。

【請求項 6】

請求項 1 から 5 のいずれかに記載の半導体モジュールを備えることを特徴とするインバータ。

【請求項 7】

各半導体素子は、他方の主面より発熱量が大きい主面が、同一位相の半導体素子および異なる位相の半導体素子であって隣り合う半導体素子とそれぞれ異なる基板側を向いて設けられていることを特徴とする請求項 6 に記載のインバータ。

30

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、半導体モジュール、半導体モジュールを備えたインバータに関する。

【背景技術】**【0002】**

近年、電子機器の小型化・高機能化に伴い、電子機器に使用される半導体モジュールのさらなる小型化が求められている。このような要求に応えるために、基板上に複数の半導体素子を高密度に搭載した半導体モジュールが発明されている（たとえば特許文献 1）。

40

【先行技術文献】**【特許文献】****【0003】**

【特許文献 1】特開平 10 - 12812 号公報

【発明の概要】**【発明が解決しようとする課題】****【0004】**

半導体素子はそのスイッチング動作などにより発熱する。そして、上記のような、半導

50

体素子の高密度化に伴い半導体素子の単位体積当たりの発熱量が増加する傾向にある。半導体素子はその温度が許容値を超えると性能や信頼性に影響を及ぼすため、発生した熱を外部に逃がし、半導体素子の温度を許容値以下に保つ必要がある。

【0005】

本発明はこうした状況に鑑みなされたものであり、その目的は、半導体モジュールの放熱特性を向上させる技術を提供することにある。

【課題を解決するための手段】

【0006】

本発明のある態様の半導体モジュールは、第1の基板と、第1の基板に対して所定の間隔で対向して配置されている第2の基板と、第1の基板と第2の基板の間に設けられ、一方の主面側の発熱量が他方の主面側の発熱量より大きい第1の半導体素子と、第1の基板と第2の基板の間に設けられ、一方の主面側の発熱量が他方の主面側の発熱量より大きい第2の半導体素子とを備える。第1の半導体素子の一方の主面は第1の基板と熱的に接続され、第2の半導体素子の一方の主面は前記第2の基板と熱的に接続される。

10

【0007】

この態様によれば、第1の基板および第2の基板の2つの基板から、半導体素子が発する熱を効率的に外部に放熱することができる。

【0008】

本発明の他の態様は、インバータである。当該インバータは、上述したいずれかの態様の半導体モジュールを備える。

20

【0009】

この態様によれば、2つの基板から半導体素子が発する熱を効率的に外部に放熱することが可能となり、インバータの放熱性能を向上させることができる。

【0010】

上記態様のインバータにおいて、各半導体素子は、他方の主面より発熱量が大きい主面が、同一位相の半導体素子および異なる位相の半導体素子であって隣り合う半導体素子とそれぞれ異なる基板側を向いて設けられていてもよい。

【発明の効果】

【0011】

本発明によれば、半導体モジュールの放熱特性を向上させることができる。

30

【図面の簡単な説明】

【0012】

【図1】実施の形態1に係る半導体モジュールの概略断面を示す図である。

【図2】実施の形態1に係る半導体モジュールの製造プロセスを示す工程断面図である。

【図3】実施の形態1と比較すべき、比較例1に係る半導体モジュールの概略断面を示す図である。

【図4】実施の形態1と比較すべき、比較例2に係る半導体モジュールの概略断面を示す図である。

【図5】実施の形態2に係る半導体モジュールの概略断面を示す図である。

【図6】実施の形態3に係るインバータの回路構成を示す図である。

40

【図7】実施の形態3に係るインバータの配線および半導体素子の配置を示す図である。

【図8】実施の形態3に係るインバータの各相アームの概略断面図を示す図である。

【図9】実施の形態3に係るインバータにより三相交流を生成する際の各半導体素子のオンオフとその配置関係を示す図である。

【図10】実施の形態4に係るインバータの配線および半導体素子の配置を示す図である。

【図11】実施の形態4に係るインバータの各相アームの概略断面図を示す図である。

【図12】実施の形態4に係るインバータにより三相交流を生成する際の各半導体素子のオンオフとその配置関係を示す図である。

【図13】本実施の形態の変形例に係る半導体モジュールの概略断面を示す図である。

50

【発明を実施するための形態】**【0013】**

以下、本発明を具現化した実施の形態について図面に基づいて説明する。なお、すべての図面において、同様な構成要素には同様の符号を付し、適宜説明を省略する。

【0014】

(実施の形態1)

図1は、実施の形態1に係る半導体モジュール200の概略断面を示す。半導体モジュール200は半導体素子10、11、基板40、44、配線層50、54、ヒートスプレッド60、64、受動素子70、74、制御回路素子80、84、モールド樹脂90を備える。

10

【0015】

まず、半導体モジュール200の基板40側(図1では下側)の構造から説明する。

【0016】

基板40は、金属層40aおよび絶縁層40bを含む。

【0017】

金属層40aは、金属基板であり、熱伝導性に優れた金属材料、たとえば銅、アルミニウムにより構成される。金属層40aの厚さは、たとえば、約1.5mmである。

【0018】

絶縁層40bは、金属層40aの一方の主面(図1では上側)に形成されている。絶縁層40bには、エポキシ樹脂を主成分とする材料が用いられる。絶縁層40bの厚さは、たとえば、約150μmである。また、熱伝導率を高くするため、絶縁層40bに、銀、ビスマス、銅、アルミニウム、マグネシウム、錫、亜鉛およびこれらの合金などやシリカ、アルミナ、窒化ケイ素、窒化アルミニウムなどを高熱伝導性フィラーとして含有することが好ましい。

20

【0019】

配線層50a、50b、50c、50d(これらをまとめて配線層50ともいう)は、基板40の一方の主面(図1では上側)に設けられている。配線層50は、導電材料、好ましくは圧延金属、さらには圧延銅により形成される。配線層50の厚さは、たとえば約80μmである。

【0020】

ヒートスプレッド60は配線層50d上に設けられている。ヒートスプレッド60には、熱伝導性がよく、また、電気抵抗が小さい材料、たとえば、銅が採用される。

30

【0021】

半導体素子11は、一方の主面側の発熱量が他方の主面側の発熱量より大きい縦型トランジスタである。ただし、半導体素子11は、これに限らず、たとえば、ダイオード、ICチップなどであってもよい。

【0022】

半導体素子11は、配線層50c上に設けられている。半導体素子11は、一方の主面S11(図1では下側)にエミッタ電極(不図示)およびゲート電極(不図示)を有し、他方の主面にコレクタ電極(不図示)を有する。エミッタ電極を有する主面S11は他方の主面よりも発熱量が大きく、半導体素子11はその主面S11が基板40側を向いて基板40に熱的に接続されている。このため、半導体素子11の主面S11からの熱は、ヒートスプレッド64および配線層54eを介して基板44にも放熱されるが、主に基板40に放熱される。

40

【0023】

受動素子70は、基板40の一方の主面(図1では上側)に実装され、配線層50bに接している。受動素子70は、キャパシタや抵抗などである。

【0024】

制御回路素子80は、基板40の一方の主面(図1では上側)に実装され、配線層50aに接している。制御回路素子80は、IC(集積回路)などであり、半導体素子11を

50

制御する。

【0025】

次に、半導体モジュール200の基板44側(図1では上側)の構造を説明する。基板44は、金属層44aおよび絶縁層44bを含む。基板44は、その間に設けられる配線層50、54、ヒートスプレッド60、64、半導体素子10、11等の厚さによって決まる所定の間隔で基板40に対向して配置されている。

【0026】

金属層44a、絶縁層44bは、それぞれ金属層40a、絶縁層40bと同様である。

【0027】

配線層54a、54b、54e(これらをまとめて配線層54ともいう)は、基板44の一方の主面(図1では下側)に設けられている。配線層54eは、配線層50c、50dに対向する位置に設けられている。また、本実施の形態では、配線層54a、54bもそれぞれ配線層50a、50bに対向する位置に設けられているが、これらは、ずれて設けられてもよい。配線層54の材料および厚さは配線層50と同じである。

【0028】

ヒートスプレッド64は配線層54e上であって、配線層50cに対向する位置に設けられている。また、ヒートスプレッド64の一方の主面(配線層54eと接している面と反対の主面)は、半導体素子11の主面S11と反対の主面と接している。したがって、半導体素子11のコレクタ電極は導電性であるヒートスプレッド64を介して配線層54eと電氣的に接続されている。ヒートスプレッド64の材料はヒートスプレッド60と同じである。

【0029】

半導体素子10は配線層54e上に設けられている。半導体素子10は半導体素子11と同様の半導体素子であり、半導体素子11同様、一方の主面S10(図1では上側)にエミッタ電極(不図示)およびゲート電極(不図示)を有し、他方の主面にコレクタ電極(不図示)を有する。そして、発熱量が大きいエミッタ電極を有する主面S10が基板44側を向いて基板44に熱的に接続され、反対側の主面はヒートスプレッド60に接している。半導体素子10の主面S10からの熱は、ヒートスプレッド60および配線層50dを介して基板40にも放熱されるが、主に基板44に放熱される。また、主面S10と配線層54eが、すなわち半導体素子10のエミッタ電極と配線層54eが、直に接している。

【0030】

受動素子74、制御回路素子84は、それぞれ受動素子70、制御回路素子80に対応する素子である。受動素子74、制御回路素子84は、基板44の一方の主面(図1では下側)に実装され、それぞれ配線層54b、54aに接している。

【0031】

以上の構成の特徴をまとめると次の通りである。半導体素子10は、主面S10が基板44側を向いて設けられ、半導体素子11は主面S11が基板40側を向いて設けられている。すなわち各半導体素子の発熱量の大きい主面(以下「高発熱主面」とよぶ)はそれぞれ異なる基板側を向いて設けられ、熱的に接続されている。また、半導体素子10のエミッタ電極は配線層54eと直に接し、半導体素子11のコレクタ電極はヒートスプレッド64を介して配線層54eと電氣的に接続されている。すなわち、半導体素子10のエミッタ電極と半導体素子11のコレクタ電極は配線層54eおよびヒートスプレッド64を介して電氣的に接続されている。

【0032】

(製造方法)

図2は、図1に示した実施の形態1による半導体モジュールの製造プロセスを説明するための断面図である。

【0033】

まず、図2(a)に示すように、約1.5mmの厚みを有する金属層40aの上に約1

10

20

30

40

50

50 μm の厚みを有する絶縁層40bを設けた基板40を準備する。そして、周知のフォトリソグラフィ技術およびエッチング技術を用いて配線層50をパターンニングする。配線層50a、50b、50d上に制御回路素子80、受動素子70、ヒートスプレッド60をそれぞれ搭載し、ヒートスプレッド60の上にさらに半導体素子10を搭載して、フリップチップ接続する。

【0034】

同様に、図2(b)に示すように、約1.5mmの厚みを有する金属層44aの上に約150 μm の厚みを有する絶縁層44bを設けた基板44を準備する。そして、基板40と同様にして配線層54をパターンニングする。また、基板40と同様にして、配線層54a、54b、54eに制御回路素子84、受動素子74、ヒートスプレッド64をそれぞれ接続し、ヒートスプレッド64の上にさらに半導体素子11を接続する。

【0035】

次に、図2(c)に示すように、基板44を反転して、半導体素子10の主面S10が配線層54eと、半導体素子11の主面S11が配線層50cとそれぞれ接するように基板40に重ね合わせ、フリップチップ接続する。

【0036】

その後、図2(d)に示すように、これらをモールド樹脂90で封止する。この工程は、トランスファーマールド、インジェクションモールド、ポッティングまたはディッピングにより実現できる。樹脂材料としては、エポキシ樹脂等の熱硬化性樹脂がトランスファーマールドまたはポッティングで実現でき、ポリイミド樹脂、ポリフェニレンサルファイド等の熱可塑性樹脂はインジェクションモールドで実現できる。

【0037】

これらの工程により、図1に示した実施の形態1に係る半導体モジュールを製造することができる。

【0038】

(比較例1)

図3は、実施の形態1と比較すべき、比較例1に係る半導体モジュール210を示す。図1と比較すると、比較例1は1つの基板40で構成されている。また、半導体素子10、11は、それぞれ主面S10、S11の反対側の主面(発熱量の小さい方の主面)のみが基板40と熱的に接続されている。また、半導体素子10のエミッタ電極(不図示)と半導体素子11のコレクタ電極(不図示)はワイヤボンディング130により電氣的に接続されている。また、1つの基板40で構成されていることから当然のように、受動素子74、制御回路素子84は基板40に実装されている。

【0039】

(比較例2)

図4は、実施の形態1と比較すべき、比較例2に係る半導体モジュール220を示す。図1と比較すると、比較例2の半導体素子10、11は、それぞれの高発熱主面である主面S10、S11がいずれも基板44側を向いて設けられ、熱的に接続されている。また、半導体素子10は、エミッタ電極を有する主面S10が基板44上の配線層(配線層54h)に直に接するように設けられている。同様に、半導体素子11も、エミッタ電極を有する主面S11が基板44上の配線層(配線層54i)に接するように設けられている。すなわち、半導体素子10、11のエミッタ電極を有する主面が同一基板側にあり、逆にいうと、一方の半導体素子のエミッタ電極を有する主面と他方の半導体素子のコレクタ電極を有する主面は同一基板側でない。そのため、これを電氣的に接続するために基板40の配線層50と基板44の配線層54とを結ぶ経路110が配線層50j、54jに接するように設けられている。また、受動素子74、制御回路素子84は基板40に実装されている。

【0040】

以下、これを踏まえて実施の形態1の効果を説明する。実施の形態1によれば、2つの半導体素子の高発熱主面はそれぞれ異なる基板側を向いて設けられ、熱的に接続されてい

10

20

30

40

50

るため、比較例 1 のように高発熱主面が基板と熱的に接続されていない構成や比較例 2 のように 2 つの半導体素子の高発熱主面が同じ基板側を向いて設けられ、熱的に接続されている構成と比べ、半導体素子が発する熱を 2 つの基板から効率的に外部に放熱することが可能となり、半導体モジュールの放熱性能を向上させることができる。

【0041】

また、2 つの半導体素子の電極が配線層およびヒートスプレッドを介して電氣的に接続されるため、比較例 1 のようなワイヤボンディングによる配線や比較例 2 のような 2 つの基板を結ぶ経路が不要となり、製造工程が簡略化される。また、比較例 1 のようにワイヤボンディングによって配線する場合に必要なワイヤの引きまわしスペースが不要となるため、小型化が可能となる。

10

【0042】

また、本実施の形態では受動素子 70、制御回路素子 80 をそれぞれ受動素子 74、制御回路素子 84 に対向する領域に配置することにより、1 つの基板に配置している比較例 1 および 2 に比べ小型化が可能となる。

【0043】

(実施の形態 2)

図 5 は、実施の形態 2 に係る半導体モジュールの概略断面を示す。実施の形態 1 と異なる箇所は、ヒートスプレッド 60、64 として蛇腹状に折り曲げた銅板を採用していること、すなわちヒートスプレッド 60、64 を弾性体としていることである。

【0044】

20

本実施の形態に係る半導体モジュールを製造する工程は、基本的に実施の形態 1 の半導体モジュールを製造する方法と同じであり、基板 44 を反転して基板 40 と重ね合わせフリップ接続する際に、ヒートスプレッド 60、64 の弾性力が働くように基板 40 と基板 44 とを押し合わせた状態でフリップ接続する点のみ異なる。

【0045】

実施の形態 2 によれば、実施の形態 1 と同様の効果を奏する。それに加え、ヒートスプレッドの弾性力が働いた状態で半導体素子と配線層を接続するため、両者間に隙間が生まれないように接続することができる。すなわち、半導体素子と配線層とを確実に電氣的・熱的に接続することができる。

【0046】

30

(実施の形態 3)

図 6 は、半導体モジュールを適用した実施の形態 3 に係るインバータ 300 の回路構成を示す。インバータ 300 は、三相インバータであって、U 相アーム 310 と、V 相アーム 320 と、W 相アーム 330 とからなる。U 相アーム 310、V 相アーム 320 および W 相アーム 330 は、電源ラインと接地ラインとの間に並列に設けられる。ここでは説明の便宜上、電源 400 および負荷 500 も描いているが、それらはインバータ 300 の構成要素には含まれない。

【0047】

U 相アーム 310 は、電源ラインと接地ラインとの間で直列接続された半導体素子 10、11 からなる。同様に、V 相アーム 320 は半導体素子 20、21 から、W 相アーム 330 は、半導体素子 30、31 からなる。本実施の形態では、特に明示した場合を除き、半導体素子 10 ~ 31 は縦型トランジスタである。

40

【0048】

図 7 は、インバータ 300 の配線および半導体素子の配置を示す。図 7 において、配線層 54f、54g は配線層 50 に含まれる配線層であって、配線層 54e に対応する配線層である。配線層 50、54 のうち、実線の配線層は基板 40 (図 7 では不図示) に設けられ、点線の配線層は基板 44 (図 7 では不図示) に設けられていることを示す。すなわち、配線層 50c、50d は基板 40 に、配線層 54e ~ 54g は基板 44 に設けられている。また、半導体素子 10 ~ 31 のうち、実線の半導体素子は高発熱主面が基板 40 側を向いて基板 40 に熱的に接続され、点線の半導体素子は高発熱主面が基板 44 側を向い

50

て基板 4 4 に熱的に接続されていることを示す。すなわち、半導体素子 1 0、2 0、3 0 は基板 4 4 側を向いて基板 4 4 に熱的に接続され、半導体素子 1 1、2 1、3 1 は基板 4 0 側を向いて基板 4 0 に熱的に接続されている。また、図 7 において、U 相端子 1 2 0、V 相端子 1 2 1、W 相端子 1 2 2 はそれぞれ、U、V、W 相の出力端子である。

【0049】

図 8 は、インバータ 3 0 0 の各相アームの概略断面図を示す。図 8 (a) は図 7 における A - A ' 断面であって U 相アームおよび V 相アームを含む概略断面を、図 8 (b) は図 7 における B - B ' 断面であって W 相アームの概略断面をそれぞれ示す。主面 S 2 0、S 2 1、S 3 0、S 3 1 はそれぞれ半導体素子 2 0、2 1、3 0、3 1 の高発熱主面を示す。図 8 に示すように、各相アームに含まれる 2 つの半導体素子は、その高発熱主面がそれぞれ異なる基板側を向いて設けられ、熱的に接続されている。また、ヒートスプレッダ 6 1、6 2 はヒートスプレッダ 6 0 に、ヒートスプレッダ 6 5、6 6 はヒートスプレッダ 6 4 にそれぞれ対応するヒートスプレッダである。また、配線層 5 4 f、5 4 g は配線層 5 4 e に対応する配線層である。配線層 5 4 f は半導体素子 2 0 と半導体素子 2 1 を電氣的に接続し、配線層 5 4 g は半導体素子 3 0 と半導体素子 3 1 をそれぞれ電氣的に接続する。また、U 相端子 1 2 0、V 相端子 1 2 1、W 相端子 1 2 2 は、外部の負荷 5 0 0 (図 8 (a)、図 8 (b) では不図示) に接続するための端子であり、それぞれ配線層 5 4 e、5 4 f、5 4 g に直に接して設けられている。なお、図 8 (a)、図 8 (b) では、実施の形態 1 の図 1 に示すような受動素子、制御回路素子の図示は省略している。

【0050】

図 9 は、インバータ 3 0 0 により三相交流を生成する際の各半導体素子 1 0 ~ 3 1 のオンオフとその配置関係を示す。図 9 における半導体素子 1 0 ~ 3 1 の実線と点線の関係は図 7 と同様である。インバータ 3 0 0 は図示しない制御部により各半導体素子 1 0 ~ 3 1 を図 9 (a) に示すオンオフ状態から図 9 (f) に示すオンオフ状態まで切り替えることにより三相交流を生成する。各相アームに含まれる 2 つの半導体素子の高発熱主面がそれぞれ異なる基板側を向いて設けられていることから当然のように、高発熱主面が基板 4 0 側を向いて設けられている半導体素子と、高発熱主面が基板 4 4 側を向いて設けられている半導体素子とで均等にオンになっていることが図 9 からわかる。

【0051】

以上の構成における電流の流れを図 9 (a) のオンオフ状態の場合、すなわち半導体素子 1 0、2 1、3 0 がオンで半導体素子 1 1、2 0、3 1 がオフの場合を例に説明する。

【0052】

まず、電流の大まかな流れを図 6 を用いて説明する。電源 4 0 0 からの電流は半導体素子 1 0 を通じて負荷 5 0 0 に流れる。同様に電源 4 0 0 からの電流は半導体素子 3 0 を通じて負荷 5 0 0 に流れる。負荷 5 0 0 に流れた電流は半導体素子 2 1 を通じて電源 4 0 0 に戻る。

【0053】

次に、図 8 (a)、図 8 (b) を用いて電流の流れをより具体的に説明する。電源 4 0 0 (図 8 (a)、図 8 (b) では不図示) からの電流は、入力端子 1 2 4 (図 8 (a)、図 8 (b) では不図示) から図 8 (a) の配線層 5 0 d に流れ込む。そして、半導体素子 1 0 を通じて配線層 5 4 e に流れ、U 相端子 1 2 0 から負荷 5 0 0 (図 8 (a)、図 8 (b) では不図示) に流れ出る。同様に、電源 4 0 0 からの電流は、図 8 (b) の半導体素子 3 0 を通じて配線層 5 4 g に流れ、W 相端子 1 2 2 から負荷 5 0 0 に流れ出る。半導体素子 1 0 および 3 0 を通じて負荷 5 0 0 に流れ出た電流は、図 8 (a) の V 相端子 1 2 1 から配線層 5 4 f に流れ込む。そして、半導体素子 2 1 を通じて配線層 5 0 c に流れ、出力端子 1 2 5 (図 8 (a)、図 8 (b) では不図示) から電源 4 0 0 に戻る。

【0054】

実施の形態 3 によれば、各相アームに含まれる 2 つの半導体素子は高発熱主面がそれぞれ異なる基板側を向いて設けられ、熱的に接続されているため、それぞれの基板から半導体素子が発する熱を効率的に外部に放熱することが可能となり、インバータの放熱性能を

向上させることができる。

【0055】

(実施の形態4)

図10は実施の形態4に係るインバータの配線および半導体素子の配置を示し、図11は実施の形態4に係るインバータ300の各相アームの概略断面図を示す。図10、図11(a)~(b)はそれぞれ図7、図8(a)~(b)に対応する。実施の形態3と異なる箇所は、半導体素子20と半導体素子21の配置を逆にしていることと、配線層50cと配線層50dの形状が異なることである。

【0056】

図10に示すように、各半導体素子の高発熱主面は、異なる位相の半導体素子も含め、隣り合う半導体素子とは異なる基板側を向いて設けられ、熱的に接続されている。たとえば、図10に示すように、V相の半導体素子21の高発熱主面は基板40側を向いて設けられ、熱的に接続されている。一方、同じV相の半導体素子20の高発熱主面は基板44側を向いて設けられ、熱的に接続されている。また、U相およびW相の半導体素子であって半導体素子21と隣り合う半導体素子10、30の高発熱主面も基板44側を向いて設けられ、熱的に接続されている。

10

【0057】

また、図11に示すように、各半導体素子10~31と配線層50、54の電気的な接続関係が実施の形態3と同じとなるように配線層50c、50dが形成されている。より具体的には、配線層50cは、半導体素子21、半導体素子11、半導体素子31がこの順番に配置されるように形成されている。同様に配線層50dは、半導体素子10、半導体素子30、半導体素子20がこの順番に配置されるように形成されている。また、配線層50cと配線層50dは重ならないように形成されている。

20

【0058】

図12は、インバータ300により三相交流を生成する際の各半導体素子10~31のオンオフとその配置関係を示す。図12(a)~図12(f)は実施の形態3における図9(a)~図9(f)に対応する図であり、実線と点線の関係は図9(a)~図9(f)と同様である。各半導体素子10~31を図12(a)に示すオンオフ状態から図12(f)に示すオンオフ状態まで切り替えることにより三相交流を生成する。

【0059】

実施の形態4によれば、実施の形態3と同様の効果を奏する。それに加えて、隣り合う半導体素子の高発熱主面からの熱はそれぞれ異なる基板に主に放熱されるため、半導体素子の間隔を半導体素子1つ分大きく取った場合と同様に、半導体素子から生じた熱が基板の厚さ方向に伝わる間に重なり合って干渉し、局所的に大きな熱が発生する熱干渉を軽減でき、より効率的に放熱することが可能となる。

30

【0060】

以上、本発明を実施例をもとに説明した。この実施例は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【0061】

上述した実施の形態では、基板40、44として金属基板を用いる例を示したが、本発明はこれに限らない。たとえば、一方の基板にISB(Integrated System in Board; 登録商標)基板を用いたり、基板内部にメタル板を挟み込んだメタルコア基板を用いてもよい。この場合、基板の熱伝導率が落ちるため熱を外部に放熱する効果は小さくなるが、高い集積能力が得られる。なお、ISB基板については特開2002-110717号公報に詳しい。

40

【0062】

また、図13に示すように、ヒートシンク層41、45およびサーマルビア42、46として金属(たとえばAg)を同時焼成したLTCC(Low Temperature Co-fired Ceramics)基板であってもよい。その場合、基板の厚み方向に貫通するサーマルビアは配線層

50

50、54の無い部分に設ける。これにより絶縁性を保ちつつ、半導体素子が発する熱を外部に放熱することが可能となる。

【0063】

また、上述した実施の形態では、半導体素子と配線層との間にヒートスプレッドを設ける例を示したが、ヒートスプレッドを設けずに、半導体素子の両主面が配線層に直接接するようにしてもよい。

【0064】

実施の形態2では、蛇腹構造のヒートスプレッド60を各半導体素子の高発熱主面と反対の主面と配線層との間に設けられる例を示したが、高発熱主面と配線層との間に設けられてもよい。

【0065】

また、実施の形態2では、ヒートスプレッドを蛇腹構造の弾性体とする例を示したが、これとは別に、弾性部材を半導体素子と基板との間に設けてもよい。なお、この場合、半導体素子と基板の間に設けられていればよく、半導体素子と弾性部材のいずれかに直接接していなくてもよい。

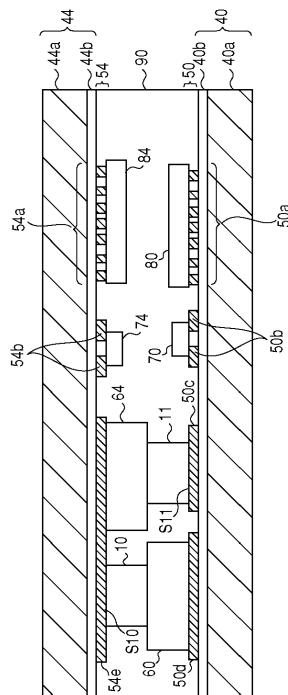
【0066】

実施の形態3および4では、U、V、W相の三相インバータの例を示したが、本発明はこれに限らない。たとえば、たとえば、単相または三相以外の多相インバータであってもよい。

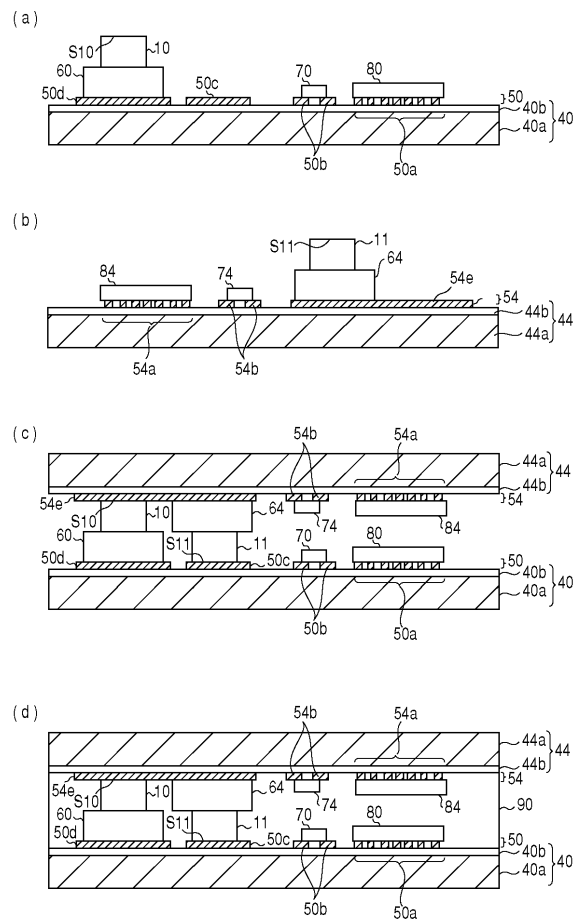
【符号の説明】

10、11、20、21、30、31 半導体素子、 40、44 基板、 50、54 配線層、 60、64 ヒートスプレッド、 70、74 受動素子 80、84 制御回路素子、 90 モールド樹脂、 200 半導体モジュール、 300 インバータ。

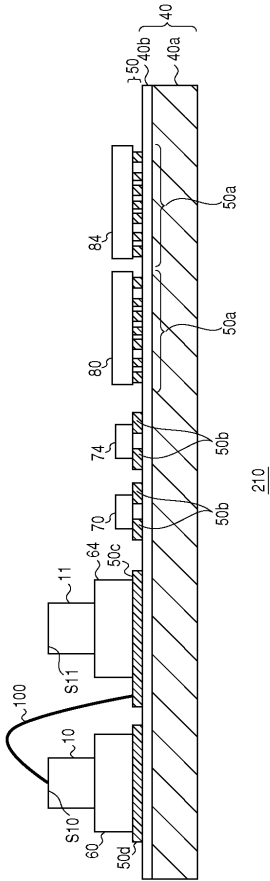
【図1】



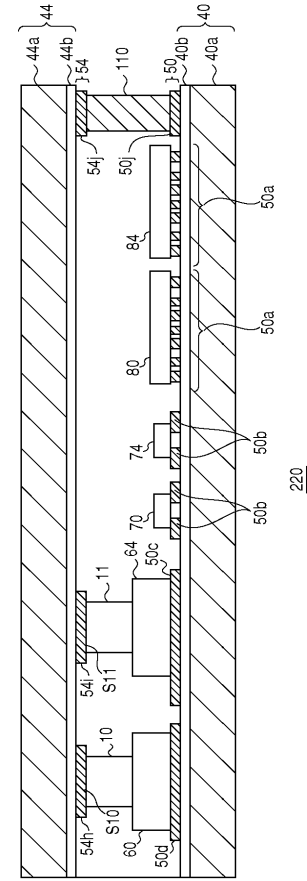
【図2】



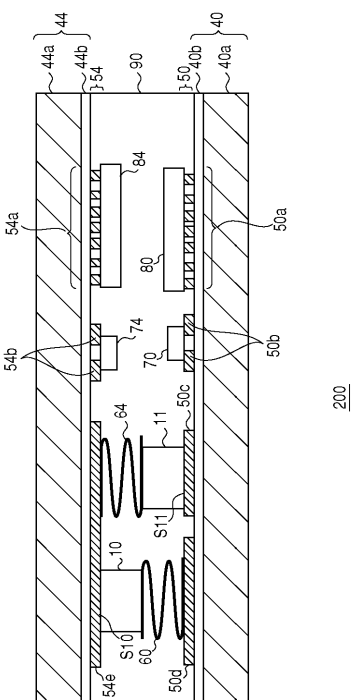
【図 3】



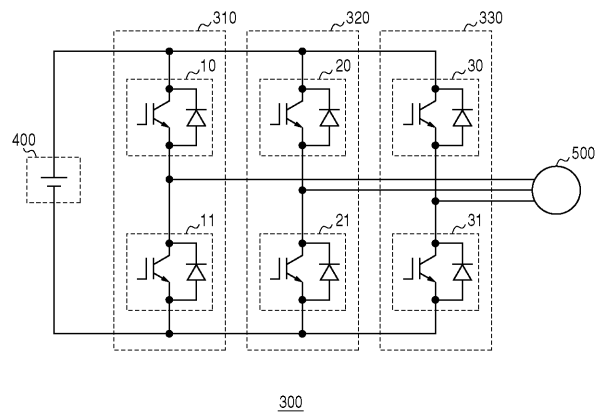
【図 4】



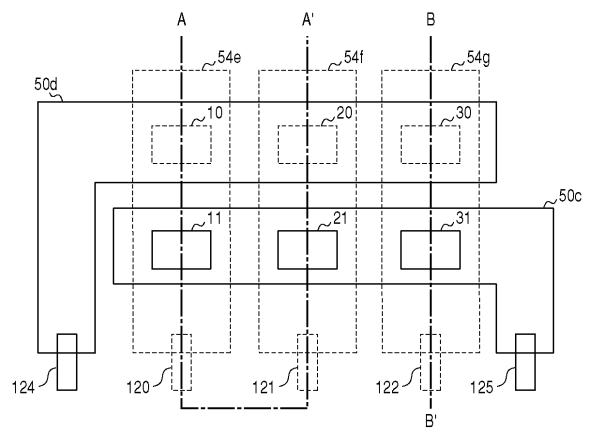
【図 5】



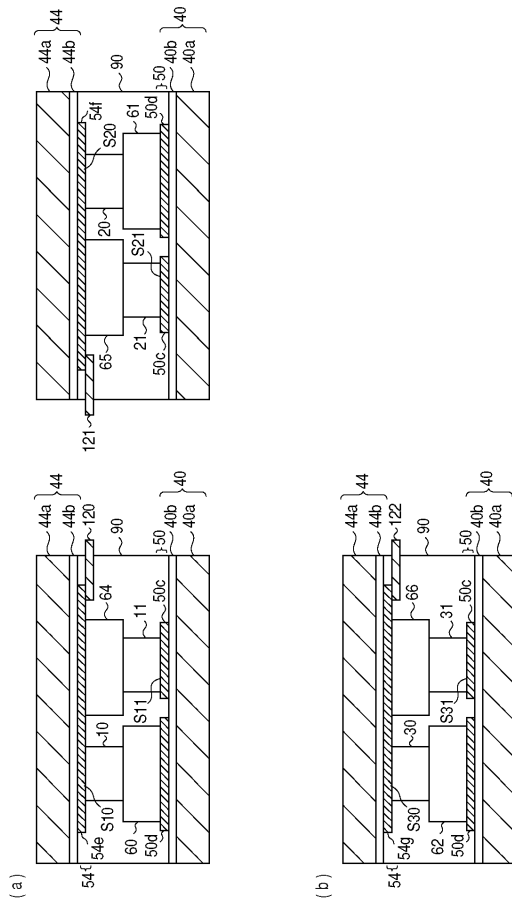
【図 6】



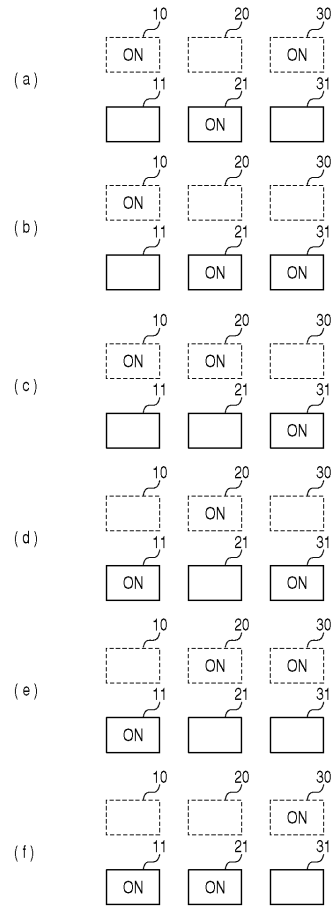
【図 7】



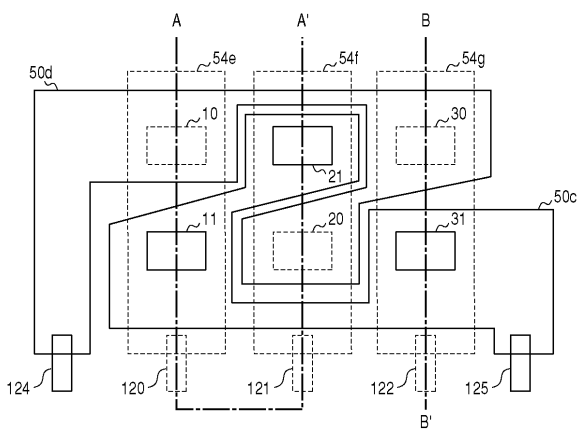
【図 8】



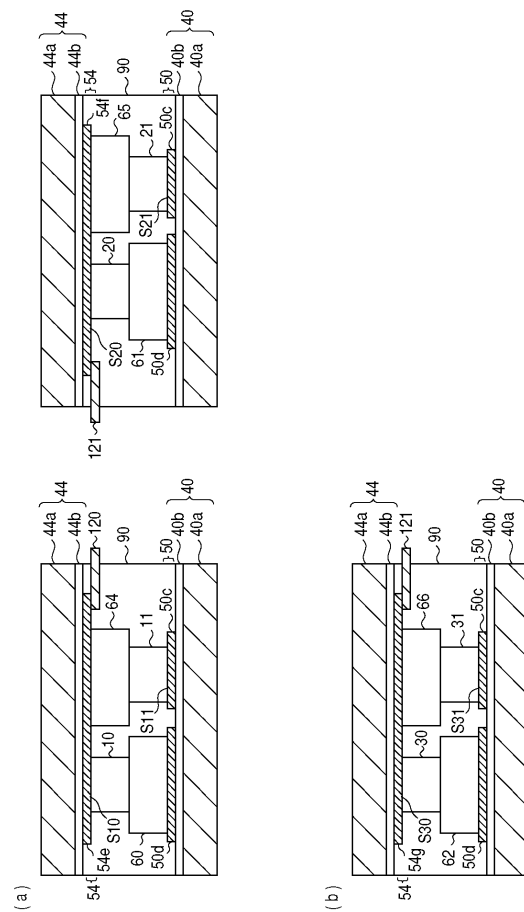
【図 9】



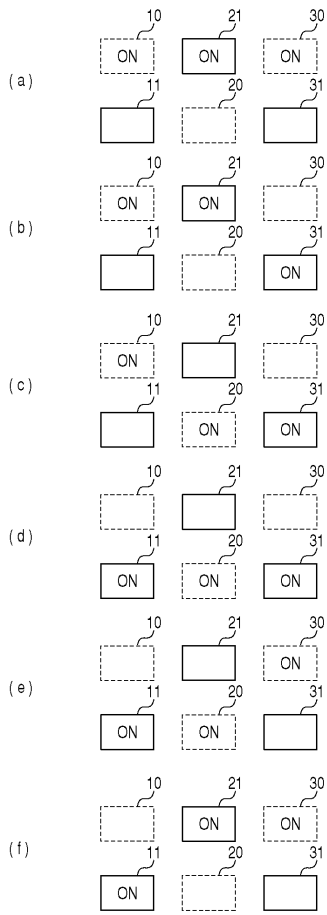
【図 10】



【図 11】



【図 1 2】



【図 1 3】

