

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】平成29年12月21日 (2017.12.21)

【公開番号】特開2017-38392(P2017-38392A)

【公開日】平成29年2月16日 (2017.2.16)

【年通号数】公開・登録公報2017-007

【出願番号】特願2016-198092(P2016-198092)

【国際特許分類】

H 0 4 J 99/00 (2009.01)

H 0 4 B 7/04 (2017.01)

H 0 4 W 16/28 (2009.01)

【F I】

H 0 4 J 15/00

H 0 4 B 7/04

H 0 4 W 16/28 1 3 0

H 0 4 W 16/28 1 1 0

H 0 4 W 16/28 1 5 1

【手続補正書】

【提出日】平成29年11月6日 (2017.11.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

無線送受信ユニット (W T R U) におけるアップリンク送信の方法であって、

単一のサブフレームにおいて、複数のレイヤを介して第 1 のアップリンク共有チャネル (U L - S C H) トランスポートブロック、第 2 の U L - S C H トランスポートブロック、チャネル品質インジケータ (C Q I) / プリコーディングマトリクスインジケータ (P M I) ビット、およびハイブリッド自動再送要求 (H A R Q) 送達確認 / 非送達確認 (A C K / N A C K) ビットを送信するステップを備え、

前記第 1 の U L - S C H トランスポートブロックは、第 1 の変調および符号化スキーム (M C S) を有し、ならびに前記第 2 の U L - S C H トランスポートブロックは、前記第 1 の M C S よりも相対的に低い第 2 の M C S を有し、

前記 C Q I / P M I ビットは、前記第 1 の U L - S C H トランスポートブロックがマッピングされる 1 つまたは複数のレイヤのうちの全てを介してのみ送信され、ならびに前記 H A R Q A C K / N A C K ビットは、前記第 1 の U L - S C H トランスポートブロックがマッピングされる前記 1 つまたは複数のレイヤのうちの全ておよび前記第 2 の U L - S C H トランスポートブロックがマッピングされる 1 つまたは複数のレイヤのうちの全てのレイヤを介して送信され、

前記第 1 の U L - S C H トランスポートブロックがマッピングされる前記 1 つまたは複数のレイヤは、前記第 2 の U L - S C H トランスポートブロックがマッピングされる前記 1 つまたは複数のレイヤとは異なる

ことを特徴とする方法。

【請求項 2】

前記第 1 の U L - S C H トランスポートブロックがマッピングされる前記 1 つまたは複数のレイヤは、1 つのレイヤであることを特徴とする請求項 1 に記載の方法。

【請求項 3】

前記第 1 の U L - S C H トランスポートブロックがマッピングされる前記 1 つまたは複数のレイヤは、2 つのレイヤであることを特徴とする請求項 1 に記載の方法。

【請求項 4】

前記第 1 の U L - S C H トランスポートブロック、前記第 2 の U L - S C H トランスポートブロック、前記 C Q I / P M I ビットおよび前記 H A R Q A C K / N A C K ビットは、多入力多出力 (M I M O) 送信スキームを使用して送信されることを特徴とする請求項 1 に記載の方法。

【請求項 5】

前記 C Q I / P M I ビットおよび前記 H A R Q A C K / N A C K ビットは、送信ダイバーシティを使用して送信されることを特徴とする請求項 4 に記載の方法。

【請求項 6】

前記第 1 の U L - S C H トランスポートブロックおよび前記第 2 の U L - S C H トランスポートブロックは、空間多重化を使用して送信されることを特徴とする請求項 5 に記載の方法。

【請求項 7】

前記 C Q I / P M I ビットは、符号化された C Q I / P M I ビットであり、および前記 H A R Q A C K / N A C K ビットは、符号化された H A R Q A C K / N A C K ビットであることを特徴とする請求項 1 に記載の方法。

【請求項 8】

前記 C Q I / P M I ビットは、前記符号化された C Q I / P M I ビットおよび前記符号化された H A R Q A C K / N A C K ビットをそれぞれ独立して生成するために前記 H A R Q A C K / N A C K ビットから独立してチャンネル符号化されることを特徴とする請求項 7 に記載の方法。

【請求項 9】

前記第 1 の U L - S C H トランスポートブロックおよび前記第 2 の U L - S C H トランスポートブロックは各々、複数の符号化されたデータビットを含むことを特徴とする請求項 8 に記載の方法。

【請求項 10】

前記複数の符号化されたデータビットは、トランスポートブロック巡回冗長検査 (C R C) 付加、符号ブロック分割および符号ブロック C R C 付加、チャンネル符号化、レートマッチング、ならびに符号ブロック連結の結果であることを特徴とする請求項 9 に記載の方法。

【請求項 11】

プロセッサと、

前記プロセッサに動作可能に結合された送信機と、を備え、

前記プロセッサおよび送信機は、単一のサブフレームにおいて、複数のレイヤを介して第 1 のアップリンク共有チャンネル (U L - S C H) トランスポートブロック、第 2 の U L - S C H トランスポートブロック、チャンネル品質インジケータ (C Q I) / プリコーディングマトリクスインジケータ (P M I) ビット、およびハイブリッド自動再送要求 (H A R Q) 送達確認 / 非送達確認 (A C K / N A C K) ビットを送信するように構成され、

前記第 1 の U L - S C H トランスポートブロックは、第 1 の変調および符号化スキーム (M C S) を有し、ならびに前記第 2 の U L - S C H トランスポートブロックは、前記第 1 の M C S よりも相対的に低い第 2 の M C S を有し、

前記 C Q I / P M I ビットは、前記第 1 の U L - S C H トランスポートブロックがマッピングされる 1 つまたは複数のレイヤのうちの全てを介してのみ送信され、ならびに前記 H A R Q A C K / N A C K ビットは、前記第 1 の U L - S C H トランスポートブロックがマッピングされる前記 1 つまたは複数のレイヤのうちの全ておよび前記第 2 の U L - S C H トランスポートブロックがマッピングされる 1 つまたは複数のレイヤのうちの全てのレイヤを介して送信され、

前記第 1 の U L - S C H トランスポートブロックがマッピングされる前記 1 つまたは複数のレイヤは、前記第 2 の U L - S C H トランスポートブロックがマッピングされる前記 1 つまたは複数のレイヤとは異なる

ことを特徴とする無線送受信ユニット (W T R U) 。

【請求項 1 2】

前記第 1 の U L - S C H トランスポートブロックがマッピングされる前記 1 つまたは複数のレイヤは、1 つのレイヤであることを特徴とする請求項 1 1 に記載の W T R U 。

【請求項 1 3】

前記第 1 の U L - S C H トランスポートブロックがマッピングされる前記 1 つまたは複数のレイヤは、2 つのレイヤであることを特徴とする請求項 1 1 に記載の W T R U 。

【請求項 1 4】

前記プロセッサおよび送信機は、多入力多出力 (M I M O) 送信スキームを使用して前記第 1 の U L - S C H トランスポートブロック、前記第 2 の U L - S C H トランスポートブロック、前記 C Q I / P M I ビットおよび前記 H A R Q A C K / N A C K ビットを送信するようにさらに構成されていることを特徴とする請求項 1 1 に記載の W T R U 。

【請求項 1 5】

前記プロセッサおよび送信機は、送信ダイバーシティを使用して前記 C Q I / P M I ビットおよび前記 H A R Q A C K / N A C K ビットを送信するようにさらに構成されていることを特徴とする請求項 1 4 に記載の W T R U 。

【請求項 1 6】

前記プロセッサおよび送信機は、空間多重化を使用して前記第 1 の U L - S C H トランスポートブロックおよび前記第 2 の U L - S C H トランスポートブロックを送信するようにさらに構成されていることを特徴とする請求項 1 5 に記載の W T R U 。

【請求項 1 7】

前記 C Q I / P M I ビットは、符号化された C Q I / P M I ビットであり、および前記 H A R Q A C K / N A C K ビットは、符号化された H A R Q A C K / N A C K ビットであることを特徴とする請求項 1 1 に記載の W T R U 。

【請求項 1 8】

前記 C Q I / P M I ビットは、前記符号化された C Q I / P M I ビットおよび前記符号化された H A R Q A C K / N A C K ビットをそれぞれ独立して生成するために前記 H A R Q A C K / N A C K ビットから独立してチャネル符号化されることを特徴とする請求項 1 7 に記載の W T R U 。

【請求項 1 9】

前記第 1 の U L - S C H トランスポートブロックおよび前記第 2 の U L - S C H トランスポートブロックは各々、複数の符号化されたデータビットを含むことを特徴とする請求項 1 1 に記載の W T R U 。

【請求項 2 0】

前記複数の符号化されたデータビットは、トランスポートブロック巡回冗長検査 (C R C) 付加、符号ブロック分割および符号ブロック C R C 付加、チャネル符号化、レートマッチング、ならびに符号ブロック連結の結果であることを特徴とする請求項 1 9 に記載の W T R U 。