

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3720275号

(P3720275)

(45) 発行日 平成17年11月24日(2005.11.24)

(24) 登録日 平成17年9月16日(2005.9.16)

(51) Int. Cl.⁷

F I

G09G 3/20

G09G 3/20 641T

G02F 1/133

G09G 3/20 621M

G09G 3/28

G02F 1/133 575

G09G 3/30

G09G 3/30 K

G09G 3/36

G09G 3/36

請求項の数 23 (全 32 頁) 最終頁に続く

(21) 出願番号 特願2001-117453 (P2001-117453)
 (22) 出願日 平成13年4月16日(2001.4.16)
 (65) 公開番号 特開2002-311883 (P2002-311883A)
 (43) 公開日 平成14年10月25日(2002.10.25)
 審査請求日 平成16年3月1日(2004.3.1)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 110000338
 特許業務法人原謙三国際特許事務所
 (74) 代理人 100080034
 弁理士 原 謙三
 (72) 発明者 久保田 靖
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 鷲尾 一
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

最終頁に続く

(54) 【発明の名称】 画像表示パネル、画像表示装置、並びに画像表示方法

(57) 【特許請求の範囲】

【請求項1】

画像を表示する複数の画素からなる画素アレイと、該画素アレイに映像信号を供給するデータ信号線駆動回路とを、同一の基板上に有する画像表示パネルにおいて、

上記データ信号線駆動回路は、画素アレイ上の画素に映像信号を送出するn本のデータ信号線を駆動するものであると共に、各データ信号線に送出される映像信号に対して疑似階調処理を施す、データ信号線の数よりも少ないm段の疑似階調処理手段を備えており、

各疑似階調処理手段は、データ信号線に対してmライン毎に疑似階調処理された映像信号を出力し、

上記疑似階調処理手段は、一定周期で繰り返される固定パターンデータの信号を映像信号に加算することにより重畳する処理と、重畳された映像信号の下位ビットを切り捨てる処理とを行なうことを特徴とする画像表示パネル。

【請求項2】

上記データ信号線駆動回路は、第1のシフトレジスタの出力に同期して、順次映像信号を取り込むm段の第1のラッチ手段と、

上記第1のラッチ手段にて取り込まれた映像信号を並列化するm段の並列化手段と、

上記疑似階調処理手段によって疑似階調処理が施された映像信号を、第2のシフトレジスタの出力に同期して、順次取り込むn段の第2のラッチ手段とを備えており、

上記各疑似階調処理手段は、上記並列化手段にて並列化された映像信号に対して疑似階調処理を施すと共に、

10

20

上記各疑似階調処理手段にて疑似階調処理が施された映像信号は、上記第1のシフトレジスタよりも動作周波数の小さい第2のシフトレジスタの出力に同期させて、上記第2のラッチ手段に対し、mライン分の映像信号毎に一括して取り込まれた後、各データ信号線に送出されることを特徴とする請求項1に記載の画像表示パネル。

【請求項3】

上記データ信号線駆動回路は、第1のシフトレジスタの出力に同期して、順次映像信号を取り込むm段の第1のラッチ手段と、

上記疑似階調処理手段によって疑似階調処理が施された映像信号を、第2のシフトレジスタの出力に同期して、順次取り込むn段の第2のラッチ手段とを備えており、

上記各疑似階調処理手段は、上記第1のラッチ手段から上記第1のシフトレジスタの出力と同周期で映像信号を取り込み、該映像信号に対して疑似階調処理を施すと共に、

上記各疑似階調処理手段にて疑似階調処理が施された映像信号は、上記第1のシフトレジスタと同一の動作周波数にて動作する第2のシフトレジスタの出力に同期させて、上記第2のラッチ手段に対し、1ライン分の映像信号毎に取り込まれた後、各データ信号線に送出されることを特徴とする請求項1に記載の画像表示パネル。

【請求項4】

上記第1のシフトレジスタの動作周波数は、第2のシフトレジスタの動作周波数の整数倍であることを特徴とする請求項2に記載の画像表示パネル。

【請求項5】

上記第2のシフトレジスタを駆動させるクロック信号は、第1のシフトレジスタの最終段からの出力信号より生成されることを特徴とする請求項4に記載の画像表示パネル。

【請求項6】

上記疑似階調処理手段にて疑似階調処理が施されたデジタル映像信号を、アナログ映像信号に変換するデジタル/アナログ変換手段を備えており、

上記デジタル/アナログ変換手段による変換処理が、上記第2のラッチ手段によるラッチ後に行なわれることを特徴とする請求項2ないし5の何れかに記載の画像表示パネル。

【請求項7】

上記疑似階調処理手段にて疑似階調処理が施されたデジタル映像信号を、アナログ映像信号に変換するデジタル/アナログ変換手段を備えており、

上記デジタル/アナログ変換手段による変換処理が、疑似階調処理手段による疑似階調処理の後、かつ上記第2のラッチ手段によるラッチ前に行なわれることを特徴とする請求項2ないし5の何れかに記載の画像表示パネル。

【請求項8】

上記固定パターンデータは、データ信号線の配列方向における幅が、mの整数倍のライン数に相当することを特徴とする請求項1に記載の画像表示パネル。

【請求項9】

上記疑似階調処理手段は、上記固定パターンデータを格納する記憶手段を備えており、
各疑似階調処理手段内の記憶手段は、各疑似階調処理手段に対応するデータ信号線用の固定パターンデータのみを格納していることを特徴とする請求項8に記載の画像表示パネル

【請求項10】

上記疑似階調処理手段は、上記固定パターンデータの垂直方向の周期毎に、映像信号に重畳する固定パターンデータの水平方向の位置を一定量だけずらすことを特徴とする請求項1に記載の画像表示パネル。

【請求項11】

上記疑似階調処理手段は、一定のフレーム周期毎に、映像信号に重畳する固定パターンデータの水平方向の位置を一定量だけずらすことを特徴とする請求項1に記載の画像表示パネル。

【請求項12】

上記疑似階調処理回路は、上記固定パターンデータの垂直方向の周期毎、または、一定

10

20

30

40

50

のフレーム周期毎に、映像信号に重畳する固定パターンデータの水平方向の位置を $1/k$ (k は 2 以上の整数) 周期分だけずらすことを特徴とする請求項 10 または 11 の何れかに記載の画像表示パネル。

【請求項 13】

上記疑似階調処理手段は、一定のフレーム周期毎に、映像信号に重畳する固定パターンデータを変化させることを特徴とする請求項 1 に記載の画像表示パネル。

【請求項 14】

上記疑似階調処理手段は、映像信号に重畳する固定パターンデータとして、一定のフレーム周期毎に、同一の固定パターンデータを繰り返すことを特徴とする請求項 13 に記載の画像表示パネル。

【請求項 15】

上記デジタル/アナログ変換手段は、疑似階調処理を施された映像信号に応じて、複数の基準電圧源の内の 1 つを選択することを特徴とする請求項 6 または 7 に記載の画像表示パネル。

【請求項 16】

上記複数の基準電圧源は、外部から入力されるより少数の基準電圧源より、上記基板上にて生成されることを特徴とする請求項 15 に記載の画像表示パネル。

【請求項 17】

上記疑似階調処理手段は、疑似階調処理の動作および非動作を切り替え可能とされていることを特徴とする請求項 1 ないし 16 の何れかに記載の画像表示パネル。

【請求項 18】

上記疑似階調処理手段における疑似階調処理の動作および非動作は、外部より入力される制御信号によって切り替えられることを特徴とする請求項 17 に記載の画像表示パネル。

【請求項 19】

上記疑似階調処理手段における疑似階調処理の動作および非動作は、入力されるデジタル映像信号のビット数に基づいて切り替えられることを特徴とする請求項 17 に記載の画像表示パネル。

【請求項 20】

上記データ信号線駆動回路を構成する能動素子が、多結晶シリコン薄膜トランジスタによって形成されていることを特徴とする請求項 1 ないし 19 の何れかに記載の画像表示パネル。

【請求項 21】

上記多結晶シリコン薄膜トランジスタは、600 以下の製造温度で、ガラス上に構成されたものであることを特徴とする請求項 20 に記載の画像表示パネル。

【請求項 22】

上記請求項 1 ないし 21 の何れかに記載の画像表示パネルを備えていることを特徴とする画像表示装置。

【請求項 23】

画像を表示する複数の画素からなる画素アレイと、画素アレイ上の画素に映像信号を送出する n 本のデータ信号線を駆動し、該画素アレイに映像信号を供給するデータ信号線駆動回路とを、同一の基板上に有する画像表示パネルにて用いられる画像表示方法において

各データ信号線に送出される映像信号に対して、データ信号線の m ライン毎に同一の疑似階調処理手段を用いて疑似階調処理を施し、

疑似階調処理の施された映像信号をデータ信号線に対して m ライン毎に出力し、

上記疑似階調処理手段は、一定周期で繰り返される固定パターンデータの信号を映像信号に加算することにより重畳する処理と、重畳された映像信号の下位ビットを切り捨てる処理とを行なうことを特徴とする画像表示方法。

【発明の詳細な説明】

10

20

30

40

50

【 0 0 0 1 】

【 発明の属する技術分野 】

本発明は、複数の走査信号線と複数のデータ信号線とが互いに直交する方向に配設され、上記両信号線の各交差部に画素が配置されるマトリクス型の画像表示装置に関するものであり、特に、配線の駆動回路を画素と同一の基板上に形成して構成する駆動回路一体型の画像表示装置に関するものである。

【 0 0 0 2 】

【 従来の技術 】

従来の画像表示装置の一つとして、アクティブマトリクス駆動方式の液晶表示装置が知られている。この液晶表示装置は、図 2 3 に示すように、画素アレイ (A R Y) 1 0 1、走査信号線駆動回路 (G D) 1 0 2、データ信号線駆動回路 (S D) 1 0 3、タイミング信号生成回路 (C T L) 1 0 4、および映像信号処理回路 (S I G) 1 0 5 を備えている。

10

【 0 0 0 3 】

画素アレイ 1 0 1 には、互いに交差する多数の走査信号線 G L と多数のデータ信号線 S L とが備えており、各走査信号線 G L とデータ信号線 S L との交点に対応して画素 (P I X) 1 0 6 が設けられる。すなわち、隣接する 2 本の走査信号線 G L と隣接する 2 本のデータ信号線 S L とで囲まれた各領域に、各画素 1 0 6 が設けられ、マトリクス状に配列された画素 1 0 6 によって表示画面が構成される。

【 0 0 0 4 】

走査信号線駆動回路 1 0 2 は、タイミング信号生成回路 1 0 4 から入力されるクロック信号 G C K 等のタイミング信号に同期して、走査信号線 G L を順次選択し、画素 1 0 6 内にあるスイッチング素子の開閉を制御することにより、各データ信号線 S L に書き込まれた映像信号 (データ) を各画素 1 0 6 に書き込むとともに、各画素 1 0 6 に書き込まれたデータを保持させる働きをする。

20

【 0 0 0 5 】

データ信号線駆動回路 1 0 3 は、タイミング信号生成回路 1 0 4 から入力されるクロック信号 S C K 等のタイミング信号に同期して、映像信号処理回路 1 0 5 から入力される映像信号 D A T をサンプリングし、必要に応じて増幅して、各データ信号線 S L に書き込む働きをする。

【 0 0 0 6 】

図 2 3 における各画素 1 0 6 は、図 2 4 に示すように、スイッチング素子である電界効果トランジスタ S W と、画素容量 (液晶容量 C L、および必要によって付加される補助容量 C S T よりなる) とによって構成される。図 2 4 において、画素容量の一方の電極はトランジスタ S W のドレイン及びソースを介してデータ信号線 S L と接続される。トランジスタ S W のゲートは、走査信号線 G L に接続される。また、画素容量の他方の電極は、全画素に共通の共通電極線に接続される。そして、各液晶容量 C L に印加される電圧により、液晶の透過率または反射率が変調され、表示に供する。

30

【 0 0 0 7 】

また、近年、液晶表示装置の小型化や高解像度化、実装コストの低減などのために、画素アレイ 1 0 1 と駆動回路 1 0 2、1 0 3 とを、同一基板上に一体形成する技術が開発されている。

40

【 0 0 0 8 】

このような駆動回路一体型の液晶表示装置では、現在広く用いられている透過型液晶表示装置を構成する場合、その基板に透明基板である石英基板やガラス基板を使う必要がある。また、石英基板やガラス基板上に回路を構成する場合、基板の耐熱性の観点より、600 以下の製造温度で製造が可能な多結晶シリコン薄膜トランジスタが能動素子として用いられる。

【 0 0 0 9 】

図 2 5 は、そのような駆動回路一体型の液晶表示装置の例を示した図である。上記液晶表示装置では、同一の基板 (S U B) 1 0 7 上において、画素アレイ 1 0 1、走査信号線駆

50

動回路 102、データ信号線駆動回路 103 が形成されている。また、上記基板 107 上には、さらにプリチャージ回路 (PC) 108 が備えられているが、これは、多結晶シリコン薄膜トランジスタにより構成されたデータ信号線駆動回路 103 の駆動能力が小さく、データ信号線 SL へのデータの書き込みを補助する必要がある場合に設けられるものである。

【0010】

次に、データ信号線の駆動方式について説明する。アナログ方式の駆動方式としてはアナログ点順次駆動方式、アナログ線順次駆動方式があり、デジタル方式の駆動方式としては、セレクト型駆動方式、R-DAC 型駆動方式、C-DAC 型駆動方式がある。

【0011】

これらの駆動方式のうち、アナログ線順次駆動方式、セレクト型駆動方式、R-DAC 型駆動方式、C-DAC 型駆動方式については、駆動回路一体型の液晶表示装置に採用しようとする場合、デザインルールが大きく基板上への配置が困難、多階調表示への対応が困難、あるいは表示品位が低下するといった問題がある。

【0012】

すなわち、駆動回路一体型の液晶表示装置では、上述したように、回路中の半導体層において多結晶シリコン薄膜が用いられるが、多結晶シリコンは単結晶シリコンに比べ基板上での配置面積が大きくなる。

【0013】

これに対し、アナログ線順次駆動方式では、入力された映像信号を増幅するための高精度のアンプが必要であるが、このアンプを半導体材料に多結晶シリコンを用いて高精度かつ小面積に形成することは困難である。

【0014】

また、R-DAC 型駆動方式、C-DAC 型駆動方式では、多階調表示を行なうための基準電圧を抵抗分割または容量分割による分圧にて生成しているが、これらの分圧手段に用いられる抵抗や容量の素子を多結晶シリコン薄膜にて形成する場合に、これらの素子を小面積に形成することは困難である。また、多結晶シリコン薄膜にて形成される抵抗や容量では、特性のばらつきが大きくなり、設計通りの分圧比が得られず表示品位が低下する。尚、半導体材料に多結晶シリコンを用いた素子にて駆動回路を構成する場合、各素子の特性のばらつきによる表示品位の低下を抑制するためには、駆動回路をロジック素子のみで構成することが必要である。

【0015】

また、セレクト型駆動方式は、外部から入力される基準電圧を、映像信号に応じて選択回路にてデータ信号線 SL に接続する構成であり、ロジック回路と転送スイッチのみで構成されるため、デジタル方式の駆動方式の中では最も単純な回路構成を有している。しかし一方で、外部に表示階調に対応するだけの基準電圧源が必要であるため、実際の使用に際しては 8 ないし 16 階調が限界であり、表示階調が多い場合には極めて不利となる。

【0016】

以上の理由により、駆動回路一体型の液晶表示装置において、さらに多階調表示を行なおうとする場合には、アナログ線順次駆動方式、セレクト型駆動方式、R-DAC 型駆動方式、C-DAC 型駆動方式は採用されず、アナログ点順次駆動方式が最も一般的に用いられている。

【0017】

ここで、アナログ点順次駆動方式でのデータ信号線駆動回路について説明する。アナログ点順次駆動方式のデータ信号線駆動回路においては、図 26 に示すように、入力された映像信号 DAT を、シフトレジスタを構成するフリップフロップの各段 FF の出力パルスに同期させてサンプリング回路 AS を開閉することにより、データ信号線 SL に書き込む。

【0018】

すなわち、アナログ点順次駆動方式のデータ信号線駆動回路では、外部から入力された映像信号 DAT をデータ信号線に転送するだけであるので、その回路構成は極めて単純であ

10

20

30

40

50

り、駆動回路一体型の液晶表示装置への適用が可能であると共に、表示品位を低下させることなく多階調表示が可能である。

【0019】

【発明が解決しようとする課題】

ところが、アナログ点順次駆動方式のデータ信号線駆動回路では、外部に駆動能力の高いアナログ映像信号出力回路を備える必要があり、システムとしての消費電力が大きくなるとともに、コストも大幅に上昇するといった問題がある。

【0020】

さらに、上述のアナログ点順次駆動方式の駆動回路は、デジタルインターフェースを備えていない。このため、液晶表示装置がデジタル信号の入力によって駆動されるものであっても、画素アレイと駆動回路とが同一基板上に形成されてなる表示パネルの外にD/A (digital/analog)変換回路を備える必要があり、さらなるコストアップを招来する。

10

【0021】

ここで、デジタルインターフェースを備えた駆動方式であって、かつ、半導体材料に多結晶シリコンを用いた場合でも高い表示品位での多階調表示が可能であり、消費電力も小さい駆動方式として、疑似階調処理を用いた駆動方式がある。

【0022】

ここで、疑似階調処理を用いた従来の駆動回路の構成例を図27に示す。疑似階調処理を用いたデータ信号線駆動回路においては、図27に示すように、入力されたデジタル映像信号DATは、シフトレジスタを構成するフリップフロップの各段FFの出力パルスに同期させてラッチLATに取り込む。そして、デコード回路DECにより取り込んだ映像信号をデコードし、デコードされた映像信号に対し、各ライン毎に疑似階調処理を行なう。

20

【0023】

ここで、図27の構成における疑似階調処理を簡単に説明すると以下の通りである。ここでの疑似階調処理は、固定のノイズパターンを画像データに重畳させた後、下位ビットを切り捨てることにより、低ビットの駆動回路でより多ビットの画像を擬似的に表示するものであり、疑似階調処理の中でも最も構成のシンプルなものの1つである。高精細の画像表示装置では、擬似的に階調数を増す手法は、画質の劣化が極めて小さいため、影響は問題にならない場合が多い。

【0024】

図27の構成では、入力された映像信号DATIとメモリROMに記憶されている固定ノイズパターンとを、各データ信号線に出力される映像信号毎に、加算器ADDERで加算し、例外処理回路OFPでオーバーフロー時などの例外処理を行った後、量子化回路QNTで下位ビットを切り捨てている。こうして、疑似階調処理の施された映像信号は、該映像信号に対応する基準電圧VREFを、選択回路SELでデータ信号線SLに接続する。

30

【0025】

以上のように、疑似階調処理を用いた駆動回路では、デジタルインターフェースを備えていると同時に、かつ、半導体材料に多結晶シリコンを用いた場合でも高い表示品位での多階調表示が可能であり、消費電力も比較的小さい。

【0026】

しかしながら、疑似階調処理に係る構成、すなわち、加算器ADDER、例外処理回路OFP、量子化回路QNTが各データ信号線毎に設けられているため、画素アレイと駆動回路とを同一基板上に形成する駆動回路一体型の表示装置では、駆動回路の構成が極めて複雑となる。このため、半導体材料に多結晶シリコンを用いた素子にて駆動回路を構成する場合、駆動回路のサイズが大きくなりすぎて実際の製造は困難であるといった問題がある。

40

【0027】

本発明は、上記の問題点を解決するためになされたもので、その目的は、疑似階調処理を用いた駆動回路において、その回路構成を簡略なものとし、画素アレイと駆動回路とを同一の基板上に形成する駆動回路一体型の画像表示装置を提供することにある。

50

【 0 0 2 8 】

【課題を解決するための手段】

本発明の画像表示パネルは、上記の課題を解決するために、画像を表示する複数の画素からなる画素アレイと、該画素アレイに映像信号を供給するデータ信号線駆動回路とを、同一の基板上に有する画像表示パネルにおいて、上記データ信号線駆動回路は、画素アレイ上の画素に映像信号を送出する n 本のデータ信号線を駆動するものであると共に、各データ信号線に送出される映像信号に対して疑似階調処理を施す、データ信号線の数よりも少ない m 段の疑似階調処理手段を備えており、各疑似階調処理手段は、データ信号線に対して m ライン毎に疑似階調処理された映像信号を出力し、上記疑似階調処理手段は、一定周期で繰り返される固定パターンデータの信号を映像信号に加算することにより重畳する処理と、重畳された映像信号の下位ビットを切り捨てる処理とを行なうことを特徴としている。

10

【 0 0 2 9 】

上記の構成によれば、 n 本のデータ信号線を駆動するデータ信号線駆動回路を画素アレイと同一基板上の形成する画像表示パネルにおいて、疑似階調処理手段をデータ信号線の本数 (n 本) よりも少ない m 段とし、複数の異なるデータ信号線に出力される映像信号に対して疑似階調処理手段を共通化することで、データ信号線駆動回路の構成を簡略化でき、駆動回路一体型の画像表示パネルに適用が可能となる簡単な回路構成にて多階調表示が可能となる。

【 0 0 3 0 】

20

また、疑似階調処理手段において 1 ライン分の映像信号にかかる疑似階調処理時間は、1 ライン分の映像信号の入力にかかる時間よりも長いことが通常であるが、データ信号線に対して m ライン毎に疑似階調処理された映像信号を出力することで、各疑似階調処理手段では、1 ライン分の映像信号の疑似階調処理において、映像信号の入力周期の m 倍の時間の処理時間を確保することができる。

上記の構成によれば、映像信号に重畳する信号として一定周期で繰り返される固定パターンデータの信号を用いることにより、固定パターンデータを記憶する記憶手段の容量を抑制できる。また、複雑な演算処理を必要とせず、非常に簡単に疑似階調処理を実現することができるため、駆動回路一体型の画像表示装置への適用が容易となる。

【 0 0 3 1 】

30

また、上記画像表示パネルでは、第 1 の構成として、上記データ信号線駆動回路は、第 1 のシフトレジスタの出力に同期して、順次映像信号を取り込む m 段の第 1 のラッチ手段と、上記ラッチ回路にて取り込まれた映像信号を並列化する m 段の並列化手段と、上記疑似階調処理手段によって疑似階調処理が施された映像信号を、第 2 のシフトレジスタの出力に同期して、順次取り込む n 段の第 2 のラッチ手段とを備えており、上記各疑似階調処理手段は、上記並列化手段にて並列化された映像信号に対して疑似階調処理を施すと共に、上記各疑似階調処理手段にて疑似階調処理を施された映像信号は、上記第 1 のシフトレジスタよりも動作周波数の小さい第 2 のシフトレジスタの出力に同期させて、上記第 2 のラッチ手段に対し、 m ライン分の映像信号毎に一括して取り込まれた後、各データ信号線に送出される構成とすることができる。

40

【 0 0 3 2 】

上記第 1 の構成によれば、第 2 のシフトレジスタの各段が、複数のデータ信号線 (m 本) に対応しているので、第 2 のシフトレジスタの段数をデータ信号線の本数 (n 本) の $1/m$ にすることができ、駆動回路の規模を小さくすることが可能となる。また、第 2 のシフトレジスタの周波数が第 1 のシフトレジスタの周波数の $1/m$ になるので、第 2 のラッチ手段でデータ信号線にデータ信号線にデータを送出する時間を長く取ることができる。

【 0 0 3 3 】

また、上記画像表示パネルでは、第 2 の構成として、上記データ信号線駆動回路は、第 1 のシフトレジスタの出力に同期して、順次映像信号を取り込む m 段の第 1 のラッチ手段と、上記疑似階調処理手段によって疑似階調処理が施された映像信号を、第 2 のシフトレ

50

スタの出力に同期して、順次取り込む n 段の第2のラッチ手段とを備えており、上記各疑似階調処理手段は、上記第1のラッチ手段から上記第1のシフトレジスタの出力と同周期で映像信号を取り込み、該映像信号に対して疑似階調処理を施すと共に、上記各疑似階調処理手段にて疑似階調処理を施された映像信号は、上記第1のシフトレジスタと同一の動作周波数にて動作する第2のシフトレジスタの出力に同期させて、上記第2のラッチ手段に対し、1ライン分の映像信号毎に取り込まれた後、各データ信号線に送出される構成とすることができる。

【0034】

上記第2の構成によれば、第2のシフトレジスタからの複数の出力信号の和を用いることにより、第2のラッチ手段でデータ信号線にデータ信号線にデータを送出する時間を長く取ることができる。また、この構成では、第2のシフトレジスタを制御するクロック信号として、第1のシフトレジスタを制御するクロック信号と同じ信号を用いることができるので、新たな信号を生成する回路が不要となる。さらに、データ信号線へのデータの送出が連続的に行なわれるので、複数のデータを一括して送出される場合に危惧されるブロック毎の境界（表示上の不具合）が生じにくいといったメリットがある。

10

【0035】

また、上記第1の構成の画像表示パネルでは、上記第1のシフトレジスタの動作周波数は、第2のシフトレジスタの動作周波数の整数倍であることが好ましい。

【0036】

上記の構成によれば、第1のシフトレジスタの動作周波数を与えるクロック信号と、第2のシフトレジスタの動作周波数を与えるクロック信号とのタイミング関係が単純になり、データ信号線駆動回路全体の構成が簡単になる。

20

【0037】

また、上記第1の構成の画像表示パネルでは、上記第2のシフトレジスタを駆動させるクロック信号は、第1のシフトレジスタの最終段からの出力信号より生成される構成とすることが好ましい。

【0038】

上記の構成によれば、第2のシフトレジスタを駆動するためのクロック信号を、データ信号線駆動回路の外部から別途入力する必要がなくなり、データ信号線駆動回路全体の構成が簡単になる。

30

【0039】

また、上記画像表示パネルでは、上記疑似階調処理手段にて疑似階調処理が施されたデジタル映像信号を、アナログ映像信号に変換するデジタル/アナログ変換手段を備えており、上記デジタル/アナログ変換手段による変換処理が、上記第2のラッチ手段によるラッチ後に行なわれる構成とすることができる。

【0040】

上記の構成によれば、デジタル/アナログ変換手段による映像信号の変換処理が、上記第2のラッチ手段によるラッチ後に行なわれるため、上記映像信号は、データ信号線への出力の直前までデジタル信号として扱われることとなる。このため、上記映像信号が雑音や微妙なタイミングずれの影響を受けることがなく、高画質の表示を得ることができる。

40

【0041】

また、上記画像表示パネルでは、上記疑似階調処理手段にて疑似階調処理が施されたデジタル映像信号を、アナログ映像信号に変換するデジタル/アナログ変換手段を備えており、上記デジタル/アナログ変換手段による変換処理が、疑似階調処理手段による疑似階調処理の後、かつ上記第2のラッチ手段によるラッチ前に行なわれる構成とすることができる。

【0042】

上記の構成によれば、デジタル/アナログ変換手段による映像信号の変換処理が、疑似階調処理手段による疑似階調処理の後、かつ上記第2のラッチ手段によるラッチ前に行なわれるため、デジタル/アナログ変換手段の数を疑似階調処理手段と同じく m 段とすること

50

ができ、データ信号線駆動回路の構成を簡略化することができる。また、デジタル/アナログ変換手段の回路構成は、シフトレジスタと、インバータやNAND等の簡単なゲートとアナログスイッチとから構成でき、非常に単純でコンパクトに形成できる。

【0045】

また、上記画像表示パネルでは、上記固定パターンデータは、データ信号線の配列方向における幅が、 m の整数倍のライン数に相当する構成とすることができる。

【0046】

上記の構成によれば、上記固定パターンデータの繰り返し周期が疑似階調処理手段の処理周期（データ信号線の m ライン）の整数倍の関係となるため、各疑似階調処理手段は一部の固定パターンデータのみを具備すればよく、固定パターンデータを格納する記憶手段の容量を少なくすることができる。

10

【0047】

また、上記画像表示パネルでは、上記疑似階調処理手段は、上記固定パターンデータを格納する記憶手段を備えており、各疑似階調処理手段内の記憶手段（例えば、ROM）は、各疑似階調処理手段に対応するデータ信号線用の固定パターンデータのみを格納している構成とすることができる。

【0048】

上記の構成によれば、各疑似階調処理手段に内蔵すべき記憶手段のデータ量を最小化することができ、また、記憶手段からの固定パターンデータの読み出しを管理するメモリー制御回路の構造や駆動方法も単純化される。

20

【0049】

また、上記画像表示パネルでは、上記疑似階調処理手段は、上記固定パターンデータの垂直方向の周期毎に、映像信号に重畳する固定パターンデータの水平方向の位置を一定量だけずらす構成とすることができる。

【0050】

上記の構成によれば、映像信号に重畳される固定パターンデータの信号によるブロック状の疑似パターンが認識されにくくなるため、表示品位を向上することができる。

【0051】

また、上記画像表示パネルでは、上記疑似階調処理手段は、一定のフレーム周期毎に、映像信号に重畳する固定パターンデータの水平方向の位置を一定量だけずらす構成とすることができる。

30

【0052】

上記構成によれば、映像信号に重畳される固定パターンデータの信号によるブロック状の疑似パターンが認識されにくくなるため、表示品位を向上することができる。

【0053】

また、固定パターンデータをずらす周期については、1フレーム期間毎とする場合が、同一の固定パターンの連続が最も短く、ブロック状の疑似パターンを認識しにくくするためには最も効果が高い。但し、固定パターンデータをずらす周期を2フレーム期間毎とした場合には、疑似パターンを認識しにくくして表示品位を向上すると共に、液晶の交流駆動に対応して、液晶に印加される電圧のDC成分が相殺されるため、液晶材料の劣化が抑えられ、表示装置の信頼性向上に有効である。

40

【0054】

また、上記画像表示パネルでは、上記疑似階調処理回路は、上記固定パターンデータの垂直方向の周期毎、または、一定のフレーム周期毎に、映像信号に重畳する固定パターンデータの水平方向の位置を $1/k$ （ k は2以上の整数）周期分だけずらす構成とすることができる。

【0055】

上記の構成によれば、映像信号へ重畳される固定パターンデータの読み出しタイミングの制御（読み出し開始アドレスの切替え）が簡単になるため、疑似階調処理手段の構成が簡単となる。

50

【 0 0 5 6 】

また、上記画像表示パネルでは、上記疑似階調処理手段は、一定のフレーム周期毎に、映像信号に重畳する固定パターンデータを変化させる構成とすることができる。

【 0 0 5 7 】

上記の構成によれば、映像信号に重畳する固定パターンデータを水平方向にずらす場合では、ブロック状の疑似パターンの移動が認識される可能性があるが、フレーム毎に全く異なる固定パターンデータを用いることにより、ブロック状の疑似パターンがさらに認識されにくくなるため、表示品位をより一層向上させることができる。

【 0 0 5 8 】

もちろん、固定パターンデータをずらす周期については、1フレーム期間毎とする場合にブロック状の疑似パターンを認識しにくくするうえで最も効果が高く、2フレーム期間毎とした場合に、表示品位を向上と表示装置の信頼性向上と同時にを図ることができる。

10

【 0 0 5 9 】

また、上記画像表示パネルでは、上記疑似階調処理手段は、映像信号に重畳する固定パターンデータとして、一定のフレーム周期毎に、同一の固定パターンデータを繰り返す構成とすることができる。

【 0 0 6 0 】

上記の構成によれば、固定パターンデータの種別を制限することができ、固定パターンデータを格納する記憶手段の容量を少なくすることができる。

【 0 0 6 1 】

20

また、上記画像表示パネルでは、上記デジタル/アナログ変換手段は、疑似階調処理を施された映像信号に応じて、複数の基準電圧源の内の1つを選択する構成とすることができる。

【 0 0 6 2 】

上記の構成によれば、複数の基準電圧源の内の1つを選択するセレクト型のデジタル駆動方式をデジタル/アナログ変換手段に採用することにより、単純な構成で多階調表示を実現することができる。

【 0 0 6 3 】

また、各データ信号線毎にアンプやR-DAC, C-DACを内蔵していないので、特性バラツキによる垂直方向の表示ムラの発生を避けることができる。更に、定常電流が流れる回路を採用していないので、消費電力も低減される。

30

【 0 0 6 4 】

また、上記画像表示パネルでは、上記複数の基準電圧源は、外部から入力されるより少数の基準電圧源より、上記基板上にて生成される構成とすることができる。

【 0 0 6 5 】

上記の構成によれば、外部の基準電圧源の数を削減することができるため、データ信号線駆動回路全体の構成を簡略化することができる。また、データ信号線毎でなく、データ信号線駆動回路全体に対して、1つの基準電圧源生成回路を備えることで、特性バラツキによる縦縞状の表示不良を抑制できる。

【 0 0 6 6 】

40

また、上記画像表示パネルでは、上記疑似階調処理手段における疑似階調処理の動作および非動作は、外部より入力される制御信号によって切り替えられる構成とすることができる。

【 0 0 6 7 】

上記の構成によれば、表示階調の少ない画像表示の場合(疑似階調処理による効果が得られない)には、疑似階調処理回路を動作させないようにすることができ、より低消費電力での画像表示を実現することができる。

【 0 0 6 8 】

また、上記画像表示パネルでは、上記疑似階調処理手段における疑似階調処理の動作および非動作は、外部より入力される制御信号によって切り替えられる構成とすることができ

50

る。

【0069】

上記の構成によれば、疑似階調処理手段の動作を外部より制御することにより、表示画像の種類や使用環境、使用者の意図に応じて、表示品位（表示階調）と消費電力について選択することができる。

【0070】

また、上記画像表示パネルでは、上記疑似階調処理手段における疑似階調処理の動作および非動作は、入力されるデジタル映像信号のビット数に基づいて切り替えられる構成とすることができる。

【0071】

上記の構成によれば、疑似階調処理手段の動作をデジタル映像信号で制御することにより、表示画像の種類（階調数）に応じて、表示品位（表示階調）と消費電力について、自動的に最適な駆動方法をとることができる。

【0072】

また、上記画像表示パネルでは、上記データ信号線駆動回路を構成する能動素子が、多結晶シリコン薄膜トランジスタによって形成されている構成とすることができる。

【0073】

上記の構成によれば、表示を行うための画素と、画素を駆動するためのデータ信号線駆動回路を、同一基板上に同一工程で製造することができるので、製造コストや実装コストの低減と、実装良品率のアップが期待できる。

【0074】

また、このように多結晶シリコン薄膜を用いてトランジスタを形成すると、従来の画像表示装置に用いられていた非晶質シリコン薄膜トランジスタに較べて、極めて駆動力の高い特性が得られるので、上記効果に加えて、画素およびデータ信号線駆動回路を、容易に同一基板上に形成することができる。

【0075】

また、多結晶シリコン薄膜トランジスタは、単結晶シリコントランジスタに較べて、バラツキが大きく、また、経時変化も大きいので、これを用いてデータ信号線駆動回路を構成した場合、アンプやR-DAC、C-DACではその精度が低下したり、占有面積が大きくなったりすることがあるが、本発明のような構成とすることによる表示品位向上効果は、極めて大きくなる。

【0076】

また、上記画像表示パネルでは、上記多結晶シリコン薄膜トランジスタは、600 以下の製造温度で、ガラス上に構成されたものである構成とすることができる。

【0077】

上記の構成によれば、600 以下のプロセス温度で、多結晶シリコン薄膜トランジスタを形成する場合には、歪み点温度が低いが安価でかつ大型化の容易なガラスを基板として用いることができるので、大型の画像表示装置を低コストで製造することが可能となる。

【0078】

【発明の実施の形態】

本発明の実施の一形態について図1ないし図22に基づいて説明すれば、以下の通りである。

【0079】

本実施の形態に係る画像表示装置の構成例を図2に示す。尚、本発明に係る画像表示装置においては、その表示方式が特に限定されるものではなく、画素がマトリクス状に配置されてなる画素アレイに対し、データ信号線駆動回路によって映像信号を送出するものであれば、液晶表示装置、プラズマ表示装置、EL表示装置等に本発明を適用可能である。

【0080】

上記画像表示装置は、図2に示すように、画素アレイ（ARY）1、データ信号線駆動回路（SD）2、走査信号線駆動回路（GD）3、タイミング信号を生成するタイミング回

10

20

30

40

50

路 (C T L) 4、および映像信号を生成する映像信号回路 (S I G) 5 を備えている。

【 0 0 8 1 】

画素アレイ 1、データ信号線駆動回路 2、および走査信号線駆動回路 3 は、同一の基板 (S U B) 6 上に形成される。また、画素アレイ 1 は、データ信号線駆動回路 2 によって駆動されるデータ信号線 S L ...、該データ信号線 S L ... と直交して配置され走査信号線駆動回路 3 によって駆動される走査信号線 G L ...、そしてデータ信号線 S L ... および走査信号線 G L ... の各交差部に対応してマトリクス状に配置される画素 (P I X) 7 ... にて構成されている。

【 0 0 8 2 】

タイミング回路 4 は、入力制御信号 T I N の入力を受け、データ信号線駆動回路 2 にはスタート信号 S S T およびクロック信号 S C K を出力し、走査信号線駆動回路 3 にはスタート信号 G S T、クロック信号 G C K およびパルス幅制御信号 G E N を出力する。映像信号回路 5 は、入力映像信号 D I N の入力を受け、映像信号 D A T をデータ信号線駆動回路 2 へ出力する。

10

【 0 0 8 3 】

次に、データ信号線駆動回路 2 の具体的な構成例を図 1 に示す。データ信号線駆動回路 2 は、図 1 に示すように、機能的には第 1 のブロック 8 と、第 2 のブロック 9 とに分けられる。第 1 のブロック 8 は入力されるデジタル映像信号 D A T に疑似階調処理を行なう機能部であり、第 2 のブロック 9 は疑似階調処理の施された映像信号をデータ信号線 S L ... に出力する機能部である。また、第 2 のブロックに与えられるクロック周波数 S C K 2 は、第 1 のブロックに与えられるクロック周波数 S C K 1 に比べて小さいものとなっている。また、データ信号線駆動回路 2 は、n 本のデータ信号線を駆動するものであるが、図 1 の構成では、説明を簡略化するためデータ信号線の本数を 1 6 本としている。

20

【 0 0 8 4 】

第 1 のブロック 8 は、シフトレジスタ 1 0、ラッチ回路 1 1、並列化回路 1 2、および疑似階調処理回路 1 3 を備えている。シフトレジスタ 1 0 は、m (m < n) 段のシフトレジスタ部 1 4 ... を有している。同様に、ラッチ回路 1 1 は m 段のラッチ部 1 5 ... を、並列化回路 1 2 は m 段の並列化部 1 6 ... を、疑似階調処理回路 1 3 は m 段の疑似階調処理部 1 7 ... を有している。すなわち、第 1 のブロック 8 は、シフトレジスタ部 1 4、ラッチ部 1 5、並列化部 1 6、疑似階調処理部 1 7 が直列に配列された m 段の処理ラインを備えた構成となっている。

30

【 0 0 8 5 】

上記第 1 のブロック 8 では、入力されたデジタル映像信号 D A T は、シフトレジスタ 1 0 のシフトレジスタ部 1 4 ... の各出力に同期して、ラッチ回路 1 1 のラッチ部 1 5 ... に順次取り込まれ、並列化回路 1 2 により多相化される。そして、疑似階調処理回路 1 3 は、多相化されたデジタル映像信号を、低周波数で処理することにより、入力された映像信号よりも少ないビット数の信号に変換する。

【 0 0 8 6 】

この処理を、図 3 のタイミングチャートを参照して説明すると以下の通りである。まず、シフトレジスタ 1 0 には、第 1 のクロック信号 S C K 1 および第 1 のスタート信号 S S T 1 が入力される。ここで、第 1 のスタートクロック信号 S C K 1 の周波数は、第 1 のスタート信号 S S T 1 の m 倍である。すなわち、シフトレジスタ 1 0 では、第 1 のスタート信号 S S T 1 の O N パルスを、第 1 のクロック信号 S C K 1 のクロックパルスにて、m 段のシフトレジスタ部 1 4 において順次シフトする。尚、第 1 のスタート信号 S S T 1 については、最終段のシフトレジスタ部 1 4 から初段のシフトレジスタ部 1 4 へ繰り返し入力される構成とすれば、最初の O N パルスのみを与える構成としても良い。

40

【 0 0 8 7 】

これにより、上記シフトレジスタ 1 0 の各シフトレジスタ部 1 4 は、第 1 のクロック信号 S C K 1 の 1 パルス毎に順次 O N 信号を出力し、ラッチ回路 1 1 の各ラッチ部 1 5 では、図 3 の L A T 1 - 1 ないし 1 - 4 に示すように、この出力に同期して映像信号 D A T を順

50

次取り込み、所定の期間これを保持する。尚、図3において、DAT1～16は、16本のデータ信号線のそれぞれに出力される映像信号を示している。

【0088】

並列化回路12には、シフトレジスタ10の最終段から出力される第1のスタート信号SST1が入力されるようになっており、これにより、並列化回路12では、図3のPR1～4に示すように、ラッチ部15...に保持されている映像信号DATが一括して並列化部16...に取り込まれる。

【0089】

疑似階調処理回路13の各疑似階調処理部17...には、図3のBDE1～4に示すように、各並列化部16...から映像信号DATが入力され、該映像信号DATに疑似階調処理が施される。ここで、1ライン分の映像信号に係る疑似階調処理は、1ライン分の映像信号の入力に対し、より多くの時間を要するものである。しかしながら、上記データ信号線駆動回路2の構成では、図3からも明らかなように、疑似階調処理部17への信号の取り込みは、クロック信号SCK1の入力パルスの4周期毎に発生しており、データ信号線駆動回路2の動作周波数を下げることなく、疑似階調処理にかかる時間を十分に確保することが可能となっている。

10

【0090】

次に、第2のブロック9は、シフトレジスタ18、ラッチ回路19、DA(digital/analog)変換回路20、および出力回路21を備えている。シフトレジスタ10は、 n/m 段のシフトレジスタ部22...を有している。また、ラッチ回路19は n 段のラッチ部23...を、DA変換回路20は n 段のDA変換部24...を、出力回路21は n 段の出力部25...を有している。すなわち、第2のブロック9は、 n/m 段のシフトレジスタ部14を備え、該シフトレジスタ部14の各段に、ラッチ部23、DA変換部24、出力部25が直列に配列された m 段の処理ラインを備えた構成となっている。

20

【0091】

上記第2のブロック9の処理を、図4のタイミングチャートを参照して説明すると以下の通りである。尚、第2のブロック9での処理は、第1のブロック8での処理が終了した映像信号DATに対して実施されるものであるため、図4では、第1のブロック8から第2のブロック9の処理の流れが分かるように、図3で示した第1のクロック信号SCK1、第1のスタート信号SST1、疑似階調処理部17...での処理BDE1～4を併せて示している。

30

【0092】

まず、シフトレジスタ18には、第2のクロック信号SCK2および第2のスタート信号SST2が入力される。ここで、第2のクロック信号SCK2の周波数は、第2のスタート信号SST2の n/m 倍である。すなわち、シフトレジスタ18では、第2のスタート信号SST2のONパルスを、第2のクロック信号SCK2のクロックパルスにて、 n/m 段のシフトレジスタ部22において順次シフトする。尚、第2のスタート信号SST2については、最終段のシフトレジスタ部22から初段のシフトレジスタ部22へ繰り返し入力される構成とすれば、最初のONパルスのみを与える構成としても良い。

【0093】

これにより、上記シフトレジスタ18の各シフトレジスタ部22は、第2のクロック信号SCK2の1パルス毎に順次ON信号を出力する。また、各シフトレジスタ部22には、それぞれ m 段のラッチ部23が接続されている(図1参照)ため、同一のシフトレジスタ部22に接続されるラッチ部23...には、第1のブロック8の疑似階調処理回路13から同時に映像信号DATが取り込まれる。

40

【0094】

具体的には、 $m=4$ 、 $n=16$ の場合、初段のシフトレジスタ部22がON信号を出力した時点で、1～4段目のラッチ部23において1～4本目のデータ信号線に出力される映像信号DAT1～4が取り込まれる(図4のLAT2-1～2-4参照)。同様に、2段目のシフトレジスタ部22がON信号を出力した時点で、5～8段目のラッチ部23にお

50

いて5～8本目のデータ信号線に出力される映像信号DAT5～8が取り込まれ、3段目のシフトレジスタ部22がON信号を出力した時点で、9～12段目のラッチ部23において9～12本目のデータ信号線に出力される映像信号DAT9～12が取り込まれ、最終段のシフトレジスタ部22がON信号を出力した時点で、13～16段目のラッチ部23において13～16本目のデータ信号線に出力される映像信号DAT13～16が取り込まれる。

【0095】

上記ラッチ回路19に取り込まれた映像データDATは、DA変換回路20、出力回路21に対して、m段分ずつ一括して送られ、DA変換回路20の各DA変換部24において液晶を駆動するためのアナログ信号に変換され、出力回路21の各出力部25を介して各データ信号線SLへ出力される。

10

【0096】

ここで、第1のクロック信号SCK1は、第2のクロック信号SCK2よりも周波数が高いものとなるが、第1のクロック信号SCK1の周波数を第2のクロック信号SCK2の周波数の整数倍にすることにより、図1に示すように、第1のブロック8の出力と、第2のブロック9の入力との関係を単純にする（第1のブロック8の1つの出力を、第2のブロック9の複数の入力に接続させる）ことができるので、回路構成が容易になる。

【0097】

また、図4からも明らかなように、第2のクロック信号SCK2の周波数は、第1のスタート信号SST1の周波数と同じであり、シフトレジスタ10の最終段からのスタート信号ST1の出力を用いて、第2のクロック信号SCK2を生成することができる。これにより、外部から第2のクロック信号SCK2を入力する必要がなくなる。これは、図1のように、第1のクロック信号SCK1を第2のクロック信号SCK2の整数倍にした場合には容易に実現できる。

20

【0098】

また、上記図1の構成の変形例として、図5に示す構成のデータ信号線駆動回路2'を用いることも可能である。図5におけるデータ信号線駆動回路2'では、図1に示したデータ信号線駆動回路2と同一の構成については、同一の部材番号を付し、その説明を省略する。

【0099】

データ信号線駆動回路2'は、機能的には第1のブロック8'と、第2のブロック9'とに分けられる。第1のブロック8'は、シフトレジスタ10、ラッチ回路11、並列化回路12、疑似階調処理回路13、およびDA変換回路26を備えている。第2のブロック9'は、シフトレジスタ18および出力回路27を備えている。

30

【0100】

すなわち、図5の構成では、図1の構成に対してDA変換回路の配置位置が異なり、このデータ信号線駆動回路2'においては、入力されたデジタル映像信号DATは、シフトレジスタ10の各出力に同期してラッチ回路11に取り込まれ、並列化回路12により多相化される。疑似階調処理回路13は、多相化された映像信号DATを、低周波数で処理することにより、入力された映像信号よりも少ないビット数の信号に変換する。

40

【0101】

変換された映像信号DATは、DA変換回路26により、液晶を駆動するためのアナログ映像信号に変換された後、シフトレジスタ18の各出力に同期して動作する出力回路27を介してデータ信号線SLに出力される。

【0102】

ここで、図1に示す構成のデータ信号線駆動回路2と、図5に示す構成のデータ信号線駆動回路2'とは、それぞれ以下に示すような利点がある。すなわち、データ信号線駆動回路2では、疑似階調処理回路13で疑似階調処理を施した映像信号DATに対し、ラッチ回路19でラッチした後、出力回路21へ送る前の段階でD/A変換を行なっているため、データ信号線SLへの出力の直前まで映像データがデジタル信号として扱われ、雑音

50

や微妙なタイミングずれの影響を受けにくいといった利点がある。

【0103】

一方、データ信号線駆動回路2'では、疑似階調処理回路13で疑似階調処理を施した映像信号DATに対し、該疑似階調処理の直後にD/A変換を行なっている。このため、データ信号線駆動回路2に比べると雑音や微妙なタイミングずれの影響を受けやすいものの、D/A変換部24を各ライン毎(n段)に必要とするデータ信号線駆動回路2の構成に比べ、D/A変換部の数がm段でよく、回路の構成を簡略化することができる。また、D/A変換部24の回路構成は、シフトレジスタと、インバータやNAND等の簡単なゲートとアナログスイッチとから構成でき、D/A変換部24自体を非常に単純でコンパクトに形成できる。

10

【0104】

また、データ信号線駆動回路のさらに他の変形例として図6に示すような構成も考えられる。図6におけるデータ信号線駆動回路2''では、図1に示したデータ信号線駆動回路2と同一の構成については、同一の部材番号を付し、その説明を省略する。

【0105】

データ信号線駆動回路2''は、機能的には第1のブロック28と、第2のブロック29とに分けられる。第1のブロック28は、シフトレジスタ10、ラッチ回路11、および疑似階調処理回路13を備えている。第2のブロック29は、シフトレジスタ30、ラッチ回路19、D/A変換回路20および出力回路21を備えている。

【0106】

第1のブロック28では、シフトレジスタ10、ラッチ回路11の動作は、データ信号線駆動回路2の第1のブロック8と同じである。しかしながら、第1のブロック28では、並列化回路12が省略されているため、疑似階調処理回路13の各疑似階調処理部17...への映像信号データDATの入力が、図7のタイミングチャートに示すように、第1のクロック信号CLK1の1パルスずつずれたものとなる(図7のBDE1~4)。

20

【0107】

また、第2のブロック28では、シフトレジスタ30の構成が、データ信号線駆動回路2のシフトレジスタ10の構成とは異なり、シフトレジスタ部31の段数がn/m段ではなく、n段となっている。また、シフトレジスタ30に入力される第2のクロック信号CLK2は、第1のクロック信号CLK1と同じ周波数である。このため、第2のブロック28では、ラッチ回路19の各ラッチ部23では、第2のクロック信号CLK2に応じて1ライン毎に疑似階調処理された映像信号DATが取り込まれる(図7のLAT2-1~2-16)。また、図7のタイミングチャートでは図示は省略するが、D/A変換回路20、出力回路21の処理も第2のクロック信号CLK2に応じて1ライン毎に実施される。

30

【0108】

尚、上記6のデータ信号線駆動回路2''において、D/A変換回路20は図1の構成と同様にラッチ回路19の下流(映像信号の処理の流れについて、データ信号線駆動回路への入力側を上流、出力側を下流としている)にn段で設けられているが、図5の構成のようにD/A変換回路26を疑似階調処理回路13の直後にm段で設ける構成としても良い。

【0109】

ここで、上記図1または図5の構成(第1の構成)によれば、シフトレジスタ18におけるシフトレジスタ部22の各段が、複数のデータ信号線SL(m本)に対応しているので、シフトレジスタ部22の段数をデータ信号線の本数(n本)の1/mにすることができ、データ信号線駆動回路2または2'の規模を小さくすることが可能となる。また、シフトレジスタ18に与えられる周波数CLK2がシフトレジスタ10に与えられる周波数の1/mになるので、ラッチ回路19(または出力回路27)でデータ信号線SLにデータ信号線にデータを送出する時間を長く取ることができる。

40

【0110】

また、上記図6の構成(第2の構成)によれば、シフトレジスタ30からの複数の出力信号の和を用いることにより、ラッチ回路19でデータ信号線SLにデータを送出する時間

50

を長く取ることができる。また、この構成では、シフトレジスタ 30 を制御する第 2 のクロック信号 S L K 2 として、シフトレジスタ 10 を制御する第 1 のクロック信号 S L K 1 と同じ信号を用いることができるので、新たな信号を生成する回路が不要となる。さらに、データ信号線 S L へのデータの送出が連続的に行なわれるので、複数のデータを一括して送出される場合に危惧されるブロック毎の境界（表示上の不具合）が生じにくいといったメリットがある。

【0111】

上記データ信号線駆動回路において、疑似階調処理回路 13 の構成としては様々なものが適用できるが、ここでは、その例として図 8 に示す構成について説明する。これは、固定のノイズパターンを画像データに重畳させた後、下位ビットを切り捨てることにより、低ビットの駆動回路でより多ビットの画像を擬似的に表示するものであり、疑似階調処理の中でも最も構成のシンプルなものの 1 つである。高精細の画像表示装置では、擬似的に階調数を増す手法は、画質の劣化が極めて小さいため、影響は問題にならない場合が多い。

【0112】

図 8 において、入力された映像信号 D A T I に対し、メモリ（ROM）32 に記憶されている固定ノイズパターン N D をメモリ制御回路（M C T L）33 によって読み出し、加算器（A D D E R）34 で加算する。映像信号 D A T I と固定ノイズパターン N D との加算データは、例外処理回路（O F P）35 でオーバーフロー時などの例外処理を行った後、量子化回路（Q N T）36 で下位ビットを切り捨てることで、ビット数の下げられた映像信号 D A T O が得られる。このように非常に簡単な構成で、疑似階調処理を実現することができるのが、この方式の特徴である。

【0113】

このときの画像表示の例を図 9 に示す。本来の画像（原画像）と固定ノイズパターンを合成した合成画像は、原画像より品位は落ちるが、原画像を単に低階調で表示した場合よりは視認性が高くなる。

【0114】

上記疑似階調処理回路 13 において、ROM 32 に記憶させる固定ノイズパターンは、画面全体にわたって最適化することが、表示品位の点からは望ましいが、この場合には、一方でメモリのデータ量が大きくなるという問題がある。そこで、映像データに重畳する固定ノイズパターンを、ある一定の大きさ（例えば、縦と横がそれぞれ 16 画素など）のパターンデータの繰り返しによって得られる固定ノイズパターンとすることも有効である。

【0115】

このとき、パターンデータの周期（水平方向の周期）を、上記の並列化回路 12 で並列化した映像信号 D A T の周期の整数倍とする（すなわち、パターンデータのデータ信号線の配列方向における幅を、m の整数倍のライン数に相当させる）と、疑似階調処理回路 13 の構成が非常にシンプルになる。

【0116】

例えば、図 10 に示すように、パターンデータの周期を 16 画素とし、第 1 のブロック 8 の出力数（映像信号の並列化周期）を 4 とすると、疑似階調処理回路 13 の各疑似階調処理部 17 の各加算器 34 には、メモリ 32 からメモリ制御回路 33 により読み出されるパターンデータ信号の内、決まった信号のみが入力され、接続関係を切り替えたりする必要がなくなる。

【0117】

より具体的な例を示すと、図 11 のように、疑似階調処理回路 13 内の 4 個の加算器 34 - 1 ~ 34 - 4 には、それぞれ対応するメモリ（ROM 1 ~ 4）32 - 1 ~ 32 - 4 が接続され、それぞれのメモリ 32 - 1 ~ 32 - 4 には各加算器 34 - 1 ~ 34 - 4 が使用するパターンデータのみを記憶させている。このような構成により、メモリのデータ量を増やすことなく、メモリ 32 と加算器 34 との接続を単純化させることができる。上記図 10, 11 で説明したように、固定ノイズパターンをある決まった大きさのパターンデータの繰り返しによって生成する場合、メモリのデータ量を削減することができる。しかし、

10

20

30

40

50

この方法は、繰り返しピッチに対応した縦縞やブロック縞（疑似パターン）が見えやすくなり、表示品位の点からは好ましくない場合がある。

【0118】

そこで、図12のように、固定ノイズパターンを構成するパターンデータを、固定ノイズパターンの垂直周期毎に水平方向に一定量だけずらすことで、表示品位の劣化を抑えることができる。また、図13に示すように、水平方向のずらし量をパターンデータの $1/k$ （ k は2以上の整数：図13は $k=2$ の場合）周期とすることにより、メモリからの読み出しタイミングの制御（読み出し開始アドレスの切替）を容易なものとし、疑似階調処理回路13の構成を簡略化することができる。

【0119】

また、固定ノイズパターンを構成するパターンデータをずらすのは、固定ノイズパターンの垂直方向の周期毎でなく、一定のフレーム周期毎に行なっても良い。この場合も、連続するフレームにおいて、同一個所の同一パターンが連続して存在することを回避でき、映像信号に重畳されるパターンデータの信号によるブロック状の疑似パターンが認識されにくくなるため、表示品位を向上することができる。

【0120】

また、パターンデータをずらす周期については、1フレーム期間毎とする場合が、同一の固定パターンの連続が最も短く、ブロック状の疑似パターンを認識しにくくするためには最も効果が高い。但し、固定パターンデータをずらす周期を2フレーム期間毎とした場合には、疑似パターンを認識しにくくして表示品位を向上すると共に、液晶の交流駆動に対応して、液晶に印加される電圧のDC成分が相殺されるため、液晶材料の劣化が抑えられ、表示装置の信頼性向上に有効である。

【0121】

また、この場合も、水平方向のずらし量をパターンデータの $1/k$ （ k は2以上の整数：図13は $k=2$ の場合）周期とすることにより、メモリからの読み出しタイミングの制御（読み出し開始アドレスの切替）を容易なものとし、疑似階調処理回路13の構成を簡略化することができる。

【0122】

さらに、疑似パターンの認識をさらに抑制して表示品位を向上させるためには、一定のフレーム周期毎に、映像信号に重畳するパターンデータを变化させることも可能である。

【0123】

すなわち、映像信号に重畳するパターンデータを一定のフレーム周期毎に水平方向にずらす場合では、ブロック状の疑似パターンの移動が認識される可能性があるが、フレーム毎に全く異なるパターンデータを用いることにより、ブロック状の疑似パターンがさらに認識されにくくなり、表示品位をより一層向上する。

【0124】

もちろん、パターンデータをずらす周期については、1フレーム期間毎とする場合にブロック状の疑似パターンを認識しにくくするうえで最も効果が高く、2フレーム期間毎とした場合に、表示品位を向上と表示装置の信頼性向上と同時にを図ることができる。

【0125】

また、一定のフレーム周期毎に、映像信号に重畳するパターンデータを变化させる場合、映像信号に重畳するパターンデータを一定周期で同一のものを繰り返すことにより、パターンデータの種類を制限することができ、パターンデータを格納する記憶手段の容量を少なくすることができる。

【0126】

次に、DA変換回路の構成について説明する。DA変換回路の構成については、従来から提案されている様々な方式を用いることができるが、本発明のメリットを最大限に発揮するためには、複数の基準電圧源から、表示階調に対応する電圧を選択して出力するセレクタ型のDA変換回路がもっとも望ましい。

【0127】

10

20

30

40

50

このセレクト型のデジタルーアナログ変換回路は、図 1 4 に示すように、4 b i t のデジタル映像信号 D A T をデコーダ 3 7 によってデコードした信号により、複数（図では 1 6 本）の基準電圧線 V R E F と出力線（図ではデータ信号線 S L ）との間のスイッチ 3 8 ... を制御し、1 つの基準電圧を選択するものであり、ロジック回路であるデコーダと転送ゲートであるスイッチのみから構成されている。

【 0 1 2 8 】

したがって、上記 D A 変換回路を、半導体材料に多結晶シリコンを用いて作成しても、特性バラツキや特性変動などの影響を殆ど受けることなく、高品位の画像表示を実現することができる。また、定常電流が流れる経路がなく、低消費電力のデータ信号線駆動回路および画像表示装置を実現することができる。

10

【 0 1 2 9 】

ここで、複数の基準電圧源 V R E F は、外部から直接入力されていてもよいが、外部電源回路を簡単にするために、データ信号線駆動回路内部で生成することも可能である。例えば、図 1 5 に示す例では、高電圧側電源 V C C と低電圧側電源 V E E との 2 本の外部電源から、1 6 レベルの基準電源を生成することができる。また、図 1 6 の例では、5 本の外部電源 V 0 ~ V 4 から、1 6 レベルの基準電源を生成している。

【 0 1 3 0 】

このような基準電源生成部は、データ信号線駆動回路の各ライン毎に設けると、特性のバラツキなどのために、縦方向の縞などの表示不良につながる可能性がある。したがって、データ信号線駆動回路全体で 1 つの基準電源生成部を備える構成とすることが望ましい。

20

【 0 1 3 1 】

上記の疑似階調処理は、データ信号線駆動回路の出力部の能力よりも多階調（多ビット）の画像表示を行うときに有効である。一方、原画像の階調が少ない場合などでは、そのメリットはなく、疑似階調処理を行わない方が、表示品位の点でも、消費電力の点でも望ましい。また、その他に、画像表示装置をバッテリー駆動する時には消費電力の少ない疑似階調処理なしで駆動するなど、使用環境などによっても、使い分けることが考えられる。

【 0 1 3 2 】

したがって、本実施の形態に係る画像表示装置では、疑似階調処理回路の動作のオン / オフを切り替えられるようにすることが、表示品位と消費電力の観点から極めて有効である。図 1 7 (a) および (b) は、それぞれ、疑似階調処理回路を動作させた場合、および、動作させない場合の画像表示の様子を示した図である。

30

【 0 1 3 3 】

また、図 1 8 は、疑似階調処理回路の動作をオン / オフ可能とさせる場合の構成を示す図である。上記疑似階調処理回路では、加算器 3 4 の前と量子化回路 3 6 との前にそれぞれスイッチ 3 9 , 4 0 を設け、疑似階調処理回路を非動作にする場合には、制御信号 B C によってスイッチ 3 9 , 4 0 を切り替え、加算器 3 4 と例外処理回路 3 5 とをバイパスさせる構成になっている。

【 0 1 3 4 】

上記スイッチ 3 9 , 4 0 の切替方法としては、図 1 9 のように、外部から制御信号 B C を入力し、これによってスイッチ 3 9 , 4 0 を直接制御する方法でもよいし、図 2 0 のように、映像信号 D A T を基準に自動的に切り替えるようにしてもよい。

40

【 0 1 3 5 】

すなわち、図 2 0 の構成のように、疑似階調処理回路の動作を映像信号 D A T を基準に自動的に切り替える場合には、例えば、映像データ監視部 (B D T) 4 1 において映像信号 D A T の下位ビット（量子化回路で切り捨てるビット）を監視して、1 フレーム期間にわたって下位ビットにデータがなければ、次のフレームで映像データ監視部 4 1 が疑似階調処理回路を非動作にするための制御信号を出力することなどが考えられる。

【 0 1 3 6 】

以上の説明における、本実施形態に係る画像表示装置では、データ信号線駆動回路における能動素子を多結晶シリコン薄膜トランジスタにて構成する場合に有効なものである。

50

【0137】

図21に上記画像表示装置で使用される多結晶シリコン薄膜トランジスタの構成例れを示す。図21の多結晶シリコン薄膜トランジスタは、絶縁性基板42上の多結晶シリコン薄膜43を活性層とする順スタガー（トップゲート）構造のものであるが、本発明はこれに限るものではなく、逆スタガー構造等の他の構造のものであってよい。

【0138】

上記のような多結晶シリコン薄膜トランジスタを用いることによって、実用的な駆動能力を有するデータ信号線駆動回路および走査信号線駆動回路を、画素アレイと同一基板上にほぼ同一の製造工程で構成することができる。

【0139】

また、一般に、多結晶シリコン薄膜トランジスタは、単結晶シリコントランジスタ（MOSトランジスタ）に較べて、特性のバラツキが大きく、また、経時変化の量も大きい。更に、素子の駆動電圧が高く、サイズやデザインルールも大きいため、複雑な回路を構成すると、占有面積が大きくなるとともに、消費電力の増加も無視できなくなる。したがって、上述した単純な疑似階調処理回路を用いることによる多階調表示の実現のメリットは極めて大きい。

【0140】

以下に、摂氏600以下で上記多結晶シリコン薄膜トランジスタを形成するときの製造プロセスについて、図22を参照して簡単に説明する。

【0141】

まず、に示すように、ガラス基板44（図22（a）参照）上に非晶質シリコン薄膜45を堆積し（図22（b）参照）、この非晶質シリコン薄膜45にエキシマレーザを照射して、多結晶シリコン薄膜46を形成する（図22（c）参照）。

【0142】

次に、この多結晶シリコン薄膜46を所望の形状にパターニングし（図22（d）参照）、パターニングされた多結晶シリコン薄膜46上に二酸化シリコンからなるゲート絶縁膜47を形成する（図22（e）参照）。更に、薄膜トランジスタのゲート電極48をアルミニウム等で形成（図22（f）参照）した後、薄膜トランジスタのソース・ドレイン領域に不純物（n型領域には燐、P型領域には珪素）を注入する（図22（g）～（h）参照）。

【0143】

その後、二酸化シリコンまたは窒化シリコン等からなる層間絶縁膜49を堆積し（図22（i）参照）、コンタクトホール50を開口（図22（j）参照）した後、アルミニウム等の金属配線51を形成する（図22（k）参照）。

【0144】

この工程において、プロセスの最高温度は、ゲート絶縁膜形成時の600であるので、上記ガラス基板44として米国コーニング社の1737ガラス等の高耐熱性ガラスが使用できる。

【0145】

尚、液晶表示装置においては、この後に、更に、別の層間絶縁膜を介して、透明電極（透過型液晶表示装置の場合）や反射電極（反射型液晶表示装置の場合）を形成することになる。

【0146】

ここで、図22に示すような製造工程で、多結晶シリコン薄膜トランジスタを、摂氏600度以下で形成することにより、安価で大面積のガラス基板を用いることができるようになるので、画像表示装置の低価格化と大面積化が実現される。

【0147】

尚、本発明に係る画像表示装置は、液晶表示装置、プラズマ表示装置、EL表示装置等に適用可能なものであるが、透過型液晶表示装置以外では、基板をガラス基板とする必要はなく、シリコン基板を用いることも可能である。しかしながら、シリコン基板はガラス基

10

20

30

40

50

板に比べコストが大幅に高いこと、また、基板サイズが150～200mm径(最大でも300mm径)と大型の表示装置に適用できないなどのデメリットがある。このため、透過型液晶表示装置以外の画像表示装置でも、本発明の適用は、コストダウンや大型画面の適用といった点で有効で

【0148】

【発明の効果】

本発明の画像表示パネルは、以上のように、上記データ信号線駆動回路は、画素アレイ上の画素に映像信号を送出するn本のデータ信号線を駆動するものであると共に、各データ信号線に送出される映像信号に対して疑似階調処理を施す、データ信号線の数よりも少ないm段の疑似階調処理手段を備えており、各疑似階調処理手段は、データ信号線に対してmライン毎に疑似階調処理された映像信号を出力し、上記疑似階調処理手段は、一定周期で繰り返される固定パターンデータの信号を映像信号に加算することにより重畳する処理と、重畳された映像信号の下位ビットを切り捨てる処理とを行なう構成である。

10

【0149】

それゆえ、疑似階調処理手段をデータ信号線の本数(n本)よりも少ないm段とし、複数の異なるデータ信号線に出力される映像信号に対して疑似階調処理手段を共通化することで、データ信号線駆動回路の構成を簡略化でき、駆動回路一体型の画像表示パネルに適用が可能となる簡単な回路構成にて多階調表示が可能となるという効果を奏する。

【0150】

また、データ信号線に対してmライン毎に疑似階調処理された映像信号を出力することで、各疑似階調処理手段では、1ライン分の映像信号の疑似階調処理において映像信号の入力周期のm倍の時間の処理時間を確保することができ、疑似階調処理に十分なタイミングマージンが得られるという効果を併せて奏する。

20

それゆえ、映像信号に重畳する信号として一定周期で繰り返される固定パターンデータの信号を用いることにより、固定パターンデータを記憶する記憶手段の容量を抑制できると共に、複雑な演算処理を必要とせず、非常に簡単に疑似階調処理を実現することができ、駆動回路一体型の画像表示装置への適用が容易となるという効果を奏する。

【0151】

また、上記画像表示パネルでは、第1の構成として、上記データ信号線駆動回路は、第1のシフトレジスタの出力に同期して、順次映像信号を取り込むm段の第1のラッチ手段と、上記ラッチ回路にて取り込まれた映像信号を並列化するm段の並列化手段と、上記疑似階調処理手段によって疑似階調処理が施された映像信号を、第2のシフトレジスタの出力に同期して、順次取り込むn段の第2のラッチ手段とを備えており、上記各疑似階調処理手段は、上記並列化手段にて並列化された映像信号に対して疑似階調処理を施すと共に、上記各疑似階調処理手段にて疑似階調処理が施された映像信号は、上記第1のシフトレジスタよりも動作周波数の小さい第2のシフトレジスタの出力に同期させて、上記第2のラッチ手段に対し、mライン分の映像信号毎に一括して取り込まれた後、各データ信号線に送出される構成とすることができる。

30

【0152】

また、上記画像表示パネルでは、第2の構成として、上記データ信号線駆動回路は、第1のシフトレジスタの出力に同期して、順次映像信号を取り込むm段の第1のラッチ手段と、上記疑似階調処理手段によって疑似階調処理が施された映像信号を、第2のシフトレジスタの出力に同期して、順次取り込むn段の第2のラッチ手段とを備えており、上記各疑似階調処理手段は、上記第1のラッチ手段から上記第1のシフトレジスタの出力と同周期で映像信号を取り込み、該映像信号に対して疑似階調処理を施すと共に、上記各疑似階調処理手段にて疑似階調処理が施された映像信号は、上記第1のシフトレジスタと同一の動作周波数にて動作する第2のシフトレジスタの出力に同期させて、上記第2のラッチ手段に対し、1ライン分の映像信号毎に取り込まれた後、各データ信号線に送出される構成とすることができる。

40

【0153】

50

また、上記第1の構成の画像表示パネルでは、上記第1のシフトレジスタの動作周波数は、第2のシフトレジスタの動作周波数の整数倍とすることで、第1のシフトレジスタの動作周波数を与えるクロック信号と、第2のシフトレジスタの動作周波数を与えるクロック信号とのタイミング関係を単純にでき、データ信号線駆動回路全体の構成が簡単になるという効果を奏する。

【0154】

また、上記第1の構成の画像表示パネルでは、上記第2のシフトレジスタを駆動させるクロック信号は、第1のシフトレジスタの最終段からの出力信号より生成される構成とすることで、第2のシフトレジスタを駆動するためのクロック信号を、データ信号線駆動回路の外部から別途入力する必要がなくなり、データ信号線駆動回路全体の構成が簡単になるという効果を奏する。

10

【0155】

また、上記画像表示パネルでは、上記疑似階調処理手段にて疑似階調処理が施されたデジタル映像信号を、アナログ映像信号に変換するデジタル/アナログ変換手段を備えており、上記デジタル/アナログ変換手段による変換処理が、上記第2のラッチ手段によるラッチ後に行なわれる構成とすることができる。

【0156】

それゆえ、上記映像信号は、データ信号線への出力の直前までデジタル信号として扱われることとなり、上記映像信号が雑音や微妙なタイミングずれの影響を受けることがなく、高画質の表示を得ることができるという効果を奏する。

20

【0157】

また、上記画像表示パネルでは、上記疑似階調処理手段にて疑似階調処理が施されたデジタル映像信号を、アナログ映像信号に変換するデジタル/アナログ変換手段を備えており、上記デジタル/アナログ変換手段による変換処理が、疑似階調処理手段による疑似階調処理の後、かつ上記第2のラッチ手段によるラッチ前に行なわれる構成とすることができる。

【0158】

それゆえ、デジタル/アナログ変換手段の数を疑似階調処理手段と同じくm段とすることができ、データ信号線駆動回路の構成を簡略化することができるという効果を奏する。

【0161】

30

また、上記画像表示パネルでは、上記固定パターンデータは、データ信号線の配列方向における幅が、mの整数倍のライン数に相当する構成とすることができる。

【0162】

それゆえ、固定パターンデータの信号を映像信号に加算する加算器を疑似階調処理手段の下流に疑似階調処理手段と同数のm段設ける構成にて実現でき、データ信号線駆動回路全体の構成が簡単になるという効果を奏する。

【0163】

また、上記画像表示パネルでは、上記疑似階調処理手段は、上記固定パターンデータを格納する記憶手段を備えており、各疑似階調処理手段内の記憶手段(例えば、ROM)は、各疑似階調処理手段に対応するデータ信号線用の固定パターンデータのみを格納している構成とすることができる。

40

【0164】

それゆえ、各疑似階調処理手段に内蔵すべき記憶手段のデータ量を最小化することができ、また、記憶手段からの固定パターンデータの読み出しを管理するメモリー制御回路の構造や駆動方法も単純化されるという効果を奏する。

【0165】

また、上記画像表示パネルでは、上記疑似階調処理手段は、上記固定パターンデータの垂直方向の周期毎に、映像信号に重畳する固定パターンデータの水平方向の位置を一定量だけずらす構成とすることができる。

【0166】

50

それゆえ、映像信号に重畳される固定パターンデータの信号によるブロック状の疑似パターンが認識されにくくなり、表示品位を向上することができるという効果を奏する。

【0167】

また、上記画像表示パネルでは、上記疑似階調処理手段は、一定のフレーム周期毎に、映像信号に重畳する固定パターンデータの水平方向の位置を一定量だけずらす構成とすることができる。

【0168】

それゆえ、映像信号に重畳される固定パターンデータの信号によるブロック状の疑似パターンが認識されにくくなり、表示品位を向上することができるという効果を奏する。

。

【0169】

また、上記画像表示パネルでは、上記疑似階調処理回路は、上記固定パターンデータの垂直方向の周期毎、または、一定のフレーム周期毎に、映像信号に重畳する固定パターンデータの水平方向の位置を $1/k$ (k は 2 以上の整数) 周期分だけずらす構成とすることができる。

【0170】

それゆえ、映像信号へ重畳される固定パターンデータの読み出しタイミングの制御(読み出し開始アドレスの切替え)が簡単になり、疑似階調処理手段の構成が簡単となるという効果を奏する。

【0171】

また、上記画像表示パネルでは、上記疑似階調処理手段は、一定のフレーム周期毎に、映像信号に重畳する固定パターンデータを変化させる構成とすることができる。

【0172】

それゆえ、フレーム毎に全く異なる固定パターンデータを用いることにより、ブロック状の疑似パターンがさらに認識されにくくなるため、表示品位をより一層向上させることができるという効果を奏する。

【0173】

また、上記画像表示パネルでは、上記疑似階調処理手段は、映像信号に重畳する固定パターンデータとして、一定のフレーム周期毎に、同一の固定パターンデータを繰り返す構成とすることができる。

【0174】

それゆえ、固定パターンデータの種類を制限することができ、固定パターンデータを格納する記憶手段の容量を少なくすることができるという効果を奏する。

【0175】

また、上記画像表示パネルでは、上記デジタル/アナログ変換手段は、疑似階調処理を施された映像信号に応じて、複数の基準電圧源の内の 1 つを選択する構成とすることができる。

【0176】

それゆえ、セレクト型のデジタル駆動方式をデジタル/アナログ変換手段に採用することにより、単純な構成で多階調表示を実現することができるという効果を奏する。

【0177】

また、上記画像表示パネルでは、上記複数の基準電圧源は、外部から入力されるより少数の基準電圧源より、上記基板上にて生成される構成とすることができる。

【0178】

それゆえ、外部の基準電圧源の数を削減することができるため、データ信号線駆動回路全体の構成を簡略化することができるという効果を奏する。

【0179】

また、上記画像表示パネルでは、上記疑似階調処理手段における疑似階調処理の動作および非動作は、外部より入力される制御信号によって切り替えられる構成とすることができる。

10

20

30

40

50

【 0 1 8 0 】

それゆえ、表示階調の少ない画像表示の場合には、疑似階調処理回路を動作させないようにすることができ、より低消費電力での画像表示を実現することができるという効果を奏する。

【 0 1 8 1 】

また、上記画像表示パネルでは、上記疑似階調処理手段における疑似階調処理の動作および非動作は、外部より入力される制御信号によって切り替えられる構成とすることができる。

【 0 1 8 2 】

それゆえ、表示画像の種類や使用環境、使用者の意図に応じて、表示品位（表示階調）と消費電力について選択することができるという効果を奏する。 10

【 0 1 8 3 】

また、上記画像表示パネルでは、上記疑似階調処理手段における疑似階調処理の動作および非動作は、入力されるデジタル映像信号のビット数に基づいて切り替えられる構成とすることができる。

【 0 1 8 4 】

それゆえ、表示画像の種類（階調数）に応じて、表示品位（表示階調）と消費電力について、自動的に最適な駆動方法をとることができるという効果を奏する。

【 0 1 8 5 】

また、上記画像表示パネルでは、上記データ信号線駆動回路を構成する能動素子が、多結晶シリコン薄膜トランジスタによって形成されている構成とすることができる。 20

【 0 1 8 6 】

多結晶シリコン薄膜トランジスタは、単結晶シリコントランジスタに較べて、特性のバラツキが大きく、また、経時変化も大きいいため、これを用いてデータ信号線駆動回路を構成した場合、アンプや R - D A C , C - D A C を用いると精度が低下したり、占有面積が大きくなったりすることがあるが、本発明においては、表示品位向上効果を極めて大きなものとすることができる。

【 0 1 8 7 】

また、上記画像表示パネルでは、上記多結晶シリコン薄膜トランジスタは、600 以下の製造温度で、ガラス上に構成されたものである構成とすることができる。 30

【 0 1 8 8 】

それゆえ、600 以下のプロセス温度で、多結晶シリコン薄膜トランジスタを形成する場合には、歪み点温度が低い安価でかつ大型化の容易なガラスを基板として用いることができるので、大型の画像表示装置を低コストで製造することが可能となる。

【図面の簡単な説明】

【図 1】本発明の一実施形態を示すものであり、画像表示装置におけるデータ信号線駆動回路の構成例を示す回路図である。

【図 2】上記画像表示装置の構成例を示すブロック図である。

【図 3】図 1 に示すデータ信号線駆動回路の動作の一部を示すタイミングチャートである。 40

【図 4】図 1 に示すデータ信号線駆動回路の動作の一部を示すタイミングチャートである。

【図 5】本発明に係る画像表示装置におけるデータ信号線駆動回路の他の構成例を示す回路図である。

【図 6】本発明に係る画像表示装置におけるデータ信号線駆動回路のさらに他の構成例を示す回路図である。

【図 7】図 6 に示すデータ信号線駆動回路の動作を示すタイミングチャートである。

【図 8】図 1 , 5 , 6 に示すデータ信号線駆動回路における疑似階調処理回路の構成例を示すブロック図である。

【図 9】上記疑似階調処理回路による画像処理の例を示す説明図である。 50

【図 10】本発明に係る画像表示装置におけるデータ信号線駆動回路のさらに他の構成例を示す回路図である。

【図 11】本発明に係る画像表示装置におけるデータ信号線駆動回路において、第 1 のブロックのさらに他の構成例を示す回路図である。

【図 12】上記疑似階調処理回路における固定パターンの例を示す説明図である。

【図 13】上記疑似階調処理回路における固定パターンの他の例を示す説明図である。

【図 14】本発明に係る画像表示装置における D A 変換部の構成例を示す回路図である。

【図 15】上記 D A 変換部における基準電圧源の生成部の例を示す回路図である。

【図 16】上記 D A 変換部における基準電圧源の生成部の他の例を示す回路図である。

【図 17】本発明に係る画像表示装置において、疑似階調処理回路のオン / オフ切り替えでの表示を示す説明図であり、(a) が疑似階調処理回路のオン時、(b) が疑似階調処理回路のオフ時である。

【図 18】本発明に係る画像表示装置において、疑似階調処理のオン / オフ切り替えを可能にする疑似階調処理回路の例を示すブロック図である。

【図 19】本発明に係る画像表示装置におけるデータ信号線駆動回路のさらに他の構成例を示す回路図である。

【図 20】本発明に係る画像表示装置におけるデータ信号線駆動回路のさらに他の構成例を示す回路図である。

【図 21】本発明に係る画像表示装置を構成する多結晶シリコン薄膜トランジスタの構造例を示す断面図である。

【図 22】(a) ~ (k) は、図 21 に示す多結晶シリコン薄膜トランジスタの製造工程の例を示す図である。

【図 23】従来の画像表示装置の構成例を示すブロック図である。

【図 24】上記従来の画像表示装置における画素の内部構造の例を示す回路図である。

【図 25】従来の画像表示装置において、駆動回路一体型とした画像表示装置の構成例を示すブロック図である。

【図 26】アナログ点順次方式を採用する従来のデータ信号線駆動回路の例を示す回路図である。

【図 27】疑似階調処理を適用した従来のデータ信号線駆動回路の例を示す回路図である。

【符号の説明】

1	画素アレイ
2	データ信号線駆動回路
6	基板
7	画素
10	シフトレジスタ (第 1 のシフトレジスタ)
15	ラッチ部 (第 1 のラッチ手段)
16	並列化部 (並列化手段)
17	疑似階調処理部 (疑似階調処理手段)
18・30	シフトレジスタ (第 2 のシフトレジスタ)
20・26	D A 変換部 (デジタル / アナログ変換手段)
23	ラッチ部 (第 2 のラッチ手段)
27	出力回路 (第 2 のラッチ手段)
32	メモリ (記憶手段)
34	加算器
S L	データ信号線
S C K 1	第 1 のクロック信号
S S T 1	第 1 のスタート信号
S C K 2	第 2 のクロック信号
S S T 2	第 2 のスタート信号

10

20

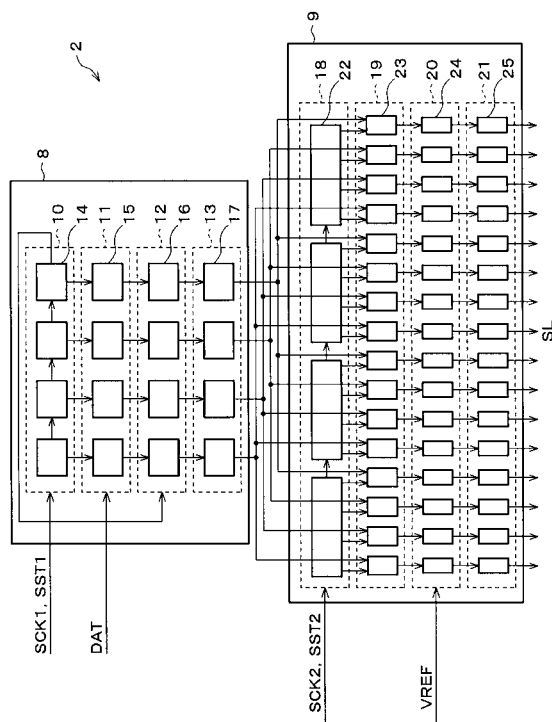
30

40

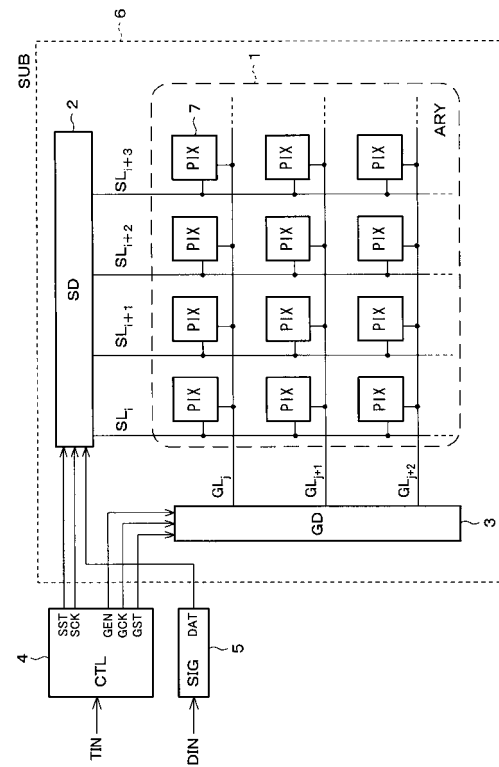
50

D A T 映像信号
V R E F 基準電圧源
B C 制御信号

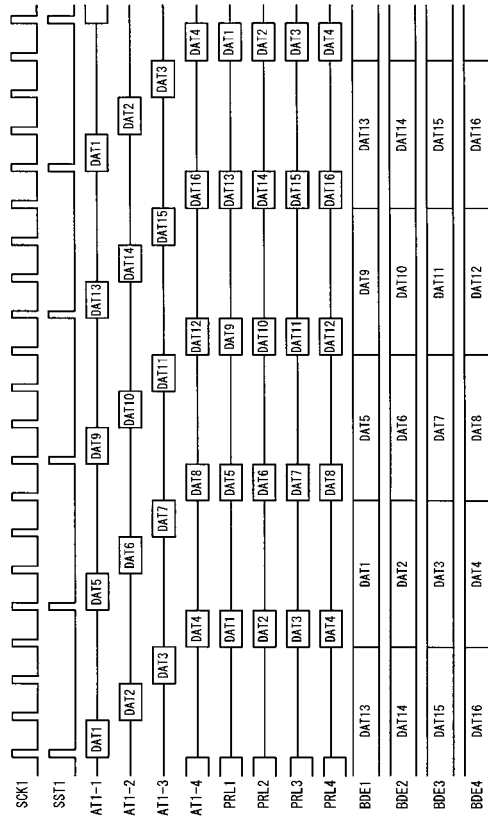
【図 1】



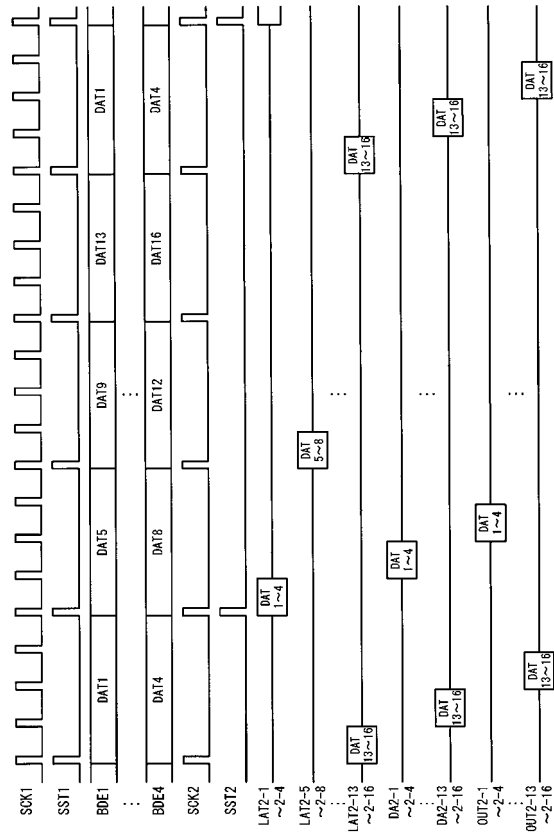
【図 2】



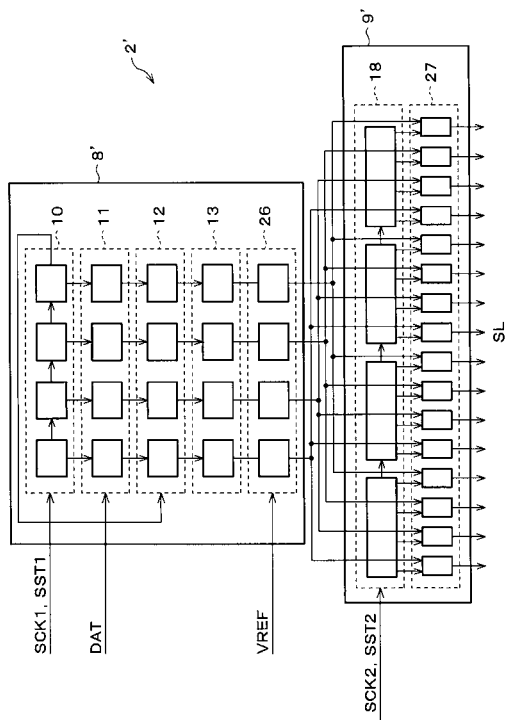
【図 3】



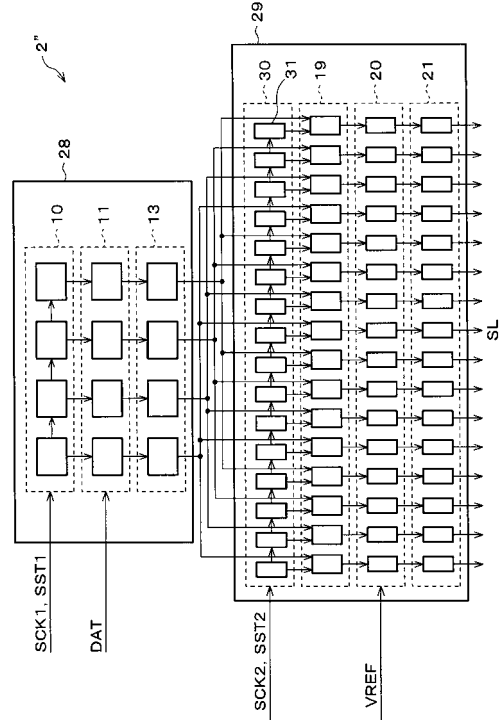
【図 4】



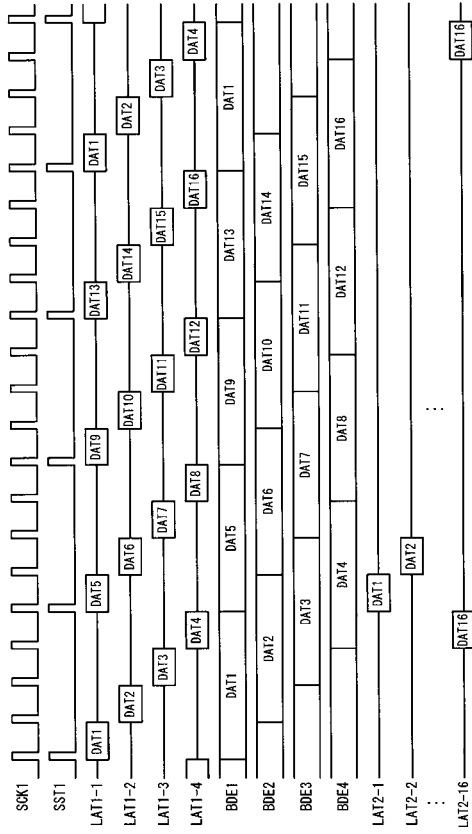
【図 5】



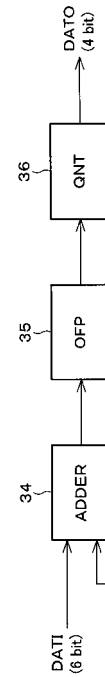
【図 6】



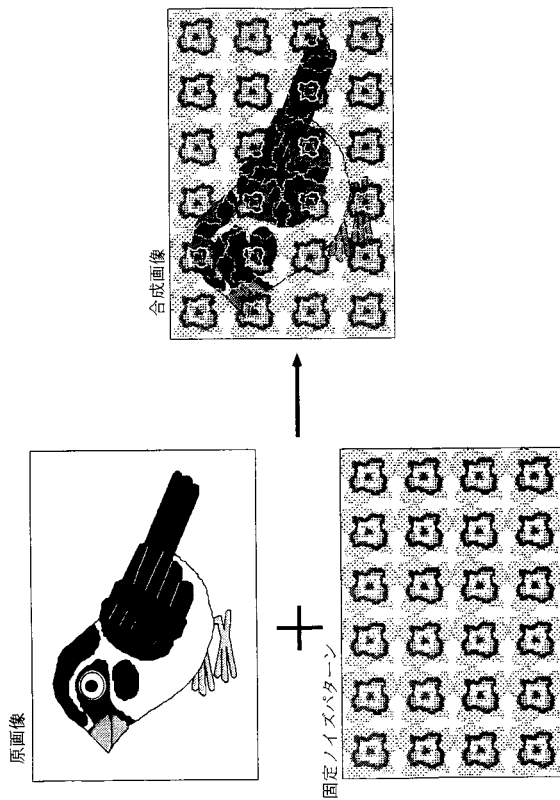
【図 7】



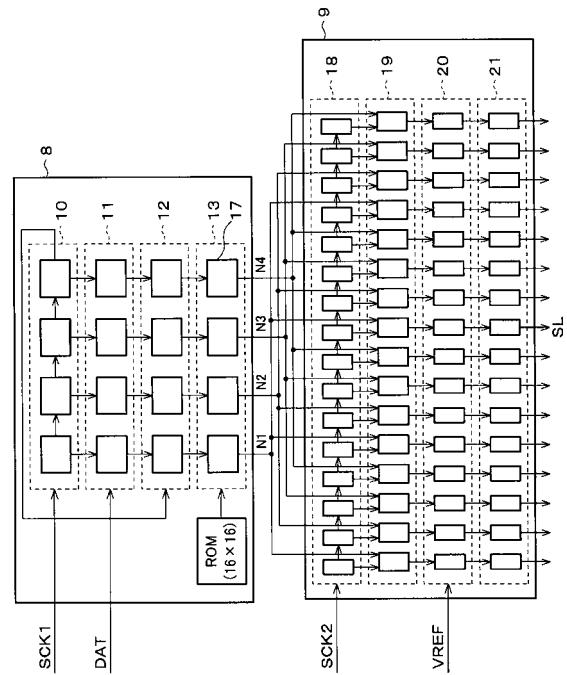
【図 8】



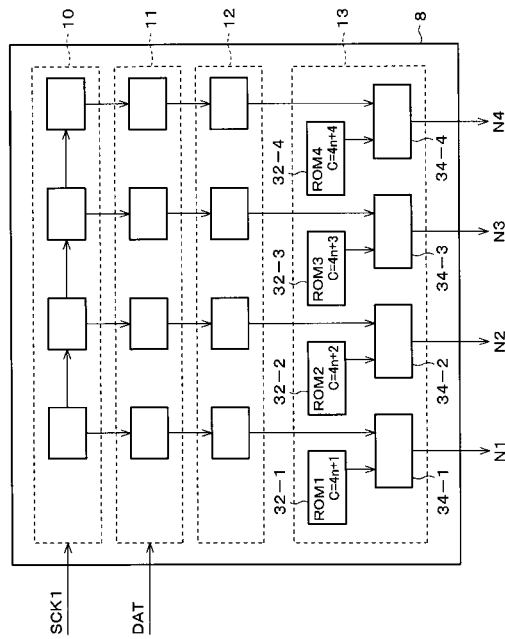
【図 9】



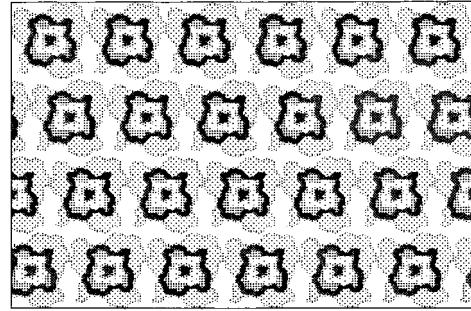
【図 10】



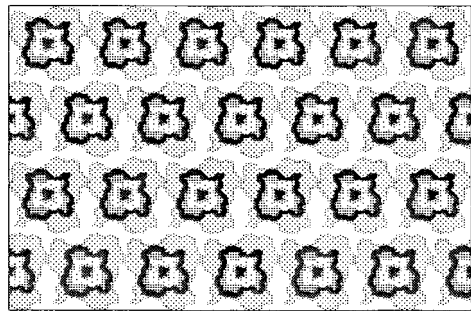
【図 1 1】



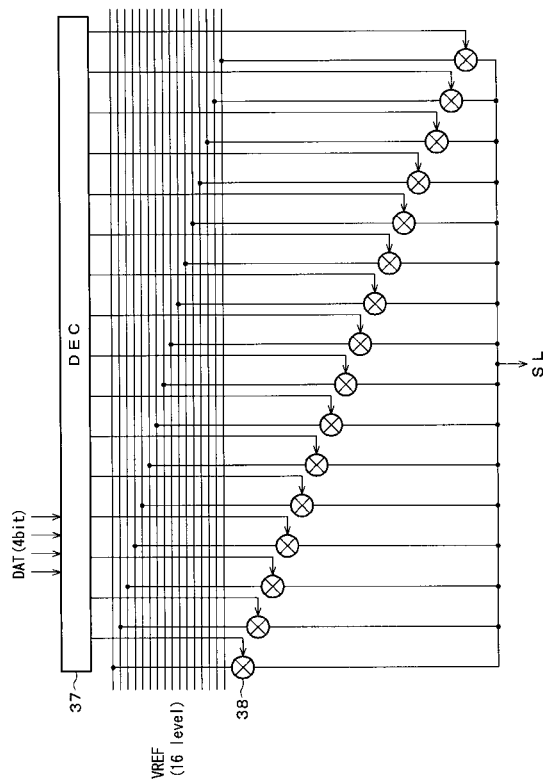
【図 1 2】



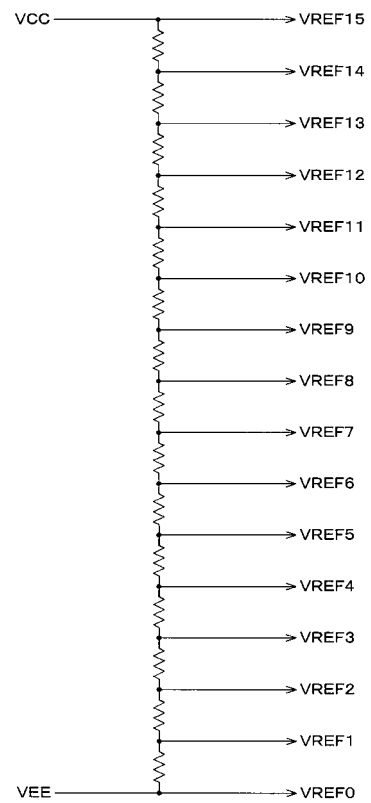
【図 1 3】



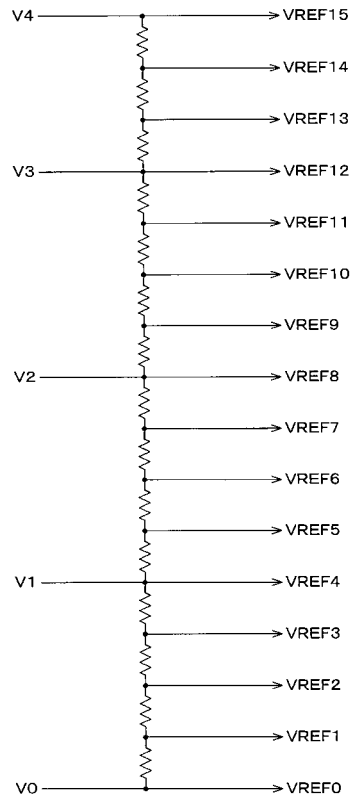
【図 1 4】



【図 1 5】

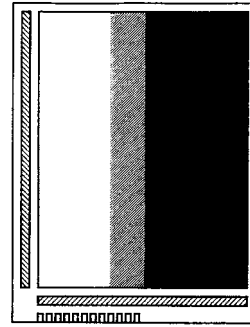


【図 16】

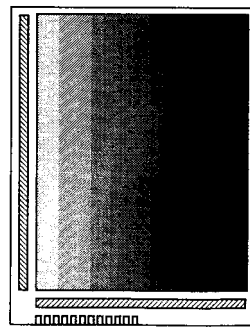


【図 17】

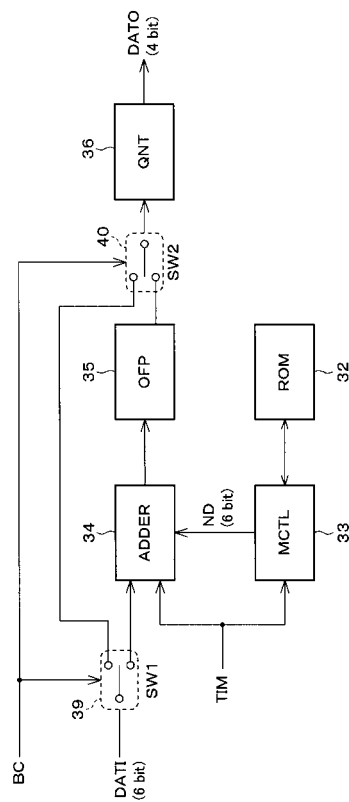
(b)



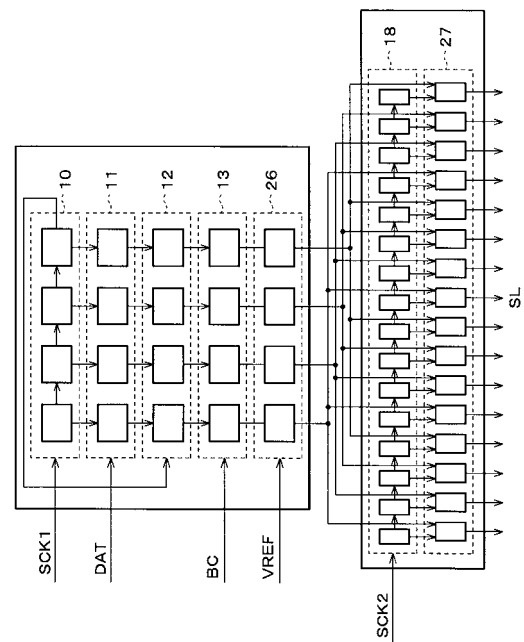
(a)



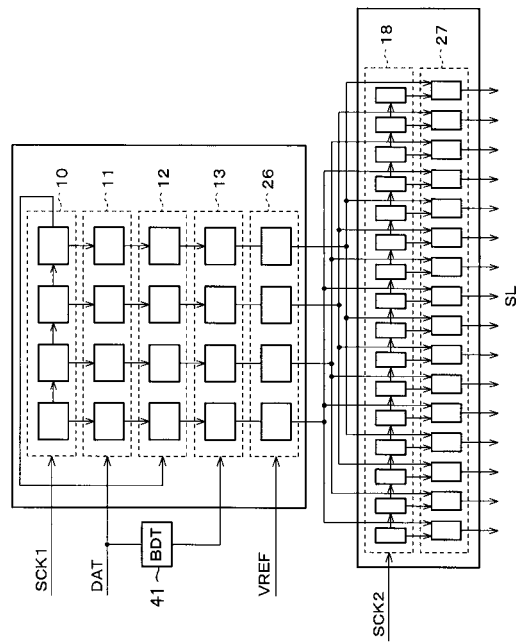
【図 18】



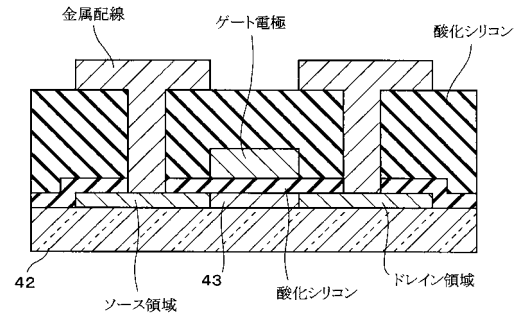
【図 19】



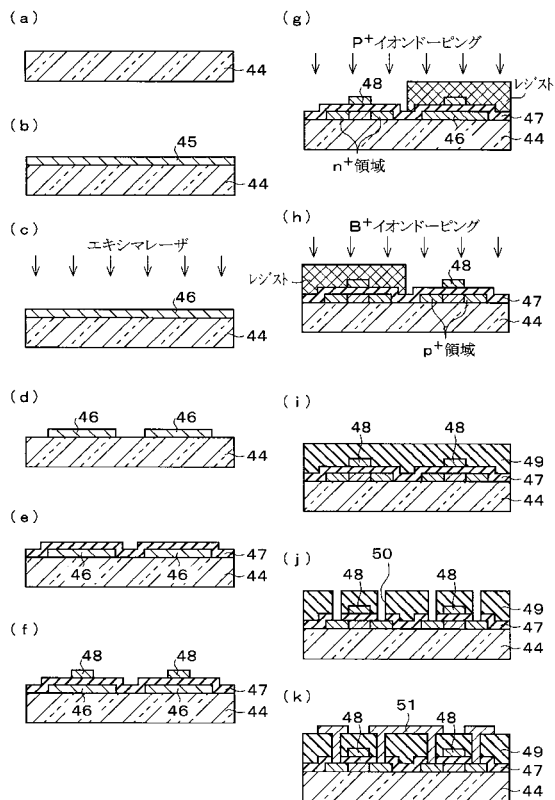
【図 20】



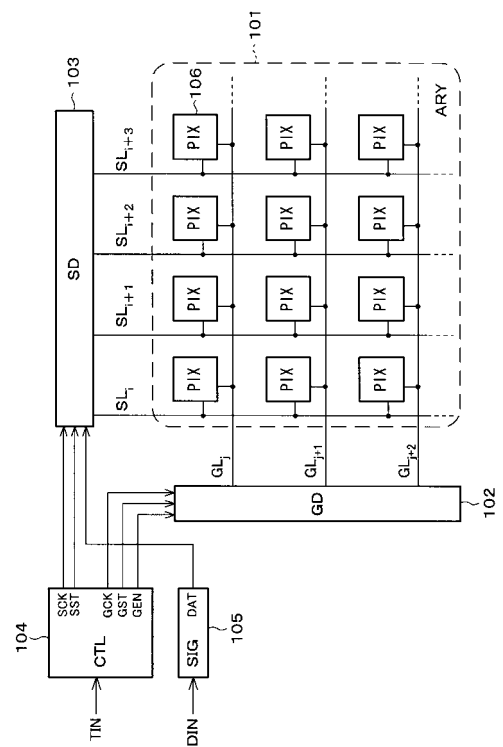
【図 21】



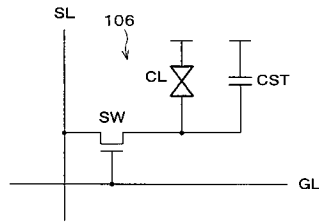
【図 22】



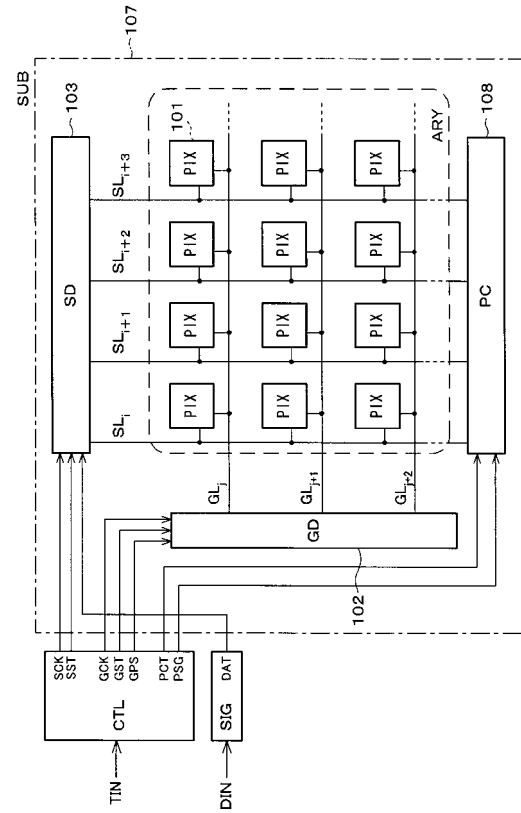
【図 23】



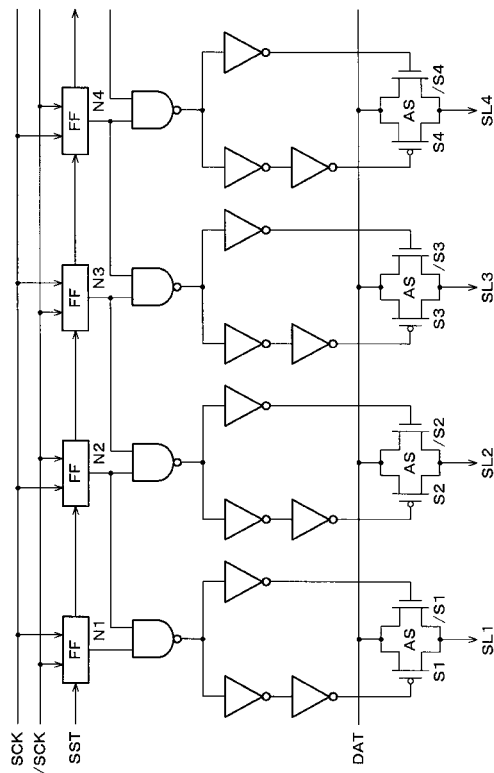
【図 2 4】



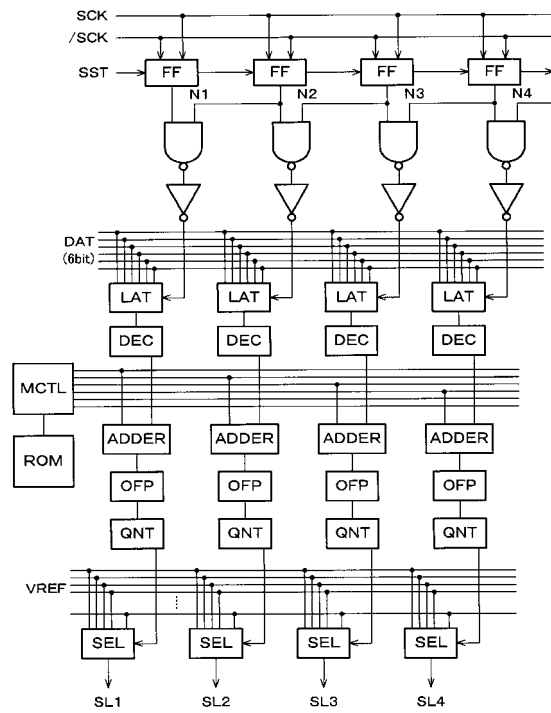
【図 2 5】



【図 2 6】



【図 2 7】



フロントページの続き

(51) Int.Cl.⁷ F I
G 0 9 G 3/28 K

(72)発明者 吉田 茂人
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
(72)発明者 吉田 育弘
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内
(72)発明者 古川 浩之
大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

審査官 濱本 禎広

(56)参考文献 特開平 1 1 - 1 5 3 9 8 1 (J P , A)
特開平 1 1 - 0 0 3 0 6 8 (J P , A)
特開平 0 6 - 0 8 2 7 5 4 (J P , A)
特開平 1 1 - 1 8 7 2 8 5 (J P , A)
特開平 0 6 - 1 1 8 9 2 0 (J P , A)
特開 2 0 0 2 - 1 6 2 9 5 2 (J P , A)
特開平 0 9 - 0 1 8 7 2 3 (J P , A)

(58)調査した分野(Int.Cl.⁷, D B名)
G09G 3/00-3/38
G02F 1/133