



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0090779
(43) 공개일자 2012년08월17일

- (51) 국제특허분류(Int. Cl.)
H01L 29/78 (2006.01) *H01L 21/336* (2006.01)
- (21) 출원번호 10-2012-0003336
- (22) 출원일자 2012년01월11일
심사청구일자 없음
- (30) 우선권주장
JP-P-2011-004329 2011년01월12일 일본(JP)

- (71) 출원인
가부시키가이샤 한도오따이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
- (72) 발명자
야마자끼 ? 빠이
일본 243-0036 가나가와Ken 아쓰기시 하세 398 가
부시키가이샤 한도오따이 에네루기 켄큐쇼 내
- (74) 대리인
박충범, 장수길, 이중희

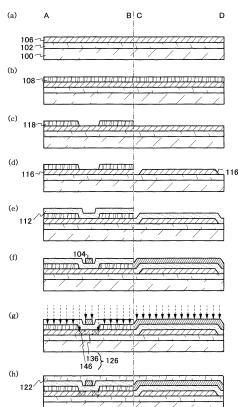
전체 청구항 수 : 총 24 항

(54) 발명의 명칭 반도체 장치의 제작 방법

(57) 요 약

오프 전류가 극히 작은 산화물 반도체막을 사용한 트랜지스터를 제공한다. 또한, 상기 트랜지스터를 적용함으로써 소비 전력이 극히 작은 반도체 장치를 제공한다. 기판 위에 가열 처리에 의해 산소를 방출하는 하지 절연막을 형성하고, 하지 절연막 위에 제1 산화물 반도체막을 형성하여 기판을 가열 처리한다. 이어서, 제1 산화물 반도체막 위에 도전막을 형성하고, 상기 도전막을 가공하여 소스 전극 및 드레인 전극을 형성한다. 이어서, 제1 산화물 반도체막을 가공하여 제2 산화물 반도체막을 형성한 직후에 소스 전극, 드레인 전극 및 제2 산화물 반도체막을 덮는 게이트 절연막을 형성하고, 게이트 절연막 위에 게이트 전극을 형성한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

트랜지스터를 포함하는 반도체 장치로서,
상기 트랜지스터는,
반도체막, 및
상기 반도체막 위의 소스 전극 및 드레인 전극
을 포함하며,
상기 소스 전극 및 드레인 전극 전체는 상기 반도체막의 일부를 덮는, 반도체 장치.

청구항 2

제1항에 있어서, 상기 반도체막은 산화물 반도체를 포함하는, 반도체 장치.

청구항 3

제1항에 있어서, 상기 소스 전극의 저면(bottom surface)과 상기 드레인 전극의 저면은 상기 반도체막의 측면
과 직접 접하지 않는, 반도체 장치.

청구항 4

제1항에 있어서, 상기 소스 전극 및 상기 드레인 전극의 아웃라인은 상기 반도체막의 아웃라인과 중첩되어,
선 또는 곡선을 형성하는, 반도체 장치.

청구항 5

제1항에 있어서, 상기 반도체막은 결정성 산화물 반도체를 포함하는, 반도체 장치.

청구항 6

제5항에 있어서, 상기 결정성 산화물 반도체는 c축 배향된 결정을 포함하는, 반도체 장치.

청구항 7

트랜지스터를 포함하는 반도체 장치로서,
상기 트랜지스터는,
기판 위의 기초 절연막,
상기 기초 절연막 위의 반도체막,
상기 반도체막 위의 소스 전극 및 드레인 전극,
상기 소스 전극 및 상기 드레인 전극 위의 게이트 절연막, 및
상기 게이트 절연막 위의 게이트 전극
을 포함하고,
상기 소스 전극 및 드레인 전극 전체는 상기 반도체막의 일부를 덮는, 반도체 장치.

청구항 8

제7항에 있어서, 상기 반도체막은 산화물 반도체를 포함하는, 반도체 장치.

청구항 9

제7항에 있어서, 상기 소스 전극의 저면과 상기 드레인 전극의 저면은 상기 반도체막의 측면과 직접 접하지

않는, 반도체 장치.

청구항 10

제7항에 있어서, 상기 소스 전극 및 상기 드레인 전극의 아웃라인은 상기 반도체막의 아웃라인과 중첩되어, 선 또는 곡선을 형성하는, 반도체 장치.

청구항 11

제7항에 있어서, 상기 반도체막은 결정성 산화물 반도체를 포함하는, 반도체 장치.

청구항 12

제11항에 있어서, 상기 결정성 산화물 반도체는 c축 배향된 결정을 포함하는, 반도체 장치.

청구항 13

반도체 장치를 제조하는 방법으로서,

기판 위에 반도체막을 형성하는 단계,

상기 반도체막 위에 도전막을 형성하는 단계,

소스 전극 및 드레인 전극을 형성하기 위해 상기 도전막을 처리하는 단계, 및

상기 도전막을 처리하는 단계 후에 상기 반도체막을 처리하는 단계

를 포함하는, 반도체 장치의 제조 방법.

청구항 14

제13항에 있어서, 상기 반도체막은 산화물 반도체를 포함하는, 반도체 장치의 제조 방법.

청구항 15

제13항에 있어서,

상기 반도체막을 형성하는 단계 후에 그리고 상기 도전막을 형성하는 단계 전에, 상기 기판을 가열하는 단계를 더 포함하는, 반도체 장치의 제조 방법.

청구항 16

제13항에 있어서,

상기 도전막을 형성하는 단계 후에 그리고 상기 도전막을 처리하는 단계 전에, 상기 기판을 가열하는 단계를 더 포함하는, 반도체 장치의 제조 방법.

청구항 17

제13항에 있어서,

상기 반도체막 위에 그리고 상기 반도체막에 접하여 제2 반도체막을 형성하는 단계를 더 포함하며, 상기 제2 반도체막은 산화물 반도체를 포함하는, 반도체 장치의 제조 방법.

청구항 18

제17항에 있어서,

상기 제2 반도체막을 형성하는 단계 후에 그리고 상기 도전막을 형성하는 단계 전에, 상기 기판을 가열하는 단계를 더 포함하는, 반도체 장치의 제조 방법.

청구항 19

반도체 장치의 제조 방법으로서,

기판 위에 기초 절연막을 형성하는 단계,

상기 기초 절연막 위에 반도체막을 형성하는 단계,
 상기 반도체막 위에 도전막을 형성하는 단계,
 소스 전극 및 드레인 전극을 형성하기 위해 상기 도전막을 처리하는 단계, 및
 상기 도전막을 처리하는 단계 후에 상기 반도체막을 처리하는 단계,
 상기 소스 전극 및 상기 드레인 전극 위에 게이트 절연막을 형성하는 단계, 및
 상기 게이트 절연막 위에 게이트 전극을 형성하는 단계
 를 포함하는, 반도체 장치의 제조 방법.

청구항 20

제19항에 있어서, 상기 반도체막은 산화물 반도체를 포함하는, 반도체 장치의 제조 방법.

청구항 21

제19항에 있어서,

상기 반도체막을 형성하는 단계 후에 그리고 상기 도전막을 형성하는 단계 전에, 상기 기판을 가열하는 단계를 더 포함하는, 반도체 장치의 제조 방법.

청구항 22

제19항에 있어서,

상기 도전막을 형성하는 단계 후에 그리고 상기 도전막을 처리하는 단계 전에, 상기 기판을 가열하는 단계를 더 포함하는, 반도체 장치의 제조 방법.

청구항 23

제19항에 있어서,

상기 반도체막 위에 그리고 상기 반도체막에 접하여 제2 반도체막을 형성하는 단계를 더 포함하며, 상기 제2 반도체막은 산화물 반도체를 포함하는, 반도체 장치의 제조 방법.

청구항 24

제23항에 있어서, 상기 제2 반도체막을 형성하는 단계 후에 그리고 상기 도전막을 형성하는 단계 전에, 상기 기판을 가열하는 단계를 더 포함하는, 반도체 장치의 제조 방법.

명세서

기술 분야

[0001] 트랜지스터 등의 반도체 소자를 포함하는 회로를 갖는 반도체 장치의 제작 방법에 관한 것이다. 예를 들어, 전원 회로에 탑재되는 파워 디바이스, 메모리, 사이리스터, 컨버터, 이미지 센서 등을 포함하는 반도체 집적 회로, 액정 표시 패널로 대표되는 전기 광학 장치, 발광 소자를 갖는 발광 표시 장치 등을 부품으로서 탑재한 전자 기기에 관한 것이다.

[0002] 또한, 본 명세서 중에 있어서 반도체 장치는 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키며, 전기 광학 장치, 발광 표시 장치, 반도체 회로 및 전자 기기는 모두 반도체 장치이다.

배경 기술

[0003] 액정 표시 장치로 대표되는 바와 같이, 유리 기판 등에 형성되는 트랜지스터의 대부분은 비정질 실리콘, 다결정 실리콘 등에 의해 구성되어 있다. 비정질 실리콘을 사용한 트랜지스터는 전계 효과 이동도가 낮지만, 유리 기판의 대면적화에 대응할 수 있다. 또한, 다결정 실리콘을 사용한 트랜지스터의 전계 효과 이동도는 높지만 유리 기판의 대면적화에는 대응할 수 없다고 하는 결점을 갖고 있다.

[0004] 실리콘을 사용한 트랜지스터 외에, 최근에는 산화물 반도체를 사용하여 트랜지스터를 제작하여 전자 디바이스

나 광 디바이스에 응용하는 기술이 주목받고 있다. 예를 들어, 산화물 반도체로서 산화아연, In-Ga-Zn-O계 산화물을 사용하여 트랜지스터를 제작하여 표시 장치의 화소의 스위칭 소자 등에 사용하는 기술이 특허문헌 1 및 특허문헌 2에 개시되어 있다.

선행기술문헌

특허문헌

[0005] (특허문헌 0001) 일본 특허 공개 제2007-123861호 공보

(특허문헌 0002) 일본 특허 공개 제2007-96055호 공보

발명의 내용

해결하려는 과제

[0006] 산화물 반도체막을 사용한 오프 전류가 극히 작은 트랜지스터를 제공하는 것을 과제 중 하나로 한다. 또한, 상기 트랜지스터를 적용함으로써, 소비 전력이 극히 작은 반도체 장치를 제공하는 것을 과제 중 하나로 한다.

과제의 해결 수단

[0007] 기판 위에 하지 절연막을 형성하고, 상기 하지 절연막 위에 제1 산화물 반도체막을 형성한 후에 가열 처리를 행한다. 이어서, 제1 산화물 반도체막 위에 도전막을 형성하고, 상기 도전막을 가공하여 소스 전극 및 드레인 전극을 형성한다. 이어서, 제1 산화물 반도체막을 가공하여 제2 산화물 반도체막을 형성한 후, 다른 공정을 끼우지 않고 소스 전극, 드레인 전극 및 제2 산화물 반도체막을 덮는 게이트 절연막을 형성하고, 게이트 절연막 위에 게이트 전극을 형성한다.

[0008] 또는, 기판 위에 가열 처리에 의해 산소를 방출하는 하지 절연막을 형성하고, 상기 하지 절연막 위에 제1 산화물 반도체막을 형성하고, 제1 산화물 반도체막 위에 도전막을 형성하고, 그 후에 가열 처리를 행한다. 이어서, 도전막을 가공하여 소스 전극 및 드레인 전극을 형성한다. 이어서, 제1 산화물 반도체막을 가공하여 제2 산화물 반도체막을 형성한 후, 다른 공정을 끼우지 않고 소스 전극, 드레인 전극 및 제2 산화물 반도체막을 덮는 게이트 절연막을 형성하고, 게이트 절연막 위에 게이트 전극을 형성한다.

[0009] 제2 산화물 반도체막을 형성한 후, 다른 공정을 끼우지 않고 게이트 절연막으로 측면을 덮는 것을 본 발명의 기술적 사상 중 하나로 한다.

[0010] 여기서, 트랜지스터의 오프 전류의 저감과 관련하여 산화물 반도체막의 측면을 통하여 흐르는 전류에 대하여 설명한다.

[0011] 산화물 반도체막을 에칭 처리 등에 의해 가공하면, 산화물 반도체막의 측면은 활성으로 된다.

[0012] 산화물 반도체막의 측면이 활성이면, 갑압 분위기 또는 환원 분위기에 있어서 산소가 뽑아내어져 산화물 반도체막의 측면에 산소 결손을 발생시킨다. 특히, 고온이면 산소 결손이 발생하기 쉽다.

[0013] 또한, 산화물 반도체막을 에칭 처리할 때, 예를 들어 건식 에칭에 있어서 산화물 반도체막의 측면이 염소 라디칼, 불소 라디칼 등을 포함하는 플라즈마에 노출되면, 산화물 반도체막의 측면에 노출되는 금속 원자와, 염소 라디칼, 불소 라디칼 등이 결합한다. 이때, 금속 원자와 염소 원자, 불소 원자가 결합하여 탈리하기 때문에, 산화물 반도체막 중에 당해 금속 원자와 결합하고 있던 산소 원자가 활성으로 된다고 생각된다. 활성으로 된 산소 원자는 용이하게 반응하여 탈리하기 쉽다. 그로 인해, 건식 에칭 등의 플라즈마 처리에 의해 산화물 반도체막의 측면에는 산소 결손이 발생하기 쉽다.

[0014] 산화물 반도체막에 있어서, 산소 결손은 도너로 되어 캐리어를 발생시킨다.

[0015] 즉, 산소 결손이 발생함으로써 산화물 반도체막의 측면이 n형화하여 트랜지스터의 누설원으로 된다.

[0016] 또한, 산화물 반도체막의 측면을 흐르는 전류는 오프 전류를 증가시킬 뿐만 아니라, 경우에 따라서는 산화물 반도체막의 측면을 채널 형성 영역으로 하는 임계값 전압이 다른 트랜지스터(기생 트랜지스터)가 형성되게 된다.

- [0017] 따라서, 제2 산화물 반도체막을 형성한 후, 다른 공정을 끼우지 않고 게이트 절연막으로 덮음으로써 산화물 반도체막의 측면을 흐르는 전류를 저감하고, 또한 기생 트랜ジ스터의 형성을 억제할 수 있다.
- [0018] 또한, 산화물 반도체막의 측면은 전류가 흐르기 쉽기 때문에, 소스 전극 및 드레인 전극의 주 표면(상면 또는 하면)과 산화물 반도체막의 측면을 접촉하지 않는 구조로 하는 것이 바람직하다. 예를 들어, 소스 전극 및 드레인 전극을 산화물 반도체막 위의 산화물 반도체막보다도 내측에 설치함으로써, 소스 전극 및 드레인 전극의 주 표면과 산화물 반도체막의 측면을 직접 접촉시키지 않도록 할 수 있다.
- [0019] 또한, 산화물 반도체막의 하지인 절연막을 가열 처리에 의해 산소를 방출하는 절연막으로 하고, 산화물 반도체막을 가공하기 전에 상기 절연막으로부터 산소를 방출시켜 산화물 반도체막에 산소를 공급한다. 산화물 반도체막을 가공한 경우, 절연막으로부터 방출된 산소가 산화물 반도체막으로 덮어져 있지 않은 영역으로부터 외측으로 확산하게 된다. 이 현상을 억제하여 효율적으로 산소를 산화물 반도체막에 공급하기 위하여, 산화물 반도체막을 가공하기 전에 절연막으로부터 산소를 방출시키면 된다. 효율적으로 산화물 반도체막의 산소 결손을 저감함으로써, 산소 결손에 기인한 오프 전류의 증가를 억제할 수 있다.
- [0020] 또한, c축 배향하고, 또한 ab면, 표면 또는 계면의 방향으로부터 보아 삼각 형상 또는 육각 형상의 원자 배열을 갖고, ab면에 있어서 a축 또는 b축의 방향이 다른 결정을 포함하는 산화물 반도체막을 트랜ジ스터의 채널 형성 영역에 사용한다.
- [0021] 전술한 산화물 반도체막은 아연을 포함하여도 된다. 아연을 포함함으로써 c축 배향하고, 또한 ab면, 표면 또는 계면의 방향으로부터 보아 삼각 형상 또는 육각 형상의 원자 배열을 갖고, ab면에 있어서 a축 또는 b축의 방향이 다른 결정을 포함하는 산화물 반도체막을 형성하기 쉬워진다.
- [0022] 전술한 산화물 반도체막은, 조성이 다른 2종의 막을 적층하는 것 또는 적층 후에 열 처리하는 것에 의해 결정화시켜 형성할 수 있다.
- [0023] 전술한 산화물 반도체막은 인듐, 갈륨, 아연, 주석, 티타늄 및 알루미늄으로부터 선택된 2종 이상의 원소를 포함하는 재료로 이루어진다.
- [0024] 전술한 산화물 반도체막은 밴드 갭이 2.5eV 이상, 바람직하게는 3.0eV 이상이다.
- [0025] 전술한 산화물 반도체막은 수소, 알칼리 금속 및 알칼리 토금속 등이 저감되어 극히 불순물 농도가 낮은 산화물 반도체막이다. 그로 인해, 전술한 산화물 반도체막은 불순물에 기인하는 캐리어의 생성이 일어나기 어렵다.
- [0026] 산화물 반도체막 중의 수소 농도는 $5 \times 10^{18} / \text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{18} / \text{cm}^3$ 이하, 보다 바람직하게는 $5 \times 10^{17} / \text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{16} / \text{cm}^3$ 이하로 한다.
- [0027] 알칼리 금속은 산화물 반도체를 구성하는 원소는 아니기 때문에 불순물이다. 알칼리 토금속도 산화물 반도체를 구성하는 원소가 아닌 경우에 있어서 불순물로 된다. 특히, 알칼리 금속 중 Na는 산화물 반도체막에 접하는 절연막 중에 Na⁺로서 확산하여, 산화물 반도체막 내에 있어서 산화물 반도체를 구성하는 금속과 산소의 결합을 분단하거나 또는 그 결합 중에 끼어든다. 그 결과, 예를 들어 임계값 전압이 마이너스 방향으로 시프트하는 것에 의한 노멀리 온화, 전계 효과 이동도의 저하 등의 트랜ジ스터 특성의 열화가 일어나고, 더불어 특성의 불균일도 발생한다. 이 불순물에 의해 초래되는 트랜ジ스터 특성의 열화와 특성의 불균일은, 산화물 반도체막 중의 수소 농도가 충분히 낮은 경우에 있어서 현저하게 나타난다. 따라서, 산화물 반도체막 중의 수소 농도가 $1 \times 10^{18} / \text{cm}^3$ 이하, 특히 $1 \times 10^{17} / \text{cm}^3$ 이하인 경우에는 상기 불순물의 농도를 저감하는 것이 바람직하다. 구체적으로, 2차 이온 질량 분석법에 의한 Na 농도의 측정값은 $5 \times 10^{16} / \text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{16} / \text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{15} / \text{cm}^3$ 이하로 하면 된다. 마찬가지로 Li 농도의 측정값은 $5 \times 10^{15} / \text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{15} / \text{cm}^3$ 이하로 하면 된다. 마찬가지로 K 농도의 측정값은 $5 \times 10^{15} / \text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{15} / \text{cm}^3$ 이하로 하면 된다.
- [0028] 이상에 나타낸 산화물 반도체막을 트랜ジ스터의 채널 형성 영역에 사용함으로써 트랜ジ스터는 오프 전류를 작게 할 수 있다.
- [0029] 게이트 전극은 소스 전극 및 드레인 전극과 중첩하지 않고 형성하는 것이 바람직하다. 게이트 전극과, 소스

전극 및 드레인 전극이 중첩하지 않음으로써 기생 용량을 저감할 수 있어 트랜지스터의 고속 동작이 가능하게 된다.

[0030] 소스 전극, 드레인 전극 및 게이트 전극을 마스크로 산화물 반도체막에 이온 첨가를 행함으로써 소스 전극, 드레인 전극 및 게이트 전극이 중첩하지 않는 영역에 LDD(Lightly Doped Drain) 영역으로서 기능하는 영역을 형성하면 바람직하다. LDD 영역이 있음으로써 핫 캐리어 열화 등을 억제할 수 있다. 또한, LDD 영역과 게이트 전극, 소스 전극 및 드레인 전극이 중첩하지 않음으로써 기생 용량을 저감할 수 있어 트랜지스터의 고속 동작이 가능하게 된다.

[0031] 이온 첨가는 이온 임플란테이션 장치 또는 이온 도핑 장치 등을 사용하여 행할 수 있다. 수소 등 불순물의 혼입이 적기 때문에, 바람직하게는 이온 임플란테이션 장치를 사용한다.

[0032] 첨가하는 이온은 질소, 인, 비소 또는 희가스 중 적어도 어느 1종 이상의 원소로 이루어지는 이온을 사용한다.

발명의 효과

[0033] 오프 전류가 극히 작은 산화물 반도체막을 사용한 트랜지스터를 제공할 수 있다. 또한, 상기 트랜지스터를 적용함으로써 소비 전력이 극히 작은 반도체 장치를 제공할 수 있다.

도면의 간단한 설명

도 1의 (a) 내지 도 1의 (h)는 본 발명의 일 형태인 반도체 장치의 제작 방법의 일례를 도시하는 단면도.

도 2의 (a) 내지 도 2의 (c)는 본 발명의 일 형태인 반도체 장치의 일례를 도시하는 상면도 및 단면도.

도 3의 (a) 내지 도 3의 (b)는 본 발명의 일 형태를 도시하는 회로도의 일례.

도 4는 본 발명의 일 형태를 도시하는 회로도의 일례.

도 5a 내지 도 5b는 본 발명의 일 형태를 도시하는 회로도의 일례.

도 6의 (a) 내지 도 6의 (b)는 본 발명의 일 형태를 도시하는 회로도의 일례.

도 7의 (a) 내지 도 7의 (c)는 CPU의 구체예를 도시하는 블록도 및 그 일부의 회로도.

도 8의 (a) 내지 도 8의 (b)는 본 발명의 일 형태를 나타내는 표시 장치의 일례를 도시하는 상면도 및 단면도.

도 9의 (a) 내지 도 9의 (b)는 본 발명의 일 형태를 나타내는 보호 회로의 일례를 도시하는 회로도 및 상면도.

도 10의 (a1), (a2), (b1), (b2), (c1), (c2)는 본 발명의 일 형태를 나타내는 액정의 동작 모드의 일례를 도시하는 단면도.

도 11의 (a1), (a2), (b1), (b2)는 본 발명의 일 형태를 나타내는 액정의 동작 모드의 일례를 도시하는 단면도.

도 12의 (a1), (a2), (b1), (b2)는 본 발명의 일 형태를 나타내는 액정의 동작 모드의 일례를 도시하는 단면도.

도 13의 (a) 내지 도 13의 (b)는 본 발명의 일 형태를 나타내는 액정의 동작 모드의 일례를 도시하는 상면도 및 단면도.

도 14의 (a) 내지 도 14의 (c)는 본 발명의 일 형태를 나타내는 액정의 동작 모드의 일례를 도시하는 상면도.

도 15의 (a) 내지 도 15의 (c)는 본 발명의 일 형태를 나타내는 액정의 동작 모드의 일례를 도시하는 상면도.

도 16의 (a) 내지 도 16의 (c)는 본 발명의 일 형태인 반도체 장치를 사용한 전자 기기의 예를 도시하는 사시도.

도 17은 본 발명의 일 형태를 설명하기 위한 결정의 모델.

도 18의 (a) 내지 도 18의 (c)는 본 발명의 일 형태를 설명하기 위한 결정의 모델.

발명을 실시하기 위한 구체적인 내용

[0035]

이하에서는 본 발명의 실시 형태에 대하여 도면을 사용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 또한, 본 발명은 이하에 나타내는 실시 형태의 기재 내용에 한정하여 해석되는 것이 아니다. 또한, 도면을 사용하여 발명의 구성을 설명하는 데 있어서, 동일한 것을 가리키는 부호는 다른 도면간에서도 공통되게 사용한다. 또한, 동일한 것을 가리킬 때에는 해치 패턴을 동일하게 하고, 특별히 부호를 붙이지 않는 경우가 있다.

[0036]

이하, 본 발명의 설명을 행하는데, 본 명세서에서 사용하는 용어에 대하여 간단하게 설명한다. 우선, 트랜지스터의 소스와 드레인에 대해서는, 본 명세서에 있어서는 한쪽을 드레인이라고 칭할 때 다른쪽을 소스로 한다. 즉, 전위의 고저에 의해 그것들을 구별하지 않는다. 따라서, 본 명세서에 있어서 소스로 되어 있는 부분을 드레인으로 바꾸어 읽을 수도 있다.

[0037]

또한, 전압은 어떤 전위와 기준의 전위(예를 들어 접지 전위)의 전위차를 나타내는 경우가 많다. 따라서, 전압을 전위로 바꾸어 말하는 것이 가능하다.

[0038]

본 명세서에 있어서는 「접속한다」라고 표현되는 경우라도 현실의 회로에 있어서는 물리적인 접속 부분이 없고, 배선이 연장되어 있을 뿐인 경우도 있다.

[0039]

또한, 제1, 제2로서 부여되는 서수사는 편의상 사용하는 것이며, 공정순 또는 적층순을 나타내는 것이 아니다. 또한, 본 명세서에 있어서 발명을 특정하기 위한 사항으로서 고유의 명칭을 나타내는 것이 아니다.

[0040]

(실시 형태 1)

[0041]

본 실시 형태에서는 본 발명의 일 형태의 반도체 장치 및 그 제작 방법에 대하여 상면도 및 단면도를 사용하여 설명한다.

[0042]

도 2의 (a) 내지 도 2의 (c)는 본 발명의 일 형태인 반도체 장치이다. 도 2의 (a)는 반도체 장치의 상면도이고, 도 2의 (b) 및 도 2의 (c)는 각각 도 2의 (a)의 일점쇄선 A-B 및 일점쇄선 C-D에서의 단면도이다.

[0043]

도 2의 (a)는 간단화를 위하여 일부의 막을 생략하여 도시한다.

[0044]

도 2의 (a)에 있어서, 소스 전극 및 드레인 전극(118)과 산화물 반도체막(126)은 일부의 상면 형상이 개략적으로 일치되어 있다. 바꾸어 말하면, 소스 전극 및 드레인 전극(118)은 그 모든 영역에 있어서 산화물 반도체막(126)과 중첩한다.

[0045]

「상면 형상이 개략적으로 일치」란, 적층한 막과 막의 사이에서 적어도 일부의 윤곽이 겹쳐 직선 또는 곡선을 형성하는 것을 말한다. 단, 윤곽이 서로 겹치지 않고 상층의 막이 하층의 막의 내측에 형성되는 것이나 상층의 막이 하층의 막의 외측에 형성되는 경우도 있으며, 이 경우에도 「상면 형상이 개략적으로 일치」라고 한다.

[0046]

도 2의 (b)에 대하여 설명한다. 도 2의 (b)는 기판(100)과, 기판(100) 위의 하지 절연막(102)과, 하지 절연막(102) 위의 제1 영역(136) 및 제2 영역(146)을 포함하는 산화물 반도체막(126)과, 산화물 반도체막(126) 위의 소스 전극 및 드레인 전극(118)과, 소스 전극 및 드레인 전극(118) 및 산화물 반도체막(126) 위의 게이트 절연막(112)과, 게이트 절연막(112) 위의 게이트 전극(104)과, 게이트 절연막(112) 및 게이트 전극(104) 위의 층간 절연막(122)을 갖는 구조를 도시한다.

[0047]

이어서, 도 2의 (c)에 대하여 설명한다. 도 2의 (c)는 기판(100)과, 기판(100) 위의 하지 절연막(102)과, 하지 절연막(102) 위의 산화물 반도체막(126)의 제1 영역(136)과, 하지 절연막(102) 및 산화물 반도체막(126)을 덮는 게이트 절연막(112)과, 게이트 절연막(112) 위의 게이트 전극(104)과, 게이트 전극(104) 위의 층간 절연막(122)을 갖는 구조를 도시한다.

[0048]

이어서, 도 2의 (a) 내지 도 2의 (c)에 도시하는 반도체 장치의 제작 방법에 대하여 도 1의 (a) 내지 도 1의 (h)를 사용하여 설명한다.

[0049]

우선, 기판(100) 위에 하지 절연막(102) 및 제1 산화물 반도체막(106)을 이 순서대로 형성한다(도 1의 (a) 참조).

[0050]

기판(100)에 큰 제한은 없지만, 적어도 후속 열처리에 견딜 수 있을 정도의 내열성을 갖고 있을 필요가 있다. 예를 들어, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등을 기판(100)으로서 사용하여도 된다. 또

한, 실리콘이나 탄화실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI(Silicon On Insulator) 기판 등을 적용할 수 있고, 이를 기판 위에 반도체 소자가 설치된 것을 기판(100)으로서 사용하여도 된다.

[0051] 또한, 기판(100)으로서 가요성 기판을 사용하여도 된다. 그 경우에는 가요성 기판 위에 직접적으로 트랜지스터를 제작하게 된다. 또한, 가요성 기판 위에 트랜지스터를 설치하기 위해서는 기판(100)으로서 비가요성의 것을 사용하여 이 위에 트랜지스터를 제작한 후, 트랜지스터를 박리하여 가요성 기판에 전치하는 방법도 있다. 그 경우에는 기판(100)과 트랜지스터의 사이에 박리층을 형성하면 된다.

[0052] 하지 절연막(102)은, 예를 들어 산화실리콘, 산화질화실리콘, 질화산화실리콘, 질화실리콘, 산화알루미늄, 산화하프늄, 산화이트륨 또는 산화지르코늄 등을 사용하면 되며, 적층 또는 단층으로 설치한다. 예를 들어, 열 산화법, CVD법, 스퍼터링법 등으로 형성하면 된다. 하지 절연막(102)은 가열 처리에 의해 산소를 방출하는 막을 사용하여도 된다. 가열 처리에 의해 산소를 방출하는 막을 사용함으로써 제1 산화물 반도체막(106)에 발생하는 결함을 수복할 수 있고, 트랜지스터의 전기 특성을 향상시킬 수 있다.

[0053] 여기서, 산화질화실리콘은 실리콘, 산소 및 질소를 포함하고, 또한 질소보다도 산소의 함유량이 많은 것을 가리킨다. 또한, 질화산화실리콘은 실리콘, 산소 및 질소를 포함하고, 또한 산소보다도 질소의 함유량이 많은 것을 가리킨다.

[0054] 하지 절연막(102)은 트랜지스터 특성에 악영향을 주는 원소가 기판(100)으로부터 제1 산화물 반도체막(106)으로 확산되는 것을 방지하기 위하여 설치된다. 따라서, 하지 절연막(102)은 전술한 원소의 확산 계수가 작은 절연막을 사용하면 된다. 이것은 이하에 나타내는 게이트 절연막(112) 및 충간 절연막(122)도 마찬가지이다.

[0055] 「가열 처리에 의해 산소를 방출하는」 이란, TDS(Thermal Desorption Spectroscopy: 온도 상승 탈리 가스 분광법) 분석에 의해 방출되는 산소가 산소 원자로 환산하여 $1.0 \times 10^{18} \text{ atoms/cm}^3$ 이상, 또는 $3.0 \times 10^{20} \text{ atoms/cm}^3$ 이상인 것을 말한다.

[0056] 여기서, TDS 분석을 사용한 산소의 방출량의 측정 방법에 대하여 이하에 설명한다.

[0057] TDS 분석을 하였을 때의 기체의 전체 방출량은 방출 가스의 이온 강도의 적분값에 비례한다. 그리고, 이 적분값과 표준 시료의 비교에 의해 기체의 전체 방출량을 계산할 수 있다.

[0058] 예를 들어, 표준 시료인 소정의 밀도의 수소를 포함하는 실리콘 웨이퍼의 TDS 분석 결과 및 절연막의 TDS 분석 결과로부터, 절연막의 산소 분자의 방출량(NO_2)은 수학식 1에 의해 구할 수 있다. 여기서, TDS 분석에 의해 얻어지는 질량수 32에서 검출되는 가스 모두가 산소 분자 유래라고 가정한다. 질량수 32의 것으로서 그밖에 CH_3OH 가 있지만, 존재할 가능성이 낮은 것으로서 여기에서는 고려하지 않는다. 또한, 산소 원자의 동위체인 질량수 17의 산소 원자 및 질량수 18의 산소 원자를 포함하는 산소 분자에 대해서도 자연계에서의 존재 비율이 극미량이기 때문에 고려하지 않는다.

수학식 1

$$\text{N}_{\text{O}_2} = \text{N}_{\text{H}_2}/\text{S}_{\text{H}_2} \times \text{S}_{\text{O}_2} \times \alpha$$

[0060] 식 중, N_{H_2} 는 표준 시료로부터 탈리한 수소 분자를 밀도에 의해 환산한 값이다. S_{H_2} 는 표준 시료를 TDS 분석 하였을 때의 이온 강도의 적분값이다. 여기서, 표준 시료의 기준값을 $\text{N}_{\text{H}_2}/\text{S}_{\text{H}_2}$ 로 한다. S_{O_2} 는 절연막을 TDS 분석 하였을 때의 이온 강도의 적분값이다. α 는 TDS 분석에서의 이온 강도에 영향을 미치는 계수이다. 수학식 1의 상세에 관해서는 일본 특허 공개 평6-275697호 공보를 참조한다. 또한, 상기 절연막의 산소의 방출량은 덴시 가가꾸 가부시끼가이샤제의 온도 상승 탈리 분석 장치 EMD-WA1000S/W를 사용하고, 표준 시료로서 $1 \times 10^{16} \text{ atoms/cm}^3$ 의 수소 원자를 포함하는 실리콘 웨이퍼를 사용하여 측정하였다.

[0061] 또한, TDS 분석에 있어서, 산소의 일부는 산소 원자로서 검출된다. 산소 분자와 산소 원자의 비율은 산소 분자의 이온화율로부터 산출할 수 있다. 또한, 상술한 α 는 산소 분자의 이온화율을 포함하기 때문에, 산소 분자의 방출량을 평가함으로써 산소 원자의 방출량에 대해서도 어렵잖을 수 있다.

- [0062] 또한, N_{O_2} 는 산소 분자의 방출량이다. 산소 원자로 환산하였을 때의 방출량은 산소 분자의 방출량의 2배로 된다.
- [0063] 상기 구성에 있어서, 가열 처리에 의해 산소를 방출하는 막은 산소가 과잉인 산화실리콘($SiO_x (X>2)$)이어도 된다. 산소가 과잉인 산화실리콘($SiO_x (X>2)$)은 실리콘 원자수의 2배보다 많은 산소 원자를 단위 체적당 포함하는 것이다. 단위 체적당 실리콘 원자수 및 산소 원자수는 러더퍼드 후방 산란법에 의해 측정한 값이다.
- [0064] 하지 절연막(102)으로부터 제1 산화물 반도체막(106)에 산소가 공급됨으로써, 제1 산화물 반도체막(106)과 하지 절연막(102)의 계면 준위를 저감할 수 있다. 이 결과, 트랜ジ스터의 동작 등에 기인하여 제1 산화물 반도체막(106)과 하지 절연막(102)의 계면에 캐리어가 포획되는 것을 억제할 수 있어, 트랜ジ스터의 전기 특성을 향상시킬 수 있다.
- [0065] 또한, 산화물 반도체막의 산소 결손에 기인하여 전하가 발생하는 경우가 있다. 일반적으로 산화물 반도체막의 산소 결손은, 그 일부가 도너로 되어 캐리어인 전자를 방출한다. 이 결과, 트랜ジ스터의 임계값 전압이 마이너스 방향으로 시프트하게 된다. 하지 절연막(102)으로부터 제1 산화물 반도체막(106)에 산소가 충분히 공급됨으로써, 임계값 전압이 마이너스 방향으로 시프트하는 요인인, 산화물 반도체막의 산소 결손을 저감할 수 있다.
- [0066] 즉, 하지 절연막(102)에 가열 처리에 의해 산소를 방출하는 막을 설치함으로써, 제1 산화물 반도체막(106)과 하지 절연막(102)의 계면에서의 계면 준위 및 제1 산화물 반도체막(106)의 산소 결손을 저감하여, 제1 산화물 반도체막(106)과 하지 절연막(102)의 계면에서의 캐리어 포획의 영향을 작게 할 수 있다.
- [0067] 이상으로 하지 절연막(102)으로부터 발휘되는 효과를 나타내었지만, 적절하게 하지 절연막(102)을 게이트 절연막(112) 및 층간 절연막(122)으로 치환하여도 된다. 그 경우, 효과를 발휘하는 공정에 의거하여, 제1 산화물 반도체막(106)을 제2 산화물 반도체막(116) 또는 산화물 반도체막(126)으로 치환하면 된다.
- [0068] 제1 산화물 반도체막(106)으로서 CAAC 산화물 반도체(C Axis Aligned Crystalline Oxide Semiconductor라고도 함)를 사용하면 바람직하다. 단, 제1 산화물 반도체막(106)은 CAAC 산화물 반도체에 한정되는 것이 아니며, 비정질 산화물 반도체막을 사용하여도 된다.
- [0069] CAAC 산화물 반도체는 c축 배향하고, 또한 ab면, 표면 또는 계면의 방향으로부터 보아 삼각 형상 또는 육각 형상의 원자 배열을 갖고, c축에 있어서는 금속 원자가 층상 또는 금속 원자와 산소 원자가 층 위로 배열되어 있고, ab면(또는 표면 또는 계면)에 있어서는 a축 또는 b축의 방향이 다른(c축을 중심으로 회전한) 결정을 포함하는 산화물 반도체를 말한다.
- [0070] 광의로 CAAC 산화물 반도체는 비단결정이며, 그 ab면에 수직인 방향으로부터 보아 삼각형 혹은 육각형, 또는 정삼각형 혹은 정육각형의 원자 배열을 갖고, 또한 c축에 수직인 방향으로부터 보아 금속 원자가 층상 또는 금속 원자와 산소 원자가 층 위로 배열된상을 포함하는 재료를 말한다.
- [0071] CAAC 산화물 반도체는 단결정은 아니지만, 비정질만으로 형성되어 있는 것도 아니다. 또한, CAAC 산화물 반도체는 결정화한 부분(결정 부분)을 포함하지만, 1개의 결정 부분과 다른 결정 부분의 경계를 명확하게 판별하지 못하는 경우도 있다.
- [0072] CAAC 산화물 반도체를 구성하는 산소의 일부는 질소에 의해 치환되어도 된다. 또한, CAAC 산화물 반도체를 구성하는 개개의 결정 부분의 c축은 일정한 방향(예를 들어, CAAC 산화물 반도체를 지지하는 기판면이나 CAAC 산화물 반도체의 표면에 수직인 방향)으로 정렬되어도 된다. 또는 CAAC 산화물 반도체를 구성하는 개개의 결정 부분의 ab면의 법선은 일정한 방향(예를 들어, CAAC 산화물 반도체를 지지하는 기판면이나 CAAC 산화물 반도체의 표면에 수직인 방향)을 향하고 있어도 된다.
- [0073] CAAC 산화물 반도체는 그 조성 등에 따라 도체 또는 절연체로 될 수 있다. 또한, 그 조성 등에 따라 가시광에 대하여 투명하거나 불투명하거나 한다.
- [0074] 이어서, CAAC 산화물 반도체의 형성 방법에 대하여 설명한다.
- [0075] 우선, 산화물 반도체막을 스퍼터링법, 분자선 에피택시법, 원자층 퇴적법 또는 펠스 레이저 증착법에 의해 형성한다. 또한, 형성 시에 기판을 가열 처리함으로써 결정 영역의 비율이 많은 산화물 반도체막으로 할 수 있다. 예를 들어, 기판 온도가 150°C 이상 450°C 이하로 하면 되고, 바람직하게는 기판 온도가 200°C 이상 350°C 이하로 한다.

- [0076] 이어서, 제1 가열 처리를 행하여도 된다. 제1 가열 처리를 행함으로써 보다 결정 영역의 비율이 높은 산화물 반도체막을 형성할 수 있다. 제1 가열 처리는, 예를 들어 200°C 이상 기판의 왜곡점 미만에서 행하면 된다. 바람직하게는 250°C 이상 450°C 이하로 한다. 분위기는 한정되지 않지만, 산화성 분위기, 불활성 분위기 또는 감압 분위기에서 행한다. 처리 시간은 3분 내지 24시간으로 한다. 처리 시간을 길게 할 수록 결정 영역의 비율이 높은 산화물 반도체막을 형성할 수 있지만, 24시간을 초과하는 열처리는 생산성의 저하를 초래하기 때문에 바람직하지 않다.
- [0077] 산화성 분위기는 산화성 가스를 포함하는 분위기이다. 산화성 가스는 산소, 오존 또는 아산화질소 등이며, 물, 수소 등이 포함되지 않는 것이 바람직하다. 예를 들어, 열처리 장치에 도입하는 산소, 오존, 아산화질소의 순도를 8N(99.999999%) 이상, 바람직하게는 9N(99.9999999%) 이상(불순물 농도가 10ppb 이하, 바람직하게는 0.1ppb 미만)으로 한다. 산화성 분위기는 산화성 가스를 불활성 가스와 혼합하여 사용하여도 된다. 그 경우, 산화성 가스가 적어도 10ppm 이상 포함되는 분위기로 한다.
- [0078] 여기서, 불활성 분위기는 질소, 희가스(헬륨, 네온, 아르곤, 크립톤, 크세논) 등의 불활성 가스를 주성분으로 하는 분위기이다. 구체적으로는 산화성 가스 등의 반응성 가스가 10ppm 미만인 분위기로 한다.
- [0079] 제1 가열 처리는 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. RTA를 사용함으로써 단시간에 한하여 기판의 왜곡점 이상의 온도에서 열처리를 행할 수 있다. 그로 인해, 비정질 영역에 대하여 결정 영역의 비율이 많은 산화물 반도체막을 형성하기 위한 시간을 단축할 수 있다.
- [0080] 산화물 반도체막으로서는 4원계 금속 산화물인 In-Sn-Ga-Zn-O계의 재료나, 3원계 금속 산화물인 In-Ga-Zn-O계의 재료, In-Sn-Zn-O계의 재료, In-Al-Zn-O계의 재료, Sn-Ga-Zn-O계의 재료, Al-Ga-Zn-O계의 재료, Sn-Al-Zn-O계의 재료나, 2원계 금속 산화물인 In-Zn-O계의 재료, Sn-Zn-O계의 재료, Al-Zn-O계의 재료, Zn-Mg-O계의 재료, Sn-Mg-O계의 재료, In-Mg-O계의 재료, In-Ga-O계의 재료나, In-O계의 재료, Sn-O계의 재료, Zn-O계의 재료 등을 사용하여도 된다. 또한, 상기의 재료에 산화실리콘을 포함시켜도 된다. 여기서, 예를 들어 In-Ga-Zn-O계의 재료는 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물이라고 하는 의미이며, 그 조성비는 특별히 상관없다. 또한, In과 Ga와 Zn 이외의 원소를 포함하여도 된다. 이때, 산화물 반도체막의 화학양론비에 대하여 0를 과잉으로 하면 바람직하다. 0를 과잉으로 함으로써 산화물 반도체막의 산소 결손에 기인하는 캐리어의 생성을 억제할 수 있다.
- [0081] 또한, 일례로서 산화물 반도체막으로서 In-Zn-O계의 재료를 사용하는 경우, 원자수비로 In/Zn=0.5 내지 50, 바람직하게는 In/Zn=1 내지 20, 더욱 바람직하게는 In/Zn=3 내지 15로 한다. Zn의 원자수비를 전술한 범위로 함으로써 트랜지스터의 전계 효과 이동도를 향상시킬 수 있다. 여기서, 화합물의 원자수비가 In:Zn:O=X:Y:Z 일 때, $Z > 1.5X+Y$ 로 한다.
- [0082] 산화물 반도체막으로서 화학식 $InM_0_3(ZnO)_m$ ($m > 0$)으로 표기되는 재료를 사용하여도 된다. 여기서, M은 Ga, Al, Mn 및 Co로부터 선택된 1개 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로서 Ga, Ga 및 Al, Ga 및 Mn 또는 Ga 및 Co 등을 사용하여도 된다.
- [0083] 또한, 질소를 $1 \times 10^{17} \text{ atoms/cm}^3$ 이상 $5 \times 10^{19} \text{ atoms/cm}^3$ 이하(바람직하게는 $5 \times 10^{18} \text{ atoms/cm}^3$ 이하) 포함하는 In-Ga-Zn-O계의 재료는 c축 배향된 육방정의 결정 구조를 포함하는 산화물로 되고, In-O의 결정면(인듐과 산소를 포함하는 결정면)과 In-O의 결정면(인듐과 산소를 포함하는 결정면)의 사이에 1층의 Ga 및 Zn을 갖는 층을 구비한다. 또는, 상술한 범위에서 질소를 포함하는 In-Ga-Zn-O계의 산화물 반도체막에 있어서, 인접하는 In-O의 결정면과 In-O의 결정면의 사이에 복수층의 Ga 및 Zn을 갖는 층을 구비하여도 상관없다.
- [0084] 이어서, 산화물 반도체막 위에 2층째의 산화물 반도체막을 형성하여, 산화물 반도체막의 적층체를 형성하여도 된다. 1층째의 산화물 반도체막과 2층째의 산화물 반도체막은 마찬가지의 방법으로 형성할 수 있다.
- [0085] 2층째의 산화물 반도체막을 형성할 때, 기판을 가열 처리하면서 형성함으로써, 1층째의 산화물 반도체막을 종결정으로 2층째의 산화물 반도체막을 결정화시킬 수 있다. 이때, 1층째의 산화물 반도체막과 2층째의 산화물 반도체막이 동일한 원소로 구성되는 것을 호모 성장이라고 한다. 또는 1층째의 산화물 반도체막과 2층째의 산화물 반도체막이 적어도 1종 이상 다른 원소로 구성되는 것을 혼태로 성장이라고 한다.
- [0086] 또한, 2층째의 산화물 반도체막을 형성한 후, 제2 가열 처리를 행하여도 된다. 제2 가열 처리는 제1 가열 처리와 마찬가지의 방법으로 행하면 된다. 제2 가열 처리를 행함으로써, 비정질 영역에 대하여 결정 영역의 비율이 많은 적층 구조로 할 수 있다. 또는, 제2 가열 처리를 행함으로써, 1층째의 산화물 반도체막을 종결정

으로 2층째의 산화물 반도체막을 결정화시킬 수 있다. 이때, 1층째의 산화물 반도체막과 2층째의 산화물 반도체막이 동일한 원소로 구성되는 호모 성장으로 하여도 상관없다. 또는 1층째의 산화물 반도체막과 2층째의 산화물 반도체막이 적어도 1종 이상 다른 원소로 구성되는 혼테로 성장으로 하여도 상관없다.

[0087] 이상의 방법에 의해 CAAC 산화물 반도체를 형성할 수 있다.

[0088] 여기서, CAAC 산화물 반도체를 형성하는 과정의 제1 가열 처리 및 제2 가열 처리에 의해, 하지 절연막(102)으로부터 제1 산화물 반도체막(106)에 산소를 공급하여도 상관없다.

[0089] 제1 산화물 반도체막(106)을 형성한 후, 제3 가열 처리를 행하여도 상관없다. 제3 가열 처리는 150°C 이상 기판의 왜곡점 미만, 바람직하게는 250°C 이상 450°C 이하, 더욱 바람직하게는 300°C 이상 450°C 이하의 온도에서 행한다. 제3 가열 처리에 의해 하지 절연막(102)으로부터 제1 산화물 반도체막(106)에 산소를 공급할 수 있다. 제3 가열 처리는 감압 분위기, 불활성 분위기 또는 산화성 분위기에서 행한다.

[0090] 이어서, 제1 산화물 반도체막(106) 위에 도전막(108)을 형성한다(도 1의 (b) 참조).

[0091] 도전막(108)은 단층 또는 적층 구조로 하면 되며, Al, Ti, Cr, Co, Ni, Cu, Y, Zr, Mo, Ag, Ta 및 W, 그들의 질화물, 산화물 및 합금으로부터 1개 이상 선택하여 사용하면 된다. 산화물 도전막은 금속막과 비교하여 저항이 높기 때문에, 도전막(108)의 저항을 저감하기 위하여 시트 저항이 10Ω/sq 이하인 저저항막과 적층하면 바람직하다.

[0092] 도전막(108)을 형성한 후, 제4 가열 처리를 행하여도 상관없다. 제4 가열 처리는 제3 가열 처리와 마찬가지의 방법으로 행하면 된다. 제4 가열 처리에 의해 하지 절연막(102)으로부터 제1 산화물 반도체막(106)에 산소를 공급할 수 있다.

[0093] 이어서, 도전막(108) 위에 레지스트를 도포하고, 포토리소그래피법에 의해 레지스트 마스크를 형성한다. 상기 레지스트 마스크를 사용하여 도전막(108)을 가공하여 소스 전극 및 드레인 전극(118)을 형성한다(도 1의 (c) 참조).

[0094] 이어서, 제1 산화물 반도체막(106) 위에 레지스트를 도포하고, 포토리소그래피법에 의해 레지스트 마스크를 형성한다. 상기 레지스트 마스크를 사용하여 제1 산화물 반도체막(106)을 가공하여 제2 산화물 반도체막(116)을 형성한다(도 1의 (d) 참조). 이에 의해, 소스 전극 및 드레인 전극(118)의 저면이 제2 산화물 반도체막(116)의 측면과 접하는 것을 방지할 수 있다.

[0095] 또는 도전막(108) 및 제1 산화물 반도체막(106)을 다계조 마스크에 의해 형성한 레지스트 마스크를 사용하여 가공하여도 된다. 이 경우, 다계조 마스크에 의해 두께가 다른 제1 레지스트 영역과 제2 레지스트 영역을 갖는 제1 레지스트 마스크를 형성한다. 여기서, 제1 레지스트 마스크에 있어서, 제2 레지스트 영역에서의 두께가 제1 레지스트 영역에서의 두께보다도 큰 것으로 한다. 우선, 제1 레지스트 마스크를 사용하여 제1 레지스트 영역 및 제2 레지스트 영역을 합친 영역의 형상으로 도전막(108)을 가공하여 소스 전극 및 드레인 전극(118)을 형성한다. 이어서, 제1 레지스트 마스크를 애싱 등의 플라즈마 처리에 의해 후퇴시킴으로써 제1 레지스트 영역을 제거하고, 제2 레지스트 영역만 남긴 제2 레지스트 마스크를 형성한다. 이어서, 제1 산화물 반도체막(106)을 제2 레지스트 마스크를 사용하여 가공함으로써 도 1의 (d)에 도시하는 형상을 얻는다.

[0096] 여기서, 레지스트 마스크의 박리 공정을 애싱 등의 플라즈마 처리에 의해 행하여도 된다. 애싱에 의해 레지스트 마스크를 박리함으로써, 박리액을 사용한 경우와 비교하여 제2 산화물 반도체막(116)의 측면에 산소 결손이 발생하기 어려워 바람직하다.

[0097] 상기와 같은 공정에 의해 도전막(108) 및 제1 산화물 반도체막(106)을 가공함으로써, 가공된 도전막(108)의 아래에는 제2 산화물 반도체막(116)의 일부가 잔치(殘置)하는 구조로 된다. 바꾸어 말하면, 가공된 도전막(108)은 그 모든 영역에 있어서 제2 산화물 반도체막(116)의 일부와 중첩한다. 여기서, 가공된 도전막(108)이 배선을 겹하는 경우, 상기 배선과 다른 배선과의 교차부에 축적되는 전하를 저감할 수 있다. 그로 인해, 신호 지연 등을 억제하는 효과를 발휘한다.

[0098] 이어서, 소스 전극 및 드레인 전극(118) 및 제2 산화물 반도체막(116)을 덮는 게이트 절연막(112)을 형성한다(도 1의 (e) 참조). 게이트 절연막(112)은 제2 산화물 반도체막(116)을 형성한 후, 빠르게 형성하는 것이 바람직하다. 이것은 제2 산화물 반도체막(116)의 측면에 발생한 산소 결손을 게이트 절연막(112)에 의해 저감하기 위해서이다.

[0099] 여기서, 산화물 반도체막의 상면 및 측면에서의 산소의 결손 용이도에 대하여, 하나의 모델을 사용하여 계산

을 행하여 검증한 결과에 대하여 설명한다. 또한, CAAC 산화물 반도체는 일측면에 복수의 결정면을 갖기 때문에 계산이 복잡하게 된다. 그로 인해, 여기서는 c축에 배향한 섬유아연석광 구조인 ZnO 단결정을 사용하여 계산을 행하였다. 결정의 모델로서는, 도 17에 도시한 바와 같이 c축에 평행한 면과 수직인 면에서 각각 절단하여 (001) 표면, (100) 표면 및 (110) 표면을 제작하였다.

[0100] 표면 구조를 제작한 후, 도 18의 (a) 내지 도 18의 (c)에 도시한 바와 같이 (100) 표면, (110) 표면 및 (001) 표면으로부터 산소가 빠지는 경우의 계산을 행하여, 그 탈락 용이도를 각 표면에서 비교하였다.

[0101] 결정 격자를 (001)면이 표면으로 되도록 절단한 모델을 제작하였다. 단, 계산은 3차원 주기 구조에서 행하기 때문에, (001) 표면이 2개 존재하는 진공 영역이 1nm인 슬래브 모델을 제작하였다. 마찬가지로 하여 측면은 (001)면과 수직인 면으로 상정되기 때문에, 측면의 일례로서 (100)면과 (110)면이 표면에 나온 슬래브 모델을 제작하였다. 이 2개의 면을 계산함으로써 (001)에 수직인 면에서 산소가 빠지기 쉬운 경향을 볼 수 있다. 이 경우에도 진공 영역은 1nm이다. 원자수는 (100) 표면 모델, (110) 표면 모델, (001) 표면 모델에서 각각 64, 108, 108 원자로 하였다. 또한, 상기 3 구조의 표면으로부터 산소를 1 원자 빼낸 구조를 제작하였다.

[0102] 계산에는 밀도 범함수법의 프로그램인 CASTEP를 이용하였다. 밀도 범함수의 방법으로서 평면파 기저 의사 포텐셜법을 이용하고, 범함수는 GGAPBE를 이용하였다. 처음에 섬유아연석 구조의 4 원자의 유닛 셀에 있어서 격자 상수를 포함시킨 구조 최적화를 행하였다. 이어서, 최적화된 구조를 바탕으로 하여 표면 구조를 제작하였다. 그 후, 제작한 표면 구조의 산소가 결손 있음의 구조와 결손 없음의 구조에 있어서, 격자 상수를 고정한 구조 최적화를 행하였다. 에너지는 구조 최적화 후의 것을 사용하고 있다.

[0103] 컷오프 에너지는 유닛 셀의 계산에서는 380eV, 표면 구조의 계산에서는 300eV를 사용하였다. k점으로서 유닛 셀의 계산에서는 $9 \times 9 \times 6$, (100) 표면 모델의 계산에서는 $3 \times 2 \times 1$, (110) 표면 모델의 계산에서는 $1 \times 2 \times 2$, (001) 표면 모델의 계산에서는 $2 \times 2 \times 1$ 의 그리드를 사용하였다.

[0104] 상기의 표면 구조에 산소 결손 있음의 구조의 에너지와 산소 분자의 에너지의 절반을 더한 값으로부터, 산소 결손 없음의 구조의 에너지를 뺀 에너지차(여기서는 속박 에너지(bound energy)라고 부름)를 계산하였다. 속박 에너지가 작은 표면에서 산소가 빠지기 쉽다고 할 수 있다.

수학식 2

$$\begin{aligned} \text{(속박 에너지)} &= (\text{산소 결손 있음의 구조의 에너지}) + (\text{산소 분자의 에너지의 절반}) - \\ &(\text{산소 결손 없음의 구조의 에너지}) \end{aligned}$$

[0106] 수학식 2에 의해 얻어진 각 표면의 속박 에너지를 표 1에 나타낸다.

표 1

	속박 에너지
(100) 표면 모델	2.89
(110) 표면 모델	2.64
(001) 표면 모델	3.38

[0108] 표 1에 나타내는 결과로부터 (001) 표면과 비교하여 (100) 표면 및 (110) 표면은 속박 에너지가 작아 산소가 빠지기 쉽다고 할 수 있다. 즉, 상면에 수직인 방향으로 c축을 갖고, 상기 c축에 배향된 ZnO막은 상면보다도 측면의 쪽이 산소가 빠지기 쉬운 것을 알 수 있다. CAAC 산화물 반도체인 ZnO에 대해서도 여러가지 결정면이 서로 섞여 있지만, ZnO 단결정과 동종의 결정면을 측면에 갖고 있다. 그로 인해, ZnO 단결정에서의 산소의 탈락 용이도와 마찬가지의 경향이 있다고 할 수 있다.

[0109] 그로 인해, 게이트 절연막(112)은 가열 처리에 의해 산소를 방출하는 절연막을 사용하는 것이 바람직하다. 예를 들어, 하지 절연막(102)과 마찬가지의 재료를 사용하여 형성하면 된다.

[0110] 이어서, 게이트 절연막(112) 위에 게이트 전극(104)을 형성한다(도 1의 (f) 참조). 게이트 전극(104)은 소스 전극 및 드레인 전극(118)과 중첩하지 않도록 설치한다. 게이트 전극과 소스 전극 및 드레인 전극이 중첩하지 않음으로써 기생 용량을 저감할 수 있고, 트랜지스터의 고속 동작이 가능하게 된다. 게이트 전극(104)은

도전막(108)에서 나타낸 재료를 가공하여 형성하면 된다.

[0111] 또는, 게이트 전극(104)으로서 Al, Si, Ti, Ni, Cu, Zn, Ga, Ge, In, Sn 및 W 중 1종 이상을 포함하는 산화물 막을 사용하여도 된다. 상기 산화물막은 5×10^{19} atoms/cm³ 이상 20atomic% 이하, 바람직하게는 1×10^{20} atoms/cm³ 이상 7atomic% 이하의 질소를 포함하여도 된다. 예를 들어, In, Ga 및 Zn을 포함하는 산화물막에 1×10^{20} atoms/cm³ 이상 7atomic% 이하의 질소를 포함하는 막을 사용하면 된다. 전술한 산화물막을 사용하는 경우, 게이트 전극(104)을 금속막과의 적층 구조로 하는 것이 바람직하다. 이때, 전술한 산화물막을 게이트 절연막(112)과 접하도록 설치한다. 전술한 산화물막은 금속막보다도 취할 수 있는 일함수의 폭이 넓기 때문에 트랜지스터의 임계값 전압의 제어성이 높아진다.

[0112] 다음에, 바람직하게는 소스 전극 및 드레인 전극(118) 및 게이트 전극(104)을 마스크로 하여, 게이트 절연막(112) 너머로 제2 산화물 반도체막(116)에 이온을 첨가하고, 이온이 첨가되어 있지 않은 제1 영역(136) 및 이온이 첨가된 제2 영역(146)을 포함하는 산화물 반도체막(126)을 형성한다(도 1의 (g) 참조). 제2 영역에는 질소, 인, 비소 또는 희ガ스로부터 선택된 1종 이상의 원소를 5×10^{18} atoms/cm³ 이상 1×10^{22} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이상 5×10^{19} atoms/cm³ 이하의 농도로 첨가시킨다. 단, 첨가하는 이온은 전술한 이온에 한정되는 것이 아니며, 제2 산화물 반도체막(116)을 저저항화할 수 있는 원소로 이루어지는 이온이면 된다. 이때, 게이트 절연막(112) 너머로 이온을 첨가함으로써, 제2 산화물 반도체막(116)이 직접 플라즈마에 노출되는 일이 없어지기 때문에, 제2 산화물 반도체막(116)에 데미지가 생기기 어려워지고, 또한 제2 산화물 반도체막(116)의 막 감소를 방지할 수 있다.

[0113] 이어서, 충간 절연막(122)을 형성한다(도 1의 (h) 참조).

[0114] 충간 절연막(122)은 하지 절연막(102)과 마찬가지의 재료를 사용하여 형성하면 된다.

[0115] 이어서, 제5 가열 처리를 행하여도 상관없다. 제5 가열 처리는 150°C 이상 450°C 이하, 바람직하게는 250°C 이상 325°C 이하에서 행한다. 또는, 250°C부터 325°C까지 단계적으로 온도를 높여 가도 된다. 제5 가열 처리를 행함으로써, 충간 절연막(122)으로부터 산화물 반도체막(126)에 산소를 공급하여도 상관없다.

[0116] 이상의 공정에 의해 오프 전류가 극히 작은 트랜지스터를 제작할 수 있다.

[0117] 또한, 본 실시 형태에 나타내는 산화물 반도체막을 사용한 트랜지스터를 사용함으로써, 마더 유리와 같은 큰 기판을 사용하여도 신뢰성이 높고 대량 생산이 가능한 반도체 장치를 제공할 수 있다.

[0118] (실시 형태 2)

[0119] 도 3의 (a)에 반도체 장치를 구성하는 기억 소자(이하, 메모리 셀이라고도 기재함)의 회로도의 일례를 도시한다. 메모리 셀은 산화물 반도체 이외의 재료(예를 들어, 실리콘, 게르마늄, 탄화실리콘, 갈륨비소, 질화갈륨, 유기 화합물 등)를 채널 형성 영역에 사용한 트랜지스터(1160)와 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터(1162)에 의해 구성된다.

[0120] 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터(1162)는 실시 형태 1에 따라 제작할 수 있다.

[0121] 도 3의 (a)에 도시한 바와 같이, 트랜지스터(1160)의 게이트 전극과, 트랜지스터(1162)의 소스 전극 또는 드레인 전극의 한쪽과는 전기적으로 접속되어 있다. 또한, 제1 배선 SL(1st Line: 소스선이라고도 칭함)과 트랜지스터(1160)의 소스 전극은 전기적으로 접속되고, 제2 배선 BL(2nd Line: 비트선이라고도 칭함)과 트랜지스터(1160)의 드레인 전극은 전기적으로 접속되어 있다. 그리고, 제3 배선 S1(3rd Line: 제1 신호선이라고도 칭함)과 트랜지스터(1162)의 소스 전극 또는 드레인 전극의 다른쪽과는 전기적으로 접속되고, 제4 배선 S2(4th Line: 제2 신호선이라고도 칭함)와 트랜지스터(1162)의 게이트 전극은 전기적으로 접속되어 있다.

[0122] 산화물 반도체 이외의 재료, 예를 들어 단결정 실리콘을 채널 형성 영역에 사용한 트랜지스터(1160)는 충분한 고속 동작이 가능하기 때문에, 트랜지스터(1160)를 사용함으로써 기억 내용의 판독 등을 고속으로 행하는 것이 가능하다. 또한, 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터(1162)는, 트랜지스터(1160)에 비하여 오프 전류가 작다고 하는 특징을 갖고 있다. 이로 인해, 트랜지스터(1162)를 오프 상태로 함으로써, 트랜지스터(1160)의 게이트 전극의 전위를 극히 장시간에 걸쳐 유지하는 것이 가능하다.

[0123] 게이트 전극의 전위가 유지 가능하다고 하는 특징을 살림으로써, 다음과 같이 정보의 기입, 유지, 판독이 가능하다.

- [0124] 처음에 정보의 기입 및 유지에 대하여 설명한다. 우선, 제4 배선 S2의 전위를 트랜지스터(1162)가 온 상태로 되는 전위로 하여 트랜지스터(1162)를 온 상태로 한다. 이에 의해, 제3 배선 S1의 전위가 트랜지스터(1160)의 게이트 전극에 제공된다(기입). 그 후, 제4 배선 S2의 전위를 트랜지스터(1162)가 오프 상태로 되는 전위로 하여 트랜지스터(1162)를 오프 상태로 함으로써, 트랜지스터(1160)의 게이트 전극의 전위가 유지된다(유지).
- [0125] 트랜지스터(1162)의 오프 전류는 극히 작기 때문에, 트랜지스터(1160)의 게이트 전극의 전위는 장시간에 걸쳐 유지된다. 예를 들어, 트랜지스터(1160)의 게이트 전극의 전위가 트랜지스터(1160)를 온 상태로 하는 전위이면, 트랜지스터(1160)의 온 상태가 장시간에 걸쳐 유지되게 된다. 또한, 트랜지스터(1160)의 게이트 전극의 전위가 트랜지스터(1160)를 오프 상태로 하는 전위이면, 트랜지스터(1160)의 오프 상태가 장시간에 걸쳐 유지된다.
- [0126] 이어서, 정보의 판독에 대하여 설명한다. 상술한 바와 같이 트랜지스터(1160)의 온 상태 또는 오프 상태가 유지된 상태에 있어서, 제1 배선 SL에 소정의 전위(정전위)가 제공되면, 트랜지스터(1160)의 온 상태 또는 오프 상태에 따라 제2 배선 BL의 전위는 다른 값을 취한다. 예를 들어, 트랜지스터(1160)가 온 상태인 경우에는 제1 배선 SL의 전위에 제2 배선 BL의 전위가 근접하게 된다. 또한, 트랜지스터(1160)가 오프 상태인 경우에는 제2 배선 BL의 전위는 변화하지 않는다.
- [0127] 이와 같이 정보가 유지된 상태에 있어서, 제2 배선 BL의 전위와 소정의 전위를 비교함으로써 정보를 판독할 수 있다.
- [0128] 이어서, 정보의 재기입에 대하여 설명한다. 정보의 재기입은 상기 정보의 기입 및 유지와 마찬가지로 행해진다. 즉, 제4 배선 S2의 전위를 트랜지스터(1162)가 온 상태로 되는 전위로 하여 트랜지스터(1162)를 온 상태로 한다. 이에 의해, 제3 배선 S1의 전위(새로운 정보에 관한 전위)가 트랜지스터(1160)의 게이트 전극에 제공된다. 그 후, 제4 배선 S2의 전위를 트랜지스터(1162)가 오프 상태로 되는 전위로 하여 트랜지스터(1162)를 오프 상태로 함으로써 새로운 정보가 유지된 상태로 된다.
- [0129] 이와 같이 개시하는 발명에 관한 메모리 셀은, 재차의 정보의 기입에 의해 직접적으로 정보를 재기입하는 것이 가능하다. 이로 인해 플래시 메모리 등에 있어서 필요하게 되는 소거 동작이 불필요하여, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉, 메모리 셀을 갖는 반도체 장치의 고속 동작이 실현된다.
- [0130] 또한, 도 3의 (a)의 메모리 셀을 발전시킨 메모리 셀의 회로도의 일례를 도 3b에 도시한다.
- [0131] 도 3의 (b)에 도시하는 메모리 셀(1100)은, 제1 배선 SL(소스선)과, 제2 배선 BL(비트선)과, 제3 배선 S1(제1 신호선)과, 제4 배선 S2(제2 신호선)와, 제5 배선 WL(워드선)과, 트랜지스터(1164)(제1 트랜지스터)와, 트랜지스터(1161)(제2 트랜지스터)와, 트랜지스터(1163)(제3 트랜지스터)로 구성되어 있다. 트랜지스터(1164) 및 트랜지스터(1163)는 산화물 반도체 이외의 재료를 채널 형성 영역에 사용하고 있고, 트랜지스터(1161)는 산화물 반도체를 채널 형성 영역에 사용하고 있다.
- [0132] 여기서, 트랜지스터(1164)의 게이트 전극과, 트랜지스터(1161)의 소스 전극 또는 드레인 전극의 한쪽과는 전기적으로 접속되어 있다. 또한, 제1 배선 SL과 트랜지스터(1164)의 소스 전극은 전기적으로 접속되고, 트랜지스터(1164)의 드레인 전극과 트랜지스터(1163)의 소스 전극은 전기적으로 접속되어 있다. 그리고, 제2 배선 BL과 트랜지스터(1163)의 드레인 전극은 전기적으로 접속되고, 제3 배선 S1과 트랜지스터(1161)의 소스 전극 또는 드레인 전극의 다른쪽과는 전기적으로 접속되고, 제4 배선 S2와 트랜지스터(1161)의 게이트 전극은 전기적으로 접속되고, 제5 배선 WL과 트랜지스터(1163)의 게이트 전극은 전기적으로 접속되어 있다.
- [0133] 이어서, 회로의 동작의 구체적인 예에 대하여 설명한다. 또한, 이하의 설명에서 예시하는 전위, 전압 등의 숫자는 적절하게 변경하여도 상관없다.
- [0134] 메모리 셀(1100)에의 기입을 행하는 경우에는 제1 배선 SL을 0V, 제5 배선 WL을 0V, 제2 배선 BL을 0V, 제4 배선 S2를 2V로 한다. 데이터 "1"을 기입하는 경우에는 제3 배선 S1을 2V, 데이터 "0"을 기입하는 경우에는 제3 배선 S1을 0V로 한다. 이때, 트랜지스터(1163)는 오프 상태, 트랜지스터(1161)는 온 상태로 된다. 또한, 기입 종료 시에는 제3 배선 S1의 전위를 변화시키기 전에 제4 배선 S2를 0V로 하여 트랜지스터(1161)를 오프 상태로 한다.
- [0135] 그 결과, 데이터 "1" 기입 후에는 트랜지스터(1164)의 게이트 전극에 접속되는 노드(이하, 노드 A)의 전위가 약 2V, 데이터 "0" 기입 후에는 노드 A의 전위가 약 0V로 된다. 노드 A에는 제3 배선 S1의 전위에 따른 전하

가 축적되지만, 상술한 바와 같이 트랜지스터(1161)의 오프 전류는 극히 작기 때문에, 트랜지스터(1164)의 게이트 전극의 전위는 장시간에 걸쳐 유지된다.

[0136] 이어서, 메모리 셀의 판독을 행하는 경우에는 제1 배선 SL을 0V, 제5 배선 WL을 2V, 제4 배선 S2를 0V, 제3 배선 S1을 0V로 하고, 제2 배선 BL에 접속되어 있는 판독 회로를 동작 상태로 한다. 이때, 트랜지스터(1163)는 온 상태, 트랜지스터(1161)는 오프 상태로 된다.

[0137] 데이터 "0", 즉 노드 A가 약 0V의 상태이면 트랜지스터(1164)는 오프 상태이기 때문에, 제2 배선 BL과 제1 배선 SL간의 저항은 높은 상태로 된다. 한편, 데이터 "1", 즉 노드 A가 약 2V의 상태이면 트랜지스터(1164)가 온 상태이기 때문에, 제2 배선 BL과 제1 배선 SL간의 저항은 낮은 상태로 된다. 판독 회로는 메모리 셀의 저항 상태의 차이로부터 데이터 "0", "1"을 판독할 수 있다. 또한, 기입 시의 제2 배선 BL은 0V로 하였지만, 플로팅 상태나 0V 이상의 전위로 충전되어도 상관없다. 판독 시의 제3 배선 S1은 0V로 하였지만, 플로팅 상태나 0V 이상의 전위로 충전되어도 상관없다.

[0138] 또한, 데이터 "1"과 데이터 "0"은 편의상의 정의이며, 반대이어도 상관없다. 또한, 상술한 동작 전압은 일례이다. 동작 전압은 데이터 "0"의 경우에 트랜지스터(1164)가 오프 상태로 되고, 데이터 "1"의 경우에 트랜지스터(1164)가 온 상태로 되도록, 또한 기입 시에 트랜지스터(1161)가 온 상태, 기입 시 이외에서는 오프 상태로 되도록, 또한 판독 시에 트랜지스터(1163)가 온 상태로 되도록 선택하면 된다. 특히 2V 대신에 주변의 논리 회로의 전원 전위 VDD를 사용하여도 된다.

[0139] 본 실시 형태에서는 이해의 간단화를 위하여, 최소 기억 단위(1비트)의 메모리 셀에 대하여 설명하였지만, 메모리 셀의 구성은 이것에 한정되는 것이 아니다. 복수의 메모리 셀을 적당히 접속하여 보다 고도의 반도체 장치를 구성할 수도 있다. 예를 들어, 상기 메모리 셀을 복수 사용하여 NAND형이나 NOR형의 반도체 장치를 구성하는 것이 가능하다. 배선의 구성도 도 3의 (a)나 도 3의 (b)에 한정되지 않고, 적절하게 변경할 수 있다.

[0140] 도 4에 $m \times n$ 비트의 기억 용량을 갖는 본 발명의 일 형태에 관한 반도체 장치의 블록 회로도를 도시한다.

[0141] 도 4에 도시하는 반도체 장치는 m 개의 제5 배선 WL(1) 내지 WL(m) 및 m 개의 제4 배선 S2(1) 내지 S2(m)과, n 개의 제2 배선 BL(1) 내지 BL(m) 및 n 개의 제3 배선 S1(1) 내지 S1(m)과, 복수의 메모리 셀(1100)(i , j) 내지 (1100)(m , n)이 세로 m 개(행) \times 가로 n 개(열)(m , n 은 자연수)의 매트릭스 형상으로 배치된 메모리 셀 어레이(1110)와, 제2 배선 BL 및 제3 배선 S1을 접속하는 구동 회로(1111)나, 제4 배선 S2 및 제5 배선 WL과 접속하는 구동 회로(1113)나, 판독 회로(1112)와 같은 주변 회로에 의해 구성되어 있다. 다른 주변 회로로서 리프레시 회로 등이 설치되어도 된다.

[0142] 각 메모리 셀의 대표로서 메모리 셀(1100)(i , j)를 생각한다. 여기서, 메모리 셀(1100)(i , j)(i 는 1 이상 m 이하의 정수, j 는 1 이상 n 이하의 정수)는 제2 배선 BL(j), 제3 배선 S1(j), 제5 배선 WL(i) 및 제4 배선 S2(i) 및 제1 배선 SL에 각각 접속되어 있다. 제1 배선 SL에는 전위 Vs가 제공되고 있다. 또한, 제2 배선 BL(1) 내지 BL(n) 및 제3 배선 S1(1) 내지 S1(n)은 구동 회로(1111) 및 판독 회로(1112)에, 제5 배선 WL(1) 내지 WL(m) 및 제4 배선 S2(1) 내지 S2(m)은 구동 회로(1113)에 각각 접속되어 있다.

[0143] 도 4에 도시한 반도체 장치의 동작에 대하여 설명한다. 본 구성에서는 행마다의 기입 및 판독을 행한다.

[0144] 제*i*행의 메모리 셀(1100)(i , 1) 내지 (1100)(i , n)에 기입을 행하는 경우에는, 제1 배선 SL의 전위 Vs를 0V, 제5 배선 WL(i)를 0V, 제2 배선 BL(1) 내지 BL(n)을 0V, 제4 배선 S2(i)를 2V로 한다. 이때 트랜지스터(1161)는 온 상태로 된다. 제3 배선 S1(1) 내지 S1(n)은 데이터 "1"을 기입하는 열은 2V, 데이터 "0"을 기입하는 열은 0V로 한다. 또한, 기입 종료 시에는 제3 배선 S1(1) 내지 S1(n)의 전위를 변화시키기 전에, 제4 배선 S2(i)를 0V로 하여 트랜지스터(1161)를 오프 상태로 한다. 또한, 제5 배선 WL(i) 이외의 제5 배선 WL을 0V, 제4 배선 S2(i) 이외의 제4 배선 S2를 0V로 한다.

[0145] 그 결과, 데이터 "1"의 기입을 행한 메모리 셀의 트랜지스터(1164)의 게이트 전극에 접속되는 노드(이하, 노드 A)의 전위는 약 2V, 데이터 "0"의 기입을 행한 메모리 셀의 노드 A의 전위는 약 0V로 된다. 또한, 비선택 메모리 셀의 노드 A의 전위는 변하지 않는다.

[0146] 제*i*행의 메모리 셀(1100)(i , 1) 내지 (1100)(i , n)의 판독을 행하는 경우에는, 제1 배선 SL의 전위 Vs를 0V, 제5 배선 WL(i)를 2V, 제4 배선 S2(i)를 0V, 제3 배선 S1(1) 내지 S1(n)을 0V로 하고, 제2 배선 BL(1) 내지 BL(n)에 접속되어 있는 판독 회로를 동작 상태로 한다. 판독 회로에서는, 예를 들어 메모리 셀의 저항 상태의 차이로부터 데이터 "0", "1"을 판독할 수 있다. 또한, 제5 배선 WL(i) 이외의 제5 배선 WL을 0V, 제4 배선 S2(i)를 0V로 한다.

선 S2(i) 이외의 제4 배선 S2를 0V로 한다. 또한, 기입 시의 제2 배선 BL은 0V로 하였지만, 플로팅 상태나 0V 이상의 전위로 충전되어도 상관없다. 판독 시의 제3 배선 S1은 0V로 하였지만, 플로팅 상태나 0V 이상의 전위로 충전되어도 상관없다.

[0147] 본 실시 형태에 의해 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터와 접속하는 노드의 전위를 극히 장시간에 걸쳐 유지하는 것이 가능하기 때문에, 작은 소비 전력으로 정보의 기입, 유지, 판독이 가능한 기억 소자를 제작할 수 있다.

[0148] 본 실시 형태에 나타내는 구성, 방법 등은 다른 실시 형태에 나타내는 구성, 방법 등과 적절하게 조합하여 사용할 수 있다.

[0149] (실시 형태 3)

[0150] 본 실시 형태에서는 용량 소자를 갖는 메모리 셀의 회로도의 일례를 도시한다. 도 5a에 도시하는 메모리 셀(1170)은 제1 배선 SL, 제2 배선 BL, 제3 배선 S1, 제4 배선 S2, 제5 배선 WL, 트랜지스터(1171)(제1 트랜지스터), 트랜지스터(1172)(제2 트랜지스터), 용량 소자(1173)로 구성되어 있다. 트랜지스터(1171)는 산화물 반도체 이외의 재료를 채널 형성 영역에 사용하고 있고, 트랜지스터(1172)는 채널 형성 영역에 산화물 반도체를 사용하고 있다.

[0151] 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터(1172)는 실시 형태 1에 따라 제작할 수 있다.

[0152] 여기서, 트랜지스터(1171)의 게이트 전극과, 트랜지스터(1172)의 소스 전극 또는 드레인 전극의 한쪽과, 용량 소자(1173)의 한쪽의 전극과는 전기적으로 접속되어 있다. 또한, 제1 배선 SL과 트랜지스터(1171)의 소스 전극은 전기적으로 접속되고, 제2 배선 BL과 트랜지스터(1171)의 드레인 전극은 전기적으로 접속되고, 제3 배선 S1과 트랜지스터(1172)의 소스 전극 또는 드레인 전극의 다른쪽과는 전기적으로 접속되고, 제4 배선 S2와 트랜지스터(1172)의 게이트 전극은 전기적으로 접속되고, 제5 배선 WL과 용량 소자(1173)의 다른쪽의 전극은 전기적으로 접속되어 있다.

[0153] 이어서, 회로의 동작의 구체적인 예에 대하여 설명한다. 또한, 이하의 설명에서 예시하는 전위, 전압 등의 숫자는 적절하게 변경하여도 상관없다.

[0154] 메모리 셀(1170)에의 기입을 행하는 경우에는 제1 배선 SL을 0V, 제5 배선 WL을 0V, 제2 배선 BL을 0V, 제4 배선 S2를 2V로 한다. 데이터 "1"을 기입하는 경우에는 제3 배선 S1을 2V, 데이터 "0"을 기입하는 경우에는 제3 배선 S1을 0V로 한다. 이때, 트랜지스터(1172)는 온 상태로 된다. 또한, 기입 종료 시에는 제3 배선 S1의 전위를 변화시키기 전에, 제4 배선 S2를 0V로 하여 트랜지스터(1172)를 오프 상태로 한다.

[0155] 그 결과, 데이터 "1"의 기입 후에는 트랜지스터(1171)의 게이트 전극에 접속되는 노드(이하, 노드 A)의 전위가 약 2V, 데이터 "0"의 기입 후에는 노드 A의 전위가 약 0V로 된다.

[0156] 메모리 셀(1170)의 판독을 행하는 경우에는 제1 배선 SL을 0V, 제5 배선 WL을 2V, 제4 배선 S2를 0V, 제3 배선 S1을 0V로 하고, 제2 배선 BL에 접속되어 있는 판독 회로를 동작 상태로 한다. 이때, 트랜지스터(1172)는 오프 상태로 된다.

[0157] 제5 배선 WL을 2V로 한 경우의 트랜지스터(1171)의 상태에 대하여 설명한다. 트랜지스터(1171)의 상태를 정하는 노드 A의 전위는, 제5 배선 WL-노드 A간의 용량 C1과, 트랜지스터(1171)의 게이트 전극-소스 전극과 드레인 전극간의 용량 C2에 의존한다.

[0158] 또한, 판독 시의 제3 배선 S1은 0V로 하였지만, 플로팅 상태나 0V 이상의 전위로 충전되어도 상관없다. 데이터 "1"과 데이터 "0"은 편의상의 정의이며, 반대이어도 상관없다.

[0159] 기입 시의 제3 배선 S1의 전위는 기입 후에 트랜지스터(1172)가 오프 상태로 되고, 또한 제5 배선 WL의 전위가 0V인 경우에 트랜지스터(1171)가 오프 상태인 범위에서 데이터 "0", "1"의 전위를 각각 선택하면 된다. 판독 시의 제5 배선 WL의 전위는 데이터 "0"의 경우에 트랜지스터(1171)가 오프 상태로 되고, 데이터 "1"의 경우에 트랜지스터(1171)가 온 상태로 되도록 선택하면 된다. 예를 들어, 트랜지스터(1171)의 임계값 전압으로 하면 된다. 상술한 트랜지스터(1171)의 상태를 바꾸지 않는 범위이면, 어떠한 임계값 전압이어도 상관없다.

[0160] 또한, 제1 게이트 전극 및 제2 게이트 전극을 갖는 선택 트랜지스터와, 용량 소자를 갖는 메모리 셀을 사용하는 NOR형의 반도체 기억 장치의 예에 대하여 도 5b를 사용하여 설명한다.

- [0161] 도 5b에 도시하는 메모리 셀 어레이에는 i행(i는 3 이상의 자연수) j열(j는 3 이상의 자연수)로 매트릭스 형상으로 배열된 복수의 메모리 셀(1180)과, i개의 워드선 WL(워드선 WL_1 내지 WL_i)과, i개의 용량선 CL(용량선 CL_1 내지 CL_i)과, i개의 게이트선 BGL(게이트선 BGL_1 내지 BGL_i)과, j개의 비트선 BL(비트선 BL_1 내지 BL_j)과, 소스선 SL을 구비한다. 또한, 본 실시 형태에서는 i개의 게이트선 BGL(게이트선 BGL_1 내지 BGL_i)을 구비하는 메모리 셀 어레이에 대하여 설명하지만, 이것에 한정되지 않는다. 예를 들어, 게이트선 BGL을 설치하지 않는 메모리 셀 어레이라도 상관없다. 여기서, i 및 j는 편의상 3 이상의 자연수로 하고 있지만, 본 실시 형태에 나타내는 메모리 셀 어레이의 행수 및 열수는 각각 3 이상으로 한정되는 것은 아니다. 1행 또는 1열의 메모리 셀 어레이로 하여도 되고, 2행 또는 2열의 메모리 셀 어레이로 하여도 된다.
- [0162] 또한, 복수의 메모리 셀(1180)의 각각(메모리 셀(1180)(M, N)(단, N은 1 이상 j 이하의 자연수, M은 1 이상 i 이하의 자연수)이라고도 함)은, 트랜지스터(1181)(M, N), 용량 소자(1183)(M, N), 트랜지스터(1182)(M, N)을 구비한다.
- [0163] 또한, 반도체 기억 장치에 있어서, 용량 소자는 제1 용량 전극, 제2 용량 전극, 및 제1 용량 전극 및 제2 용량 전극에 중첩하는 유전체층에 의해 구성된다. 용량 소자는 제1 용량 전극 및 제2 용량 전극의 사이에 인가되는 전압에 따라 전하가 축적된다.
- [0164] 트랜지스터(1181)(M, N)은 n채널형 트랜지스터이며, 소스 전극, 드레인 전극, 제1 게이트 전극 및 제2 게이트 전극을 갖는다. 또한, 본 실시 형태의 반도체 기억 장치에 있어서, 반드시 트랜지스터(1181)를 n채널형 트랜지스터로 하지 않아도 된다.
- [0165] 트랜지스터(1181)(M, N)의 소스 전극 및 드레인 전극의 한쪽은 비트선 BL_N에 접속되고, 트랜지스터(1181)(M, N)의 제1 게이트 전극은 워드선 WL_M에 접속되고, 트랜지스터(1181)(M, N)의 제2 게이트 전극은 게이트선 BGL_M에 접속된다. 트랜지스터(1181)(M, N)의 소스 전극 및 드레인 전극의 한쪽이 비트선 BL_N에 접속되는 구성으로 함으로써, 메모리 셀마다 선택적으로 데이터를 판독할 수 있다.
- [0166] 트랜지스터(1181)(M, N)은 메모리 셀(1180)(M, N)에 있어서 선택 트랜지스터로서의 기능을 갖는다.
- [0167] 트랜지스터(1181)(M, N)으로서는 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터를 사용할 수 있다.
- [0168] 트랜지스터(1182)(M, N)은 p채널형 트랜지스터이다. 또한, 본 실시 형태의 반도체 기억 장치에 있어서, 반드시 트랜지스터(1182)를 p채널형 트랜지스터로 하지 않아도 된다.
- [0169] 트랜지스터(1182)(M, N)의 소스 전극 및 드레인 전극의 한쪽은 소스선 SL에 접속되고, 트랜지스터(1182)(M, N)의 소스 전극 및 드레인 전극의 다른쪽은 비트선 BL_N에 접속되고, 트랜지스터(1182)(M, N)의 게이트 전극은 트랜지스터(1181)(M, N)의 소스 전극 및 드레인 전극의 다른쪽에 접속된다.
- [0170] 트랜지스터(1182)(M, N)은 메모리 셀(1180)(M, N)에 있어서 출력 트랜지스터로서의 기능을 갖는다. 트랜지스터(1182)(M, N)으로서는, 예를 들어 단결정 실리콘을 채널 형성 영역에 사용하는 트랜지스터를 사용할 수 있다.
- [0171] 용량 소자(1183)(M, N)의 제1 용량 전극은 용량선 CL_M에 접속되고, 용량 소자(1183)(M, N)의 제2 용량 전극은 트랜지스터(1181)(M, N)의 소스 전극 및 드레인 전극의 다른쪽에 접속된다. 또한, 용량 소자(1183)(M, N)은 유지 용량으로서의 기능을 갖는다.
- [0172] 워드선 WL_1 내지 WL_i의 각각의 전압은, 예를 들어 디코더를 사용한 구동 회로에 의해 제어된다.
- [0173] 비트선 BL_1 내지 BL_j의 각각의 전압은, 예를 들어 디코더를 사용한 구동 회로에 의해 제어된다.
- [0174] 용량선 CL_1 내지 CL_i의 각각의 전압은, 예를 들어 디코더를 사용한 구동 회로에 의해 제어된다.
- [0175] 게이트선 BGL_1 내지 BGL_i의 각각의 전압은, 예를 들어 게이트선 구동 회로를 사용하여 제어된다.
- [0176] 게이트선 구동 회로는, 예를 들어 다이오드 및 제1 용량 전극이 다이오드의 애노드 및 게이트선 BGL에 전기적으로 접속되는 용량 소자를 구비하는 회로에 의해 구성된다.
- [0177] 트랜지스터(1181)의 제2 게이트 전극의 전압을 조정함으로써, 트랜지스터(1181)의 임계값 전압을 조정할 수 있다. 따라서, 선택 트랜지스터로서 기능하는 트랜지스터(1181)의 임계값 전압을 조정하여, 오프 상태에서의 트랜지스터(1181)의 소스 전극 및 드레인 전극의 사이에 흐르는 전류를 최대한 작게 할 수 있다. 따라서, 기억 회로에서의 데이터의 유지 기간을 길게 할 수 있다. 또한, 데이터의 기입 및 판독에 필요한 전압을 종래

의 반도체 장치보다 낮게 할 수 있기 때문에 소비 전력을 저감할 수 있다.

[0178] 본 실시 형태에 의해 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터에 접속하는 노드의 전위를 극히 장시간에 걸쳐 유지하는 것이 가능하기 때문에, 작은 소비 전력으로 정보의 기입, 유지, 판독이 가능한 기억 소자를 제작할 수 있다.

[0179] 본 실시 형태에 나타내는 구성, 방법 등은 다른 실시 형태에 나타내는 구성, 방법 등과 적절하게 조합하여 사용할 수 있다.

[0180] (실시 형태 4)

[0181] 본 실시 형태에서는 실시 형태 1에 나타내는 트랜지스터를 사용한 반도체 장치의 예에 대하여 도 6의 (a) 내지 도 6의 (b)를 참조하여 설명한다.

[0182] 도 6의 (a)에는, 소위 DRAM(Dynamic Random Access Memory)에 상당하는 구성의 반도체 장치의 일례를 도시한다. 도 6의 (a)에 도시하는 메모리 셀 어레이(1120)는, 복수의 메모리 셀(1130)이 매트릭스 형상으로 배열된 구성을 갖고 있다. 또한, 메모리 셀 어레이(1120)는 m개의 제1 배선 BL 및 n개의 제2 배선 WL을 갖는다. 또한, 본 실시 형태에 있어서는 제1 배선 BL을 비트선 BL이라고 칭하고, 제2 배선 WL을 워드선 WL이라고 칭한다.

[0183] 메모리 셀(1130)은 트랜지스터(1131)와 용량 소자(1132)로 구성되어 있다. 트랜지스터(1131)의 게이트 전극은 제2 배선 WL과 접속되어 있다. 또한, 트랜지스터(1131)의 소스 전극 또는 드레인 전극의 한쪽은 제1 배선 BL과 접속되어 있고, 트랜지스터(1131)의 소스 전극 또는 드레인 전극의 다른쪽은 용량 소자의 전극의 한쪽과 접속되어 있다. 또한, 용량 소자의 전극의 다른쪽은 용량선 CL과 접속되어 일정한 전위가 제공되고 있다. 트랜지스터(1131)에는 실시 형태 1에 나타내는 트랜지스터가 적용된다.

[0184] 실시 형태 1에 있어서 나타낸 산화물 반도체를 채널 형성 영역에 사용하는 트랜지스터는, 단결정 실리콘을 채널 형성 영역에 사용한 트랜지스터에 비하여 오프 전류가 작다고 하는 특징을 갖는다. 이로 인해, 소위 DRAM으로서 인식되고 있는 도 6의 (a)에 도시하는 반도체 장치에 실시 형태 1에 있어서 나타낸 트랜지스터를 적용하는 경우, 실질적인 불휘발성 메모리를 얻는 것이 가능하다.

[0185] 도 6의 (b)에는, 소위 SRAM(Static Random Access Memory)에 상당하는 구성의 반도체 장치의 일례를 도시한다. 도 6의 (b)에 도시하는 메모리 셀 어레이(1140)는, 복수의 메모리 셀(1150)이 매트릭스 형상으로 배열된 구성을으로 할 수 있다. 또한, 메모리 셀 어레이(1140)는 제1 배선 BL, 제2 배선 WL 및 제3 배선(반전 비트선 /BL)을 갖는다.

[0186] 메모리 셀(1150)은 제1 트랜지스터(1151), 제2 트랜지스터(1152), 제3 트랜지스터(1153), 제4 트랜지스터(1154), 제5 트랜지스터(1155) 및 제6 트랜지스터(1156)를 갖고 있다. 제1 트랜지스터(1151)와 제2 트랜지스터(1152)는 선택 트랜지스터로서 기능한다. 또한, 제3 트랜지스터(1153)와 제4 트랜지스터(1154) 중 한쪽은 n채널형 트랜지스터(여기서는 제4 트랜지스터(1154))이고, 다른쪽은 p채널형 트랜지스터(여기서는 제3 트랜지스터(1153))이다. 즉, 제3 트랜지스터(1153)와 제4 트랜지스터(1154)에 의해 CMOS 회로가 구성되어 있다. 마찬가지로 제5 트랜지스터(1155)와 제6 트랜지스터(1156)에 의해 CMOS 회로가 구성되어 있다.

[0187] 제1 트랜지스터(1151), 제2 트랜지스터(1152), 제4 트랜지스터(1154), 제6 트랜지스터(1156)는 n채널형 트랜지스터이며, 실시 형태 1에 있어서 나타낸 트랜지스터를 적용하면 된다. 제3 트랜지스터(1153)와 제5 트랜지스터(1155)는 p채널형 트랜지스터이며, 산화물 반도체 이외의 재료를 채널 형성 영역에 사용하면 된다. 단, 상기의 제1 내지 제6 트랜지스터(1151 내지 1156) 중, p채널형 트랜지스터에 실시 형태 1에 나타낸 트랜지스터를 적용하여도 되고, n채널형 트랜지스터에 산화물 반도체 이외의 재료를 채널 형성 영역에 사용한 트랜지스터를 적용하여도 된다.

[0188] 본 실시 형태에 나타내는 구성, 방법 등은 다른 실시 형태에 나타내는 구성, 방법 등과 적절하게 조합하여 사용할 수 있다.

[0189] (실시 형태 5)

[0190] 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터를 적어도 일부에 사용하여 CPU(Central Processing Unit)를 구성할 수 있다.

[0191] 도 7의 (a)는 CPU의 구체적인 구성을 도시하는 블록도이다. 도 7의 (a)에 도시하는 CPU는, 기판(1190) 위에

연산 회로(ALU: Arithmetic logic unit)(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194), 타이밍 컨트롤러(1195), 레지스터(1196), 레지스터 컨트롤러(1197), 버스 인터페이스(Bus I/F)(1198), 재기입 가능한 ROM(1199) 및 ROM 인터페이스(ROM I/F)(1189)를 갖고 있다. 기판(1190)은 반도체 기판, SOI 기판, 유리 기판 등을 사용한다. ROM(1199) 및 ROM 인터페이스(1189)는 다른 칩에 설치하여 된다. 물론, 도 7의 (a)에 도시하는 CPU는 그 구성을 간략화하여 나타낸 일례에 지나지 않으며, 실제의 CPU는 그 용도에 의해 각종 다양한 구성을 갖고 있다.

[0192] 버스 인터페이스(1198)를 통하여 CPU에 입력된 명령은 인스트럭션 디코더(1193)에 입력되어 디코드된 후, ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)에 입력된다.

[0193] ALU 컨트롤러(1192), 인터럽트 컨트롤러(1194), 레지스터 컨트롤러(1197), 타이밍 컨트롤러(1195)는 디코드된 명령에 기초하여 각종 제어를 행한다. 구체적으로 ALU 컨트롤러(1192)는 ALU(1191)의 동작을 제어하기 위한 신호를 생성한다. 또한, 인터럽트 컨트롤러(1194)는 CPU의 프로그램 실행 중에 외부의 입출력 장치나, 주변 회로로부터의 인터럽트 요구를 그 우선도나 마스크 상태로부터 판단하여 처리한다. 레지스터 컨트롤러(1197)는 레지스터(1196)의 어드레스를 생성하고, CPU의 상태에 따라 레지스터(1196)의 판독이나 기입을 행한다.

[0194] 또한, 타이밍 컨트롤러(1195)는 ALU(1191), ALU 컨트롤러(1192), 인스트럭션 디코더(1193), 인터럽트 컨트롤러(1194) 및 레지스터 컨트롤러(1197)의 동작의 타이밍을 제어하는 신호를 생성한다. 예를 들어, 타이밍 컨트롤러(1195)는, 기준 클록 신호 CLK1을 바탕으로 내부 클록 신호 CLK2를 생성하는 내부 클록 생성부를 구비하고 있고, 클록 신호 CLK2를 상기 각종 회로에 공급한다.

[0195] 도 7의 (a)에 도시하는 CPU에서는 레지스터(1196)에 기억 소자가 설치되어 있다. 레지스터(1196)의 기억 소자에는 실시 형태 2에 기재되어 있는 기억 소자를 사용할 수 있다.

[0196] 도 7의 (a)에 도시하는 CPU에 있어서, 레지스터 컨트롤러(1197)는 ALU(1191)로부터의 지시에 따라 레지스터(1196)에서의 유지 동작의 선택을 행한다. 즉, 레지스터(1196)가 갖는 기억 소자에 있어서, 위상 반전 소자에 의한 데이터의 유지를 행할지, 용량 소자에 의한 데이터의 유지를 행할지를 선택한다. 위상 반전 소자에 의한 데이터의 유지가 선택되어 있는 경우, 레지스터(1196) 내의 기억 소자에의 전원 전압의 공급이 행해진다. 용량 소자에서의 데이터의 유지가 선택되어 있는 경우, 용량 소자에의 데이터의 재기입이 행해지고, 레지스터(1196) 내의 기억 소자에의 전원 전압의 공급을 정지할 수 있다.

[0197] 전원 정지에 관해서는, 도 7의 (b) 또는 도 7의 (c)에 도시한 바와 같이, 기억 소자군과, 전원 전위 VDD 또는 전원 전위 VSS가 제공되고 있는 노드간에 스위칭 소자를 설치함으로써 행할 수 있다. 이하에 도 7의 (b) 및 도 7의 (c)의 회로의 설명을 행한다.

[0198] 도 7의 (b) 및 도 7의 (c)에서는 기억 소자에의 전원 전위의 공급을 제어하는 스위칭 소자에, 산화물 반도체를 채널 형성 영역에 사용한 트랜지스터를 포함하는 기억 회로의 구성의 일례를 도시한다.

[0199] 도 7의 (b)에 도시하는 기억 장치는, 스위칭 소자(1141)와, 기억 소자(1142)를 복수 갖는 기억 소자군(1143)을 갖고 있다. 구체적으로, 각 기억 소자(1142)에는 실시 형태 2에 기재되어 있는 기억 소자를 사용할 수 있다. 기억 소자군(1143)이 갖는 각 기억 소자(1142)에는 스위칭 소자(1141)를 통하여 하이 레벨의 전원 전위 VDD가 공급되고 있다. 또한, 기억 소자군(1143)이 갖는 각 기억 소자(1142)에는 신호 IN의 전위와, 로우 레벨의 전원 전위 VSS의 전위가 제공되고 있다.

[0200] 도 7의 (b)에서는 스위칭 소자(1141)로서 산화물 반도체를 채널 형성 영역에 갖는 트랜지스터를 사용하고 있고, 상기 트랜지스터는 그 게이트 전극에 제공되는 신호 SigA에 의해 스위칭이 제어된다.

[0201] 또한, 도 7의 (b)에서는 스위칭 소자(1141)가 트랜지스터를 하나만 갖는 구성을 도시하고 있지만, 특별히 한정되지 않고 트랜지스터를 복수 가져도 된다. 스위칭 소자(1141)가 스위칭 소자로서 기능하는 트랜지스터를 복수 갖고 있는 경우, 상기 복수의 트랜지스터는 병렬로 접속되어도 되고, 직렬로 접속되어도 되고, 직렬과 병렬이 조합되어 접속되어도 된다.

[0202] 또한, 도 7의 (b)에서는 스위칭 소자(1141)에 의해 기억 소자군(1143)이 갖는 각 기억 소자(1142)에의 하이 레벨의 전원 전위 VDD의 공급이 제어되어 있지만, 스위칭 소자(1141)에 의해 로우 레벨의 전원 전위 VSS의 공급이 제어되어도 된다.

[0203] 또한, 도 7의 (c)에는 기억 소자군(1143)이 갖는 각 기억 소자(1142)에 스위칭 소자(1141)를 통하여 로우 레벨의 전원 전위 VSS가 공급되고 있는 기억 장치의 일례를 도시한다. 스위칭 소자(1141)에 의해 기억 소자군

(1143)이 갖는 각 기억 소자(1142)에의 로우 레벨의 전원 전위 VSS의 공급을 제어할 수 있다.

[0204] 기억 소자군과, 전원 전위 VDD 또는 전원 전위 VSS가 제공되고 있는 노드간에 스위칭 소자를 설치하여, 일시적으로 CPU의 동작을 정지하여 전원 전압의 공급을 정지한 경우에 있어서도 데이터를 유지하는 것이 가능하고, 소비 전력의 저감을 행할 수 있다. 구체적으로는, 예를 들어 퍼스널 컴퓨터의 유저가 키보드 등의 입력 장치에의 정보의 입력을 정지하고 있는 사이에서도 CPU의 동작을 정지할 수 있고, 그에 의해 소비 전력을 저감할 수 있다.

[0205] 여기에서는 CPU를 예로 들어 설명하였지만, DSP(Digital Signal Processor), 커스텀 LSI, FPGA(Field Programmable Gate Array) 등의 LSI에도 응용 가능하다.

[0206] 본 실시 형태는 상기 실시 형태와 적절하게 조합하여 실시하는 것이 가능하다.

[0207] (실시 형태 6)

[0208] 본 실시 형태에서는 산화물 반도체를 채널 형성 영역에 사용한 트랜ジ스터를 사용하여 형성된 표시 장치의 예를 나타낸다. 표시 장치에 설치되는 표시 소자로서는 액정 소자(액정 표시 소자라고도 함), 발광 소자(발광 표시 소자라고도 함) 등을 사용할 수 있다. 발광 소자는 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있으며, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등을 포함한다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 표시 소자로서 적용할 수 있다. 본 실시 형태에서는 표시 장치의 일례로서 액정 표시 장치를 도 8의 (a) 내지 도 8의 (b)를 참조하여 설명한다.

[0209] 또한, 본 실시 형태에서의 표시 장치는, 표시 소자가 밀봉된 상태에 있는 패널과, 상기 패널에 컨트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다.

[0210] 또한, 본 실시 형태에서의 표시 장치는 화상 표시 디바이스, 표시 디바이스, 혹은 광원(조명 장치를 포함함)을 가리킨다. 또한, 커넥터, 예를 들어 FPC 혹은 TAB 테이프 혹은 TCP가 설치된 모듈, TAB 테이프나 TCP의 끝에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG 방식에 의해 IC(접착 회로)가 직접 실장된 모듈도 모두 표시 장치에 포함하는 것으로 한다.

[0211] 도 8의 (a)에 있어서, 제1 기판(201) 위에 설치된 화소부(202)와, 주사선 구동 회로(204)를 둘러싸도록 하여 시일재(205)가 설치되어 있다. 또한, 화소부(202)와 주사선 구동 회로(204) 위에 제2 기판(206)이 설치되어 있다. 따라서, 화소부(202)와 주사선 구동 회로(204)는 제1 기판(201)과 시일재(205)와 제2 기판(206)에 의해 액정 소자 등의 표시 소자와 함께 밀봉되어 있다. 도 8의 (a)에 있어서는, 제1 기판(201) 위의 시일재(205)에 의해 둘러싸여져 있는 영역과는 다른 영역에, 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로 형성된 신호선 구동 회로(203)가 실장되어 있다. 도 8의 (a)에 있어서는 신호선 구동 회로(203), 주사선 구동 회로(204) 및 화소부(202)에 제공되는 각종 신호 및 전위는 FPC(Flexible printed circuit)인 FPC(218)로부터 공급되고 있다.

[0212] 또한, 도 8의 (a)에 있어서는 주사선 구동 회로(204)를 제1 기판(201) 위에 설치하고, 또한 신호선 구동 회로(203)를 별도 설치하여 제1 기판(201)에 실장하고 있는 예를 도시하고 있지만, 이 구성에 한정되지 않는다. 주사선 구동 회로를 별도 설치하여 실장하여도 되고, 신호선 구동 회로의 일부 또는 주사선 구동 회로의 일부만을 별도 설치하여 실장하여도 된다.

[0213] 또한, 별도 설치한 구동 회로의 접속 방법은 특별히 한정되는 것이 아니며, COG(Chip On Glass)법, 와이어 본딩법 또는 TAB(Tape Automated Bonding)법 등을 이용하여도 된다. 도 8의 (a)는 COG법에 의해 신호선 구동 회로(203)를 실장하는 예이다.

[0214] 제1 기판 위에 설치된 화소부 및 주사선 구동 회로는 트랜ジ스터를 복수 갖고 있으며, 실시 형태 1에서 나타낸 트랜ジ스터를 적용할 수 있다.

[0215] 도 8의 (b)는 도 8의 (a)의 M-N에서의 단면도에 상당한다.

[0216] 제1 기판(201) 위에 설치된 화소부(202)와 주사선 구동 회로(204)는 트랜ジ스터를 복수 갖고 있으며, 도 8의 (b)에서는 화소부(202)에 포함되는 트랜ジ스터(210)와 주사선 구동 회로(204)에 포함되는 트랜ジ스터(211)를 예시하고 있다.

[0217] 본 실시 형태에서는 트랜ジ스터(210), 트랜ジ스터(211)로서 실시 형태 1에서 나타낸 트랜ジ스터를 적용할 수 있다. 따라서, 도 8의 (b)에 도시하는 본 실시 형태의 반도체 장치로서 신뢰성이 높은 반도체 장치를 제공할

수 있다.

[0218] 화소부(202)에 설치된 트랜지스터(210)는 표시 소자와 전기적으로 접속하여 표시 패널을 구성한다.

[0219] 표시 소자인 액정 소자(213)는 제1 전극(230), 제2 전극(231) 및 액정층(208)을 포함한다. 또한, 액정층(208)을 협지하도록 배향막으로서 기능하는 절연막(232) 및 절연막(233)이 설치되어 있다. 제2 전극(231)은 제2 기판(206)측에 설치되고, 제1 전극(230)과 제2 전극(231)은 액정층(208)을 개재하여 직충하는 구성으로 되어 있다.

[0220] 또한, 스페이서(235)는 절연막을 선택적으로 에칭함으로써 얻어지는 기둥 형상의 스페이서이며, 액정층(208)의 두께(셀 캡)를 제어하기 위하여 설치되어 있다. 또한, 구 형상의 스페이서를 사용하여도 된다.

[0221] 표시 소자로서 액정 소자를 사용하는 경우, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등을 사용한다. 이들 액정 재료는 조건에 따라 콜레스테릭상, 스메틱상, 큐빅상, 키랄 네마티ック상, 등방상 등을 나타낸다.

[0222] 또한, 액정 재료의 고유 저항률은 $1 \times 10^9 \Omega \cdot \text{cm}$ 이상이고, 바람직하게는 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상이고, 더욱 바람직하게는 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 또한, 본 명세서에서의 고유 저항률의 값은 20°C에서 측정한 값으로 한다.

[0223] 액정 표시 장치에 형성되는 유지 용량의 크기는, 화소부에 배치되는 트랜지스터의 누설 전류 등을 고려하여 소정의 기간 동안 전하를 유지할 수 있도록 설정된다. 산화물 반도체막을 갖는 트랜지스터를 사용함으로써, 각 화소에서의 액정 용량에 대하여 1/3 이하 또는 1/5 이하의 용량의 크기를 갖는 유지 용량을 형성하면 충분하다.

[0224] 도 8의 (b)에서 도시한 바와 같이, 반도체 장치는 접속 단자 전극(215) 및 단자 전극(216)을 갖고 있으며, 접속 단자 전극(215) 및 단자 전극(216)은 FPC(218)가 갖는 단자와 이방성 도전막(219)을 통하여 전기적으로 접속되어 있다. 또한, 단자 전극(216)의 하부에는 산화물 반도체막(217)이 설치되어 있다.

[0225] 접속 단자 전극(215)은 제1 전극(230)과 동일한 도전막으로 형성되고, 단자 전극(216)은 트랜지스터(210), 트랜지스터(211)의 소스 전극 및 드레인 전극과 동일한 도전막으로 형성되어 있다.

[0226] 본 실시 형태에서 사용하는 산화물 반도체막을 사용한 트랜지스터는 오프 전류를 작게 할 수 있다. 따라서, 화상 신호 등의 전기 신호의 유지 시간을 길게 할 수 있고, 전원 온 상태에서는 기입 간격도 길게 설정할 수 있다. 따라서, 리프레시 동작의 빈도를 적게 할 수 있기 때문에 소비 전력을 억제하는 효과를 발휘한다.

[0227] 또한, 본 실시 형태에서 사용하는 산화물 반도체막을 사용한 트랜지스터는, 비교적 높은 전계 효과 이동도가 얻어지기 때문에 고속 구동이 가능하다. 따라서, 액정 표시 장치의 화소부에 상기 트랜지스터를 사용함으로써 고화질의 화상을 제공할 수 있다. 또한, 상기 트랜지스터는 동일 기판 위에 구동 회로부 또는 화소부로 구분하여 제작할 수 있기 때문에, 액정 표시 장치의 부품 개수를 삭감할 수 있다.

[0228] 액정 표시 장치에는 액정의 구동 방법으로서 기판에 대하여 직교로 전압을 인가하는 세로 전계 방식, 기판에 대하여 평행하게 전압을 인가하는 가로 전계 방식이 있다. 이하에 액정의 동작 모드에 대하여 예를 들어 설명한다.

[0229] 우선 도 10의 (a1) 및 (a2)에 TN 모드의 액정 표시 장치의 화소 구성을 설명하는 단면 모식도를 도시한다.

[0230] 서로 대향하도록 배치된 제1 기판(3101) 및 제2 기판(3102)에 표시 소자를 갖는 층(3100)이 협지되어 있다. 또한, 제1 기판(3101)측에 제1 편광판(3103)이 형성되고, 제2 기판(3102)측에 제2 편광판(3104)이 형성되어 있다. 제1 편광판(3103)의 흡수축과 제2 편광판(3104)의 흡수축은 크로스니콜의 상태로 배치되어 있다.

[0231] 또한, 도시하지 않았지만, 백라이트 등은 제2 편광판(3104)의 외측에 배치된다. 제1 기판(3101) 및 제2 기판(3102) 위에는 각각 제1 전극(3108), 제2 전극(3109)이 설치되어 있다. 그리고, 백라이트와 반대측, 즉 시인 측의 전극인 제1 전극(3108)은 투광성을 갖도록 형성한다.

[0232] 이와 같은 구성을 갖는 액정 표시 장치에 있어서, 노멀 화이트 모드의 경우, 제1 전극(3108) 및 제2 전극(3109)에 전압이 인가(세로 전계 방식이라고 칭함)되면, 도 10의 (a1)에 도시한 바와 같이 액정 분자(3105)는 세로로 배열된 상태로 된다. 그러면, 백라이트로부터의 광은 제1 편광판(3103)을 통과할 수 없어 흑색 표시로 된다.

[0233] 그리고, 도 10의 (a2)에 도시한 바와 같이, 제1 전극(3108) 및 제2 전극(3109)의 사이에 전압이 인가되어 있

지 않을 때에는, 액정 분자(3105)는 가로로 배열되고 평면 내에서 비틀어져 있는 상태로 된다. 그 결과, 백라이트로부터의 광은 제1 편광판(3103)을 통과할 수 있어 백색 표시로 된다. 또한, 제1 전극(3108) 및 제2 전극(3109)에 인가하는 전압을 조절함으로써 계조를 표현할 수 있다. 이와 같이 하여 소정의 영상 표시가 행해진다.

[0234] 이때, 컬러 필터를 설치함으로써 풀컬러 표시를 행할 수 있다. 컬러 필터는 제1 기판(3101)측 또는 제2 기판(3102)측의 어느 쪽에 설치할 수도 있다.

[0235] TN 모드에 사용되는 액정 재료는 공지된 것을 사용하면 된다.

[0236] 도 10의 (b1) 및 (b2)에 VA 모드의 액정 표시 장치의 화소 구성을 설명하는 단면 모식도를 도시한다. VA 모드는 무전계 시에 액정 분자(3105)가 기판에 수직으로 되도록 배향되어 있는 모드이다.

[0237] 도 10의 (a1) 및 (a2)와 마찬가지로, 제1 기판(3101) 및 제2 기판(3102) 위에는 각각 제1 전극(3108), 제2 전극(3109)이 설치되어 있다. 그리고, 백라이트와 반대측, 즉 시인측의 전극인 제1 전극(3108)은 투광성을 갖도록 형성한다. 그리고, 제1 기판(3101)측에는 제1 편광판(3103)이 형성되고, 제2 기판(3102)측에 제2 편광판(3104)이 형성되어 있다. 또한, 제1 편광판(3103)의 흡수축과 제2 편광판(3104)의 흡수축은 크로스니콜의 상태로 배치되어 있다.

[0238] 이와 같은 구성을 갖는 액정 표시 장치에 있어서, 제1 전극(3108) 및 제2 전극(3109)에 전압이 인가되면(세로 전계 방식), 도 10의 (b1)에 도시한 바와 같이 액정 분자(3105)는 가로로 배열된 상태로 된다. 그러면, 백라이트로부터의 광은 제1 편광판(3103)을 통과할 수 있어 백색 표시로 된다.

[0239] 그리고, 도 10의 (b2)에 도시한 바와 같이, 제1 전극(3108) 및 제2 전극(3109)의 사이에 전압이 인가되어 있지 않을 때에는 액정 분자(3105)는 세로로 배열된 상태로 된다. 그 결과, 제2 편광판(3104)에 의해 편광된 백라이트로부터의 광은 액정 분자(3105)의 복굴절의 영향을 받지 않고 셀 내를 통과한다. 그러면, 편광된 백라이트로부터의 광은 제1 편광판(3103)을 통과할 수 없어 흑색 표시로 된다. 또한, 제1 전극(3108) 및 제2 전극(3109)에 인가하는 전압을 조절함으로써 계조를 표현할 수 있다. 이와 같이 하여 소정의 영상 표시가 행해진다.

[0240] 이때, 컬러 필터를 설치함으로써 풀컬러 표시를 행할 수 있다. 컬러 필터는 제1 기판(3101)측 또는 제2 기판(3102)측의 어느 쪽에 설치할 수도 있다.

[0241] 도 10의 (c1) 및 (c2)에 MVA 모드의 액정 표시 장치의 화소 구성을 설명하는 단면 모식도를 도시한다. MVA 모드는 하나의 화소를 복수로 분할하고, 각각의 부분의 배향 방향을 상이하게 하여 시야각 의존성을 서로 보상하는 방법이다. 도 10의 (c1)에 도시한 바와 같이, MVA 모드에서는 제1 전극(3108) 및 제2 전극(3109) 위에 배향 제어용으로 단면이 삼각인 돌기물(3158 및 3159)이 설치되어 있다. 또한, 다른 구성은 VA 모드와 동등하다.

[0242] 제1 전극(3108) 및 제2 전극(3109)에 전압이 인가되면(세로 전계 방식), 도 10의 (c1)에 도시한 바와 같이 액정 분자(3105)는 돌기물(3158 및 3159)의 면에 대하여 액정 분자(3105)의 장축이 대략 수직으로 되도록 배향된다. 그러면, 백라이트로부터의 광은 제1 편광판(3103)을 통과할 수 있어 백색 표시로 된다.

[0243] 그리고, 도 10의 (c2)에 도시한 바와 같이, 제1 전극(3108) 및 제2 전극(3109)의 사이에 전압이 인가되어 있지 않을 때에는 액정 분자(3105)는 세로로 배열된 상태로 된다. 그 결과, 백라이트로부터의 광은 제1 편광판(3103)을 통과할 수 없어 흑색 표시로 된다. 또한, 제1 전극(3108) 및 제2 전극(3109)에 인가하는 전압을 조절함으로써 계조를 표현할 수 있다. 이와 같이 하여 소정의 영상 표시가 행해진다.

[0244] 이때, 컬러 필터를 설치함으로써 풀컬러 표시를 행할 수 있다. 컬러 필터는 제1 기판(3101)측 또는 제2 기판(3102)측의 어느 쪽에 설치할 수도 있다.

[0245] MVA 모드의 다른 예를 상면도 및 단면도로서 도 13의 (a) 내지 도 13의 (b)에 도시한다. 도 13의 (a)에 도시한 바와 같이 제2 전극(3109a), 제2 전극(3109b) 및 제2 전극(3109c)은 <자와 같이 굽곡된 패턴으로 형성되어 있다. 도 13의 (b)에 도시한 바와 같이, 제2 전극(3109a, 3109b, 3109c) 위 및 제1 전극(3108) 위에 배향막인 절연막(3162) 및 절연막(3163)이 각각 형성되어 있다. 제1 전극(3108) 위에는 돌기물(3158)이 제2 전극(3109b)과 중첩하도록 형성되어 있다.

[0246] 도 11의 (a1) 및 (a2)에 OCB 모드의 액정 표시 장치의 화소 구성을 설명하는 단면 모식도를 도시한다. OCB 모드는 액정층 내에서 액정 분자(3105)가 시야각 의존성을 보상하도록 배향되어 있고, 이것은 벤드 배향이라

고 불린다.

[0247] 도 10의 (a1), (a2), (b1), (b2), (c1), (c2)와 마찬가지로 제1 기판(3101) 및 제2 기판(3102) 위에는 각각 제1 전극(3108), 제2 전극(3109)이 설치되어 있다. 그리고, 백라이트와 반대측, 즉 시인측의 전극인 제1 전극(3108)은 투광성을 갖도록 형성한다. 그리고, 제1 기판(3101)측에는 제1 편광판(3103)이 형성되고, 제2 기판(3102)측에 제2 편광판(3104)이 형성되어 있다. 또한, 제1 편광판(3103)의 흡수축과 제2 편광판(3104)의 흡수축은 크로스니콜의 상태로 배치되어 있다.

[0248] 이와 같은 구성을 갖는 액정 표시 장치에 있어서, 제1 전극(3108) 및 제2 전극(3109)에 전압이 인가되면(세로 전계 방식) 흑색 표시가 행해진다. 이때 액정 분자(3105)는 도 11의 (a1)에 도시한 바와 같이 세로로 배열된 상태로 된다. 그러면, 백라이트로부터의 광은 제1 편광판(3103)을 통과할 수 없어 흑색 표시로 된다.

[0249] 그리고, 도 11의 (a2)에 도시한 바와 같이, 제1 전극(3108) 및 제2 전극(3109)의 사이에 전압이 인가되어 있지 않을 때에는 액정 분자(3105)는 벤드 배향의 상태로 된다. 그 결과, 백라이트로부터의 광은 제1 편광판(3103)을 통과할 수 있어 백색 표시로 된다. 또한, 제1 전극(3108) 및 제2 전극(3109)에 인가하는 전압을 조절함으로써 계조를 표현할 수 있다. 이와 같이 하여 소정의 영상 표시가 행해진다.

[0250] 이때, 컬러 필터를 설치함으로써 풀컬러 표시를 행할 수 있다. 컬러 필터는 제1 기판(3101)측 또는 제2 기판(3102)측의 어느 쪽에 설치할 수도 있다.

[0251] 이러한 OCB 모드에서는 액정층 내에서 액정 분자(3105)의 배열에 의해 시야각 의존성을 보상할 수 있다. 또한, 한 쌍의 적층된 편광자를 포함하는 층에 의해 콘트라스트비를 높일 수 있다.

[0252] 도 11의 (b1) 및 (b2)에 FLC 모드 및 AFLC 모드의 액정 표시 장치의 화소 구성을 설명하는 단면 모식도를 도시한다.

[0253] 도 10의 (a1), (a2), (b1), (b2), (c1), (c2)와 마찬가지로 제1 기판(3101) 및 제2 기판(3102) 위에는 각각 제1 전극(3108), 제2 전극(3109)이 설치되어 있다. 그리고, 백라이트와 반대측, 즉 시인측의 전극인 제1 전극(3108)은 투광성을 갖도록 형성한다. 그리고, 제1 기판(3101)측에는 제1 편광판(3103)이 형성되고, 제2 기판(3102)측에 제2 편광판(3104)이 형성되어 있다. 또한, 제1 편광판(3103)의 흡수축과 제2 편광판(3104)의 흡수축은 크로스니콜의 상태로 배치되어 있다.

[0254] 이와 같은 구성을 갖는 액정 표시 장치에 있어서, 제1 전극(3108) 및 제2 전극(3109)에 전압이 인가(세로 전계 방식이라고 칭함)되면, 액정 분자(3105)는 러빙 방향으로부터 어긋난 방향에서 가로로 배열되어 있는 상태로 된다. 그 결과, 백라이트로부터의 광은 제1 편광판(3103)을 통과할 수 있어 백색 표시로 된다.

[0255] 그리고, 도 11의 (b2)에 도시한 바와 같이, 제1 전극(3108) 및 제2 전극(3109)의 사이에 전압이 인가되어 있지 않을 때에는 액정 분자(3105)는 러빙 방향을 따라 가로로 배열된 상태로 된다. 그러면, 백라이트로부터의 광은 제1 편광판(3103)을 통과할 수 없어 흑색 표시로 된다. 또한, 제1 전극(3108) 및 제2 전극(3109)에 인가하는 전압을 조절함으로써 계조를 표현할 수 있다. 이와 같이 하여 소정의 영상 표시가 행해진다.

[0256] 이때, 컬러 필터를 설치함으로써 풀컬러 표시를 행할 수 있다. 컬러 필터는 제1 기판(3101)측 또는 제2 기판(3102)측의 어느 쪽에 설치할 수도 있다.

[0257] FLC 모드 및 AFLC 모드에 사용되는 액정 재료는 공지된 것을 사용하면 된다.

[0258] 도 12의 (a1) 및 (a2)에 IPS 모드의 액정 표시 장치의 화소 구성을 설명하는 단면 모식도를 도시한다. IPS 모드는 한쪽의 기판측에만 설치한 전극의 가로 전계에 의해 액정 분자(3105)를 기판에 대하여 평면 내에서 회전시키는 모드이다.

[0259] IPS 모드는 한쪽의 기판에 설치된 한 쌍의 전극에 의해 액정을 제어하는 것을 특징으로 한다. 그로 인해, 제2 기판(3102) 위에 한 쌍의 전극(3150), 전극(3151)이 설치되어 있다. 한 쌍의 전극(3150), 전극(3151)은 각각 투광성을 가지면 된다. 그리고, 제1 기판(3101)측에는 제1 편광판(3103)이 형성되고, 제2 기판(3102)측에 제2 편광판(3104)이 형성되어 있다. 또한, 제1 편광판(3103)의 흡수축과 제2 편광판(3104)의 흡수축은 크로스니콜의 상태로 배치되어 있다.

[0260] 이와 같은 구성을 갖는 액정 표시 장치에 있어서, 한 쌍의 전극(3150), 전극(3151)에 전압이 인가되면, 도 12의 (a1)에 도시한 바와 같이 액정 분자(3105)는 러빙 방향으로부터 어긋난 전기력선을 따라 배향된다. 그러면, 백라이트로부터의 광은 제1 편광판(3103)을 통과할 수 있어 백색 표시로 된다.

- [0261] 그리고, 도 12의 (a2)에 도시한 바와 같이, 한 쌍의 전극(3150), 전극(3151)의 사이에 전압이 인가되어 있지 않을 때, 액정 분자(3105)는 러빙 방향을 따라 가로로 배열된 상태로 된다. 그 결과, 백라이트로부터의 광은 제1 편광판(3103)을 통과할 수 없어 흑색 표시로 된다. 또한, 한 쌍의 전극(3150), 전극(3151)의 사이에 인가하는 전압을 조절함으로써 계조를 표현할 수 있다. 이와 같이 하여 소정의 영상 표시가 행해진다.
- [0262] 이때, 컬러 필터를 설치함으로써 풀컬러 표시를 행할 수 있다. 컬러 필터는 제1 기판(3101)측 또는 제2 기판(3102)측의 어느 쪽에 설치할 수도 있다.
- [0263] IPS 모드에서 사용할 수 있는 한 쌍의 전극(3150 및 3151)의 예를 도 14의 (a) 내지 도 14의 (c)에 도시한다. 도 14의 (a) 내지 도 14의 (c)의 상면도에 도시한 바와 같이, 한 쌍의 전극(3150 및 3151)이 엇갈려지도록 형성되어 있으며, 도 14의 (a)에서는 전극(3150a) 및 전극(3151a)은 굴곡을 갖는 물결 형상이고, 도 14의 (b)에서는 전극(3150b) 및 전극(3151b)은 빗살 모양이며 일부 겹쳐 있는 형상이고, 도 14의 (c)에서는 전극(3150c) 및 전극(3151c)은 빗살 모양이며 전극끼리 맞물리는 형상이다.
- [0264] 도 12의 (b1) 및 (b2)에 FFS 모드의 액정 표시 장치의 화소 구성을 설명하는 단면 모식도를 도시한다. FFS 모드는 IPS 모드와 동일한 가로 전계 방식이지만, 도 12의 (b1) 및 (b2)에 도시한 바와 같이 전극(3150) 위에 절연막을 개재하여 전극(3151)이 형성되는 구조이다.
- [0265] 한 쌍의 전극(3150), 전극(3151)은 각각 투광성을 가지면 된다. 그리고, 제1 기판(3101)측에는 제1 편광판(3103)이 형성되고, 제2 기판(3102)측에 제2 편광판(3104)이 형성되어 있다. 또한, 제1 편광판(3103)의 흡수축과 제2 편광판(3104)의 흡수축은 크로스니콜의 상태로 배치되어 있다.
- [0266] 이와 같은 구성을 갖는 액정 표시 장치에 있어서, 한 쌍의 전극(3150), 전극(3151)에 전압이 인가되면, 도 12의 (b1)에 도시한 바와 같이 액정 분자(3105)는 러빙 방향으로부터 어긋난 전기력선을 따라 배향된다. 그러면, 백라이트로부터의 광은 제1 편광판(3103)을 통과할 수 있어 백색 표시로 된다.
- [0267] 그리고, 도 12의 (b2)에 도시한 바와 같이, 한 쌍의 전극(3150), 전극(3151)의 사이에 전압이 인가되어 있지 않을 때, 액정 분자(3105)는 러빙 방향을 따라 가로로 배열된 상태로 된다. 그 결과, 백라이트로부터의 광은 제1 편광판(3103)을 통과할 수 없어 흑색 표시로 된다. 또한, 한 쌍의 전극(3150), 전극(3151)의 사이에 인가하는 전압을 조절함으로써 계조를 표현할 수 있다. 이와 같이 하여 소정의 영상 표시가 행해진다.
- [0268] 이때, 컬러 필터를 설치함으로써 풀컬러 표시를 행할 수 있다. 컬러 필터는 제1 기판(3101)측 또는 제2 기판(3102)측의 어느 쪽에 설치할 수도 있다.
- [0269] FFS 모드에서 사용할 수 있는 한 쌍의 전극(3150 및 3151)의 예를 도 15의 (a) 내지 도 15의 (c)에 도시한다. 도 15의 (a) 내지 도 15의 (c)의 상면도에 도시한 바와 같이, 전극(3150) 위에 여러가지 패턴으로 형성된 전극(3151)이 형성되어 있으며, 도 15의 (a)에서는 전극(3150a) 위의 전극(3151a)은 굴곡된 <자 형상이고, 도 15의 (b)에서는 전극(3150b) 위의 전극(3151b)은 빗살 모양이며 전극끼리 맞물리는 형상이고, 도 15의 (c)에서는 전극(3150c) 위의 전극(3151c)은 빗살 모양의 형상이다.
- [0270] IPS 모드 및 FFS 모드에 사용되는 액정 재료는 공지된 것을 사용하면 된다. 또는 블루상을 나타내는 액정을 사용하여도 된다.
- [0271] 또한, 이들 이외에도 PVA 모드, ASM 모드, TBA 모드 등의 동작 모드를 적용하는 것이 가능하다.
- [0272] 표시 장치에 있어서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 반사 방지 부재 등의 광학 부재(광학 기판) 등은 적절하게 설치한다. 예를 들어, 편광 기판 및 위상차 기판에 의한 원 편광을 사용하여도 된다. 또한, 광원으로서 백라이트, 사이드라이트 등을 사용하여도 된다.
- [0273] 또한, 백라이트로서 복수의 발광 다이오드(LED)를 사용하여 시간 분할 표시 방식(필드 시퀀셜 구동 방식)을 행하는 것도 가능하다. 필드 시퀀셜 구동 방식을 적용함으로써 컬러 필터를 사용하지 않고 컬러 표시를 행할 수 있다.
- [0274] 상술한 바와 같이, 화소부에서의 표시 방식은 프로그래시브 방식이나 인터레이스 방식 등을 이용한다. 또한, 컬러 표시할 때에 화소로 제어하는 색 요소로서는 RGB(R은 적색, G는 녹색, B는 청색을 표시함)의 3색에 한정되지 않는다. 예를 들어, RGBW(W는 백색을 표시함) 또는 RGB에 엘로우, 시안, 마젠타 등을 1색 이상 추가한 것이 있다. 또한, 색 요소의 도트마다 그 표시 영역의 크기가 상이하여도 된다. 단, 본 발명은 컬러 표시의 표시 장치에 한정되는 것이 아니며, 모노크롬 표시의 표시 장치에 적용할 수도 있다.

- [0275] 또한, 표시 장치에 포함되는 표시 소자로서 일렉트로 루미네센스를 이용하는 발광 소자를 적용하여도 된다. 일렉트로 루미네센스를 이용하는 발광 소자는 발광 재료가 유기 화합물인지 무기 화합물인지에 의해 구별되며, 일반적으로 전자는 유기 EL 소자, 후자는 무기 EL 소자라고 불리고 있다.
- [0276] 유기 EL 소자는 발광 소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어 전류가 흐른다. 그리고, 이를 캐리어(전자 및 정공)가 재결합함으로써 발광한다. 이러한 메커니즘으로부터, 이러한 발광 소자는 전류 여기형의 발광 소자라고 불린다.
- [0277] 무기 EL 소자는, 그 소자 구성에 의해 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것이며, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는 발광층을 유전체층 사이에 끼워 넣고, 또한 그것을 전극 사이에 끼운 구조이며, 발광 메커니즘은 금속 이온의 내각 전자 천이를 이용하는 국재형 발광이다. 또한, 여기에서는 발광 소자로서 유기 EL 소자를 사용하여 설명한다.
- [0278] 발광 소자는 광을 취출하기 위하여 적어도 한 쌍의 전극 중 한쪽이 투명하면 된다. 그리고, 기판 위에 트랜지스터 및 발광 소자를 제작하고, 기판과는 반대측의 면으로부터 광을 취출하는 상면 사출이나, 기판측의 면으로부터 광을 취출하는 하면 사출이나, 기판측 및 기판과는 반대측의 면으로부터 광을 취출하는 양면 사출 구조의 발광 소자가 있으며, 어느 사출 구조의 발광 소자를 적용하여도 된다.
- [0279] 도 8의 (b)에 있어서, 제1 기판(201), 제2 기판(206)으로서는 가요성을 갖는 기판을 사용하여도 되며, 예를 들어 투광성을 갖는 플라스틱 기판 등을 사용한다. 플라스틱으로서는 FRP(Fiberglass-Reinforced Plastics)판, PVF(폴리비닐플루오라이드) 필름, 폴리에스테르 필름 또는 아크릴 수지 필름을 사용한다. 또한, 알루미늄 호일을 PVF 필름이나 폴리에스테르 필름 사이에 끼운 구조의 시트를 사용하여도 된다.
- [0280] 도 8의 (b)의 표시 장치는 광원으로부터의 광을 투과시켜 표시를 행한다. 따라서, 광이 투과하는 화소부에 설치되는 기판, 절연막, 도전막 등의 박막은 모두 가시광에 대하여 투광성으로 한다.
- [0281] 제1 전극(230), 제2 전극(231)에는 산화텅스텐을 포함하는 인듐 산화물, 산화텅스텐을 포함하는 인듐 아연 산화물, 산화티타늄을 포함하는 인듐 산화물, 산화티타늄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO라고 나타냄), 인듐 아연 산화물, 산화규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용한다.
- [0282] 또한, 제1 전극(230), 제2 전극(231)으로서 도전성 고분자(도전성 중합체라고도 함)를 포함하는 도전성 조성물을 사용한다.
- [0283] 도전성 고분자로서는, 소위 π 전자 공액계 도전성 고분자를 사용하여도 된다. 예를 들어, 폴리아닐린 또는 그의 유도체, 폴리페롤 또는 그의 유도체, 폴리티오펜 또는 그의 유도체, 혹은 아닐린, 피롤 및 티오펜 중 2종 이상으로 이루어지는 공중합체 혹은 그의 유도체 등을 들 수 있다.
- [0284] 또한, 제1 전극(230), 제2 전극(231)은 가시광에 대하여 투광성을 가지면, 도전막(108)과 마찬가지의 도전막을 사용하여도 된다. 또한, 가시광에 대하여 투광성을 가지면, 트랜지스터(210)의 게이트 전극과 동일 층 내지 동일 재료를 사용하여도 된다.
- [0285] 또한, 트랜지스터는 정전기 등에 의해 파괴되기 쉽기 때문에, 구동 회로로 보호용의 보호 회로를 설치하는 것이 바람직하다. 보호 회로는 비선형 소자를 사용하여 구성하는 것이 바람직하다.
- [0286] 보호 회로에 적용 가능한 회로의 일례를 도 9의 (a)에 도시한다. 보호 회로(997)는 n채널형의 트랜지스터(970a) 및 트랜지스터(970b)에 의해 구성되어 있고, 각각 다이오드와 마찬가지의 특성을 나타내도록 게이트 단자가 드레인 단자와 접속되어 있다. 또한, 트랜지스터(970a) 및 트랜지스터(970b)로서 실시 형태 1에서 나타낸 트랜지스터를 사용하여도 된다.
- [0287] 트랜지스터(970a)의 제1 단자(게이트)와 제3 단자(드레인)는 제1 배선(945)에 접속되고, 제2 단자(소스)는 제2 배선(960)에 접속되어 있다. 또한, 트랜지스터(970b)의 제1 단자(게이트)와 제3 단자(드레인)는 제2 배선(960)에 접속되고, 제2 단자(소스)는 제1 배선(945)에 접속되어 있다. 즉, 도 9의 (a)에서 도시하는 보호 회로는 2개의 트랜지스터의 각각이 정류 방향을 역방향으로 하여 제1 배선(945)과 제2 배선(960)을 접속하는 구성을 구비하고 있다. 바꾸어 말하면, 정류 방향이 제1 배선(945)으로부터 제2 배선(960)을 향하는 트랜지스터와, 정류 방향이 제2 배선(960)으로부터 제1 배선(945)을 향하는 트랜지스터를, 제1 배선(945)과 제2 배선(960)의 사이에 갖는 구성이다.

- [0288] 상기의 보호 회로는 제2 배선(960)이 정전기 등에 의해 플러스 또는 마이너스로 대전된 경우, 그 전하를 상쇄하는 방향으로 전류가 흐른다. 예를 들어, 제2 배선(960)이 플러스로 대전된 경우에는, 양전하를 제1 배선(945)으로 풀어주는 방향으로 전류가 흐른다. 이 동작에 의해 대전된 제2 배선(960)에 접속되어 있는 회로나 소자의 정전 파괴 또는 오동작을 방지할 수 있다. 또한, 대전된 제2 배선(960)과 다른 배선이 절연막을 개재하여 교차하는 구성에 있어서, 상기 절연막이 절연 파괴되는 현상을 방지할 수 있다.
- [0289] 또한, 보호 회로는 상기 구성에 한정되지 않는다. 예를 들어, 정류 방향이 제1 배선(945)으로부터 제2 배선(960)을 향하는 복수의 트랜ジ스터와, 정류 방향이 제2 배선(960)으로부터 제1 배선(945)을 향하는 복수의 트랜ジ스터를 갖는 구성이어야 된다. 또한, 홀수개의 트랜ジ스터를 사용하여 보호 회로를 구성할 수도 있다.
- [0290] 도 9의 (a)에 예시한 보호 회로는 여러가지 용도에 적용할 수 있다. 예를 들어, 제1 배선(945)을 표시 장치의 공통 배선으로 하고, 제2 배선(960)을 복수의 신호선 중 하나로 하고, 그 사이에 당해 보호 회로를 적용할 수 있다. 보호 회로가 설치된 신호선에 접속된 화소 트랜ジ스터는, 배선의 대전에 의한 정전 파괴나 임계값 전압의 시프트 등의 문제로부터 보호된다. 상기 보호 회로는 표시 장치의 다른 부위에도 적용할 수 있는 것은 물론이며, 다른 용도, 예를 들어 반도체 기억 장치, CPU 등에도 사용할 수 있다.
- [0291] 이어서, 기판 위에 보호 회로(997)를 구성하는 예를 설명한다. 보호 회로(997)의 상면도의 일례를 도 9의 (b)에 도시한다.
- [0292] 트랜지스터(970a)는 게이트 전극(911a)을 갖고, 게이트 전극(911a)은 제1 배선(945)과 접속되어 있다. 트랜지스터(970a)의 소스 전극은 제2 배선(960)과 접속되고, 드레인 전극은 제1 전극(915a)을 통하여 제1 배선(945)과 접속되어 있다. 또한, 트랜지스터(970a)는 소스 전극과 드레인 전극의 사이에 게이트 전극(911a)과 중첩하는 반도체막(913)을 구비한다.
- [0293] 트랜지스터(970b)는 게이트 전극(911b)을 갖고, 게이트 전극(911b)은 콘택트 홀(925b)을 통하여 제2 배선(960)과 접속되어 있다. 트랜지스터(970b)의 드레인 전극은 제2 배선(960)과 접속되고, 소스 전극은 제1 전극(915a)과 콘택트 홀(925a)을 통하여 제1 배선(945)과 접속되어 있다. 또한, 트랜지스터(970b)는 소스 전극과 드레인 전극의 사이에 게이트 전극(911b)과 중첩하는 반도체막(914)을 구비한다.
- [0294] 이상과 같이 실시 형태 1에서 예시한 트랜지스터를 적용함으로써, 소비 전력이 작으면서 신뢰성이 높은 반도체 장치를 제공할 수 있다. 또한, 실시 형태 1에서 예시한 트랜지스터는 상술한 표시 기능을 갖는 반도체 장치뿐만 아니라, 전원 회로에 탑재되는 파워 디바이스, LSI 등의 반도체 집적 회로, 대상물의 정보를 판독하는 이미지 센서 기능을 갖는 반도체 장치 등 여러가지 기능을 갖는 반도체 장치에 적용하는 것이 가능하다.
- [0295] 또한, 트랜지스터를 통한 전하의 방출을 억제할 수 있기 때문에, 움직임이 적은 화상(정지 화상을 포함함)에서는 표시의 재기입 주파수를 저감할 수 있어, 표시 장치의 한층 더한 소비 전력의 저감이 가능하게 된다.
- [0296] 이상과 같이, 본 발명의 일 형태에 의해 표시 품위가 높으면서 신뢰성이 높고, 소비 전력이 작은 액정 표시 장치를 얻을 수 있다.
- [0297] 본 실시 형태는 다른 실시 형태와 적절하게 조합하여 사용할 수 있다.
- [0298] (실시 형태 7)
- [0299] 본 실시 형태에서는 실시 형태 1을 적용한 전자 기기의 예에 대하여 설명한다.
- [0300] 도 16의 (a)는 휴대 정보 단말기이다. 하우징(300), 버튼(301), 마이크로폰(302), 표시부(303), 스피커(304), 카메라(305)를 구비하고, 휴대형 전화기로서의 기능을 갖는다. 본 발명의 일 형태는 표시부(303) 및 카메라(305)에 적용할 수 있다. 또한, 도시하지 않았지만, 본체 내부에 있는 CPU, 무선 회로 또는 기억 회로에 본 발명의 일 형태를 적용할 수도 있다.
- [0301] 도 16의 (b)는 디스플레이이다. 하우징(310)과 표시부(311)를 구비한다. 본 발명의 일 형태는 표시부(311)에 적용할 수 있다. 본 발명의 일 형태를 사용함으로써 표시부(311)의 크기를 크게 하였을 때에도 표시 품위가 높은 디스플레이로 할 수 있다.
- [0302] 도 16의 (c)는 디지털 스틸 카메라이다. 하우징(320), 버튼(321), 마이크로폰(322), 표시부(323)를 구비한다. 본 발명의 일 형태는 표시부(323)에 적용할 수 있다. 또한, 도시하지 않았지만, 본체 내부에 있는 기억 회로 또는 이미지 센서에 본 발명의 일 형태를 적용할 수도 있다.
- [0303] 본 발명의 일 형태를 사용함으로써 전자 기기의 비용을 낮출 수 있다. 또한, 표시 품위가 높은 표시 장치를

얻을 수 있다.

[0304] 본 실시 형태는 다른 실시 형태와 적절하게 조합하여 사용할 수 있다.

부호의 설명

[0305] 100: 기판

102: 하지 절연막

104: 게이트 전극

106: 제1 산화물 반도체막

108: 도전막

112: 게이트 절연막

116: 제2 산화물 반도체막

118: 드레인 전극

122: 층간 절연막

126: 산화물 반도체막

136: 제1 영역

146: 제2 영역

201: 제1 기판

202: 화소부

203: 신호선 구동 회로

204: 주사선 구동 회로

205: 시일재

206: 제2 기판

208: 액정층

210: 트랜지스터

211: 트랜지스터

213: 액정 소자

215: 접속 단자 전극

216: 단자 전극

217: 산화물 반도체막

218: FPC

219: 이방성 도전막

230: 제1 전극

231: 제2 전극

232: 절연막

233: 절연막

235: 스페이서

300: 하우징

- 301: 버튼
 302: 마이크로폰
 303: 표시부
 304: 스피커
 305: 카메라
 310: 하우징
 311: 표시부
 320: 하우징
 321: 버튼
 322: 마이크로폰
 323: 표시부
 911a: 게이트 전극
 911b: 게이트 전극
 913: 반도체막
 914: 반도체막
 915a: 제1 전극
 925a: 콘택트 홀
 925b: 콘택트 홀
 945: 배선
 960: 배선
 970a: 트랜지스터
 970b: 트랜지스터
 997: 보호 회로
 1100: 메모리 셀
 1110: 메모리 셀 어레이
 1111: 구동 회로
 1112: 회로
 1113: 구동 회로
 1120: 메모리 셀 어레이
 1130: 메모리 셀
 1131: 트랜지스터
 1132: 용량 소자
 1140: 메모리 셀 어레이
 1141: 스위칭 소자
 1142: 기억 소자
 1143: 기억 소자군

1150: 메모리 셀

1151: 트랜지스터

1152: 트랜지스터

1153: 트랜지스터

1154: 트랜지스터

1155: 트랜지스터

1156: 트랜지스터

1160: 트랜지스터

1161: 트랜지스터

1162: 트랜지스터

1163: 트랜지스터

1164: 트랜지스터

1170: 메모리 셀

1171: 트랜지스터

1172: 트랜지스터

1173: 용량 소자

1180: 메모리 셀

1181: 트랜지스터

1182: 트랜지스터

1183: 용량 소자

1189: ROM 인터페이스

1190: 기판

1191: ALU

1192: ALU 컨트롤러

1193: 인스트럭션 디코더

1194: 인터럽트 컨트롤러

1195: 타이밍 컨트롤러

1196: 레지스터

1197: 레지스터 컨트롤러

1198: 버스 인터페이스

1199: ROM

3100: 표시 소자를 갖는 총

3101: 제1 기판

3102: 제2 기판

3103: 제1 편광판

3104: 제2 편광판

3105: 액정 분자

3108: 제1 전극

3109: 제2 전극

3109a: 제2 전극

3109b: 제2 전극

3109c: 제2 전극

3150: 전극

3150a: 전극

3150b: 전극

3150c: 전극

3151a: 전극

3151b: 전극

3151c: 전극

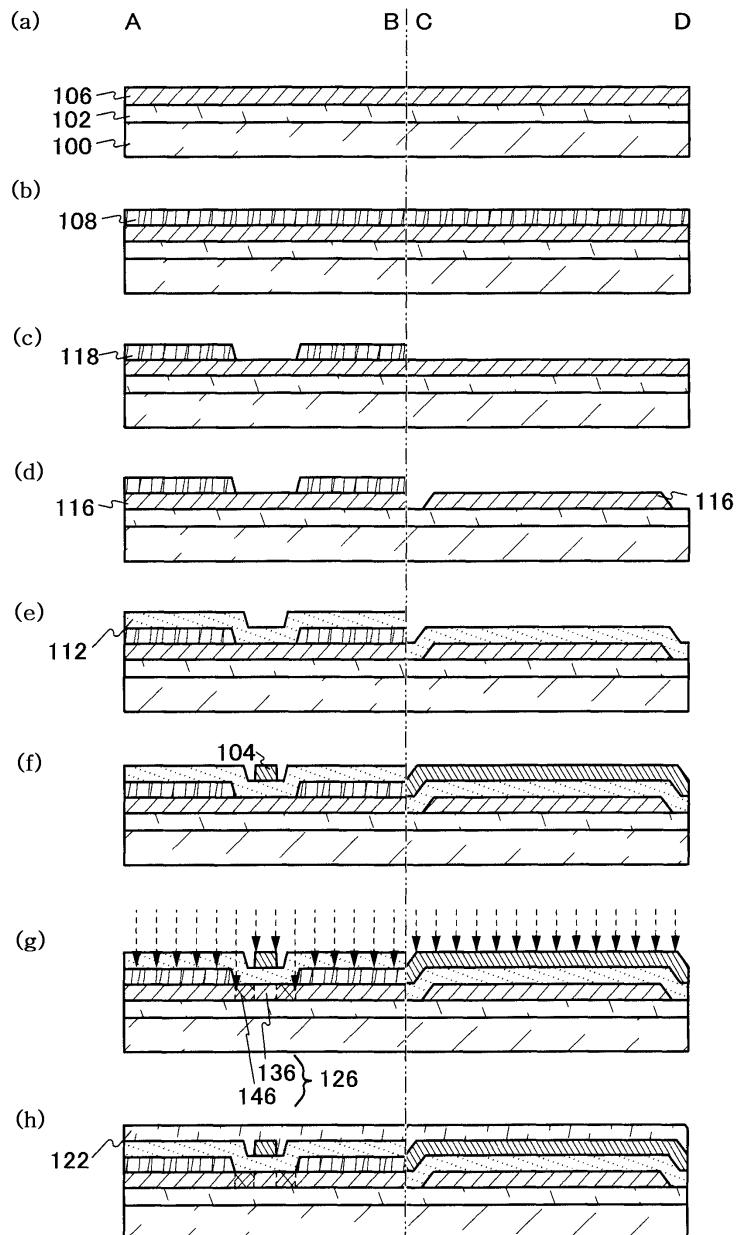
3151: 전극

3158: 돌기물

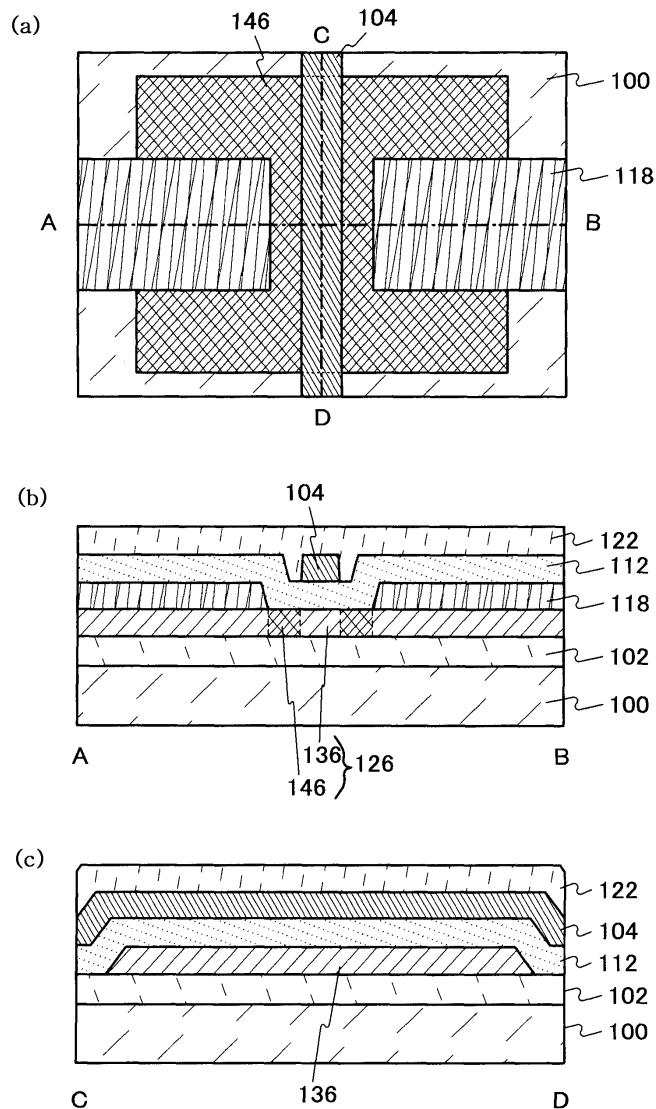
3162: 절연막

도면

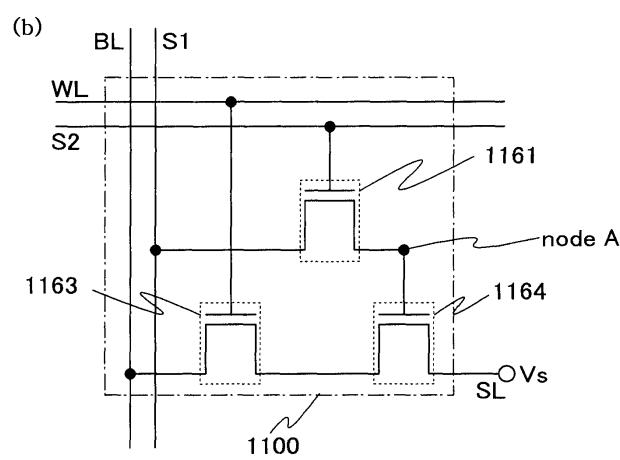
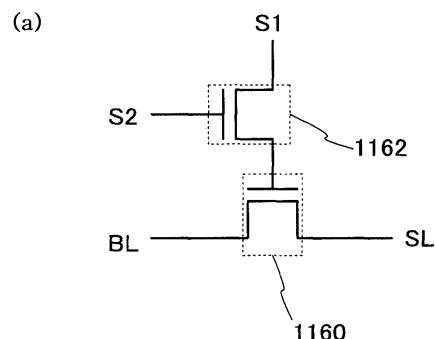
도면1



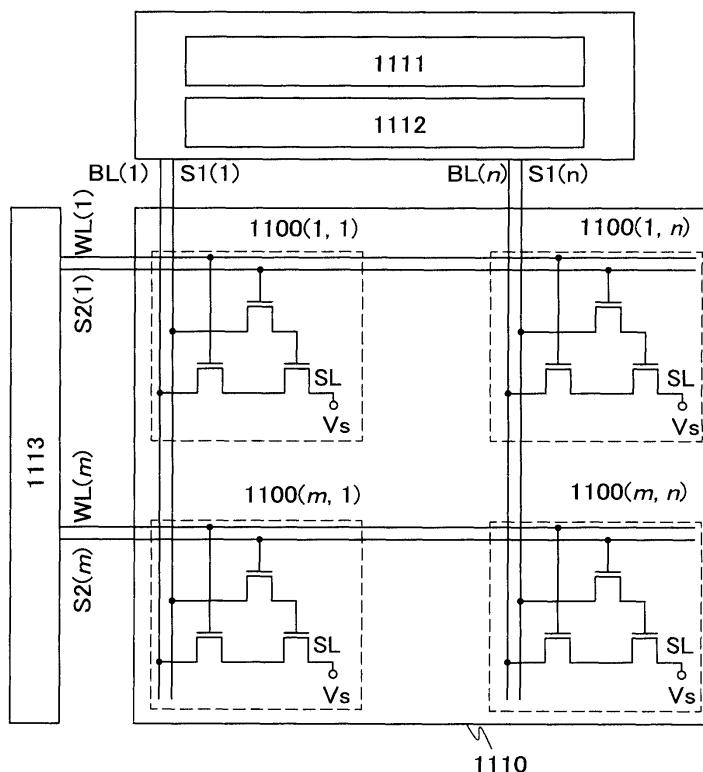
도면2



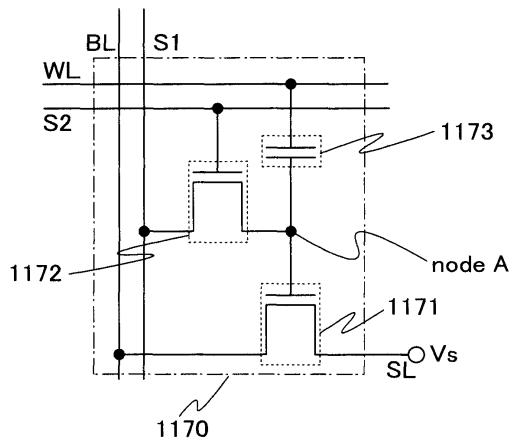
도면3



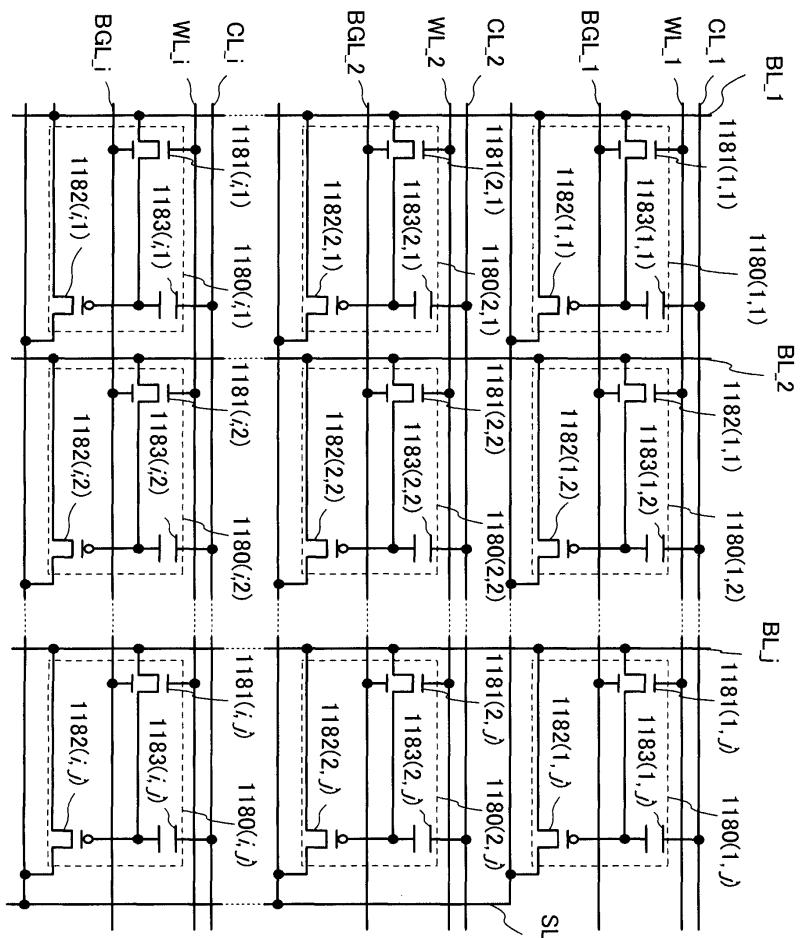
도면4



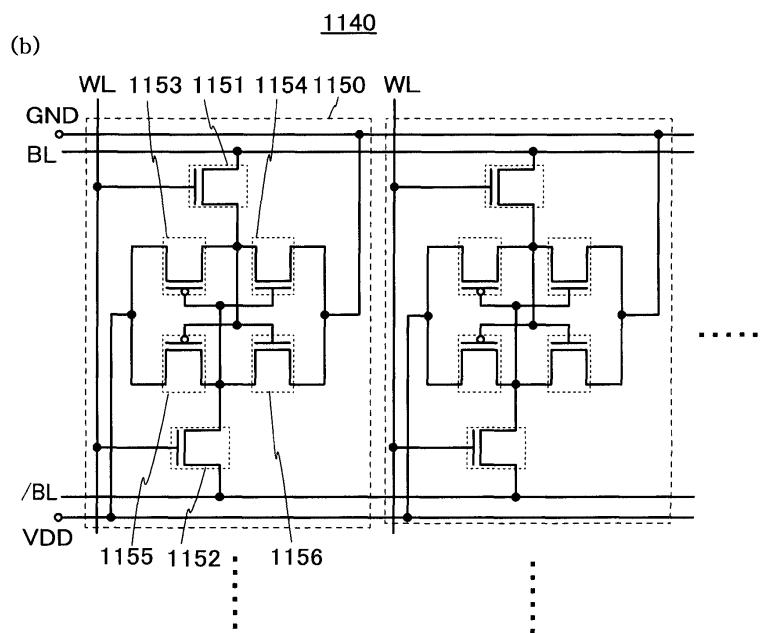
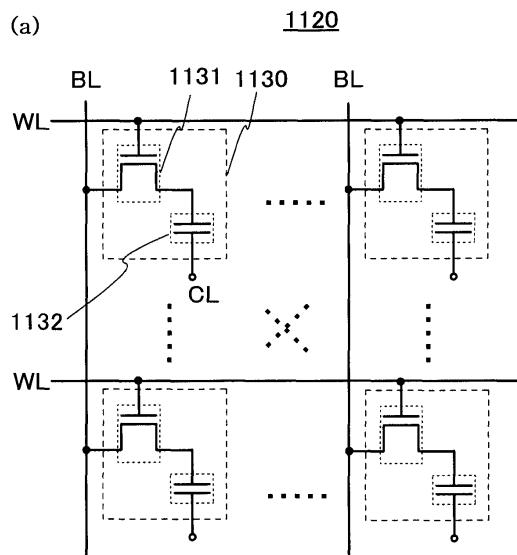
도면5a



도면5b

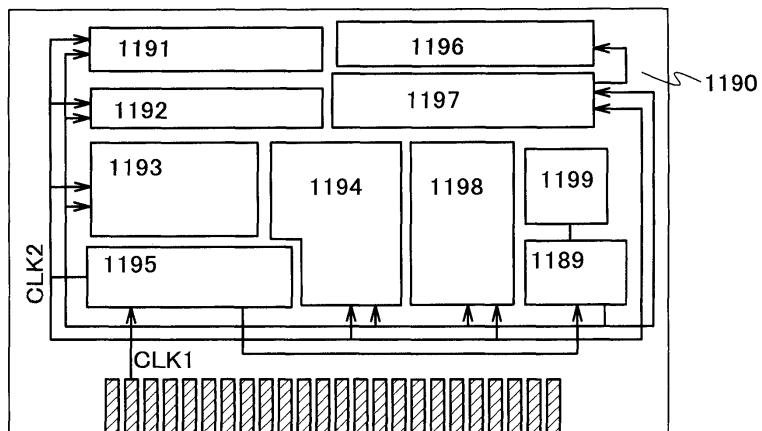


도면6

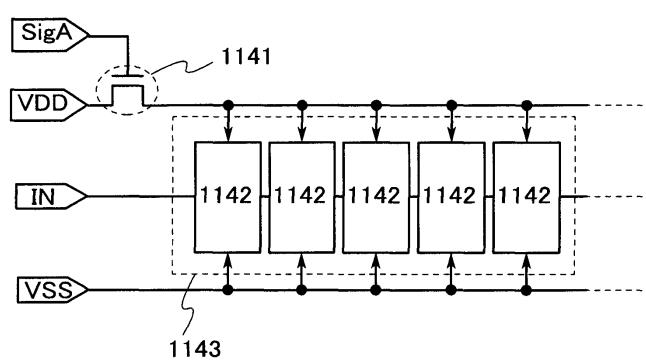


도면7

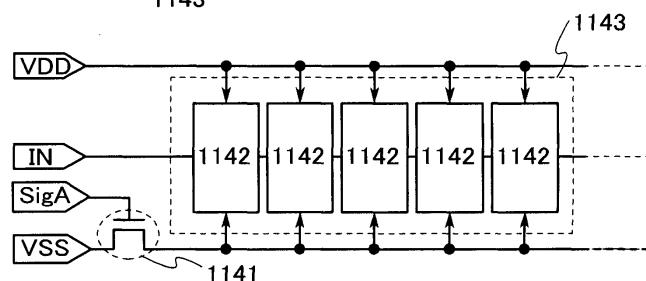
(a)



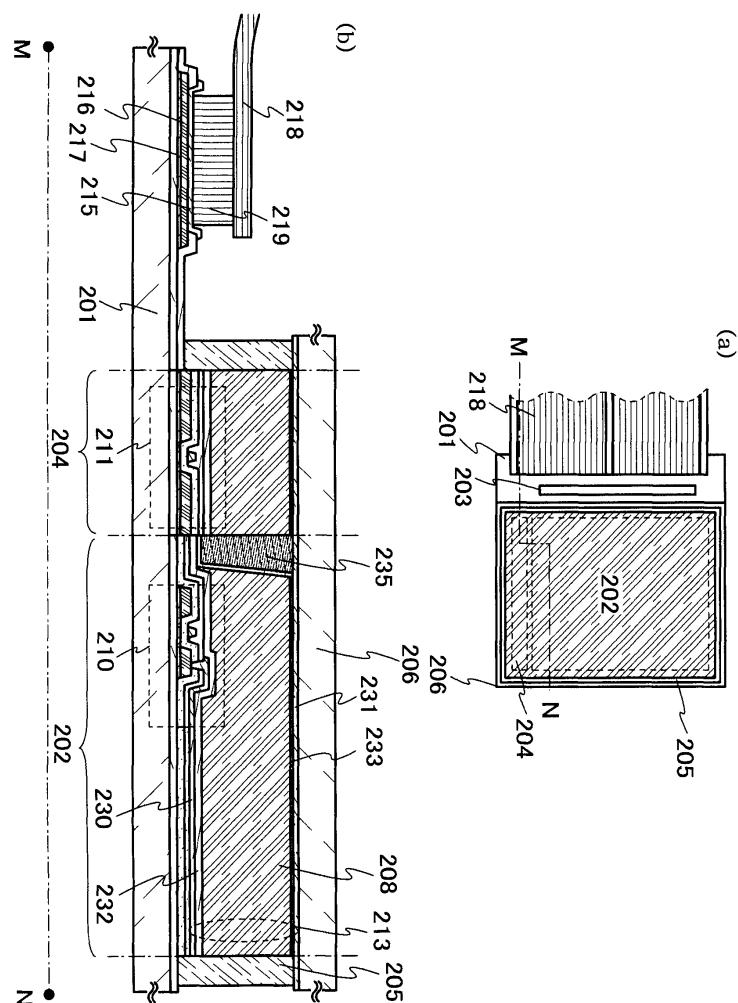
(b)



(c)

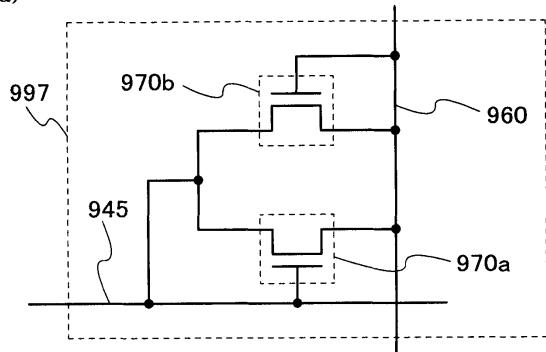


도면8

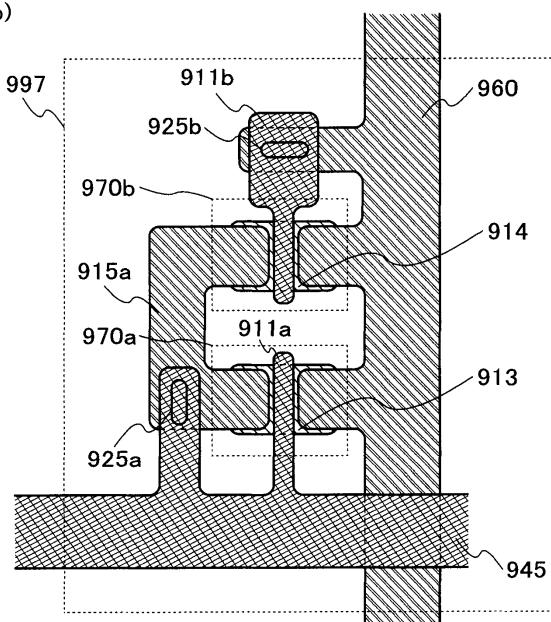


도면9

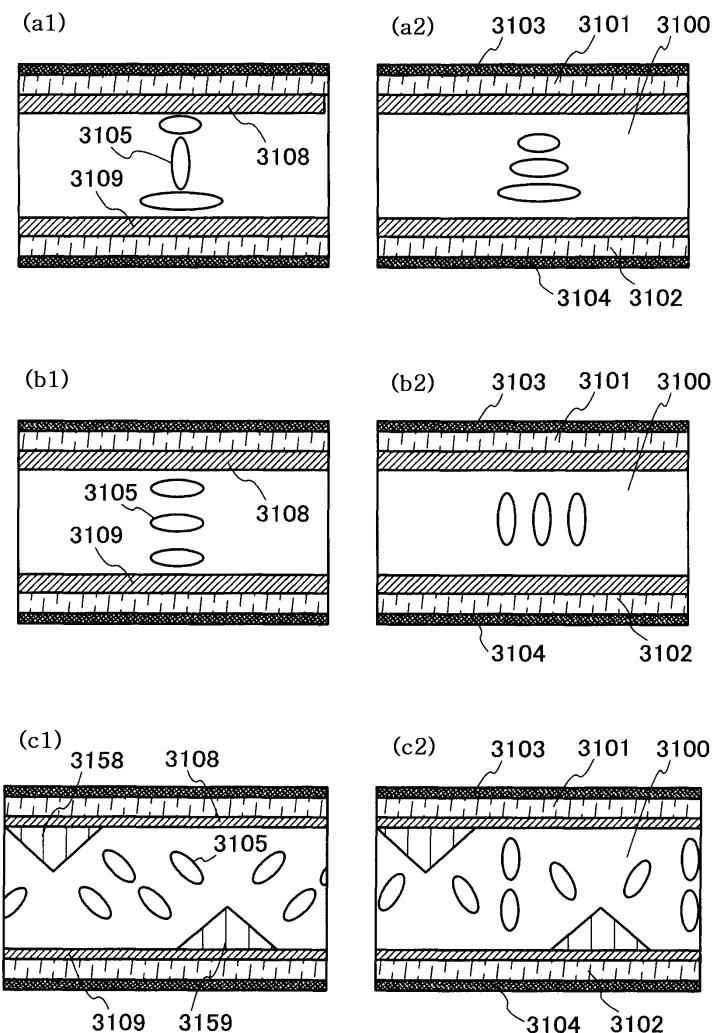
(a)



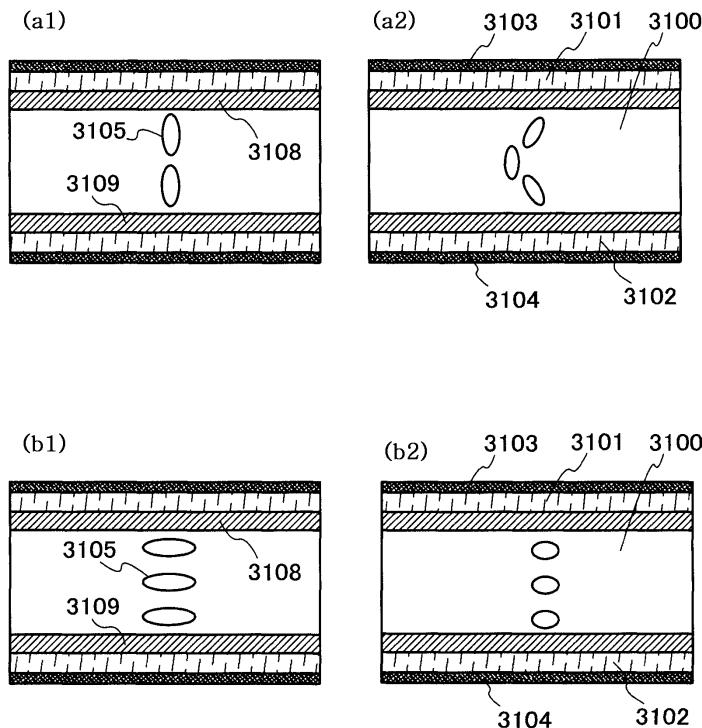
(b)



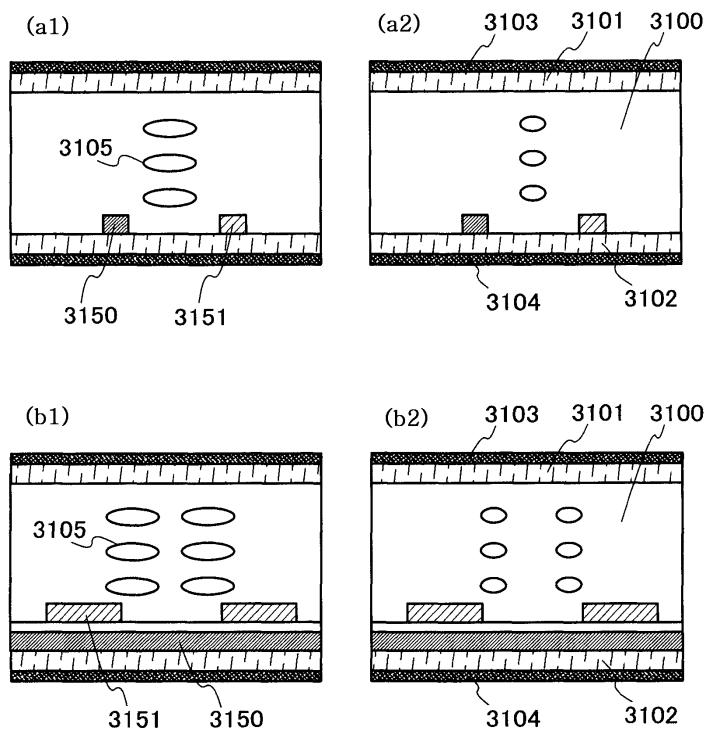
도면10



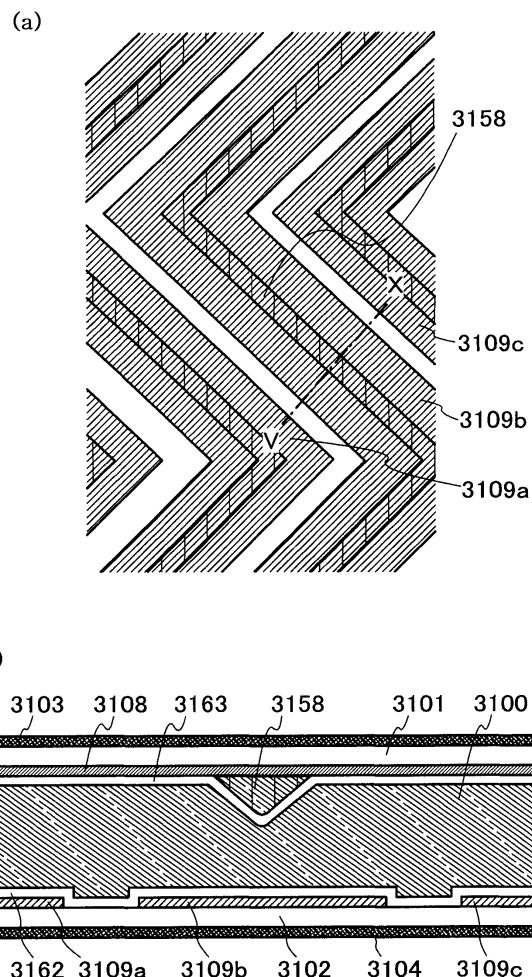
도면11



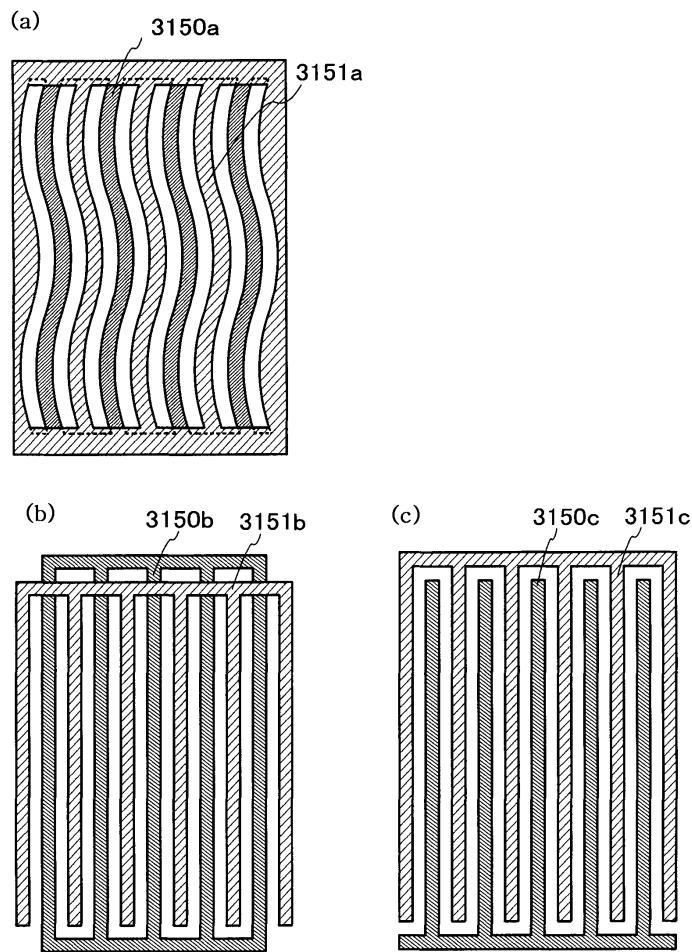
도면12



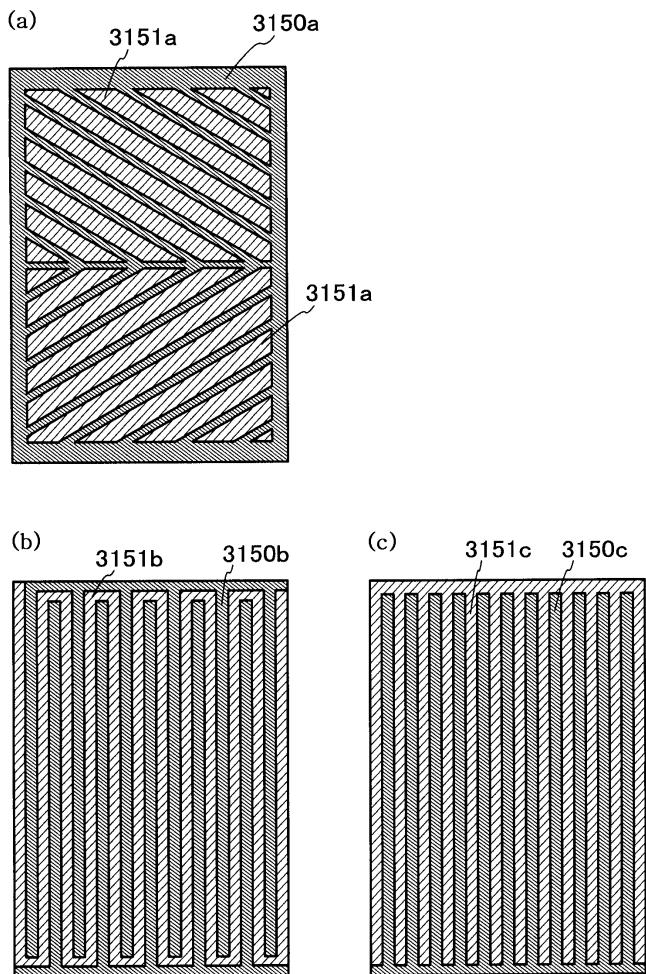
도면13



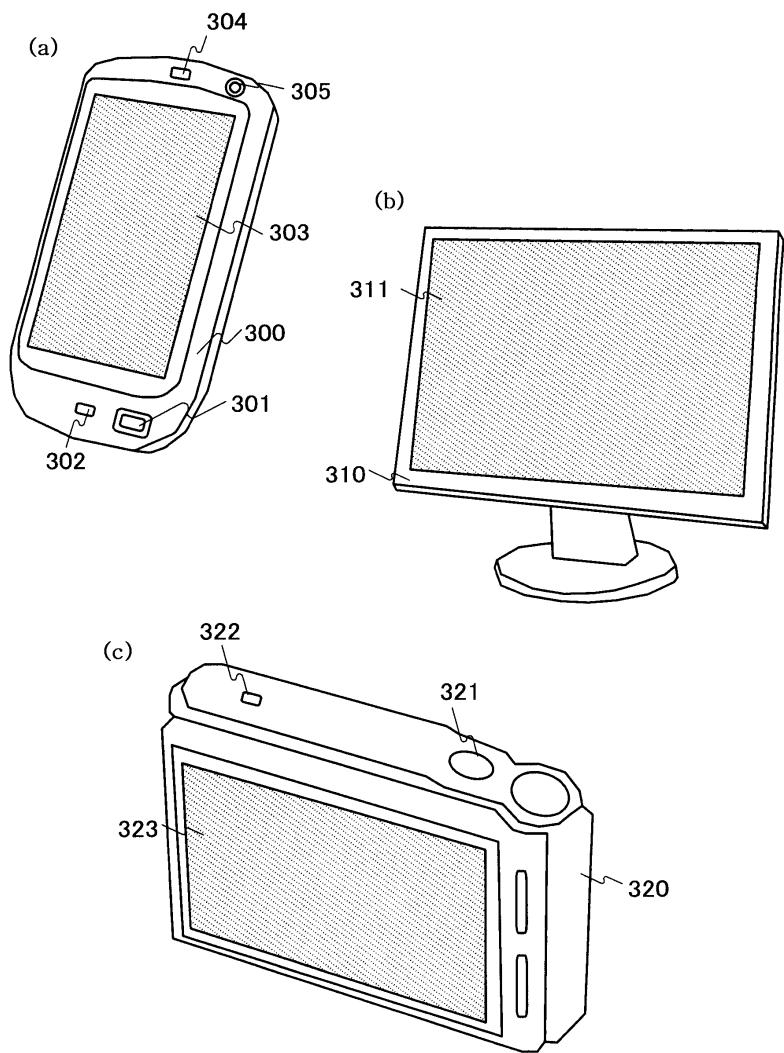
도면14



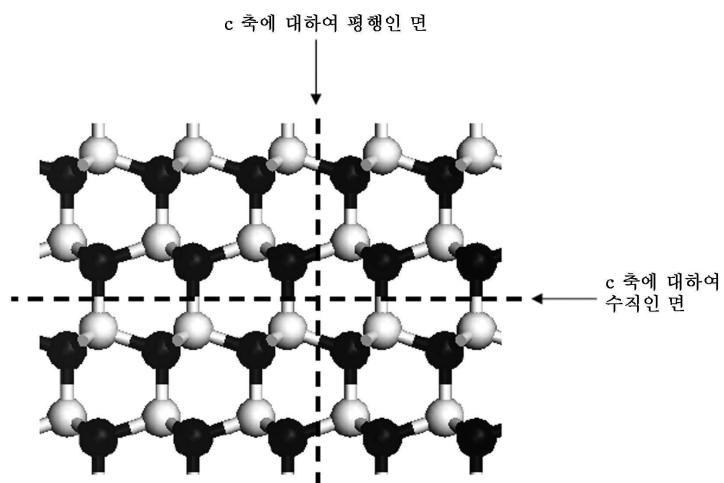
도면15



도면16



도면17



도면18

