



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201535713 A

(43)公開日：中華民國 104 (2015) 年 09 月 16 日

(21)申請案號：103138650

(22)申請日：中華民國 103 (2014) 年 11 月 07 日

(51)Int. Cl. : *H01L29/10 (2006.01)*

H01L29/66 (2006.01)

H01L29/739 (2006.01)

(30)優先權：2013/11/18 美國

14/082,582

(71)申請人：萬國半導體股份有限公司 (美國) ALPHA AND OMEGA SEMICONDUCTOR
INCORPORATED (US)

美國

(72)發明人：胡軍 HU, JUN (CN)

(74)代理人：蔡清福

申請實體審查：有 申請專利範圍項數：16 項 圖式數：5 共 29 頁

(54)名稱

電荷庫 IGBT 頂端結構及製備方法

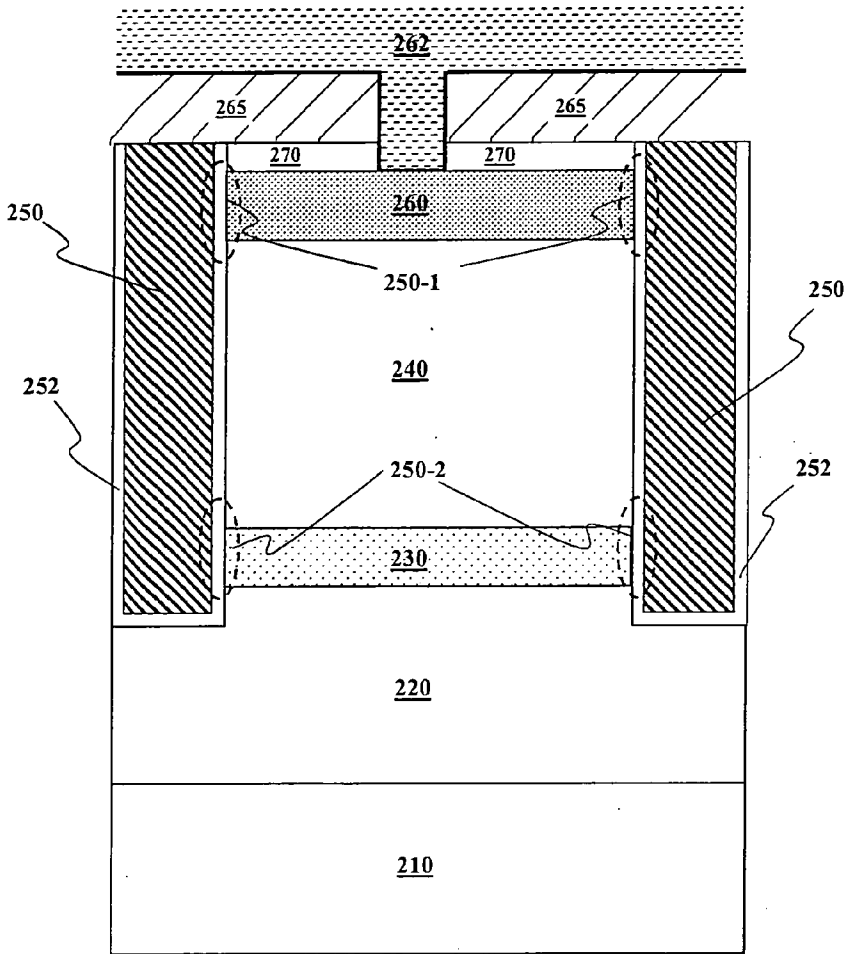
CHARGE RESERVOIR IGBT TOP STRUCTURE

(57)摘要

本發明的各個方面提出了一種含有 IGBT 裝置，它包括一個或多個溝槽柵極沉積在半導體基底上方，以及一個第一導電類型的浮動本體區，沉積在兩個相鄰的溝槽柵極之間，以及半導體基底和第二導電類型的重摻雜頂區之間。沉積在頂區上方的第一導電類型的本體區摻雜濃度，高於第一導電類型的浮動本體區摻雜濃度。要強調的是，本摘要必須使研究人員或其他讀者快速掌握技術說明書的主旨內容，本摘要符合以上要求。應明確，本摘要將不用於解釋或侷限申請專利範圍的範圍或意圖。

Aspects of the present disclosure describe an IGBT device including one or more trench gates disposed over a semiconductor substrate and a floating body region of the first conductivity type disposed between two neighboring trench gates and between a semiconductor substrate and a heavily doped top region of the second conductivity type. A body region of the first conductivity type disposed over the top region has a doping concentration higher than that of the floating body region of the first conductivity type. It is emphasized that this abstract is provided to comply with rules requiring an abstract that will allow a searcher or other reader to quickly ascertain the subject matter of the technical disclosure. It is submitted with the understanding that it will not be used to interpret or limit the scope or meaning of the claims.

200



- 200 . . . 絕緣柵雙極電晶體(IGBT)裝置
- 210 . . . 半導體基底/P 型基底
- 220 . . . 外延層
- 230 . . . P-型浮動本體區
- 240 . . . N+型的浮動本體區
- 250 . . . 溝槽柵極
- 250-1、250-2 . . . 柵極部分
- 252 . . . 柵極氧化物
- 260 . . . P-型本體區
- 262 . . . 發射極
- 265 . . . 絕緣層
- 270 . . . 源極區

第2A圖



申請日: 103.11.7

IPC分類:

201535713

【發明摘要】

【中文發明名稱】 電荷庫 IGBT 頂端結構及製備方法

【英文發明名稱】 Charge Reservoir IGBT Top Structure

H01L29/10 (2006.01)

H01L29/66 (2006.01)

H01L29/339 (2006.01)

【中文】

本發明的各個方面提出了一種含有 IGBT 裝置，它包括一個或多個溝槽柵極沉積在半導體基底上方，以及一個第一導電類型的浮動本體區，沉積在兩個相鄰的溝槽柵極之間，以及半導體基底和第二導電類型的重摻雜頂區之間。沉積在頂區上方的第一導電類型的本體區摻雜濃度，高於第一導電類型的浮動本體區摻雜濃度。要強調的是，本摘要必須使研究人員或其他讀者快速掌握技術說明書的主旨內容，本摘要符合以上要求。應明確，本摘要將不用於解釋或侷限申請專利範圍的範圍或意圖。

【英文】

Aspects of the present disclosure describe an IGBT device including one or more trench gates disposed over a semiconductor substrate and a floating body region of the first conductivity type disposed between two neighboring trench gates and between a semiconductor substrate and a heavily doped top region of the second conductivity type. A body region of the first conductivity type disposed over the top region has a doping concentration higher than that of the floating body region of the first conductivity type. It is emphasized that this abstract is provided to comply with rules requiring an abstract that will allow a searcher or other reader to quickly ascertain the subject matter of the technical disclosure. It is submitted with the understanding that it will not be used to interpret or limit the scope or meaning of the claims.

第 1 頁，共 2 頁(發明摘要)

【指定代表圖】 第 2A 圖

【代表圖之符號簡單說明】

200：絕緣柵雙極電晶體(IGBT)裝置

210：半導體基底/P 型基底

220：外延層

230：P-型浮動本體區

240：N+型的浮動本體區

250：溝槽柵極

250-1、250-2：柵極部分

252：柵極氧化物

260：P-型本體區

262：發射極

265：絕緣層

270：源極區

【發明說明書】

【中文發明名稱】 電荷庫IGBT頂端結構及製備方法

【英文發明名稱】 Charge Reservoir IGBT Top Structure

【技術領域】

本發明主要涉及功率半導體裝置，確切地說，本發明是關於用於絕緣柵雙極電晶體（IGBT）的裝置結構及其製備方法。

【先前技術】

絕緣柵雙極電晶體（IGBT）是一種帶有合成結構或複合結構（compositing structure）的半導體功率裝置，合成結構中譬如結合了金屬-氧化物-半導體場效應電晶體（MOSFET）以及雙極結型電晶體（BJT）。設計性能增強型 IGBT，以獲得高於 MOSFET 的電流密度，以及比 BJT 更快、更高效地開關性能以及更好地控制。另外，可以輕摻雜 IGBT 的漂流區，以提高閉鎖性能。同時，由於輕摻雜漂流區承受了來自底部 P 集電極區的高級別載流子注入，形成傳導模式，因此 IGBT 裝置仍然可以具有良好的導電性。憑藉輕鬆控制柵極電極、雙極電流機制等 MOSFET 的性能以及開關時間較短、功率損耗較低等優點，IGBT 裝置可以廣泛應用於高壓和高功率應用方面。

配置和製備 IGBT 裝置的傳統技術，由於存在各種取捨關係，在進一步提高性能方面仍然遇到許多困難和侷限。在 IGBT 裝置中，傳導損耗和斷開開關損耗 E_{off} 之間存在取捨。在額定電流處，傳導損耗取決於集電極到發射極的飽和電壓 $V_{ce(SAT)}$ 。當裝置打開時，較多的載流子注入提高了裝置的導電性，從而降低了傳導損耗。然而，由於斷開時清除注入的載流子所耗散的能量，較多的載流子注入也會使斷開開關損耗較高。

第 1 頁，共 15 頁(發明說明書)

飽和時 ($V_{ce(SAT)}$) IGBT 的集電極-發射極電壓及其擊穿電壓 (V_{BD}) 之間存在另一種取舍。增加頂部注入時，可以提高 $V_{ce(SAT)}$ ，但是通常會降低擊穿電壓 V_{BD} 。帶有高密度深溝槽的 IGBT 裝置能夠克服這種取舍，但是很難製備這種小間距、高縱橫比或稱高深寬比溝槽的高密度裝置。

近年來，研發出 IGBT 裝置的不同結構。第 1A 圖表示一種傳統的 IGBT 裝置 100A 的剖面圖。在第 1A 圖所示的示例中，N-型的重摻雜層 102A 沉積在通道區 103A 下方，以及輕摻雜漂流區 101A 上方，以進一步增強頂部的載流子注入。然而，由於 N-型的重摻雜層 102A 的存在，這種裝置具有較低的擊穿電壓和很高的 C_{rss} 電容。這種 IGBT 裝置的高 C_{rss} 電容會減慢裝置的開關速度，導致較高的開關能量損耗。

第 1B 圖表示具有溝槽遮罩電極結構的平面柵極 136 的一種傳統的 IGBT 裝置剖面圖。IGBT 裝置 100B 形成在具有第一導電類型的半導體基底 105（例如 P 型基底 105）中。第二導電類型的外延層 110（例如 N-型的外延層 110）位於 P 型基底 105 上方。集電極 120 沉積在基底底面上。在這種類型的裝置中，遮罩溝槽 135-S 具有一個被電介質（例如氧化物）126 包圍的遮罩電極 137。裝置 100B 中的帶有遮罩電極的遮罩溝槽 135-S 沒有柵極電極部分。取而代之的是，平面柵極 136 沉積在平面柵極氧化物 125-P 上，平面柵極氧化物 125-P 使平面柵極 136 和半導體表面絕緣。遮罩電極 137 連接到源極/發射極電壓。在本例中，通道通常是水準的，位於本體區 140 上方，以及平面柵極 136 下方，從源極 130（和可選的輕摻雜源極 131）到 N+型的重摻雜區 145 上方。由於製造帶有單獨電極的遮罩溝槽 135-S 比製造帶有多個電極的遮罩柵極溝槽結構更加簡便，因此平面柵極的製備更為簡單，使得製造本實施例也較為簡便。遮罩溝槽 135-S 仍然對 N+型的重摻雜區 145 提供電荷補償，保持很高的擊穿電壓（BV），以及很低的電容 C_{rss} ，以便於快速、高效開關。然而第 1B 圖所示類型的裝置會獲得較低的

第 2 頁，共 15 頁(發明說明書)

C_{rss} ，並通過較低的 E_{on} 和 E_{off} 損耗，增大注入，這需要深溝槽的密度很高。另外，N+型的重摻雜區 145 還會降低擊穿電壓。

第 1C 圖表示三維方向上帶有局部窄檯面結構的另一種 IGBT 的剖面圖。在這種結構的柵極之間配置窄區域，可以提高注入增益效果。然而，這種裝置需要複雜的設計和處理。這種設計和處理的一個示例可參見 M. Sumitomo、J. Asai, H. Sakane、K. Arakawa、Y. Higuchi 和 M. Matsui 等人在功率半導體裝置和積體電路 2012 年度國際論壇上發表的論文（2012，第 17 頁）《帶有局部窄檯面結構的低損耗 IGBT（PNM-IGBT）》。

有必要研發一種 IGBT 結構，無需高密度深溝槽或複雜的設計/處理，就能降低成本、提高性能，同時不會犧牲擊穿。

【發明內容】

本發明提供了一種絕緣柵雙極電晶體（IGBT）裝置，包括：一個基底，包括一個第一導電類型的半導體底層以及一個第二導電類型的半導體頂層；

一個或多個溝槽柵極，每個溝槽柵極都形成在沉積在基底上方相應的溝槽中，其中在溝槽的每個邊上都有一個柵極絕緣物，並用多晶矽填充；

一個第一導電類型的浮動本體區，沉積在兩個相鄰的溝槽柵極之間以及基底上方；

一個第二導電類型的頂區，就在兩個相鄰的溝槽柵極之間以及浮動本體區上方，其中第二導電類型的頂區為重摻雜；

以及一個第一導電類型的本體區，沉積在兩個相鄰的溝槽柵極之間以及頂區上方，其中第一導電類型的浮動本體區的摻雜濃度低於第一導電類型的本體區摻雜濃度。

上述的 IGBT 裝置，第一導電類型為 P-型，第二導電類型為 N-型。

第 3 頁，共 15 頁(發明說明書)

上述的 IGBT 裝置，第一導電類型為 N-型，第二導電類型為 P-型。

上述的 IGBT 裝置，其中，溝槽柵極的底部觸及半導體頂層。

上述的 IGBT 裝置，一個或多個溝槽柵極垂直延伸的深度約為 5 至 10 微米，間距約為 3 至 15 微米。

上述的 IGBT 裝置，任意相鄰的兩個溝槽之間的間距和該等溝槽的深度比大致可以在 0.5 至 3 這個範圍內。

上述的 IGBT 裝置，第一導電類型的浮動本體區的摻雜濃度約為 $1e16\text{cm}^{-3}$ 。

上述的 IGBT 裝置，第二導電類型的頂區摻雜濃度約在 $5e16\text{cm}^{-3}$ 至 $5e17\text{cm}^{-3}$ 範圍內。

上述的 IGBT 裝置，其中，第一導電類型的本體區的摻雜濃度約在 $1e17\text{cm}^{-3}$ 至 $1e18\text{cm}^{-3}$ 範圍內。

上述的 IGBT 裝置，其中，浮動本體區底部的深度接近於溝槽中多晶矽的底部，但在多晶矽底部之上。

上述的 IGBT 裝置，第一導電類型的浮動本體區的厚度約為 1 微米或以上。

上述的 IGBT 裝置，其中，還包括一個沉積在半導體基底上方的平面柵極，其中當 IGBT 裝置接通及/或斷開時，平面柵極起控制作用。

上述的 IGBT 裝置，其中，至少一個溝槽柵極在其頂部延伸，以連接到平面柵極。

上述的 IGBT 裝置，還包括一個第二導電類型的源極區，沉積在第一導電類型的本體區上方，其中源極區為重摻雜，摻雜濃度範圍約為 $1e20\text{cm}^{-3}$ 以上。

上述的 IGBT 裝置，還包括一個第二導電類型的輕摻雜源極區，沉積在重摻雜源極區和一個平面柵極之間。

同時本發明還提供了一種用於製備 IGBT 裝置的方法，包括：

製備基底，包括第一導電類型的半導體底層和第二導電類型的半導體頂層，半導體頂層位於半導體底層上方；

為溝槽柵極製備一個或多個溝槽，其中在每個溝槽的邊上都有一個柵極絕緣物，並用多晶矽填充，其中溝槽垂直延伸到半導體頂層中；

在兩個相鄰的溝槽之間以及基底上方，製備一個第一導電類型的浮動本體區，其中浮動本體區底部的深度接近於溝槽中多晶矽的底部，但是在多晶矽底部上方；

在浮動本體區上方製備一個第二導電類型的頂區，其中第二導電類型的頂區為重摻雜；並且在頂區上方製備一個第一導電類型的本體區，其中第一導電類型的浮動本體區的摻雜濃度低於第一導電類型的本體區摻雜濃度。

正是在這一前提下，提出了本發明的實施例。

【圖式簡單說明】

第 1A 圖至第 1C 圖表示三種不同結構的傳統的 IGBT 裝置的剖面圖。

第 2A 圖表示依據本發明的一個方面的實施例，一種 IGBT 裝置的剖面圖。

第 2B 圖表示依據本發明的一個方面的實施例，IGBT 裝置的摻雜結構圖。

第 3A 圖表示依據本發明的一個方面的實施例，IGBT 裝置在三維方向上的剖面圖。

第 3B 圖表示第 3A 圖的剖面圖。

第 4 圖表示依據本發明的一個方面的實施例，IGBT 裝置的剖面圖。

第 5A 圖至第 5C 圖表示依據本發明的一個方面的實施例，IGBT 裝置的製備技術剖面圖。

【實施方式】

儘管為瞭解釋說明，以下詳細說明包含了許多具體細節，但是本領域的技術人員應明確以下細節的各種變化和修正都屬於本發明的範圍。因此，提出以下本發明的典型實施例，並沒有使所聲明的方面損失任何普遍性，也沒有提出任何侷限。

在以下詳細說明中，參照附圖，表示本發明可以實施的典型實施例。就這一點而言，根據圖中所示方向，使用“頂部”、“底部”、“正面”、“背面”、“向前”、“向後”等方向術語。由於本發明實施例的零部件，可以位於各種不同方向上，因此所用的方向術語僅用於解釋說明，不用於侷限。應明確，無需偏離本發明的範圍，就能實現其他實施例，做出結構或邏輯上的變化。因此，以下詳細說明不用於侷限，本發明的範圍應由所附的申請專利範圍限定。

另外，本文中的濃度、數量以及其他資料都在範圍格式中表示。要理解的是，此範圍格式的目的僅僅為了方便簡潔，應被靈活理解為不僅包括明確列出的範圍極限值，而且還包括所有的獨立數值或範圍內所包含的子範圍，也就是說每個數值和子範圍都明確列出。例如，1nm 左右至 200nm 左右的厚度範圍，應認為不僅包括 1nm 左右和 200nm 左右明確列出的極限值，還包括單獨的數值，包括但不限於 2nm、3nm、4nm 以及子範圍，例如 10nm 至 50nm、20nm 至 100nm 等都在所指的範圍內。

在下文中，第一導電類型通常為 P 型，第二導電類型為 N 型。然而，要注意的是，使用相同的技術，相反的導電類型，可以製備出類似的裝置。確切地說，本發明的各個方面包括與文中所述類似的實施例，其中 N 型代替了 P 型，反之亦然。

依據本發明的一個方面，絕緣柵雙極電晶體（IGBT）裝置包括一個基底，基底含有第一導電類型的半導體底層以及第二導電類型的半導體頂層，一個或多個溝槽柵極都形成在沉積在基底上方相應的溝槽中，第一導電類型的浮動本

體區沉積在兩個相鄰的溝槽柵極之間以及基底上方，一個第二導電類型的重摻雜頂區沉積在兩個相鄰的溝槽柵極之間以及浮動本體區上方，一個第一導電類型的本體區沉積在兩個相鄰的溝槽柵極之間以及頂區上方。在溝槽的每個邊緣都配有一個柵極絕緣物，並用多晶矽填充。第一導電類型的浮動本體區的摻雜濃度低於第一導電類型的本體區的摻雜濃度。

依據本發明的一個方面的實施例，一種製備絕緣柵雙極電晶體（IGBT）裝置的方法包括製備一個基底，基底含有第一導電類型的半導體底層以及位於半導體底層上方的第二導電類型的半導體頂層，並且為溝槽柵極製備至少一個或多個溝槽，在溝槽的每個邊緣都有一個柵極絕緣物，並用多晶矽填充，在兩個相鄰的溝槽之間以及基底上方，製備一個第一導電類型的浮動本體區，在浮動本體區上方製備一個第二導電類型的重摻雜頂區，並且在頂區上方製備一個第一導電類型的本體區。第一導電類型的浮動本體區的摻雜濃度低於第一導電類型的本體區的摻雜濃度。

第 2A 圖表示依據本發明的一個方面的實施例，具有配置了電荷庫（charge reservoir）的 IGBT 裝置的剖面圖。IGBT 裝置 200 形成在第一導電類型的半導體基底（例如 P 型基底）210 中。第二導電類型的外延層（例如 N-型的外延層）220 位於 P 型基底 210 或該外延層 220 位於該 P 型的底部基底上方。還可選擇，由於 P 型基底 210 和外延層 220 都具有單晶結構，因此可以一起稱作半導體基底。外延層 220 通常稱為半導體頂層，在作為集電極區的基底 210 上方作為漂流區或稱漂移區（drift region）。根據所需的擊穿電壓，作為漂流區的外延層 220 的摻雜濃度在 $1 \times 10^{13} \text{cm}^{-3}$ 至 $1 \times 10^{15} \text{cm}^{-3}$ 範圍內。作為漂流區的外延層 220 的摻雜濃度越低，擊穿電壓就越高。在一個實施例中，IGBT 裝置 200 為垂直型的 IGBT 裝置，其中集電極（圖中沒有表示出）沉積或設置在基底底面上，發射極 262 沉積或設置在基底頂面上。

第 2A 圖所示的 IGBT 裝置 200 包括多個溝槽柵極 250，在作為漂流區的外延層 220 中垂直向下延伸。多個溝槽柵極 250 中的每個溝槽柵極都形成在相應的溝槽結構中。溝槽結構在溝槽的每個邊緣上都帶有柵極絕緣物（例如覆蓋在溝槽底部和側壁上的柵極氧化物 252），並且溝槽全部用多晶矽填充。確切地說，溝槽垂直向下延伸到距離外延層 220 頂部 5 至 10 微米左右的深度範圍內。相鄰兩個柵極溝槽之間間距在 3 至 15 微米左右的範圍內，最好是在 5 至 10 微米之間，6 至 8 微米範圍內更佳。作為一個可選的示例，相鄰兩個溝槽之間間距與某一個任意選擇的溝槽的深度之比約在 0.5 至 3 的範圍以內。作為一可選的示例，溝槽寬度約在 1 至 3 微米之間。對於本發明所述的 IGBT 裝置來說，溝槽附近用於將柵極 250 絕緣的柵極氧化物 252 的厚度範圍在 400 至 1500 埃之間。

第 2A 圖所示的 IGBT 裝置 200 還包括一個第一導電類型的浮動本體區（例如 P-型浮動本體區）230，設置在作為漂流區的外延層 220 上方和每相鄰兩個溝槽柵極 250 之間的區域。也可以理解為 P-型浮動本體區 230 設置在相鄰的兩個內置有溝槽柵極 250 的溝槽之間。P-型浮動本體區 230 的厚度約為 1 微米或以上。P-型浮動本體區 230 的底部最好靠近柵極 250 的底部，但在溝槽柵極 250 的底部上方。作為一個可選的示例，P-型浮動本體區 230 的底部和柵極 250 的底部之間的深度差約為 1 微米以下。P-型浮動本體區 230 的摻雜濃度約在 $1 \times 10^{16} \text{cm}^{-3}$ 至 $5 \times 10^{17} \text{cm}^{-3}$ 的範圍內，低於 P-型本體區 260 的摻雜濃度（下文將詳細介紹）。IGBT 裝置 200 還包括一個第二導電類型的頂層的（例如 N+型的浮動本體區）浮動本體區 240，在 P-型浮動本體區 230 上方以及溝槽柵極 250 之間。也可以理解為 N+型的浮動本體區 240 設置在相鄰的兩個內置有溝槽柵極 250 的溝槽之間。N+型的浮動本體區 240 的摻雜濃度在 $5 \times 10^{16} \text{cm}^{-3}$ 至 $5 \times 10^{17} \text{cm}^{-3}$ 範圍內。由於 N+型浮動本體區 240 被它下方的 P-型浮動本體區 230 和它兩邊溝槽柵極 250 完全絕緣，從而可以作為電荷庫。利用重摻雜 N+型的浮動本體區 240，可以提高頂部注入

效率。

在 N+型的浮動本體區 240 上方，第一導電類型的本體區(例如 P-型本體區) 260 在每兩個溝槽柵極 250 之間的區域，作為發射極區。也即 P-型本體區 260 設置在相鄰的兩個內置有溝槽柵極 250 的溝槽之間。上面的 P-型本體區 260 的理想深度約為溝槽深度的 10%至 40%。P-型本體區 260 的摻雜濃度高於 P-型浮動本體區 230 的摻雜濃度。作為示例，P-型本體區 260 的摻雜濃度在 $1e17cm^{-3}$ 至 $1e18cm^{-3}$ 範圍內。第 2A 圖所示的 IGBT 裝置還包括一個第二導電類型的源極區 270 (例如 N-型源極區)，位於半導體基底頂面附近的 P-型本體區 260 上方。源極區 270 為重摻雜，其摻雜濃度在 $1e20cm^{-3}$ 以上。發射極 262 沉積或設置在半導體基底頂面上的絕緣層 265 上，發射極 262 電連接到源極區 270 和 P-型本體區/發射極區 260。IGBT 裝置的溝槽柵極 250 具有兩個柵極部分 250-1 和 250-2。柵極部分 250-1 形成在多晶矽的溝槽柵極 250 和 P-型本體區 260 之間，其他的如另一個柵極部分 250-2 形成在多晶矽的溝槽柵極 250 和 P-型浮動本體區 230 之間。精心設計 P-型本體區 260 和 P-型浮動本體區 230 的摻雜濃度，確保柵極部分 250-1 的閾值電壓(V_{th})高於 250-2。因此，當裝置接通或斷開時，柵極部分 250-1 起控制作用。

第 2B 圖表示依據本發明的一個方面的實施例，示出了 IGBT 裝置的摻雜結構或形貌的示例圖。X 軸表示摻雜濃度，Y 軸表示半導體基底的深度。例如，深度為 5 至 6 微米左右，實線出現一個摻雜濃度峰值，對應於 P-型浮動本體區 230。

第 3A 圖表示第三維度上的 IGBT 裝置 300 立體剖面圖，其中平面柵極 280 位於半導體基底上方。通過電性連接平面柵極 280 和溝槽柵極 250，形成 IGBT 裝置的柵極電極。平面柵極 280 的閾值電壓 V_{th} 應高於溝槽柵極 250，並且當裝置接通和斷開時，起到控制作用。此外，IGBT 裝置 300 還增加了一個輕摻雜 N-型源極區 270L，位於重摻雜 N-型源極區 270H 和平面柵極 280 的起始部位之

間。作為示範但非限制，例如輕摻雜 N-型源極區 270L 大體上可以設置在平面柵極 280 的一個側緣附近的位置和重摻雜 N-源極區 270H 之間，平面柵極 280 也可以在水準方向上略微延伸到源極區 270H 之上。輕摻雜源極區 270L 提供額外的串聯電阻，在電流流動時提高電壓降，導致發射極反偏置。在正常工作電流下，該電壓降很低，並且可以忽略。在高電流下，例如發生短路時，電壓降會變得很高，從而使飽和電流密度 (J_{sat}) 顯著降低，提高裝置承受短路電流的能力。這樣可以允許晶胞間距設計得很小，同時保持很低的飽和電流密度 J_{sat} 。第 3B 圖表示在二維方向上，IGBT 裝置 300 的剖面圖。

第 4 圖表示依據本發明的一個方面的實施例，示出了 IGBT 裝置 400 的剖面圖。IGBT 裝置 400 與第 3B 圖所示的 IGBT 裝置 300 類似，並且還包括一個溝槽柵極 250P，位於平面柵極 280 下方，以及發射極區 260（即 P-型本體區）之間。作為示範而非限制，例如一個額外的溝槽設置在內置溝槽柵極 250 的相鄰兩個溝槽之間，並位於平面柵極 280 下方，從而將該額外的溝槽柵極 250P 設置在該額外的溝槽之中。溝槽柵極 250P 在其頂部向上延伸，以便連接到第 4 圖所示的平面柵極 280。在這種情況下，多晶矽的溝槽柵極 250 可以連接到柵極電極或發射極電極，以便調節裝置的 C_{rss} ，滿足不同開關速度的要求。

本發明所述的 IGBT 裝置與傳統的 IGBT 裝置相比，具有許多優勢。對於不含浮動 P 本體 230 的溝槽 IGBT 裝置來說，由於擊穿電壓對 P-型本體區/發射極區下方的 N-型摻雜區的摻雜級別非常敏感，因此在 $V_{ce(SAT)}$ 和擊穿電壓之間存在一種基本的取舍關係。通過增大 P-型本體區下方的 N+型摻雜區摻雜級別，以及提高頂端的注入效率，可以獲得很低的 $V_{ce(SAT)}$ 。然而，P-型本體區下方的 N+型摻雜區摻雜級別越高，裝置的擊穿電壓就會越低。對於本發明所述的 IGBT 裝置，P-型浮動本體區 230 隔離了 P-型浮動本體區上方的 N+型浮動本體區 240，為 N+型浮動本體區 240 提供了電荷平衡以及良好的電場遮罩。在反偏壓下，柵

極部分 250-1 和 250-2 之間的 N+型浮動本體區 240 的側壁會在很低的反向電壓下耗盡，使得 P-型浮動本體區 230 和 P 本體 260 穿通/導通。因此，P-型本體區 260 的結和 N+型浮動本體區 240 之間的電壓降，會在低於結的臨界場的電場下自鉗制。雪崩擊穿只會發生在 P-型浮動本體區 230 和 N-型漂流的外延層 220 之間的結處。因此，IGBT 的擊穿電壓對於 N+型浮動本體區 240 的摻雜濃度並不敏感。對於相同的額定擊穿電壓，在本發明所述的 IGBT 裝置中，P-型本體區 260 下方的 N+型浮動本體區 240 的摻雜級別，可以比傳統 IGBT 裝置 P-型本體區下方的 N-型摻雜區的摻雜級別高 5 至 10 倍。

依據本發明所述的 IGBT 結構，通過在柵極溝槽之間的 P-型浮動本體區，可以簡化結構和製備。由於 P-型浮動本體區 230 和溝槽結構為 N+型浮動本體區 240 提供良好的遮罩，因此無需高密度溝槽，柵極溝槽間距也可以更寬。另外，只需製備一個溝槽，進行一次柵極氧化和一次多晶矽填充技術，簡化了製備過程。

由於 N+型浮動本體區 240 的摻雜較高，從而提高了頂部的注入效率，P-型本體區下方的載流子濃度就比在開啓基態（on-state）時傳統的 IGBT 裝置高 5 至 10 倍。除此之外，形成在 P-型本體區 260 側壁上的垂直通道，在柵極偏壓下，將 N+型浮動本體區 240 通過垂直柵極通道短接至發射極電勢。在這種情況下，P-型基底 210、N-型漂流的外延層 220、P-型浮動本體區 230 以及 N+型浮動本體區 240 就會形成一個可控矽整流器結構。可控矽整流器結構和很高的頂端注入增益，有助於顯著降低 V_{cesat} ，使其遠低於傳統的 IGBT 裝置。

雖然本發明所述的 IGBT 裝置在基態時表現出了可控矽整流器 I-V 曲線，但是裝置的正向 I-V 性能沒有像可控矽整流器那樣有快速返回。通常來說，當可控矽整流器接通時，在 IV 曲線上都有一個快速返回。也就是說，電壓一開始升高，然後快速回落。對於本發明所述的 IGBT 裝置來說，當裝置接通時，IGBT 裝置

的電壓升高，卻沒有快速回落。當載入正向柵極偏壓（通常為 15V）接通裝置時，在柵極部分 250-2 會形成兩個反轉通道，該通道將 N+型浮動本體區 240 電性連接到 N-型漂流的外延層 220。當集電極電壓從 0V 開始升高時，電流只能流經 P-型浮動本體區 230 側壁上的反轉通道，裝置會像傳統 IGBT 裝置那樣打開。隨著總電流的增大，P-型浮動本體區 230 和 N+型浮動本體區 240 之間的電壓差升高，越來越多的電流逐漸流至 P-型浮動本體區 230 的中心，使裝置更像一個可控矽整流器。

此外，本發明所述的 IGBT 裝置具有良好的飽和電流，這對於裝置耐受短路電流的能力十分重要。當集電極的電壓增大時，N+型浮動本體區 240 的電勢升高，當 N+型浮動本體區 240 的電勢高於 250 上的柵極偏壓時，在 N+型浮動本體區 240 的側壁上形成耗盡層，從而使得 P-型浮動本體區 230 和 P-型本體區 260 穿通，為空穴電流形成一個通路。通過這個通路，流入 P-型浮動本體區 230 的空穴將進入 P-型本體區 260，使得進入 N+型浮動本體區 240 的電流受到限制，裝置就像傳統的 IGBT 裝置那樣出現飽和。

第 5A 圖至第 5C 圖表示本發明所述的 IGBT 裝置 500 一種可能的製備方法。第 5A 圖表示初始的半導體基底，包括一個第一導電類型的半導體底層 510（例如 P-型基底）以及一個與第一導電類型相反的第二導電類型的半導體層 520（例如 N-外延層），半導體層 520 位於半導體底層 510 上方。例如可以通過外延生長或離子注入等方式，形成第一導電類型的半導體層 530 和第二導電類型的半導體層 540。半導體層 530 在半導體層 520 上方而半導體層 540 則在半導體層 530 上方。例如利用離子注入，第一導電類型的半導體層 530 的 P-型摻雜物可以是硼或 BF_2 ，第二導電類型的半導體層 540 的 N-型摻雜物可以是磷、砷或銻，以上僅作為示例，並不作為侷限。

在第 5B 圖中，通過對半導體層 540 和半導體層 530 進行刻蝕以形成溝槽，

輕微刻蝕到半導體層 520 中，溝槽貫穿半導體層 530、540 並且其底部略微延伸到半導體層 520 中。然後，用電介質（例如氧化物 552）內襯溝槽，以將溝槽底部和側壁進行覆蓋。在氧化物沉積過程中，形成柵極氧化物 552。然後，在溝槽中填充柵極電極材料（例如多晶矽），形成柵極電極。還可選擇，在沉積柵極電極材料之後，通過離子注入，形成 P-型半導體層 530 和 N-型半導體層 540，例如在溝槽之間的半導體層 520 上方形成 P-型半導體層 530 和 N-型半導體層 540。

如第 5C 圖所示，在 N-型半導體層 540 上方形成 P-型本體區 560 和源極區 570（例如通過離子注入方式形成本體區和源極區）。在一些可選實施例中，在半導體基底的頂面上形成有發射極 562，發射極 562 例如可以位於半導體基底的頂面之上的鈍化層或絕緣層上方，發射極 562 通過其設於鈍化層或絕緣層中的開口內的金屬部分而電接觸源極區 570 和 P-型本體區 560。此外還形成有一個柵極電極（圖中沒有表示出），來電連接到溝槽柵極 550。集電極（圖中沒有表示出）可以形成在半導體底層 510 的底面上。鑒於 IGBT 裝置的各電極的製備方式已經被本領域的技術人員所熟知，所以本發明沒有詳細對其予以贅述。

儘管以上是本發明的較佳實施例的完整說明，但是也有可能使用各種可選、修正和等效方案。因此，本發明的範圍不應侷限於以上說明，而應由所附的申請專利範圍及其全部等效內容決定。本方法中所述步驟的順序並不用於侷限進行相關步驟的特定順序的要求。任何可選件（無論首選與否），都可與其他任何可選件（無論首選與否）組合。在以下申請專利範圍第中，除非特別聲明，否則不定冠詞“一個”或“一種”都指下文內容中的一個或多個專案的數量。除非在指定的申請專利範圍中用“意思是”特別指出，否則所附的申請專利範圍應認為是包括意義及功能的限制。

【符號說明】

- 100A、100B、100C、200、300、400、500：絕緣柵雙極電晶體(IGBT)裝置
- 101A：輕摻雜漂流區
- 102A：N-型的重摻雜層
- 103A：通道區
- 105：半導體基底
- 110、220：外延層
- 120：集電極
- 125-P：平面柵極氧化物
- 126：電介質
- 130：源極
- 131：輕摻雜源極
- 135-S：遮罩溝槽
- 136、280：平面柵極
- 137：遮罩電極
- 140：本體區
- 145：N+型的重摻雜區
- 210：半導體基底/P型基底
- 230：P-型浮動本體區
- 240：N+型的浮動本體區
- 250、250P、550：溝槽柵極
- 250-1、250-2：柵極部分
- 252、552：柵極氧化物
- 260、560：P-型本體區

262、562：發射極

265：絕緣層

270、570：源極區

270H：重摻雜 N-型源極區

270L：輕摻雜 N-型源極區

510：第一導電類型的半導體底層

520：第二導電類型的半導體層

530：第一導電類型的半導體層

540：第二導電類型的半導體層

X：摻雜濃度

Y：半導體基底的深度

【發明申請專利範圍】

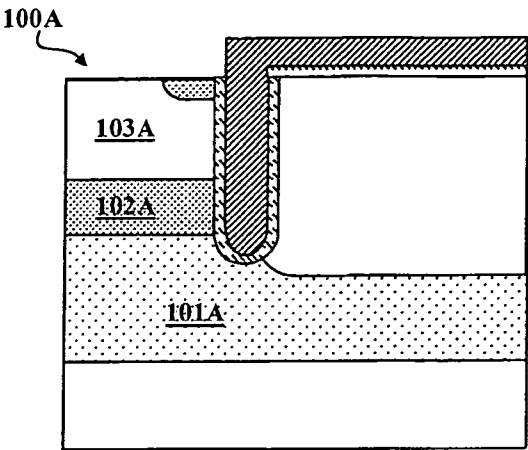
- 【第1項】 一種絕緣柵雙極電晶體（IGBT）裝置，其特徵在於，包括：
- 一個基底，包括一個第一導電類型的半導體底層以及一個第二導電類型的半導體頂層；
- 一個或多個溝槽柵極，每個溝槽柵極都形成在沉積在基底上方相應的溝槽中，其中在溝槽的每個邊上都有一個柵極絕緣物，並用多晶矽填充；
- 一個第一導電類型的浮動本體區，沉積在兩個相鄰的溝槽柵極之間以及基底上方；
- 一個第二導電類型的頂區，就在兩個相鄰的溝槽柵極之間以及浮動本體區上方，其中第二導電類型的頂區為重摻雜；以及
- 一個第一導電類型的本體區，沉積在兩個相鄰的溝槽柵極之間以及頂區上方，其中第一導電類型的浮動本體區的摻雜濃度低於第一導電類型的本體區摻雜濃度。
- 【第2項】 如申請專利範圍第 1 項所述的 IGBT 裝置，其特徵在於，第一導電類型為 P 型，第二導電類型為 N 型。
- 【第3項】 如申請專利範圍第 1 項所述的 IGBT 裝置，其特徵在於，第一導電類型為 N 型，第二導電類型為 P 型。
- 【第4項】 如申請專利範圍第 1 項所述的 IGBT 裝置，其特徵在於，溝槽柵極的底部觸及半導體頂層。
- 【第5項】 如申請專利範圍第 1 項所述的 IGBT 裝置，其特徵在於，一個或多個溝槽柵極垂直延伸的深度為 5 至 10 微米，間距為 3 至 15 微米。
- 【第6項】 如申請專利範圍第 1 項所述的 IGBT 裝置，其特徵在於，任意兩相鄰溝槽之間間距和溝槽深度比為 0.5 至 3。

第 1 頁，共 3 頁(發明申請專利範圍)

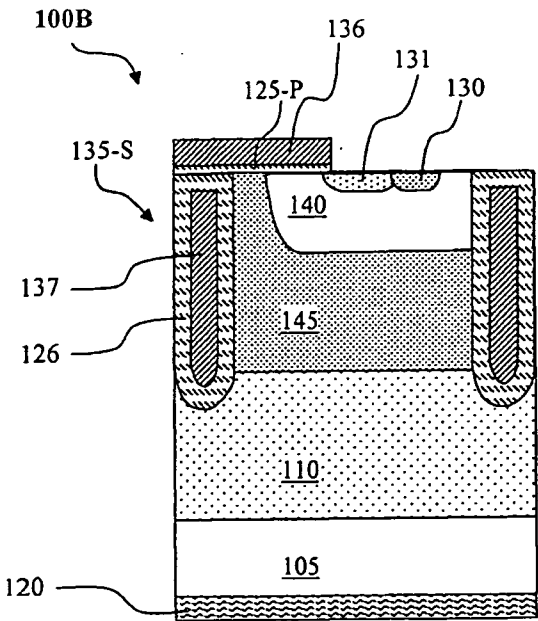
- 【第7項】 如申請專利範圍第1項所述的IGBT裝置，其特徵在於，第一導電類型的浮動本體區的摻雜濃度為 $1e16\text{cm}^{-3}$ 。
- 【第8項】 如申請專利範圍第1項所述的IGBT裝置，其特徵在於，第二導電類型的頂區摻雜濃度在 $5e16\text{cm}^{-3}$ 至 $5e17\text{cm}^{-3}$ 範圍內。
- 【第9項】 如申請專利範圍第1項所述的IGBT裝置，其特徵在於，第一導電類型的本體區的摻雜濃度在 $1e17\text{cm}^{-3}$ 至 $1e18\text{cm}^{-3}$ 範圍內。
- 【第10項】 如申請專利範圍第1項所述的IGBT裝置，其特徵在於，浮動本體區底部的深度接近於溝槽中多晶矽的底部，但在多晶矽底部之上。
- 【第11項】 如申請專利範圍第1項所述的IGBT裝置，其特徵在於，第一導電類型的浮動本體區的厚度為1微米或以上。
- 【第12項】 如申請專利範圍第1項所述的IGBT裝置，其特徵在於，還包括一個沉積在半導體基底上方的平面柵極，其中當IGBT裝置接通及/或斷開時，平面柵極起控制作用。
- 【第13項】 如申請專利範圍第12項所述的IGBT裝置，其特徵在於，至少一個溝槽柵極在其頂部延伸，以連接到平面柵極。
- 【第14項】 如申請專利範圍第1項所述的IGBT裝置，其特徵在於，還包括一個第二導電類型的源極區，沉積在第一導電類型的本體區上方，其中源極區為重摻雜，摻雜濃度範圍為 $1e20\text{cm}^{-3}$ 以上。
- 【第15項】 如申請專利範圍第14項所述的IGBT裝置，其特徵在於，還包括一個第二導電類型的輕摻雜源極區，沉積在重摻雜的源極區和一平面柵極之間。
- 【第16項】 一種用於製備IGBT裝置的方法，其特徵在於，包括：
製備一基底，包括第一導電類型的半導體底層和第二導電類型的半導體頂層，半導體頂層位於半導體底層上方；

爲溝槽柵極製備一個或多個溝槽，其中在每個溝槽的邊上都有一個柵極絕緣物，並用多晶矽填充，其中溝槽垂直延伸到半導體頂層中；在兩個相鄰的溝槽之間以及基底上方，製備一個第一導電類型的浮動本體區，其中浮動本體區底部的深度接近於溝槽中多晶矽的底部，但是在多晶矽底部上方；在浮動本體區上方製備一個第二導電類型的頂區，第二導電類型的頂區爲重摻雜；並且在頂區上方製備一個第一導電類型的本體區，第一導電類型的浮動本體區的摻雜濃度低於第一導電類型的本體區摻雜濃度。

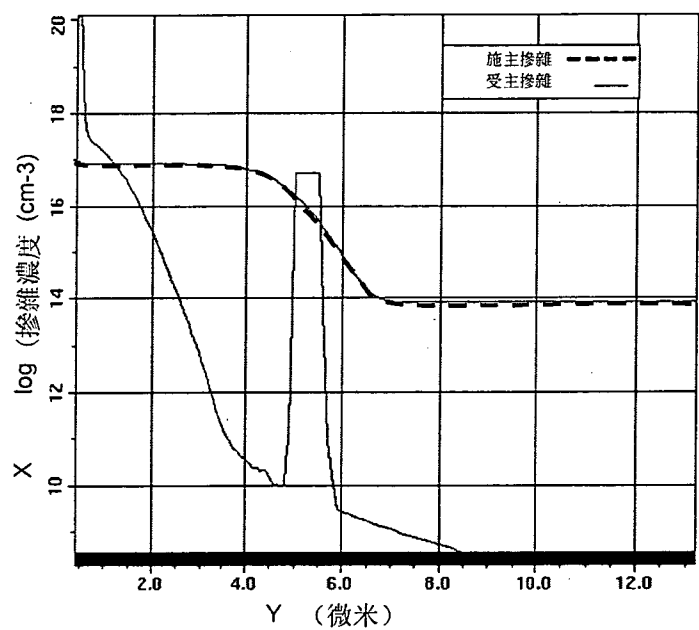
【發明圖式】



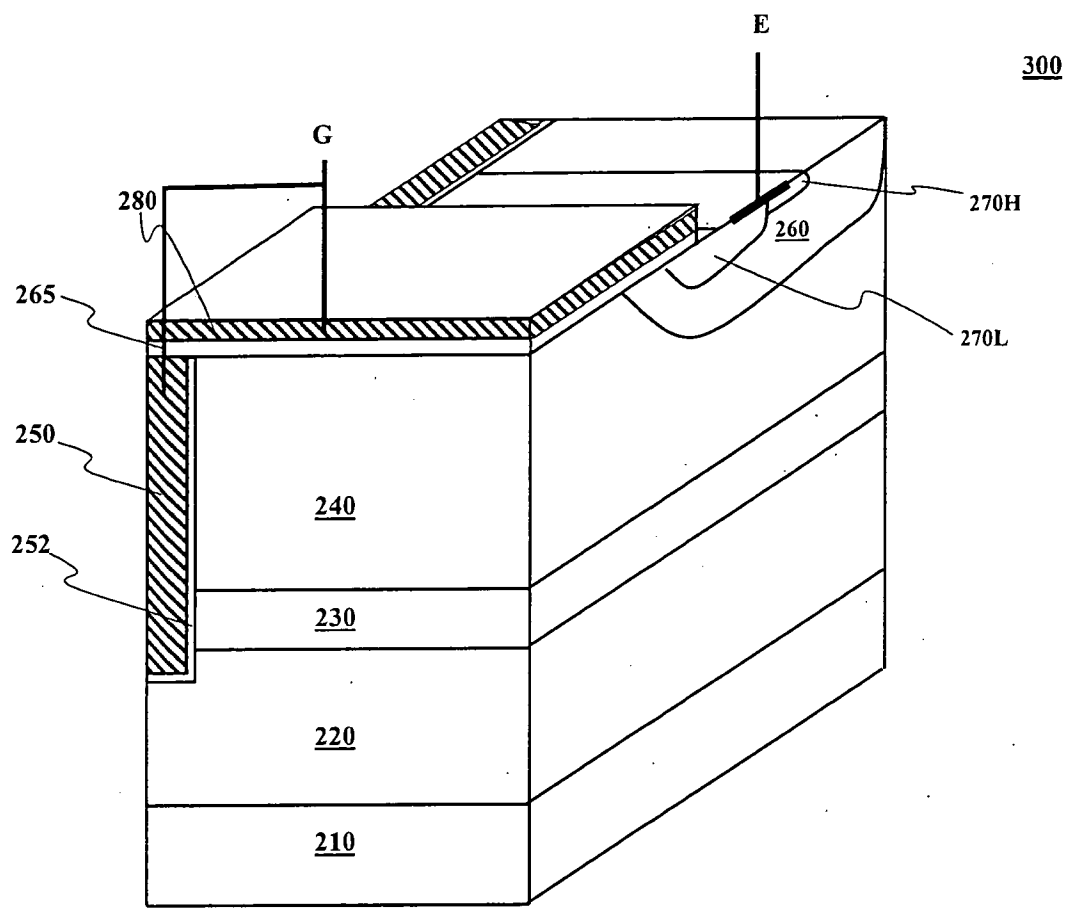
第1A圖



第1B圖

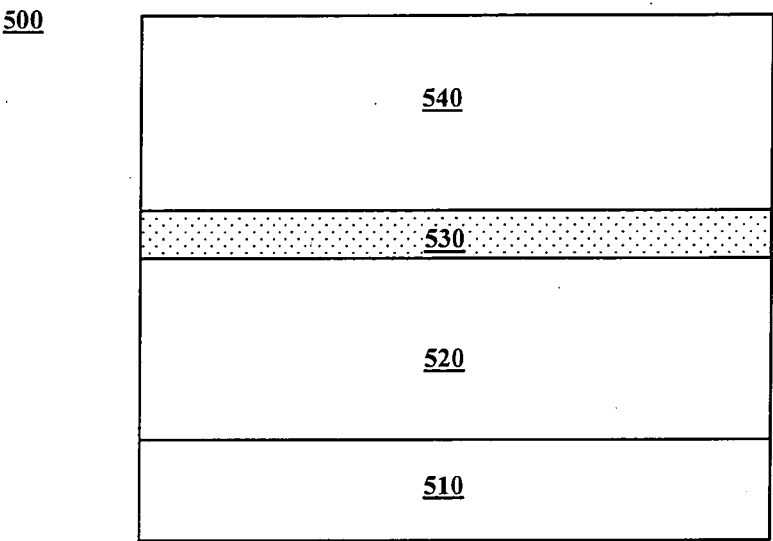


第2B圖

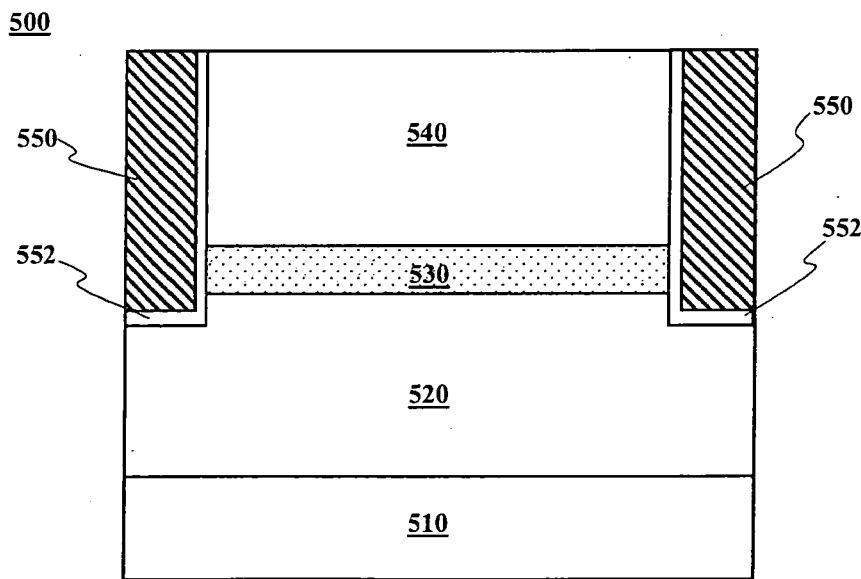


第3A圖

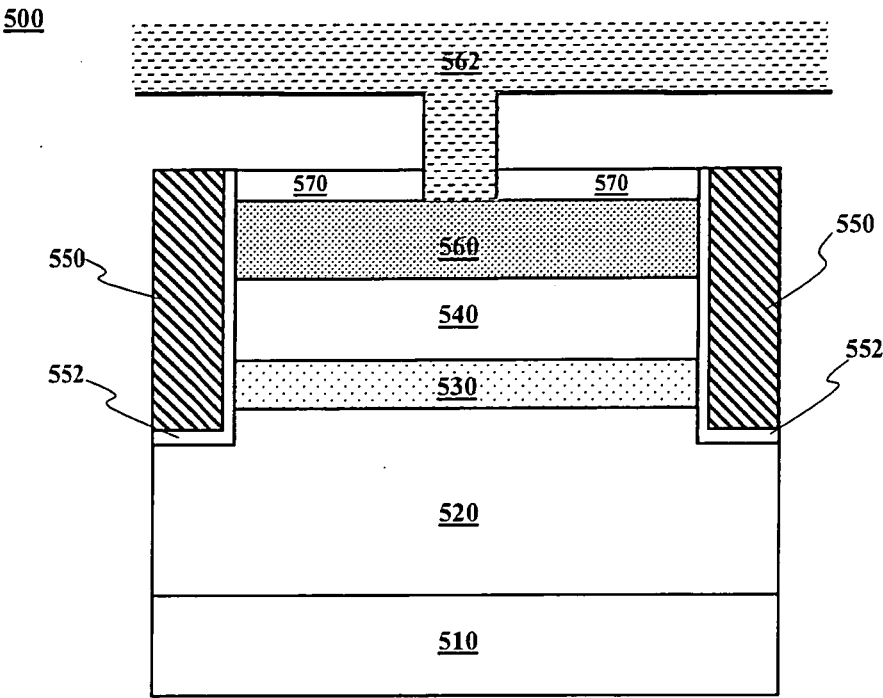
[illegible]



第5A圖



第5B圖



第5C圖