

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁶
H01L 25/00

(45) 공고일자 1996년01월11일
(11) 공고번호 특1996-0000711

(21) 출원번호	특1992-0017298	(65) 공개번호	특1993-0006816
(22) 출원일자	1992년09월23일	(43) 공개일자	1993년04월21일
(30) 우선권주장	91-274764 1991년09월26일 일본(JP)		
(71) 출원인	가부시기가이샤 도시바 사토 후미오 일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지		
(72) 발명자	아라키 고우지 일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시기가이샤 도시바 다마가와공장내 고지마 신지로 일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시기가이샤 도시바 다마가와공장내 다카하시 와타루 일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시기가이샤 도시바 다마가와공장내		
(74) 대리인	김윤배, 이범일		

심사관 : 양희용 (책자공보 제4284호)

(54) 반도체장치 및 그 제조방법

요약

내용 없음.

대표도

도1

명세서

[발명의 명칭]

반도체장치 및 그 제조방법

[도면의 간단한 설명]

- 제1도는 본 발명의 제1실시에 따른 반도체장치의 단면도.
- 제2도는 본 발명의 제1실시에 따른 반도체장치의 부분단면도.
- 제3도는 본 발명의 제1실시에 따른 반도체장치의 제조공정 단면도.
- 제4도는 본 발명의 제1실시에 따른 반도체장치의 제조공정 단면도.
- 제5도는 본 발명의 제2실시에 따른 반도체장치의 부분단면도.
- 제6도는 본 발명의 제3실시에 따른 반도체장치의 단면도.
- 제7도는 본 발명의 제4실시에 따른 반도체장치의 단면도.
- 제8도는 본 발명의 제5실시에 따른 반도체장치의 평면도 및 선 A-A'에 따른 단면도.
- 제9도는 본 발명의 제5실시에 따른 반도체장치의 부분단면도.
- 제10도는 본 발명의 제6실시에 따른 반도체장치의 부분단면도.
- 제11도는 종래의 반도체장치의 단면도이다.

* 도면의 주요부분에 대한 부호의 설명

- 1 : 커버
- 2 : 외부리드

- | | |
|----------------|-------------|
| 3 : 방열장치(히트싱크) | 4 : 회로기판 |
| 5 : 파워소자(파워펠릿) | 6 : 본딩와이어 |
| 7 : 내부접속리드 | 8 : 틀 |
| 9 : 제어용 소자(펠릿) | 10 : 보호절연막 |
| 11 : 도전층 | 12 : 홈 |
| 71 : 제2접속단자 | 72 : 제1접속단자 |
| 73 : 접촉구멍 | 72 : 돌기 |
| 81 : 제1틀 | 82 : 제2틀 |
| 83 : 제3틀 | 84 : 틀의 선반 |
| 85 : 돌기 | 86 : 돌기부 |
| 87 : 절결부 | |

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체장치 및 그 제조방법에 관한 것으로, 특히 전력용 파워 트랜지스터나 파워-IC(이하, 파워소자라 칭함) 등을 포함한 전원전압발생회로 등의 전력용 회로와, 파워소자를 포함하지 않은 집적회로 소자로 이루어진 그 제어회로를 혼재(混在)시킨 반도체장치에 관한 것이다.

[종래의 기술 및 그 문제점]

종래의 반도체장치, 특히 모듈제품은 한장의 기판상에 회로패턴을 형성하고, 그 위에 IC나 LSI 등을 포함한 복수개의 펠릿을 탑재시키며, 각 펠릿간의 전기적 접속은 각 펠릿의 전극과 회로패턴을 전기적으로 접속시키는 것이다. 이후, 기판은 이들 펠릿과 함께 수지밀봉된다.

그러나, 현재 반도체장치의 고밀도 실장(高密度 實裝) 진행되어 가능한 한 작은 패키지에 다수의 펠릿을 탑재시키는 것과 탑재되는 반도체 소자로서 제어회로 등에 이용되는 집적회로소자(이하, 제어용 소자라 칭함)와 파워소자를 혼재시키는 것 등 상당히 엄격한 조건이 패키지에 부가되었다. 더욱이, 소비전력이 큰 파워소자가 출현하거나 복수개의 전력용 회로를 1개의 패키지내에 혼재시키는 것과 같은 형태가 요구도 있기 때문에 방열성을 향상시키는 요구도 높아지고 있다.

이하, 제11도를 참조하여 상기한 종래의 모듈제품을 설명한다. 여기서, 회로기판(4)에는 반도체소자(5, 9; 펠릿)가 탑재되어 있고, 각 펠릿은 본딩와이어(6) 등을 통해 회로기판(4)상의 회로패턴에 전기적으로 접속되어 있다. 또한, 펠릿(5)은 파워소자를 포함한 방열성이 높은 것으로, 이하 파워펠릿이라 칭하고, 펠릿(9)은 통상의 제어용 소자를 포함한 제어회로 등을 나타내고 있다.

예컨대, 파워소자(5)로부터의 신호는 본딩와이어(6) 및 회로기판(4)의 회로패턴을 통해 다른 펠릿(9)이나 외부회로와 접속되는 외부리드(2)에 전해지고, 상기 회로기판(4)은 펠릿에서 발생하는 열을 외부로 보내는 방열장치(3; 히트싱크)에 고착되어 있으며, 상기 회로기판(4)을 갖춘 상기 히트싱크(3)는 합성수지 등의 커버(1)에 의해 피복되어 보호되고 있다.

본 반도체장치는, 통상 한장의 회로기판만으로 이루어지기 때문에 고밀도 실장화가 진척되어도 충분히 대응할 수 없는 것이 현재의 상태인 바, 이와같이 패키지 사이즈가 작게 되는 한편, 고밀도 실장화가 진척되는 엄격한 조건하에서 1장의 기판에 탑재되는 펠릿의 수에 한계가 있다. 또한, 기판이 1장 이상이어서 히트 스프레더(heat spreader)를 설치하는 등의 특수한 구조를 하지 않는 한 제어용 소자를 파워소자와 혼재시키는 것은 어렵다. 또, 고밀도 실장화를 도모하기 위해서는 실장된 복수의 기판을 겹쳐 쌓는 것을 용이하게 고려할 수 있지만, 통상의 인쇄회로 등에서는 실행가능하여도 파워소자를 포함한 방열성이 높은 반도체장치는 각 회로기판에 방열장치를 부착하지 않으면 안되고, 제조도 곤란하기 때문에 지금까지 이와 같은 고려는 실행되지 않았다.

[발명의 목적]

본 발명은 상기한 점을 감안하여 발명된 것으로, 방열성이 높은 회로기판을 용이하게 중첩시킬 수 있도록 된 구조의 반도체장치를 제공함에 그 목적이 있다.

[발명의 구성]

상기 목적을 달성하기 위한 본 발명은, 전기적 접속수단을 갖춘 틀을 각각의 회로기판에 부착하고, 이들 틀을 겹쳐 쌓음으로써 파워소자를 포함한 방열성이 높은 반도체장치의 고밀도 실장화를 도모한 것이다.

즉 본 발명에 따른 반도체장치는, 제1틀이 그 주변에 부착된 제1회로기판과, 이 제1회로기판에 적층되면서 제2틀이 그 주변에 부착된 제2회로기판, 상기 제1 및 제2회로기판에 각각 탑재된 반도체소자, 상기 제1틀에 형성되면서 상기 제1회로기판과 전기적으로 접속된 제1전기적 접속수단 및, 상기 제2틀에 형성되면서 상기 제2회로기판과 전기적으로 접속된 제2전기적 접속수단을 구비하여 구성되며, 상기 제1전기적 접속수단과 상기 제2전기적 접속수단을 전기적으로 접속함으로써 상기 제1 및 제2회로기판을 상호 전기적 접속하는 것을 특징으로 하고 있다.

상기 제1전기적 접속수단은 상기 제1틀로부터 돌출된 제1접속단자로 이루어지고, 상기 제2전기적 접

속수단은 상기 제2틀에 형성된 홈중에 배치된 제2접속단자로 이루어지며, 상기 제1접속단자가 상기 홈중의 제2접속단자와 접촉하여 제1 및 제2회로기판이 전기적으로 접속할 수 있게 하고, 상기 제1전기적 접속수단은 상기 제1틀로부터 돌출된 제1접속단자와 상기 제1틀 표면에 상기 제1접속단자를 둘러싸도록 형성된 도전층으로 이루어지며, 상기 제2전기적 접속수단은 상기 제2틀의 표면에 형성되면서 접촉구멍을 갖춘 제2접속단자로 이루어지고, 상기 제1접속단자는 상기 접촉구멍을 통해 상기 제2틀에 형성된 홈에 삽입됨으로써 상기 도전층 및 제1접속단자에 접촉될 수 있게 된다.

상기 제1회로기판에는 상기 반도체소자로서 파워소자가 탑재되어 있거나 또는 집적회로소자와 파워소자가 혼재되어 있고, 상기 제2회로기판에는 상기 반도체소자로서 집적회로소자가 탑재되어 있거나 또는 집적회로소자와 파워소자가 혼재되어 있다. 또한, 상기 파워소자를 탑재한 상기 제1 및 제2회로기판의 어느 한쪽 또는 양쪽의 반도체소자를 탑재한 면과는 반대의 면에 방열장치를 부착할 수 있게 되고, 상기 방열장치는 그 회로기판에 부착되어 있는 틀의 임의의 변의 내측벽 및 그 다른 변의 아래면에 접합되어 있다. 더욱이, 상기 제2회로기판에는 외주에 제3틀이 부착된 제3회로기판이 적층되고, 이 제3틀에는 상기 제3회로기판과 전기적으로 접속된 제3전기적 접속수단이 설치되어 있으며, 상기 제2전기적 접속수단과 상기 제3전기적 접속수단을 전기적으로 접속함으로써 상기 제2 및 제3회로기판을 상호 전기적으로 접속할 수 있게 된다.

상기 제1틀에는 그 외부에 돌기부를 형성하고, 상기 제2틀에는 그 외주에 절결부를 형성하며, 상기 돌기부 및 절결부를 끼워 맞춤으로써 상기 제2틀을 제1틀에 고정시킬 수 있게 된다.

한편, 본 발명에 따른 반도체장치의 제조방법은 복수의 리드를 소정의 간격으로 금형내에 배치하는 공정과, 상기 금형에 절연물을 충전하여 경화시켜서 상기 리드가 부착된 틀을 형성하여 공정, 상기 리드를 가공하여 상기 틀에 전기적 접속수단을 부착시키는 공정, 상기 틀에 회로기판을 부착시키는 공정, 상기 회로기판에 집적회로소자 또는 파워소자 또는 그 양자로 이루어진 반도체 소자를 탑재시키는 공정, 상기 회로기판과 상기 전기적 접속수단을 전기적으로 접속하는 공정을 구비하고 있는 것을 특징으로 하고 있다. 이 방법에서는 상기 리드를 가공하여 상기 틀내에 전기적 접속수단을 부착시킨 공정에 있어서, 상기 리드를 가공할 때에 외부리드도 형성할 수 있게 된다.

[작용]

상기와 같이 구성된 본 발명은, 전기적인 접속수단을 갖춘 틀을 매개로 회로기판을 겹쳐 쌓고, 이들을 전기적으로 접속을 하기 때문에 제어용, 소자를 파워소자에 혼재하는 형태의 반도체장치에 있어서 회로기판을 적층하는 것이 용이하게 되어 고밀도 실장화가 달성된다. 또한 파워소자를 주체로 하는 회로기판과 제어회로 등에 포함된 제어용 소자를 주체로 하는 회로기판으로 구분하도록 하면, 제어용 소자는 파워소자의 열의 영향을 그다지 받지 않으므로 상에 방열장치를 발열이 큰 전자에서는 부착시켜도 되고, 후자에서는 부착시킬 필요가 없기 때문에 양자는 방열효과를 충분히 유지된 상태로 중첩된다.

[실시예]

이하, 예시도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

먼저, 제1도 내지 제4도를 참조하여 본 발명에 따른 제1실시예를 설명한다.

제1도는 제1실시예에 따른 반도체장치의 단면도이고, 제2도는 그 접속부분의 확대단면도로서, 본 반도체장치는 1쌍의 회로기판(4)으로 이루어지고, 각 회로기판(4)도 반도체소자를 이용한 제어용 소자, 즉 펠렛(9)과 파워소자, 즉 파워-펠렛(5)이 혼재되어 있다. 또한, 양 기판의 회로구성은 전부 동일하여도 되고, 각각 다르게 할 수도 있다. 상기 회로기판(4)은 각각 히트싱크(3)에 고정되어 있고, 상기 회로기판(4)을 지지하는 히트싱크(3)는 틀(8)에 의해 그 주변이 지지 고정되어 있다.

상기 틀(8)에는, 예컨대 선반(84)이 설치되어 있고, 그 1번의 선반(84; 제1도에서는 좌측의 변)에 외부와 접속되는 외부리드(2)가 고정되어 있다. 또한, 그 다른 임의의 변(제1도에서는 우측의 변)에 있는 선반(84)에는 틀과 틀을 전기적으로 접속하는 내부접속리드(7)가 고정되어 있는데, 고정방법으로는 유기접착제를 이용하는 등 기존의 기술을 이용한다.

또, 1쌍의 회로기판(4)은 제1회로기판(4)을 제1틀(81)에 부착시키고, 제2회로기판(4)을 제2틀(82)에 부착시키는 바, 양자는 틀에 설치된 접속수단은 결합함으로써 전기적으로 접속되고, 기판에 탑재된 각 펠렛군은 마주보도록 겹쳐 쌓여진다.

제2도에서 그 접속구조를 설명한다. 상기 제1틀(81)에는 내부접속리드로 형성된 제1접속단자(72)가 부착되고, 제2틀(82)에는 내부접속리드로 형성된 제2접속단자(71)가 부착된다. 또한, 접속단자(71, 72)는 각각 틀의 선반(84)에 고정되어 있는 바, 제2접속단자(71)의 선단은 노출되어 있는 한편 제1접속단자(72)의 선단은 제1틀(81)의 돌출부에 설치된 홈(12)에 형성되며, 선반(84)에 고정되어 있는 부분과 연결되어 있다.

이 제1틀(81)과 제2틀(82)을 접속하는데에는 먼저 제2틀(82)을 각각의 펠렛(5,9)이 대향되도록 제1틀에 탑재시키고, 이때 제2접속단자(71)의 선단이 제1틀(81)의 돌출부의 홈(12)에 삽입되어 제1접속단자(72)와 접촉된다. 이후, 양자의 전기적 접속을 확실하게 하기 위해 이 홈내벽에 돌기(85)를 설치하고, 그 돌기가 제2접속단자(71)를 제1접속단자(72)에 압박하도록 한다.

이와 같이, 회로기판(4)을 전기적 접속수단을 갖춘 틀(8)을 개재시켜 적층하기 때문에 고밀도 실장화가 용이하게 실현되고, 또한 제어소자나 파워소자와 같은 반도체소자가 포함된 펠렛(5,9)이 형성된 면을 서로 마주보도록 적층하기 때문에, 방열장치인 히트싱크(3)는 어느 회로기판에 형성되도록 방열면이 바깥쪽을 향하도록 형성되어 있어 반도체장치의 방열특성은 손상되지 않는다. 또, 펠렛(5,9)과 회로기판(4)상의 회로패턴, 외부리드(2)와 회로패턴 및, 내부접속리드(7)와 회로패턴을 각각 접속하는데에는 Si이나 Au 등의 본딩와이어(6)를 사용한다.

또한, 적층된 2개의 회로기판의 사이는 공간으로 되어 있는 것이 아니고, 실리콘이나 에폭시수지와

같은 수지가 충전되어 펠렛(9)이나 파워-펠렛(5) 등을 보호하고 있다. 여기서, 틀(8)은 예컨대 폴리페닐렌설파이트(PPS)와 같은 수지재료로 형성되고, 알루미늄과 같은 세라믹을 이용할 수도 있다.

다음에, 제3도 및 제4도를 참조하여 본 실시예의 제조방법을 설명한다. 일정한 간격으로 늘어선 리드군(2)을 가열한 금형에 세트시키고, 예컨대 PPS 등의 수지를 이 금형에 보내어 제1도에 나타난 제1틀(81)을 형성하면서 리드군을 부분적으로 매립·설치하여 고정시킨다. 이 리드의 수지에 매립·설치되어 있는 부분에는 관통구멍, 절결, 돌기 등을 형성시킬 수 있는 바, 이와 같이 하면 리드와 수지의 밀착성이 현저하게 향상된다.

또한, 리드군(2)의 일단은 절곡되어 선단이 제1틀(81)로부터 수직으로 돌출되어 있다. 따라서 리드군의 제1틀(81)의 중심부에 있는 공간에 떠있는 부분을 절단하여 리드를 제1틀(81)로부터 수평으로 나와 있는 외부리드(2)와 내부의 회로소자에 접속하고, 제1틀(81)에서 수직으로 돌출되어 있는 내부 접속리드(이 경우는, 제1접속단자(72))로 분단시킨다. 여기서, 외부리드는 약 0.4mm 두께의 Cu로 이루어지며, 핀모양을 하고 있다.

따라서, 이 틀에 예컨대 Al₂O₃ 등의 세라믹으로 이루어진 회로기판(4)을 부착시키는데, 이 회로기판의 크기는 세로가 약 44mm, 가로가 약 40mm, 두께가 약 0.635mm이고, 이 회로기판상의 회로패턴은 두께가 약 0.15 내지 0.2mm, 폭이 약 0.3mm의 Cu판으로 이루어지며, 표면에 Ni 또는 Au도금이 실시되어 있다. 또한, Cu판을 이용하지 않고, Cu도금 등으로 회로패턴을 형성할 수도 있다.

본 실시예에서 상기 회로기판(4)에는 반소체소자를 이용한 파워소자로 이루어진 펠렛(5)과 제어용 소자로 이루어진 펠렛(9)이 혼재되어 있고, 상기 회로기판(4)은 상기한 바와 같이 파워-펠렛(5)을 탑재하고 있기 때문에 발열이 커서 방열처리를 실시하지 않으면 안된다. 따라서, 회로기판(4) 표면에는 Cu, Al 등으로 이루어진 히트싱크(3)가 부착되어 있고, 이 히트싱크(3)는 회로기판(4)보다 크기 때문에 제1틀(81)에 접속되는 것은 히트싱크(3)이며, 이는 접착제 등에 의해 고정된다.

또한, 회로기판(4)상의 회로패턴과 펠렛(5,9) 등은 Al 등의 본딩와이어(6)에 의해 전기적으로 접속되고, 더욱이 외부리드(2)나 제1접속단자(72)도 본딩와이어(6)에 의해 회로패턴에 접속되어 있다. 다음에, 에폭지수지 등을 회로기판에 떨어뜨려 경화시켜 보호막(10)으로 하는데, 이 재료로서는 별도의 실리콘 등이 있지만 통상 보호막으로서의 재료로 알려진 것은 모두 사용할 수 있다.

상기 제1틀(81)은 제1접속단자(72)를 구비하면서 제1도에 나타난 바와 같이 제2접속단자(71)를 구비한 제2틀(82)에 접속되고, 제2틀(82)은 리드를 갖춘 틀의 형성으로부터 수지 등의 보호막의 형성까지 제1틀(81)과 동일한 구성으로 형성되지만, 내부접속리드 부분만을 제2접속단자(71)가 부착된다. 이와 같은 구성의 제1 및 제2틀(81,82)은 제2도에 나타난 바와 같이 접속되고, 제1틀(81)의 홀내의 돌기(85)가 2개의 리드의 접속을 견고하게 한다. 여기서, 형성되는 반도체장치의 패키지크기는 가로, 세로 각각 60mm, 두께 20mm이다.

다음에, 제5도를 참조하여 제2실시예에 대해서 설명한다. 본 도면은 반도체장치의 중요한 부분의 단면도로서, 제1과 제2틀(81,82)의 접속상태를 나타낸 것이다. 상기 제2틀(82)의 접속단자(71)의 선단은 상기 실시예와 마찬가지로 제2틀(82)로부터 수직으로 돌출되어 있는데, 돌출면에는 제2접속단자(71)를 에워싸는 것과 같은 형상으로 도전층(11), 예컨대 납땀이 형성되어 있다.

한편, 제1틀(81)에 형성되어 있는 제1접속단자(72)는 제1틀(81)상에 수평으로 부착되어 있고, 제1접속단자(72)의 선단에는 접촉구멍(73)이 형성되어 있으며, 이 접촉구멍(73)은 틀(81)에 설치된 홀(12)에 연결되어 있다. 이 1쌍의 틀을 적층하고, 양자를 전기적으로 접속하기 위해서는 제2접속단자(71)의 선단을 제1접속단자(72)의 접촉구멍(73)을 매개로 홀(12)중에 삽입하면서 도전층인 납땀(11)을 이용해서 양 접속리드를 결합하는데, 상기 납땀은 양 틀의 결합을 견고하게 한다. 본 발명에서 도전층재료는 납땀에 한정되는 것은 아니고, 금속막이나 도전성 수지 또는 감광성의 도전재료 등을 이용할 수도 있다.

다음에, 제6도를 참조하여 제2실시예에 대해서 설명한다.

제어용 소자는 열의 발열을 특별한 문제로 할 필요는 없고, 오히려 파워소자에 의한 열의 영향을 고려하지 않으면 안된다. 따라서, 제어용 소자를 파워소자에 혼재하는데에는 양자를 사이를 두는 등 충분한 주위를 하지 않으면 안되어 실장밀도를 향상시키는 것이 상당히 곤란하였지만, 본 발명을 적용하면 이와 같은 문제를 용이하게 해결할 수 있게 된다.

즉, 본 실시예에서는 파워소자로 이루어진 회로기판과 제어용 소자로 이루어진 회로기판을 이용하여 한쪽을 다른쪽에 중첩되도록 한 것으로, 전자는 방열장치를 부착하는 등으로 하여 열전도성을 양호하게 하며, 후자에는 미세패턴회로를 형성한다. 또한, 제1틀(81)에는 파워소자로 이루어진 펠렛(5)만으로 이루어진 회로기판을 히트싱크(3)를 매개로 부착하고, 그 위에 적층된 제2틀(82)에 부착되는 회로기판(4)은 방열장치를 설치하지 않고 직접 틀(82)에 부착된다. 이 제2틀(82)에 고정되는 회로기판(4)은 통상의 인쇄회로기판으로 하여도 되고, 다층기판을 이용할 수도 있다.

상기 회로기판(4)에는 제어용 소자 등의 펠렛(9)이 탑재되어 있고, 파워소자와 같은 발열성 소자는 부착되지 않는다. 이와 같이, 회로기판의 한쪽을 열전도성을 양호하게 하고, 다른쪽을 미세패턴회로로 할 수 있기 때문에 간단히 파워소자와 집적도가 높은 집적회로를 혼재시킬 수 있게 된다. 또한, 파워소자와 제어용소자 등의 집적회로는 열경로가 떨어져 있기 때문에 이러한 집적회로는 파워소자의 발열의 영향을 받기 어렵고, 신뢰성도 높다. 물론, 어느 쪽의 회로기판 표면도 에폭지수지 등의 보호절연막(10)에 의해 보호되어 있다.

다음에, 제7도를 참조하여 제4 실시예를 설명한다.

지금까지 실시예에서 설명한 본 발명에 따른 반도체장치는 모두 2층으로 적층한 예를 나타내고 있지만, 적층에 사용된 틀(8)에 전기적 접속수단을 이용하면 더욱 틀을 중첩시킬 수 있는 바, 3층, 4층 또는 그 이상으로 적층된 회로기판을 갖춘 반도체장치를 제공할 수도 있게 된다.

상기 제1틀(81)에는 히트싱크(3)에 부착된 회로기판(4)이 장착되어 있는 바, 파워소자를 포함한 펠렛(5)만 탑재되어 있다. 이 회로기판(4)의 회로는 본딩와이어(6)를 매개로 제1틀(81)에 고정되어 있는 외부리드(2)나 제1접속단자(71)에 전기적으로 접속되어 있다. 이 제1틀(81)상에는 제2틀(82)이 접속되어 있는바, 전기적으로 이 제2틀(82)에 고정되어 있는 제2접속단자(72)에 의해 제1틀(81)과 접속되어 있고, 제2틀(82)에 고정되어 있는 회로기판(4)에는 제어용 소자 등을 포함한 집적회로의 펠렛(9)만이 탑재되어 있다.

지금까지는, 제6도에서 설명한 제3실시예와 동일한 구성이지만, 본 실시예에서는 제3틀(83)이 제2틀(82)상에 겹쳐 쌓여 있는 것이 상기 실시예와 다르다. 상기 제3틀(83)을 겹쳐 쌓기 위해서는 제2틀(82)에 제2접속단자(72) 이외에 제1접속단자(71)를 부착시킬 필요가 있다.

제7도에서는 제2접속단자(72)가 고정되어 있는 면의 이측면에 제1접속단자(71)를 부착하고 있고, 상기 제3틀(83)에는 상기 제2틀(82)에 부착된 제1접속단자(71)에 대향되도록 제2접속단자(72)가 부착되어 있으며, 양자가 전기적으로 접속되어 제3틀(83)이 겹쳐 쌓여지게 된다. 상기 제3틀(83)에는 외부리드가 필요에 따라 부착되지만, 여기에서는 부착되어 있지 않다. 또, 제2틀(82)의 제1접속단자(71)가 제2틀(82)의 제어용 소자(9) 등에 전기적으로 접속되기 위해서는 회로기판(4)으로 다층기판을 이용하면 되고, 회로기판의 이면에 설치된 패드(도시되지 않음)와 제1접속단자(71)을 와이어본딩(6)으로 접속할 수 있기 때문에 회로기판간의 접속은 용이하게 수행된다.

상기 각 회로기판 표면은 당연히 에폭시수지 등의 보호절연막(10)으로 보호되어 있고, 회로기판을 3층으로 하면 중간층의 회로기판의 방열처리가 곤란하게 되지만, 펠렛의 배치를 고려하여 중간층에 방열성의 소자를 탑재하지 않으면, 반도체장치 전체의 방열처리는 유효하게 수행할 수 있게 된다.

다음에, 제8도 및 제9도를 참조하여 제5실시예를 설명한다.

제8도는 틀(8)의 평면도 및 선 A-A'에 따른 부분을 단면도이고, 제9도는 상기 제1틀과 이에 일치되는 제2틀을 결합하는 구조를 나타낸 반도체장치의 단면도이다. 이 평면도에 나타난 바와 같이, 외부리드(2) 및 제1접속단자(71)는 함께 다수 정렬되어 상호 마주보면서 배치되어 있다. 그리고, 제1틀(81)의 단면도와 같이 틀(8)이 최외주(最外周)는 돌기부(86)를 형성하고 있고, 이는 제1접속단자(71)와 평행하게 되어 있다. 또한, 제9도에 나타난 제2틀(82)의 단면도와 같이 틀(82)의 최외주는 절결부(87)로 되어 있다. 따라서, 2개의 틀을 전기적으로 접합되도록 하면 이 절결부(87)와 돌기부(86)가 엄밀하게 끼워 맞추어져 양자는 견고하게 결합된다.

또, 제8도에 도시되어 있는 틀(8)은 방열장치, 예컨대 히트싱크(3)가 부착되기 쉬운 구조를 갖추고 있는바, 예컨대 제1도에 나타난 예에서는 틀의 내측면에 히트싱크(3)의 단면을 접촉하고 있었지만, 본 도면에는 틀의 종방향의 두께를 틀의 변에 의해 변화시켜 외부리드(2)가 고정되어 있는 부분에서는 그 내측면에 히트싱크(3)의 단부를 접촉하고 있지만, 제1접속단자(71)가 고정되어 있는 부분에서는 그 저면에 히트싱크(3)가 접촉되어 있다.

그 결과, 제1접속단자(71)의 부분에서는 히트싱크(3)를 틀의 외측으로 연장시킬 수 있고, 이 부분에서 히트싱크를 부착시키는 구멍을 형성할 수 있게 된다. 상기 제1틀(81)에 대응되는 제2틀(82)에는 부착구멍이 있는 히트싱크를 이용해도 되고, 또는 제2도에 나타난 바와 같이 히트싱크로 하여도 된다. 통상, 히트싱크의 부착구멍이 있는 부분은 틀의 변의 저면에 접촉되고, 부착구멍을 필요로 하지 않는 부분은 틀의 내측면에 접촉된다. 상기의 예에서 접촉구멍은 1개이지만, 실제로는 1개에 한정되지 않고 그 이상으로 하여도 되며, 틀의 각 변에 4개도 부착된다. 또한, 히트싱크에 4개의 접촉구멍을 필요로 할 때에는 히트싱크는 틀의 저면만과 접촉된다.

다음에 제10도를 참조하여 제6실시예에 대해서 설명한다.

본 발명에서 이용되는 틀에 부착되는 전기적 접속수단은 상기한 실시예에 나타난 구조에 한정되지 않고 모든 주지기술을 적용할 수 있다. 본 실시예도 그 하나로서, 일단 끼워 맞추어진 제1접속단자(71)와 제2접속단자(72)가 용이하게 떨어지는 구조로 되어 있고, 제1틀(81)에 고정되어 있는 제1접속단자(71)는 틀로부터 수직으로 돌출되어 있으며, 그 선단에는 기계가공에 의해 돌기(74)가 형성되어 있다.

한편, 제2틀(82)에는 제2접속단자(72)가 부착되어 있고, 그 선단은 절곡되어 상기 틀에 형성된 홈(12)내에 삽입되어 있다. 또한, 리드는 탄성이 있기 때문에 완전히 수직으로 되지 않고, 홈(12)의 한쪽의 변으로부터 다른쪽의 변으로 경사지게 횡단되도록 배치되어 있다. 따라서, 제1접속단자(71)가 삽입될 경우 그 선단의 돌기(74)는 제2접속단자(72)의 선단보다 깊게 홈속에 들어가 있어 리드의 빠짐을 방지하도록 되어 있다.

상기 실시예에 나타난 회로기판에 탑재된 소자가 구성하는 출력용 회로에는, 예컨대 전원 전압발생 회로나 모터구동회로 등이 있고, 이들 회로에 검출회로 등의 제어용 회로가 혼재되어 있다. 이러한 회로기판으로는 기존의 어떠한 재료도 이용할 수 있는바, 예컨대 유리섬유에 에폭시수지를 함침시킨 유리에폭시수지나 Al_2O_3 , AlN , SiC , BeO 등의 세라믹이 있으며, 특히 AlN 기판과 같이 열전도성이 양호한 회로기판쪽이 방열에는 우수하다.

상기 실시예에서는 반도체장치의 회로기판간의 전기적 접속이 접속단자와 같은 종류의 접촉에 의해 수행되지만 본 발명에서는, 예컨대 스프링과 같은 중간체를 접속단자에 개입시킬 수 있다. 제2도의 가이드(guide)로 되는 홈(12)에 스프링을 삽입하면 단자간의 전기적 접속은 확실하게 된다. 또한, 상기 실시예에서 이용한 반도체소자를 보호하는 수지피막은 반드시 필요하지는 않고, 예컨대 틀에 세라믹을 이용한 경우에는 방열판과 틀의 사이를 하메틱실 등으로 기밀하게 봉지함으로써 제2도와 같이 틀 및 회로기판으로 둘러싸여진 공간을 수지피막으로 충전시킬 필요는 없다.

한편, 본원 청구범위의 각 구성요소에 병기된 도면 참조부호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도면에 도시한 실시예에 한정하는 의도에서 병기한 것은

아니다.

[발명의 효과]

이상 설명한 바와 같이 본 발명에 의하면, 파워소자를 혼재한 반도체장치에 있어서 단위면적당 소자의 실장밀도는 현저하게 향상된다. 또한, 파워소자와 같은 발열성의 소자를 포함한 회로와 비발열성의 소자만으로 이루어진 회로를 각각의 기판으로 나눌 수 있기 때문에 비발열성의 소자는 다른 소자와 접근되어 있어도 파워소자의 발열의 영향을 받기 어려워 신뢰성이 높은 반도체장치가 형성된다.

(57) 청구의 범위

청구항 1

제1틀(81)이 그 주위에 부착된 제1회로기판(4)와, 이 제1회로기판(4)에 적층되면서 제2틀(82)이 그 주위에 주착된 제2회로기판(4), 상기 제1 및 제2회로기판(4)에 각각 탑재된 반도체소자(5,9), 상기 제1틀(81)에 형성되면서 상기 제1회로기판(4)과 전기적으로 접속된 제1전기적 접속수단(72) 및, 상기 제2틀(82)에 형성되면서 상기 제2회로기판(4)과 전기적으로 접속된 제2전기적 접속수단(71)을 구비하고, 상기 제1전기적 접속수단(72)과 상기 제2전기적 접속수단(71)을 전기적으로 접속함으로써 상기 제1 및 제2회로기판(4)을 상호 전기적으로 접속되도록 된 것을 특징으로 하는 반도체장치.

청구항 2

제1항에 있어서, 상기 제1전기적 접속수단(72)은 상기 제1틀(81)로부터 돌출된 제1접속단자로 이루어지고, 상기 제2전기적 접속수단(71)은 상기 제2틀(82)에 형성된 홈속에 배치된 제2접속단자로 이루어지며, 상기 제1접속단자가 상기 홈속의 제2접속단자와 접속되어 제1 및 제2회로기판(4,4)이 전기적으로 접속되도록 된 것을 특징으로 하는 반도체장치.

청구항 3

제1항에 있어서, 상기 제1전기적 접속수단(72)은 상기 제1틀(81)로부터 돌출된 제1접속단자와 상기 제1틀(81)의 표면상에 상기 제1접속단자를 에워싸도록 형성된 도전층으로 이루어지고, 상기 제2전기적 접속수단(71)은 상기 제2틀(82)의 표면상에 형성되면서 접촉구멍을 갖춘 제2접속수단로 이루어지며, 상기 제1접속단자는 이 접촉구멍을 통해 상기 제2틀(82)에 형성된 홈에 삽입됨으로써 상기 도전층 및 제1접속단자에 접촉되도록 된 것을 특징으로 하는 반도체장치.

청구항 4

제1항에 있어서, 상기 제1회로기판(4)에는 상기 반도체소자로서 파워소자가 탑재되어 있거나 또는 집적회로소자와 파워소자가 혼재되어 있고, 상기 제2회로기판(4)에는 상기 반도체소자로서 집적회로소자가 탑재되어 있거나 또는 집적회로소자와 파워소자가 혼재되어 있는 특징으로 하는 반도체장치.

청구항 5

제4항에 있어서, 상기 파워소자를 탑재한 상기 제1 및 제2회로기판(4)의 어느 한쪽 또는 양쪽의 반도체소자가 탑재되어 있는 면과는 반대의 면에 방열장치(3)를 부착시킨 것을 특징으로 하는 반도체장치.

청구항 6

제5항에 있어서, 상기 방열장치(3)는 그 회로기판에 부착되어 있는 틀의 임의의 변의 내측면 및 그 다른 변의 저면에 접합되어 있는 것을 특징으로 하는 반도체장치.

청구항 7

제1항에 있어서, 상기 제2회로기판(4)에는 외주에 제3틀(83)이 부착된 제3회로기판(4)이 적층되고, 이 제3틀(83)에는 상기 제3회로기판(4)과 전기적으로 접속된 제3전기적 접속수단(72)이 설치되어 있으며, 상기 제2전기적 접속수단(71)과 상기 제3전기적 접속수단(72)을 전기적으로 접속함으로써 상기 제2 및 제3회로기판(4,4)을 상호 전기적으로 접속하도록 된 것을 특징으로 하는 반도체장치.

청구항 8

제1항에 있어서, 상기 제1틀(81)에는 그 외주에 돌기부(86)를 형성하고, 상기 제2틀(82)에는 그 외주에 절결부(87)를 형성하며, 상기 돌기부(86) 및 절결부(87)를 끼워맞추어서 상기 제2틀(82)을 제1틀(81)에 고정시키도록 된 것을 특징으로 하는 반도체장치.

청구항 9

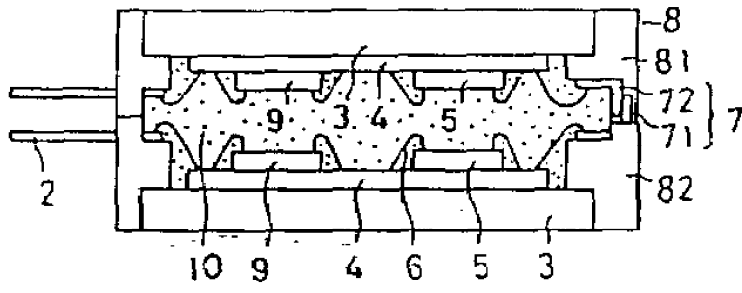
복수의 리드를 소정의 간격으로 금형내에 배치하는 공정과, 상기 금형에 절연물을 충전하여 경화시켜 상기 리드가 부착되는 틀을 형성하는 공정, 상기 리드를 가공하여 상기 틀에 전기적 접속수단을 부착시키는 공정, 상기 틀에 회로기판을 부착시키는 공정, 상기 회로기판에 집적회로소자 또는 파워소자 또는 그 양자로 이루어진 반도체소자를 탑재하는 공정 및, 상기 회로기판과 상기 전기적 접속수단을 전기적으로 접속하는 공정을 구비하여 이루어진 것을 특징으로 하는 반도체장치.

청구항 10

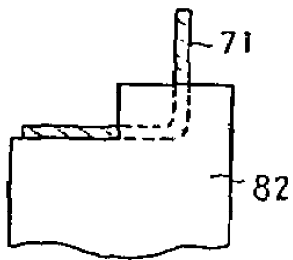
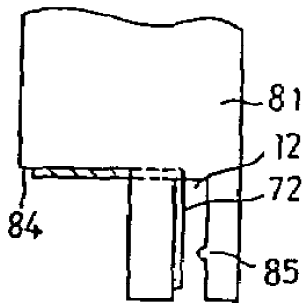
제9항에 있어서, 상기 리드를 가공하여 상기 틀내에 전기적 접속수단을 부착시키는 공정에 있어서, 상기 리드를 가공할 때에 외부리드도 형성하도록 된 것을 특징으로 하는 반도체장치의 제조방법.

도면

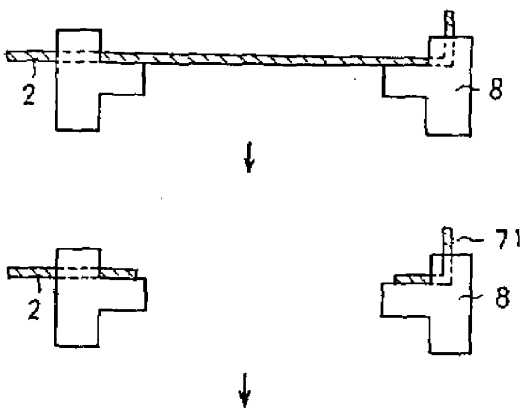
도면1



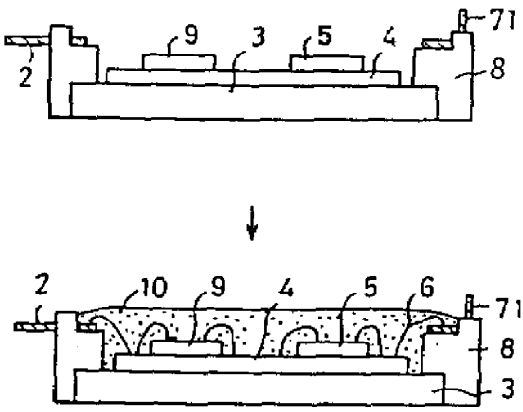
도면2



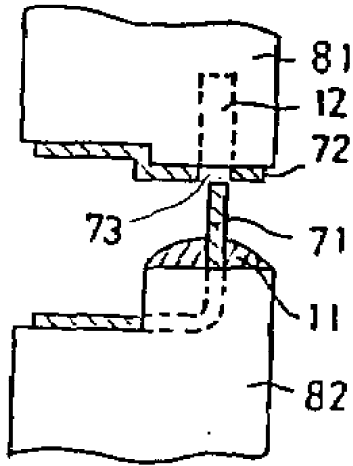
도면3



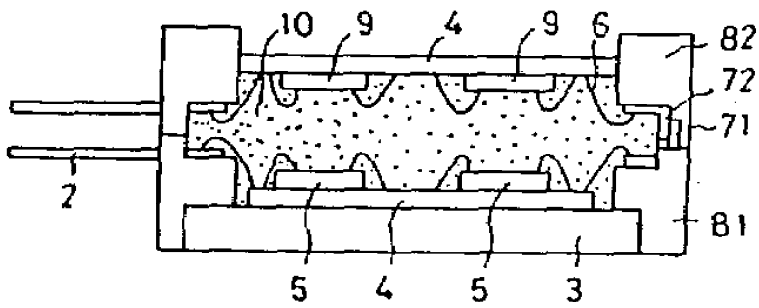
도면4



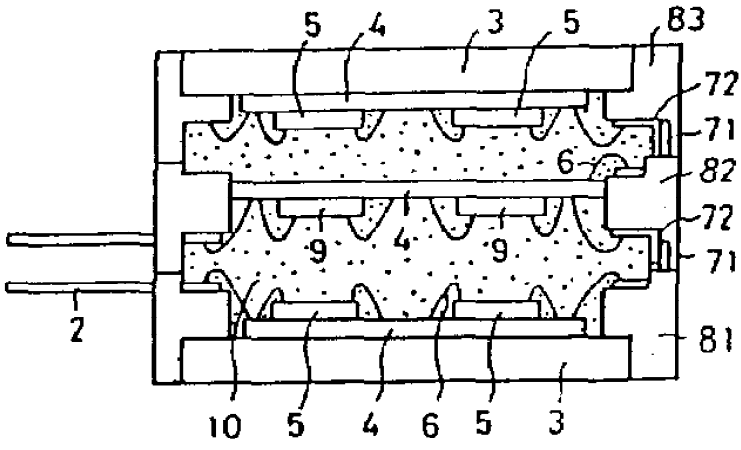
도면5



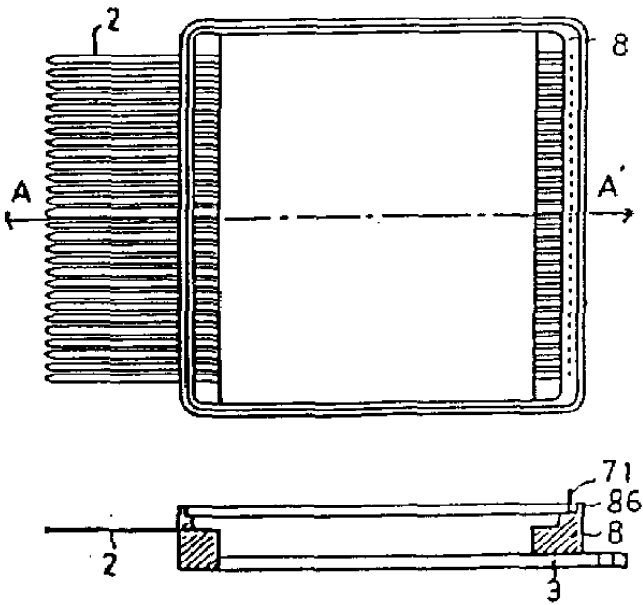
도면6



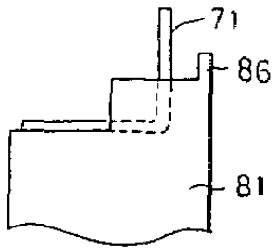
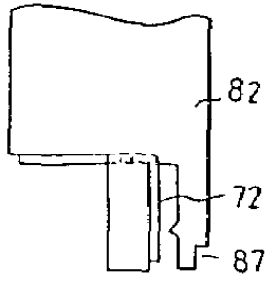
도면7



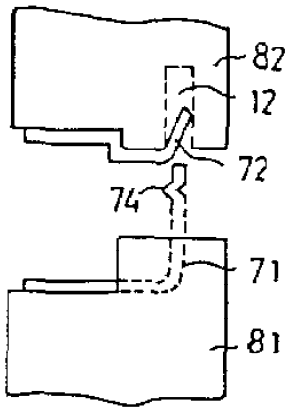
도면8



도면9



도면10



도면11

