

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 1 年 12 月 19 日 (2019.12.19)

【公開番号】特開 2018-88488 (P2018-88488A)

【公開日】平成 30 年 6 月 7 日 (2018.6.7)

【年通号数】公開・登録公報 2018-021

【出願番号】特願 2016-231585 (P2016-231585)

【国際特許分類】

H 0 1 L 31/107 (2006.01)

【F I】

H 0 1 L 31/10 B

【手続補正書】

【提出日】令和 1 年 11 月 5 日 (2019.11.5)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

複数の画素がアレイ状に配置された画素アレイ部と、
前記画素ごとに設けられる高電界領域によりキャリアを増倍させるアバランシェフォトダイオード素子と、
前記アバランシェフォトダイオード素子が形成される半導体基板において隣接する他の前記画素との間を絶縁して分離する画素間分離部と、
前記高電界領域を少なくとも覆うように、前記半導体基板の受光面の反対側となる表面に対して積層される配線層に設けられるメタル配線と
を備えるセンサチップ。

【請求項 2】

前記メタル配線と前記半導体基板との間に設けられ、前記アバランシェフォトダイオード素子を透過して前記メタル配線で反射した光を前記アバランシェフォトダイオード素子の中央に集光するインナーレンズ
をさらに備える請求項 1 に記載のセンサチップ。

【請求項 3】

前記画素間分離部は、前記半導体基板の裏面から前記表面まで貫通するように形成される
請求項 1 または 2 に記載のセンサチップ。

【請求項 4】

前記画素間分離部は、光を反射する金属膜と絶縁性を備えた絶縁膜とによる二重構造とされ、前記金属膜の表面が前記絶縁膜で覆われるように前記半導体基板に埋め込まれて形成される

請求項 1 乃至 3 のいずれかに記載のセンサチップ。

【請求項 5】

前記画素間分離部として前記半導体基板に埋め込まれた金属膜に電圧を印加することによって、ホールを蓄積するホール蓄積層が前記アバランシェフォトダイオード素子の外周に誘起される

請求項 1 乃至 4 のいずれかに記載のセンサチップ。

【請求項 6】

前記画素間分離部として前記半導体基板に埋め込まれた金属膜に電圧を印加することによって、キャリアをドリフトする電界が強化される

請求項 1 乃至 5 のいずれかに記載のセンサチップ。

【請求項 7】

前記高電界領域を少なくとも覆うように、光を反射する反射膜が前記半導体基板の表面に対して形成される

請求項 1 乃至 6 のいずれかに記載のセンサチップ。

【請求項 8】

前記反射膜に対して電圧を印加することによって、前記半導体基板の表面近傍に、ホールを蓄積するホール蓄積層を形成する

請求項 7 に記載のセンサチップ。

【請求項 9】

前記反射膜は、平面的に見たときに前記メタル配線に重なるように形成される

請求項 7 または 8に記載のセンサチップ。

【請求項 10】

前記画素間分離部の高さが、前記半導体基板の表面と略一致するように形成される

請求項 1 乃至 9 のいずれかに記載のセンサチップ。

【請求項 11】

複数の画素がアレイ状に配置された画素アレイ部と、

前記画素ごとに設けられる高電界領域によりキャリアを増倍させるアバランシェフォトダイオード素子と、

前記アバランシェフォトダイオード素子が形成される半導体基板において隣接する他の前記画素との間を絶縁して分離する画素間分離部と、

前記高電界領域を少なくとも覆うように、前記半導体基板の受光面の反対側となる表面に対して積層される配線層に設けられるメタル配線と

を有するセンサチップを備える電子機器。