

公告本

第 85109907 號專利申請案
中文說明書修正頁 民國 86 年 7 月修正

86年7月 修正
補充

315526

申請日期	85 年 8 月 14 日
案 號	85109907
類 別	H01L 21/13

A4
C4

315526

(以上各欄由本局填註)

發 明 專 利 說 明 書

一、發明 名稱	中 文	薄膜電晶體、以及具備它之液晶顯示裝置
	英 文	THIN FILM TRANSISTOR AND LIQUID CRYSTAL DEVICE FURNISHED WITH THE SAME
二、發明 創作人	姓 名	(1) 清木正寬 (2) 久保明
	國 籍	(1) 日本 (2) 日本 (1) 日本國神奈川縣横浜市金沢區並木三-二-七 クレアーレ東芝並木五二九
	住、居所	(2) 日本國兵庫縣姫路市余部區上余部五〇 クレアーレ東芝姫路一四二
三、申請人	姓 名 (名稱)	(1) 東芝股份有限公司 株式会社東芝
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣川崎市幸區堀川町七二番地
	代 表 人 姓 名	(1) 西室泰三

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , ☐有 ☐無主張優先權
日本 1995 年 8 月 23 日 7-214357 ☒無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先)
背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明背景

1. 發明領域

本發明係關於在絕緣基板上配置非單結晶矽薄膜而成之薄膜電晶體(以下,簡稱為TF T),以及具備它之液晶顯示裝置。

2. 先前技術

先前使用非結晶矽(以下,簡稱a-Si:H)或多結晶矽(以下,稱P-Si)等之非單結晶矽薄膜之TF T,由於可以在絕緣基板上橫跨比較大的面積而均勻形成之故,被利用在主動矩陣型顯示裝置之圖像開關或驅動電路等。

特別是,使用TF T於主動矩陣型顯示裝置之圖像開關之場合,爲了減輕波形歪斜,有必要使TF T之閘極配線低電阻化。由於此種情形,做爲閘極配線,以鋁(Al)等之低電阻金屬,及可以有效防止鋁(Al)之小丘狀或圓形膨脹等之發生之被覆鋁(Al)之鉻(Cr),鎢(W),鈦(Ti),或鉭等之較鋁(Al)具有高融點之金屬或鋁合金等而構成者,公開揭露於特開平4-353830號公報,特開平5-152572號公報或特開平6-120503號公報。

又,本申請人在特開平4-372934號公報中提案:使閘極配線做成鋁(Al)及被覆此鋁(Al)之其

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(2)

他的金屬材料，例如鉬，鉬 (M O - T a) 之積層構造之際，在鋁 (A l) 上配置鉬 (M o) ，以混酸蝕刻後，在去除鉬 (M o) 下，利用蝕刻率之差以使鋁 (A l) 形成推拔狀。介經如此，可以防止配置在閘極配線上之絕緣膜的絕緣不良。

爲了獲得優異元件特性，T F T 移動度高，而且門檻值電壓 (V_{th}) 低，在動作效率上最被希望者。但是，在達成上述閘極配線之低電阻化而使閘極配線爲多層構造之T F T 中，有移動度小，又，門檻值電壓 (V_{th}) 變高之傾向。

發明摘要

本發明係鑑於以上之點而成者，其目的在提供：不增加元件不良下，可以達成閘極配線之低電阻化，而且，可以獲得優異元件特性之薄膜電晶體，以及具備它之液晶顯示裝置。

本發明者等發現T F T 之元件特性，依賴於非單結晶矽薄膜之通道領域之閘極絕緣膜側之界面的形狀，而達成本發明。

即，關於本發明之T F T ，具備：包含形成在基板之上第1導電層及被覆第1導電層之第2導電層之閘極配線，以及被覆形成在上述基板之上上述閘極配線之閘極絕緣膜，以及通過上述閘極絕緣膜配置在上述閘極配線上，包含通道領域之非單結晶矽薄膜，以及與上述非單結晶矽薄膜

(請先閱讀背面之注意事項)
(寫本頁)

裝

訂

線

五、發明說明(3)

電氣的連接之源極電極以及汲極電極。而且，上述非單結晶矽薄膜於上述通道領域中，位於上述閘極絕緣膜側之同時，沒有彎曲點的具備連續的界面。

又，關於本發明之液晶顯示裝置，具備夾住液晶層而相向之陣列基板以及相向基板，陣列基板具備：玻璃基板，以及在上述玻璃基板之一主要面上，互相平行而形成之複數的閘極配線，以及在上述玻璃基板之一主要面上，互相平行，而且，和上述閘極配線幾乎垂直相交而設置之複數的信號線，以及設置在介經上述閘極線與信號線而包圍之各領域內之圖像電極，以及設置在上述各閘極線與信號線之交差部分，和對應之圖像電極連接之薄膜電晶體。

上述薄膜電晶體介經上述閘極配線之一部分而構成之同時，具備：包含形成在上述基板之第1導電層以及被覆上述第1導電層之第2導電層之閘極電極，以及被覆形成在上述玻璃基板上之上述閘極電極之閘極絕緣膜，以及通過上述閘極絕緣膜而配置在上述閘極電極上，包含通道領域之非單結晶矽薄膜，以及與上述非單結晶矽薄膜電氣的連接之源極電極以及汲極電極。

上述非單結晶矽薄膜於上述通道領域中，位於上述閘極絕緣膜側之同時，沒有彎曲點的具備連續的界面。

在本發明中，爲了TFT之閘極配線的低電阻化，以及小丘狀或圓形膨脹之防止，更在達成耐藥品性之提昇，閘極配線至少包含第1導電層，以及被覆第1導電層之第2導電層。

(請先閱讀背面之注意事項
再寫本頁)

裝

訂

線

五、發明說明(4)

而且，本發明者等著眼於依據通道領域內之配線主表面的形狀之差異而致之元件特性之變化而進行研究的結果，發現通道領域之閘極絕緣膜側的非單結晶矽薄膜之界面，是否為沒有彎曲點而連續之界面，於 T F T 之元件特性，特別是移動度以及門檻值電壓 (V_{TH}) 會受到影響。

即，依據本發明之 T F T，特徵為：通道領域之閘極絕緣膜側的非單結晶矽薄膜之界面，沒有彎曲點的連續而構成之。

其理由可考慮為：於通道領域內，非單結晶矽薄膜之閘極絕緣膜側之界面，包含實效之彎曲點而非平滑之界面時，此彎曲點之勢壘 (potential barrier) 變高，使得 T F T 之移動度降低，又，使門檻值電壓 (V_{TH}) 升高。

於此，依據本發明之 T F T 時，通道領域內之非單結晶矽薄膜之閘極絕緣膜側之界面，係為不含實效之彎曲點之連續的界面，即構成為平滑之界面之故，防止勢壘變高，可以獲得優異之移動度以及低的門檻值電壓 (V_{TH})。

獲得本發明之界面的方法，可考慮為：使閘極絕緣膜為十分厚之膜，以減輕因閘極配線主表面之段差的影響之方法，使第 2 導電層為十分厚之膜的方法，或構成閘極配線之第 1 導電層的側壁與基板主表面所形成之角度，即，將傾斜角 ($\theta 1$) 設定為遠較絕緣不良對策而設定者小之方法等。

其中，也經本發明者等確認如下事情：介經將第 1 導

(請先閱讀背面之注意事項)

填寫本頁)

裝

訂

線

五、發明說明(5)

電層之傾斜角 ($\theta 1$) 設定在 $10 \sim 30^\circ$ 之範圍內，不須變更閘極絕緣膜之膜厚或材料，可以有效的防止實效之彎曲點存在於通道領域內之閘極絕緣膜側之非單結晶矽薄膜之界面上。

只要生於閘極配線與非單結晶矽薄膜之間之閘極絕緣膜之絕緣不良消除的話，如公開揭露在特開平 4 - 3 7 2 9 3 4 號者，使構成閘極電極之第 1 導電層的兩側緣部適度地傾斜時，更詳細地說，將傾斜角度 ($\theta 1$) 設定為 40° 程度時，大致可以消除絕緣不良。但是，欲改善元件特性時，最好將第 1 導電層之傾斜角 ($\theta 1$) 設定為較 40° 小，最為希望在 $10 \sim 30^\circ$ 之範圍內。因為第 1 導電層之傾斜角 ($\theta 1$) 較 10° 小時，閘極電極之配線寬控制變困難，元件間之特性易生偏差之故。

做為第 1 導電層，可以以由鋁 (Al)，銅 (Cu) 或 α -鉬 (α -Ta) 中選擇至少 1 種為主體之金屬或合金而構成。特別是鋁 (Al)，為了達成薄膜之配線的低電阻化，最被希望著。以鋁 (Al) 構成第 1 導電層時，雖也依據被要求之配線電阻，但最好選擇在 $100 \sim 300 \text{ nm}$ 之範圍內。

第 2 導電層可以以由鉬 (Ta)，鎢 (W) 或鉬中，選擇至少 1 種為主體之金屬或合金而構成。特別是，電阻值之外，考慮到第 1 導電層之小丘狀或圓形膨脹之防止，甚至於耐藥品性持，特別是鉬，鎢 (Mo-W) 合金或鉬，鉬 (Mo-Ta) 合金等，很合適地被使用著，尤其鉬

(請先閱讀背面之注意事項再填寫本頁)

訂

總

五、發明說明(6)

，鎢(Mo-W)合金特別合適。第2導電層被覆第1導電層，可以防止第1導電層之小丘狀或圓形膨脹之膜厚即可。

又，爲了有效的防止第1導電層之小丘狀或圓形膨脹，在第1導電層與第2導電層之間，也可以插入第3導電層。做爲此第3之導電層，於第2導電層以鉬，鎢(Mo-W)合金或鉬，鉭(Mo-Ta)合金構成時，第3導電層之構成元素，例如可以很適合地使用鉬(Mo)，介經如此，可以防止第1導電層之小丘狀或圓形膨脹之同時，不單可以獲得第1導電層與第2導電層之密著性的改善效果，因蝕刻率之差，可以使第1導電層形成爲推拔狀。此第3導電層爲完全被覆第1導電層者，或只配置在第1導電層之主表面者，皆沒有關係。

圖面之簡單說明

圖1爲概略的表示具備關於本發明之一實施例之TF T之主動矩陣型液晶顯示裝置用之陣列基板的一部分之平面圖。

圖2爲將上述TF T放大，概略的表示之平面圖。

圖3爲沿著圖1之線一之剖面圖。

圖4爲表示關於比較例1之TF T之剖面圖。

圖5爲表示關於本實施例之TF T以及關於比較例之TF T之電壓-電流特性之方塊圖。

圖6A至6F爲用於說明關於本實施例之陣列基板之

(請先閱讀背面之注意事項)
填寫本頁

裝

訂

線

五、發明說明(7)

製作流程之剖面圖。

圖 7 為取得縱軸為鉬 (Mo) 之相對蝕刻速度，橫軸為混酸中之水含有量 (%) ，表示水含有量之依存性之圖。

圖 8 為概略的表示關於本發明之變形例之陣列基板之剖面圖。

圖 9 為概略的表示關於本發明之其他的變形例之陣列基板的剖面圖。

最適實施例之詳細說明

以下，一邊參考圖面，一邊以具備關於本發明之一實施例之薄膜電晶體之主動矩陣型的液晶顯示裝置為例，詳細說明之。

如圖 1 以及圖 3 所示者，主動矩陣型之液晶顯示裝置具有：留置規定之間隙而互相相向之陣列基板 10 以及相向基板 12，在這些基板之間封入液晶層 14。相向基板 12 具備透明之玻璃基板，橫跨此玻璃基板之內面全體，形成透明之相向電極 22。再者，於相向電極 22 之上，形成有由聚酰亞胺 (polyimide) 等形成之透明的配向膜 24。

又，陣列基板 10 具備透明之玻璃基板 100，在此玻璃基板 100 上，640×3 根之信號線 X_i ($i = 1, 2, \dots, m, \dots, 1920$)，及與此信號線 X_i 略垂直相交之 480 根的閘極配線 Y_j ($j = 1, 2, \dots$

(請先閱讀背面之注意事項)
填寫本頁)

裝

訂

線

五、發明說明(8)

... , n , ... , 480) 形成爲矩陣狀 (matrix) 。而且 , 在介經信號線 X_i 與閘極配線 Y_j 而包圍之各領域內 , 配置有以 ITO (Indium Tin Oxide) 銦錫氧化物所形成之透明的圖像電極 181 。

在各信號線 X_i 與各閘極線 Y_j 之交差部分 , 配置將閘極配線 Y_j 自身當成閘極電極之交錯構造的 TFT 171 。又 , 形成和閘極配線 Y_j 略平行之 480 根的補助容量線 C_j ($j = 1, 2, \dots, n, \dots, 480$) 。而且 , 介經通過閘極絕緣膜 121 (參考圖 3) 配置在玻璃基板 100 上之圖像電極 181 , 以及補助容量線 C_j 而形成補助電容 C_s 。而且 , 這些之閘極配線 Y_j , 信號線 X_i , TFT 171 , 圖像電極 181 等 , 皆覆以由聚酰亞胺等形成之配向膜。

接著 , 參考圖 2 以及圖 3 , 關於 TFT 171 詳細說明之。各閘極配線 Y_i 具備 : 形成在玻璃基板 100 上之第 1 導電層 111 , 形成在第 1 導電層 111 上之第 3 導電層 113 , 被覆第 1 以及第 3 導電層之第 2 導電層 115 , 各 TFT 171 具有將閘極配線 Y_j 的一部分當成閘極電極者。

第 1 導電層 111 其配線寬 (L_{g1}) 由 $6 \mu m$ 之純鋁 (Al) 所構成 , 形成可以達成閘極配線 Y_j 之低電阻化之 $200 \mu m$ 之膜厚。再者 , 做為第 1 導電層 111 , 使用由鋁 , 銅 , 或 α -鋁中 , 選擇至少 1 種爲主體之金屬或合金。第 1 導電層 111 之膜厚 , 最好設定在 $100 \sim$

(請先閱讀背面之注意事項)
填寫本頁)

裝

訂

線

五、發明說明 (9)

3 0 0 n m 之範圍內。

又，第 1 導電層 1 1 1 之兩側緣部，對於玻璃基板 1 0 0 而言，傾斜而形成著，其傾斜角 ($\theta 1$) 成 20° 地形成圖案。此傾斜角 ($\theta 1$) 設定為小於 40° ，最好設定在 10° 至 30° 。

形成在第 1 導電層 1 1 1 上之第 3 導電層，以第 2 導電層 1 1 5 之一構元素之鉬 (Mo) 而形成之。第 3 導電層 1 1 3 其之膜厚在 3 0 n m 以上時，具提高第 1 導電層 1 1 1 與第 2 導電層 1 1 5 之間之密著性，而且，緩和應力之機能。因此，在本實施例中，形成為 5 0 n m 之膜厚。

第 2 導電層 1 1 5，充分地被覆第 1 以及第 3 導電層 1 1 1，1 1 3 地，以配線寬 (L g 2) 為 $10\ \mu\text{m}$ 之鉬鎢 (Mo-W) 合金構成之，其之兩側緣部各由第 1 導電層 1 1 1 之配線端延伸出 $2\ \mu\text{m}$ 。介經如此，第 2 導電層 1 1 5 之形成圖案之際，即使產生光罩偏離，第 2 導電層 1 1 5 也可以略完全地被覆第 1 以及第 3 導電層 1 1 1，1 1 3。

做為第 2 導電層 1 1 5，除鉬、鎢合金之外，使用由鉬，鎢，或鉬中選擇至少 1 種為主體之金屬或合金。

而且，第 2 導電層 1 1 5 為了有效地防止第 1 導電層 1 1 1 之小丘狀或圓形膨脹，而且達成充分之低電阻化，形成為 3 0 0 n m 之膜厚。再者，第 2 導電層 1 1 5 為了減輕因兩側緣之段差而致之開極絕緣膜 1 2 1 之絕緣不良

(請先閱讀背面之注意事項)
裝
訂
線

五、發明說明(10)

，其兩側緣部對於玻璃基板10，傾斜角($\theta 2$)或 30° 地形成圖案。

又，第2導電層115考慮到因側緣之段差所致之絕緣不良，或第1導電層111之小丘狀或圓形膨脹的防止時，最好設定為 $200 \sim 400 \text{ nm}$ 之膜厚，又，傾斜角($\theta 2$)設定為 45° 以下，絕緣不良之發生得以被抑制。第2導電層115之傾斜角($\theta 2$)，最好設定在 $20 \sim 45$ 度之範圍。

在如此構成之閘極配線 Y_j 上，配置具有氧化矽膜(SiO_2)與矽氮化物(SiN_x)膜之積層構造之閘極絕緣膜121，在閘極絕緣膜121上，配置由 $a\text{-Si:H}$ 薄膜所構成之半導體薄膜131。

在半導體薄膜131上，形成有通道形成時用於保護半導體薄膜131之由矽氮化物膜所構成的通道保護膜141。而且，在半導體薄膜131以及通道保護膜141上，配置分別通過低電阻半導體膜151a，151b而與半導體薄膜131電氣的連接之源極電極161a，以及和信號線 X_i 為一體之汲極電極161b，介經如此以構成TF T171。

通道保護膜141為了降低源極電極161a或汲極電極161b與閘極配線 Y_j 之實效的重複領域，即，為了降低非所希望之寄生電容，自己整合於閘極配線 Y_j 而形成圖案而成。

更詳細而言，通道保護膜141較閘極配線 Y_j 之配

(請先閱讀背面之注意事項)
填寫本頁)

裝

訂

線

五、發明說明 (11)

線寬 $L_g 2$ ，外形尺寸稍小地形成圖案，閘極配線 Y_j 之輪廓與汲極電極 $161b$ 側之通道保護膜 141 端之間之距離 (L_{gd}) 極為小地，又，閘極配線 Y_j 之輪廓與源極電極 $161a$ 側之通道保護膜 141 端之間之距離 (L_{gs}) 也極為小地形成。介經此自己整合於閘極配線 Y_j 之通道保護膜 141 ，構成了自己整合於閘極配線 Y_j 之通道領域。

在此 T F T 1 7 1 中，如圖 2 所示者，介經源極電極 $161a$ 與半導體薄膜 131 電氣的連接之線 (圖 2 中之虛線 $P1$)，及汲極電極 $161b$ 與半導體薄膜 131 電氣的連接之線 (圖 2 中之虛線 $P2$) 而包圍之領域 (圖 2 中斜線部分) 構成實效之通道領域 C 。而且，閘極配線 Y_j 之輪廓線，即，兩側緣，平面的來看，和通道領域 C 重合而延伸著。

上述構成之 T F T 1 7 1 中，第 1 導電層 111 其之兩側緣部的傾斜角 ($\theta 1$) 為 20° 地極小的構成之。因此，於通道領域 C 內，半導體薄膜 131 之閘極絕緣膜 121 側之表面，構成無實質之彎曲存在的界面。

例如，將 T F T 1 7 1 之剖面以 S E M (scanning Electron Microscope) 確認時，通道領域 C 內之閘極絕緣膜 121 側之半導體薄膜 131 之界面，如圖 3 所示者，為不含實質之彎曲點之連續的平滑之界面。又，當然也沒有看到因閘極配線 Y_j 之兩側端的段差而起之閘極絕緣膜 121 之絕緣破壞或裂痕。

(請先閱讀背面之注意事項)

填寫本頁)

裝

訂

線

五、發明說明 (12)

圖 4 係表示做為比較例 1，將第 1 導電層 1 1 1 之傾斜角 ($\theta 1$) 做成 35° ，其他之構成和上述實施例相同而做成之 T F T 2 7 1。此 T F T 2 7 1 中，雖具不到用閘極配線 Y j 端部之段差而起之閘極絕緣膜 1 2 1 之絕緣破壞，但在通道領域 C 內，半導體薄膜 1 3 1 之閘極絕緣膜 1 2 1 側之界面，為包含實質之彎曲點 ($\theta 1$ ， $\theta 2$) 之非平滑的界面。

又，做為比較例 2，構成閘極配線 Y j 之第 1 導電層的傾斜角 ($\theta 1$) 做成 40° ，其他和上述實施例相同而做成之 T F T (未圖示出)，也和比較例 1 相同，雖見不到因閘極配線 Y j 端部之段差而起之閘極絕緣膜之絕緣破壞，但在通道領域內之半導體薄膜之閘極絕緣膜側之界面，為包含實質之彎曲點之非平滑的界面。

又，分別測定實施例之 T F T 1 7 1 以及比較例 1 之 T F T 2 7 1 之移動度時，在本實施例之 T F T 1 7 1 中，與比較例 1 相比，可以提昇移動度 25%。

又，圖 5 為表示 T F T 之電壓 (V) - 電流 (I) 特性者，圖中曲線 (a) 表示本實施例之 T F T 1 7 1 之特性，又，同圖中曲線 (b) 表示關於上述之比較例 1 之 T F T 2 7 1 之特性。由此圖 5 可以了解到本實施例之 T F T 1 7 1 中，和比較例之 T F T 2 7 1 相比，門檻值電壓 (V_{th}) 較低。

接著，就具有上述構成之陣列基板 1 0 之製造流程，參考圖 6 簡單地說明之。

(請先閱讀背面之注意事項)
填寫本頁

裝

訂

線

五、發明說明 (13)

首先，如圖 6 A 所示者，在玻璃基板 1 0 0 之一主要面上，將鋁 (A l) 及鉬 (M o) 依序形成 2 0 0 n m ， 5 0 n m 之膜厚地，介經濺鍍而堆積，積層形成 A l 膜 1 1 0 及 M o 膜 1 1 2 。之後，塗佈光敏抗蝕劑 (photo-resist) 1 1 7 ，依所希望之形狀曝光，顯像。

而且，以光敏抗蝕劑 1 1 7 為光罩，將 A l 膜 1 1 0 以及 M o 膜 1 1 2 介經浸漬於做為蝕刻液之磷酸、硝酸、醋酸以及水之混酸中，如圖 6 B 所示者，形成由側緣部之傾斜角 ($\theta 1$) 為 20° 之鋁 (A l) 所構成之第 1 導電層 1 1 1 ，以及配置在第 1 導電層 1 1 1 上，由鉬 (M o) 所構成之第 3 導電層 1 1 3 。傾斜角 ($\theta 1$) 之控制以蝕刻液之濃度管理最為重要。即，蝕刻液係包含揮發成分之故，於使用途中濃度會變化。特別是鉬 (M o) 之相對蝕刻速度，如圖 7 所示者，受混酸中之水的含有量 (%) 影響很大，依此決定傾斜角 ($\theta 1$) 之故，其之管理變得很重要。

之後，剝離光敏抗蝕劑 1 1 7 ，將第 1 導電層 1 1 1 以及第 3 導電層 1 1 3 被覆地，把鉬、鎢 (M o - W) 合金介經濺鍍堆積成 3 0 0 n m 厚。而且，在鉬、鎢合金膜上塗佈光敏抗蝕劑，曝光，顯像之後，以光敏抗蝕劑為光罩，將鉬、鎢 (M o - W) 合金膜介經使用以四氟化碳 ($C C F_4$) 為主成分之蝕刻氣體之化學乾蝕刻 (C D E) 而形成圖案。之後，剝離光敏抗蝕劑，形成示於圖 6 C 之第 2 導電層 1 1 5 。

(請先閱讀背面之注意事項)
填寫本頁)

裝

訂

線

五、發明說明 (14)

如以上爲之，作爲3層構造之閘極配線Y_j，又，雖未圖示出，同時也作成補助容量線。

接著，在閘極配線Y_j，以及未圖示出之補助容量線C_j上，堆積氧化矽(SiO₂)膜。之後，在未圖示出之CVD裝置之反應爐內，配置玻璃基板100，作爲反應氣體將200 s c c m之流量之矽烷(SiH₄)，1000 s c c m之流量之氨(NH₃)，7000 s c c m之流量之氮氣(N₂)導入反應爐內，同時，反應爐內維持1 T o r r，更將玻璃基板溫度上昇至339℃。而且，供給1300 W之高周波電壓，將矽烷(SiH₄)以及氨(NH₃)激成等離子體，在氧化矽膜上將矽氮化物(SiN_x)堆積成50 n m之膜厚。介經如此，如圖6 D所示者，形成由氧化矽膜以及矽氮化物(SiN_x)此構成之閘極絕緣膜121。

再者，將反應氣體更換爲400 s c c m之流量之矽烷(SiH₄)，以及1400 s c c m之流量之氫氣(H₂)，導入反應爐內，又供給150 W之高周波電力，如圖6 D所示者，在閘極絕緣膜121上堆積50 n m之膜厚之a-Si=H薄膜125。又，於a-Si=H薄膜125之堆積之際，反應爐內也維持在1 T o r r。

又將作爲反應氣體之200 s c c m之流量之矽烷(SiH₄)，1000 s c c m之流量之氨(NH₃)，做爲載氣之7000 s c c m之流量之氮氣(N₂)導入反應爐內之同時，供給1300 W之高周波電壓，在a-

(請先閱讀背面之注意事項)
填寫本頁)

裝

訂

線

五、發明說明 (15)

S i = H 薄膜 1 2 5 上堆積 3 0 0 n m 之膜厚之矽氮化物 (S i N x) 。又，矽氮化物 (S i N x) 之堆積之際，反應爐內也幾乎維持同樣的 1 T o r r 。

之後，把玻璃基板 1 0 0 由反應爐內搬出，在矽氮化物 (S i N x) 上塗佈光敏抗蝕劑。而且，由玻璃基板 1 0 0 之裏面照射曝光之光，在自己整合於閘極配線 Y j 之狀態下，將光敏抗蝕劑曝光，更而顯像之。接著，介經利用此光敏抗蝕劑為光罩，將矽氮化物形成圖案，而獲得如圖 6 D 所示之通道保護膜 1 4 1 。

接著，在 a - S i = H 薄膜 1 2 5 以及通道保護膜 1 4 1 上，介經 C V D 裝置堆積 n + a - S i = H 薄膜後，如圖 6 E 所示者，將 a - S i = H 薄膜 1 2 5 以及 n + a - S i = H 薄膜島狀地形成圖案，形成半導體薄膜 1 3 1，島狀之 n + a - S i = H 薄膜 1 4 5。之後，介經濺鍍在玻璃基板 1 0 0 上堆積 I T O，依規定形狀形成圖案，而形成略長方形狀之圖像電極 1 8 1。

接著，介經濺鍍在玻璃基板 1 0 0 上，被覆鋁 (A l)，依所希望形狀而形成圖案，如圖 6 F 所示者，形成源極電極 1 6 1 a，汲極電極 1 6 1 b。

再者，以此源極以及汲極電極 1 6 1 a，1 6 1 b 為光罩，將通道保護膜 1 4 1 上之島狀 n + a - S i = H 薄膜 1 4 5 形成圖案；形成圖 2 所示之低電阻半導體層 1 5 1 a，1 5 1 b，介經如此，作成了配置多數之 T F T 1 7 1 之主動矩陣型液晶顯示裝置用之陣列基板

(請先閱讀背面之注意事項，填寫本頁)

裝

訂

線

五、發明說明 (16)

1 0 。

依據關於如以上之構成之本實施例之液晶顯示裝置時，陣列基板 1 0 之閘極配線 Y_j ，由於具有以鋁形成之第 1 導電層 1 1 1 之故，可以使配線電阻十分地小。又，閘極配線 Y_j 中，由鋁構成之第 1 導電層 1 1 1 通過第 3 導電層 1 1 3，被第 2 導電層 1 1 5 充分地覆蓋之故，可以充分防止在第 1 導電層產生小丘狀或圓形膨脹。因此，可以防止製造良率之降低。

再者，由於第 1 導電層 1 1 1 之兩側緣部，傾斜角 (θ_1) 形成為 $10^\circ \sim 40^\circ$ 之故，在通道領域 C 內，可以使半導體薄膜 1 3 1 之閘極絕緣膜 1 2 1 側之界面，為不具有實質之彎曲點之平滑的界面。其結果，可以獲得具備高移動度，低門檻值電壓 (V_{th}) 之所謂的優異元件特性之 TFT 1 7 1。

又，依據上述之實施例之 TFT 1 7 1 時，通道保護膜 1 4 1 對於閘極配線 Y_j ，係在自己整合狀態下，形成於半導體薄膜 1 3 1 上之故，通道領域 C 也對於閘極配線 Y_j 而言，係自己整合地而構成之。因此，可以減輕閘極，源極間電容 (C_{gs}) 或閘極，汲極間電容 (C_{gd}) 等之寄生電容。

又，此發明並不限定於上述之實施例，在此發明之範圍內，可以有種種變形之可能。

例如，依據圖 8 所示之變形例時，TFT 1 7 1 係具有上述實施例之通道保護膜被省略之構造。其他之構造則

(請先閱讀背面之注意事項)
填寫本頁)

裝

訂

線

五、發明說明 (17)

同於上述實施例，相同之部分賦與相同之參考標號，其之詳細說明省略之，依據如此構成之 T F T 時，和上述實施例之 T F T 相比，閘極、源極間電容 (C_{gs}) 或閘極，汲極間電容 (C_{gd}) 等之寄生電容雖然增大，但是製造工程數目減少，有可以便宜製造之優點，同時，其他可以獲得和上述實施例相同之效果。

又，依據圖 9 所示之 T F T (7) 時，低電阻半導體層並非各別被堆積之構造，而係介經半導體薄膜 1 3 1 之一部分而形成。即，以自己整合在閘極配線 Y_j 之通道保護膜 1 4 1 為光罩，介經在半導體薄膜 1 3 1 摻以不純物離子，以在半導體薄膜 1 3 1 內形成通道領域 1 3 1 a，源極領域 1 3 1 b，以及汲極領域 1 3 1 c。其他之構成和上述實施例相同，相同部分賦與相同之參考標號，其之詳細說明省略之。

依據上述構成之 T F T 1 7 1 時，畢竟對於閘極配線 Y_j 而言，通道領域為間接的自己整合而構成之故，不單閘極，源極間電容 (C_{gs}) 或閘極，汲極間電容 (C_{gd}) 等之寄生電容可以減輕，和上述之實施例之 T F T 相比，不須要低電阻半導體薄膜之堆積工程，可以謀求製造成本之減輕。其他，可以獲得和上述實施例相同之效果。

再者，於上述實施例以及變形例中，以 $a-Si-H$ 做為半導體薄膜之外，也可以使用 $p-Si$ ，又，不用說也可以是微結晶矽等。

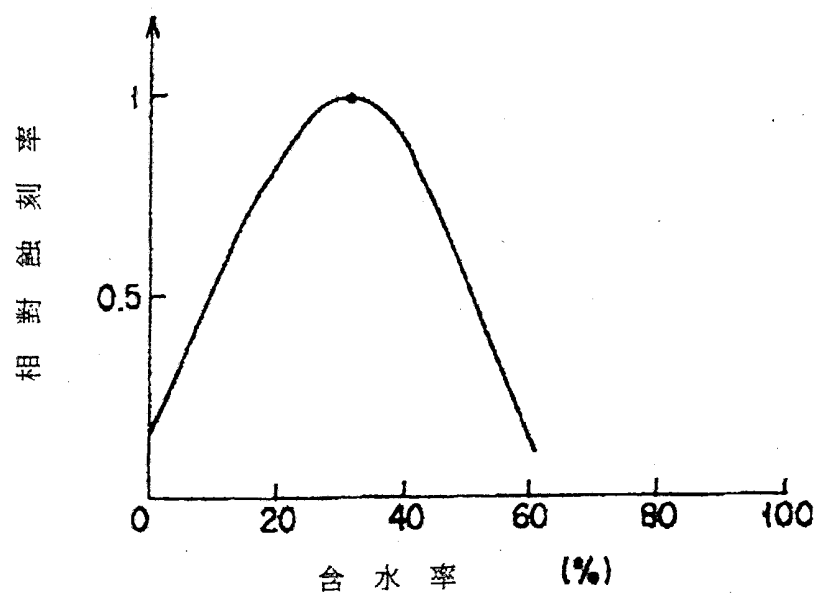
(請先閱讀背面之注意事項)

填寫本頁)

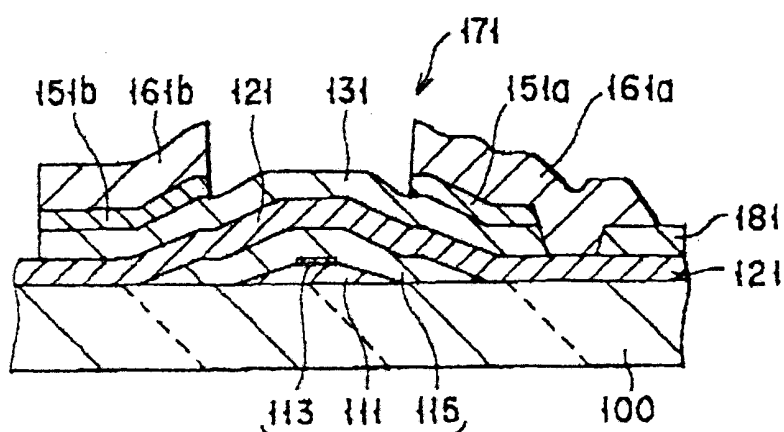
裝

訂

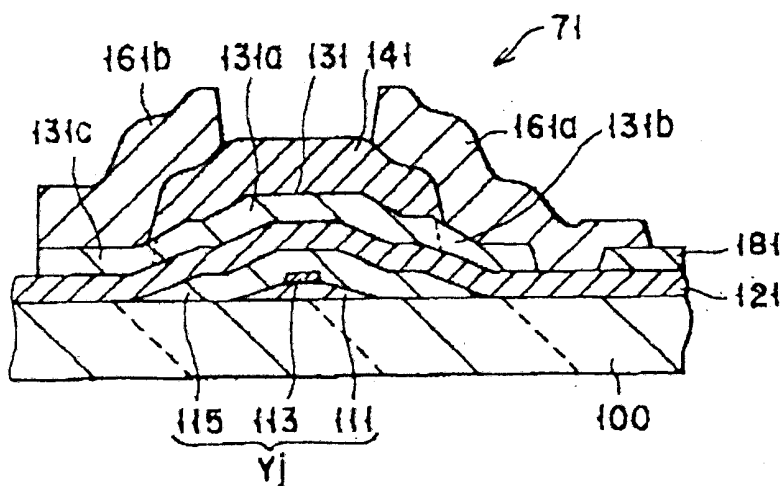
線



第7圖



第8圖



第9圖

四、中文發明摘要(發明之名稱：)

薄膜電晶體、以及具備它之液晶顯示裝置

本發明係關於在絕緣基板上配置非單結晶矽薄膜而成之薄膜電晶體(以下，簡稱為TFT)，以及具備它之液晶顯示裝置。

本發明之目的在提供：在不增加元件不良下，可以達成閘極配線之低電阻化，而且，可以獲得優異元件特性之薄膜電晶體。

解決手段：本發明係關於具備在基板上至少包含第1導電層(111)以及被覆第1導電層(111)之第2導電層(115)之閘極配線，被覆閘極配線之閘極絕緣膜(121)，通過閘極絕緣膜(121)配置在閘極配線上，包含通道領域之非單結晶矽薄膜(131)，以及與非單結晶矽薄膜(131)電氣的連接之源極電極(161a)，以及汲極電極(161b)之薄膜電晶體(171)，第1導電層(111)之輪廓線平面的穿過通道領域內之同時，通道領域之閘極絕緣膜(121)側之非單結晶矽薄膜(131)沒有彎曲點的具備連續之界面

英文發明摘要(發明

THIN FILM TRANSISTOR AND

LIQUID CRYSTAL DEVICE FURNISHED WITH THE SAME

An array substrate of a liquid crystal display device has a glass substrate on which gate lines, signal lines, pixel electrodes, and thin-film transistors are arranged. Each thin-film transistors includes a gate electrode composed of a part of one of the gate lines and including a first conductive layer formed on the glass substrate and a second conductive layer covering the first conductive layer. A gate insulating film is formed on the glass substrate and covering the gate electrode. A thin non-single-crystal silicon film is disposed on the gate insulating film on the gate electrode and includes a channel region. Source and drain electrodes are connected electrically to the thin non-single-crystal silicon film. The first conductive layer has two opposite side edge portions extending inclined at an angle to the surface of the substrate, the inclination angle of each side edge portion is ranging from 10° to 30°, so that the thin non-single-crystal silicon film has a continuous interface without bends, situated on the side of the gate insulating film in the channel region.

(請先閱讀背面之注意事項再填寫本頁各欄)

訂

四、中文發明摘要（發明之名稱：

）

而構成。

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

英文發明摘要（發明之名稱：

）

六、申請專利範圍

1. 一種薄膜電晶體，其特徵為：具備包含形成於基板上之第1導電層以及被覆上述第1導電層之第2導電層之閘極配線，及

被覆形成於上述基板上之閘極配線之閘極絕緣膜，及通過上述閘極絕緣膜配置在上述閘極配線上，包含通道領域之非單結晶矽薄膜，及

和上述非單結晶矽薄膜電氣的連接之源極電極以及汲極電極，

上述非單結晶矽薄膜，於上述通道領域中，位於上述閘極絕緣膜側之同時，具備沒有彎曲點之連續的界面。

2. 如申請專利範圍第1項所述之薄膜電晶體，其中上述閘極配線之上述第1導電層，具備對於上述基板表面傾斜而延伸之兩側緣部，各側緣部之傾斜角係被設定在 $10^{\circ} \sim 30^{\circ}$ 之範圍內。

3. 如申請專利範圍第2項所述之薄膜電晶體，其中上述閘極配線之上述第2導電層係具有對於上述基板表面傾斜，而且，沿著上述第1導電層之兩側緣部而延伸之兩側緣部，各側緣部之傾斜角係被設定在 $20^{\circ} \sim 45^{\circ}$ 之範圍內。

4. 如申請專利範圍第1項所述之薄膜電晶體，其中上述第1導電層係以由Al, Cu或 α -Ta中選擇至少一種為主體之金屬或合金而構成。

5. 如申請專利範圍第1項所述之薄膜電晶體，其中上述第2導電層係以由Ta, W或Mo中選擇至少一種為

(請先閱讀背面之注意事項)
填寫本頁)

裝

訂

線

六、申請專利範圍

主體之金屬或合金而構成。

6. 如申請專利範圍第1項所述之薄膜電晶體，其中上述通道領域係自己整合於上述閘極配線而形成。

7. 如申請專利範圍第1項所述之薄膜電晶體，其中上述第1導電層係具有平面的和上述通道領域重合而延伸之輪廓線。

8. 一種液晶顯示裝置，其特徵為：具備互相留有規定間隙而相向之陣列基板以及相向基板，以及在上述陣列基板與相同基板之間封入之液晶層；

上述陣列基板具有：

玻璃基板，及

在上述玻璃基板之一主要面上互相平行而形成之複數的閘極配線，及

在上述玻璃基板之一主要面上互相平行，而且，和上述閘極配線幾乎垂直相交而設置之複數的信號線，及

在介經上述閘極線與信號線而包圍之各領域內而設置之圖像電極，及

設置在上述各閘極線與信號線之交差部分，與對應之圖像電極連接之薄膜電晶體，

上述薄膜電晶體係：

介經上述閘極配線之一部分而構成之同時，具備：包含形成於上述玻璃基板上之第1導電層以及被覆上述第1導電層之第2導電層之閘極電極，及

被覆形成於上述玻璃基板上之上述閘極電極之閘極絕

(請先閱讀背面之注意事項)
填寫本頁)

裝

訂

線

六、申請專利範圍

緣膜，及

通過上述閘極絕緣膜配置在上述閘極電極上，包含通道領域之非單結晶矽薄膜，及

和上述非單結晶矽薄膜電氣的連接之源極電極以及汲極電極，

上述非單結晶矽薄膜於上述通道領域中，位於上述閘極絕緣膜側之同時，具備沒有彎曲點之連續的界面。

9. 如申請專利範圍第8項所述之液晶顯示裝置，其中上述閘極配線之上述第1導電層，具備對於上述基板表面傾斜而延伸之兩側緣部，各側緣部之傾斜角係被設定在 $10^{\circ} \sim 30^{\circ}$ 之範圍內。

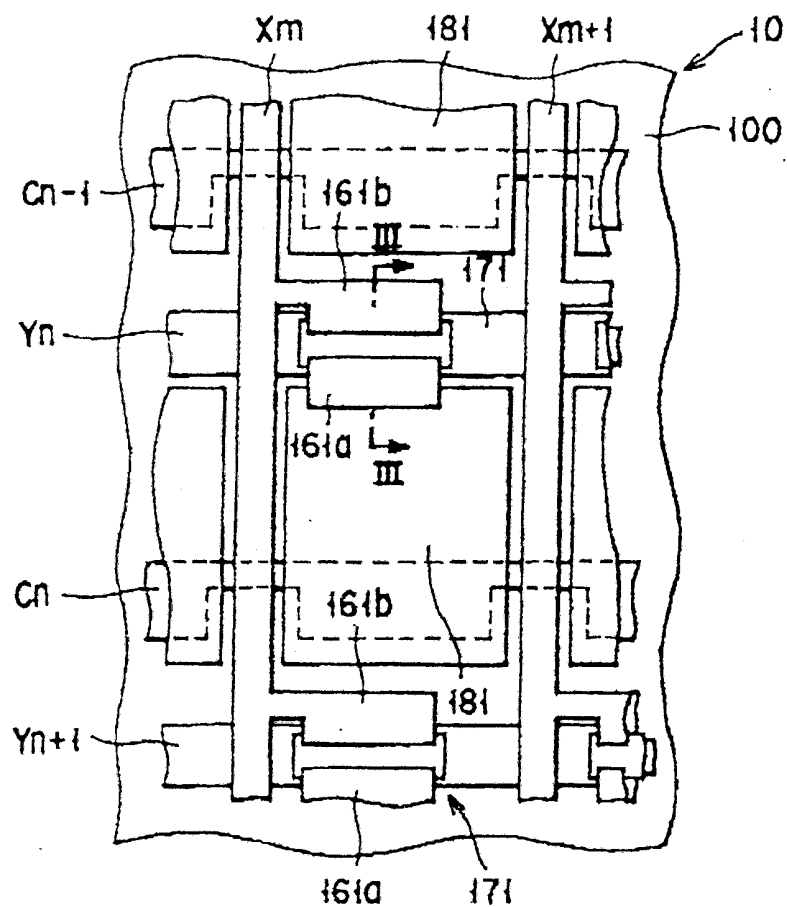
10. 如申請專利範圍第8項所述之液晶顯示裝置，其中上述閘極配線之上述第2導電層係具有對於上述基板表面傾斜，而且，沿著上述第1導電層之兩側緣部而延伸之兩側緣部，各側緣部之傾斜角係被設定在 $20^{\circ} \sim 45^{\circ}$ 之範圍內。

(請先閱讀背面之注意事項)
(填寫本頁)

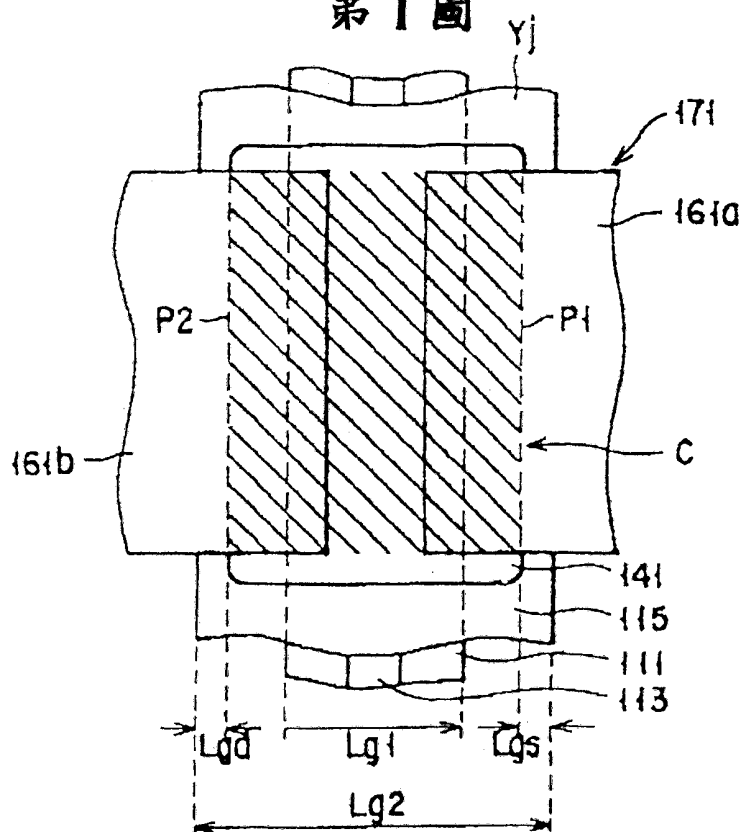
裝

訂

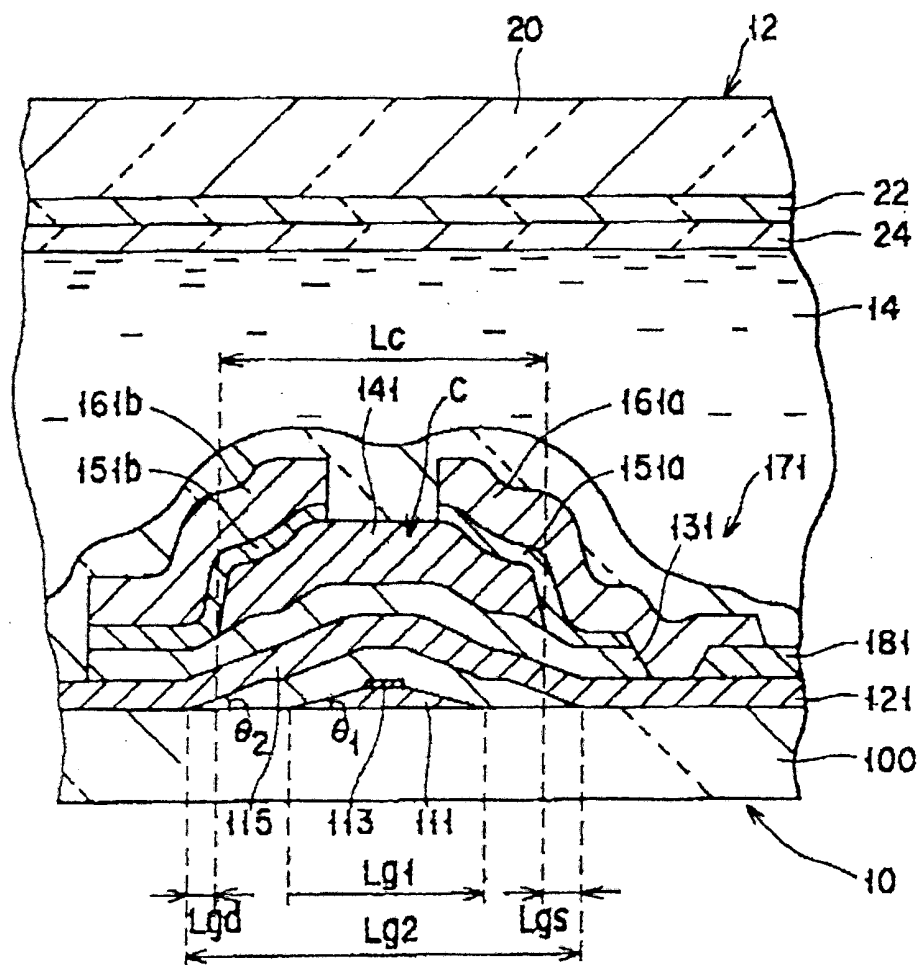
線



第 1 圖

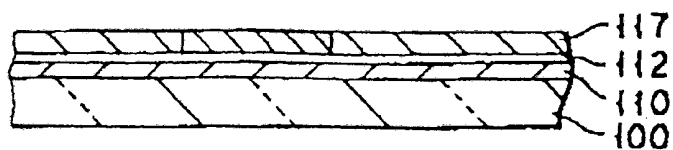


1/5 第 2 圖

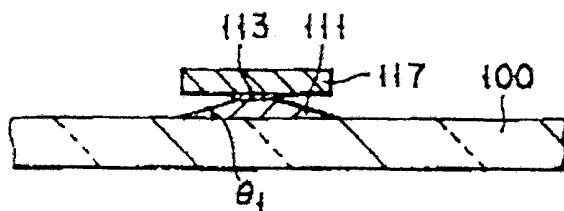


第 3 圖

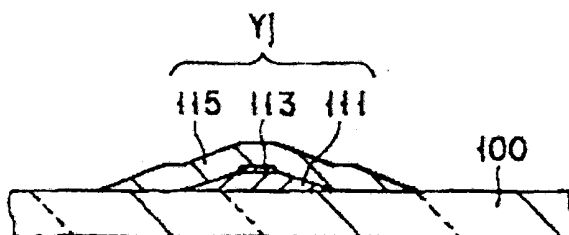
第 6 圖 A



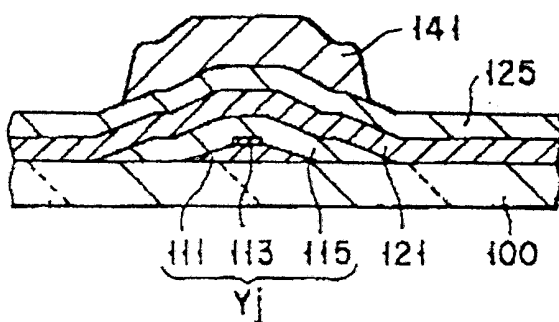
第 6 圖 B



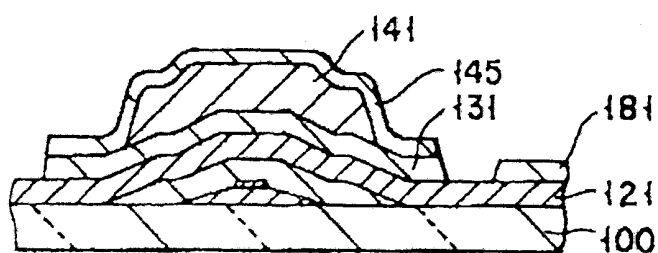
第 6 圖 C



第 6 圖 D



第 6 圖 E



第 6 圖 F

