

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2007 年 1 月 18 日 (18.01.2007)

PCT

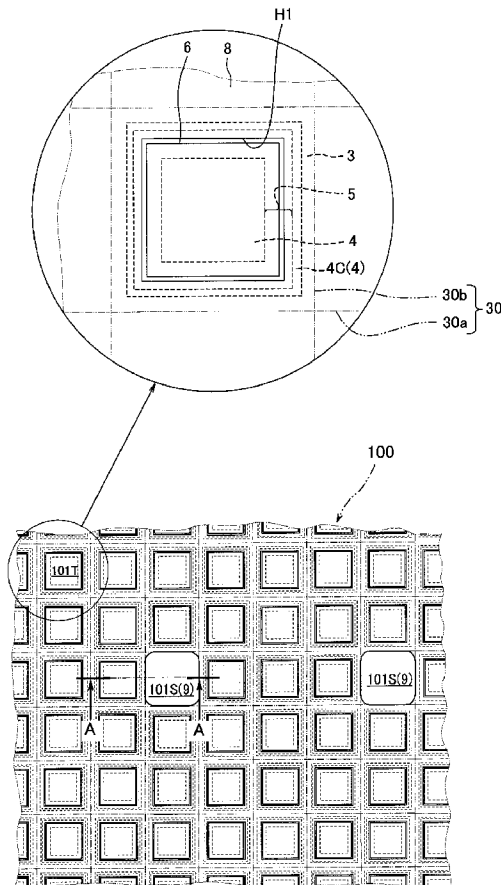
(10) 国際公開番号
WO 2007/007670 A1

- (51) 国際特許分類:
H01L 27/04 (2006.01) H01L 29/12 (2006.01)
H01L 21/822 (2006.01) H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2006/313575
- (22) 国際出願日: 2006 年 7 月 7 日 (07.07.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2005-200517 2005 年 7 月 8 日 (08.07.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてののみ): 北畠 真 (KITA-BATAKE, Makoto).
- (74) 代理人: 角田 嘉宏, 外 (SUMIDA, Yoshihiro et al.); 〒6500031 兵庫県神戸市中央区東町 1 2 3 番地の 1 貿易ビル 3 階 有古特許事務所 Hyogo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND ELECTRIC DEVICE

(54) 発明の名称: 半導体装置および電気機器



(57) Abstract: There are provided a semiconductor device and an electric device capable of performing high-speed switching operation and reducing energy loss and having an excellent current concentration resistance based on counter electromotive force by an inductance load of the electric device. The semiconductor device (100) includes a semiconductor layer (3) formed by a wide band gap semiconductor of the first conductive type, a transistor cell (101T) having a longitudinal type field effect transistor (102) for moving charge carriers in the thickness direction of the semiconductor layer (3), and a diode cell (101S) having the semiconductor layer (3) where a shot key diode (103) is formed by connecting a shot key electrode (9) to a shot key. On the semiconductor layer (3), a plurality of rectangular sub areas (101T, 101S) are partitioned according to a virtual boundary line (30) when viewed from above and the semiconductor layer (3) has a sub area (101T) as a transistor cell and a sub area (101S) as a diode cell.

(57) 要約: 高速スイッチング動作とエネルギー損失低減の両立が図れ、かつ電気機器のインダクタンス負荷等による逆起電力に基づく電流集中耐性に優れた半導体装置および電気機器を提供する。本発明の半導体装置(100)は、第1導電型のワイドバンドギャップ半導体からなる半導体層(3)と、半導体層(3)の厚み方向に電荷キャリアを移動させる縦型の電界効果トランジスタ102が形成されたトランジスタセル(101T)と、半導体層(3)にショットキー電極(9)がショットキー接合されてなるショットキーダイオード(103)が形成されたダイオードセル(101S)と、を備え、半導体層3に、平面視において、仮想の境界ライン(30)に基づいて4角形の複数のサブ領域(101T、101S)が区画され、かつトランジスタセルとしてのサブ領域(101T)と、ダイオードセルとしてのサブ領域(101S)とを有する。

WO 2007/007670 A1



IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

— 補正書

補正されたクレームの公開日: 2007 年 5 月 18 日

2 文字コード及び他の略語については、定期発行される
各 *PCT* ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

補正書の請求の範囲

[2006年11月28日 (28. 11. 2006) 国際事務局受理]

- [1] (補正後) 第1導電型のワイドバンドギャップ半導体からなる半導体層と、前記半導体層の厚み方向に電荷キャリアを移動させる縦型の電界効果トランジスタが形成された複数のトランジスタセルと、
前記半導体層にショットキー電極がショットキー接合されてなるショットキーダイオードが形成された複数のダイオードセルと、を備え、
前記半導体層に、平面視において、仮想の境界ラインに基づいて4角形の複数のサブ領域が区画され、かつ前記トランジスタセルとしての前記サブ領域と、前記ダイオードセルとしての前記サブ領域とを有してなり、前記トランジスタセルの前記半導体層の表面に設けられたソース電極と、前記ダイオードセルの前記半導体層の表面に設けられたショットキー電極と、が電氣的に接続され、複数の前記縦型の電界効果トランジスタと、複数の前記ショットキーダイオードと、が同一チップ内に集積され、かつ、並列に接続されている半導体装置。
- [2] 前記複数のサブ領域は、互いに直交する2方向にマトリクス状に配列されている請求項1記載の半導体装置。
- [3] 前記電界効果トランジスタは、前記半導体層の表面に設けられた第2導電型のウェルと、前記ウェルの内側に設けられた第1導電型の領域と、前記ウェルおよび前記領域を除いた前記半導体層としてのドリフト領域と、前記領域および前記ウェルに接するように設けられた第1のソース/ドレイン電極と、前記ウェルに絶縁層を介して配設されたゲート電極と、前記ドリフト領域の裏面にオーミックに接続された第2のソース/ドレイン電極と、を有してなる請求項1記載の半導体装置。
- [4] 前記ダイオードセルは、前記トランジスタセルに囲まれて配置されている請求項1記載の半導体装置。
- [5] 全ての前記サブ領域の平面視における面積に対する全ての前記トランジスタセルの平面視における面積の割合が0.5を超え、かつ0.99以下である請求項1記載の半導体装置。
- [6] 全ての前記サブ領域の平面視における面積に対する全ての前記ダイオードセルの平面視における面積の割合が0.01を超え、かつ0.5以下である請求項1記載

の半導体装置。

- [7] 前記トランジスタセルに含まれた前記ウェルの平面視における表面積を、前記ダイオードセルに含まれた前記ショットキー電極の平面視における表面積より小さくしてなる請求項 3 記載の半導体装置。
- [8] 交流駆動装置と、前記交流駆動装置のインバータ電源回路を構成する請求項 1 乃至 7 の何れかに記載の半導体装置と、を備え、
前記半導体装置がアームモジュールとして組み込まれている電気機器。
- [9] 前記交流駆動装置内のインダクタンス負荷によって発生する逆起電力に基づいて前記電界効果トランジスタの内蔵寄生ダイオードおよび前記ショットキーダイオードに印加される電圧は、前記ショットキーダイオードの順方向に立ち上がり電圧より大きく、かつ前記内蔵寄生ダイオードの順方向の立ち上がり電圧より小さくして構成される請求項 8 記載の電気機器。
- [10] 前記交流駆動装置は、前記インバータ電源回路により駆動される交流モータである請求項 8 記載の電気機器。