

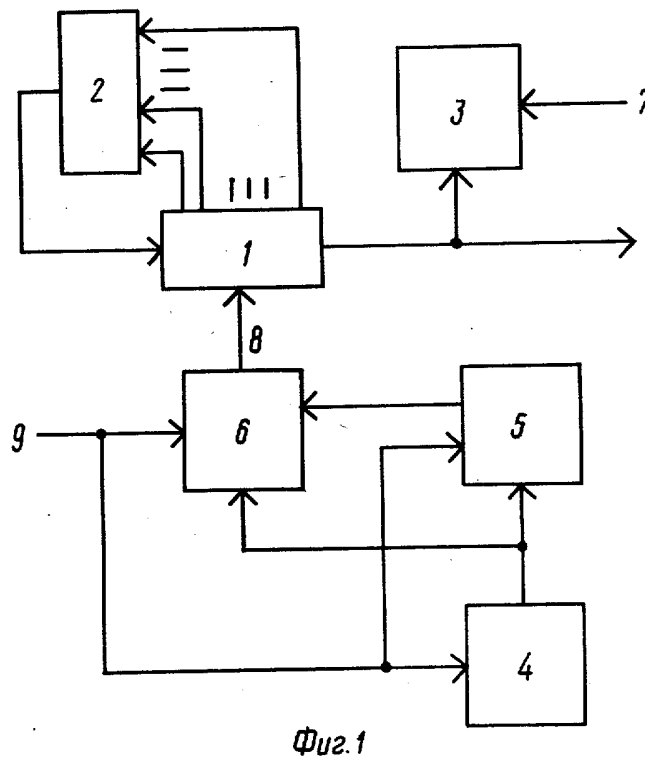


4(51) G 11 C 29/00

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

выход которого соединен с первым входом регистра сдвига, другой выход которого соединен с первым входом блока обнаружения ошибок и является выходом устройства, второй вход блока обнаружения ошибок является информационным входом устройства, отличающееся тем, что, с целью упрощения устройства, в него введены триггер, элемент ЗАПРЕТ и счетчик, выход которого соединен с первым входом триггера, выход которого соединен с первым входом элемента ЗАПРЕТ, второй вход которого подключен к выходу счетчика, а выход — к второму входу регистра сдвига, третий вход элемента ЗАПРЕТ, вход счетчика и второй вход триггера являются управляющим входом устройства.

(54) (57) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ ПАМЯТИ, содержащее сумматор по модулю два, блок обнаружения ошибок и регистр сдвига, одни из выходов которого подключены к входам сумматора по модулю два,



SU ⁽¹¹⁾ 1167660 A ⁽¹⁹⁾

Изобретение относится к вычислительной технике, в частности к контролю запоминающих устройств (ЗУ), и может быть использовано в производстве ЗУ.

Известно устройство, содержащее блок управления, блок сравнения, регистр адреса, дешифратор, генератор тактовых импульсов, фотосчитывающий механизм, блоки временной селекции и анализа амплитуд и генераторы стробов сигнала и помехи [1].

Недостатком этого устройства являются большие аппаратные затраты.

Наиболее близким к предлагаемому является устройство для контроля памяти, содержащее регистр сдвига, регистр начального состояния, первый сумматор по модулю два, группу сумматоров по модулю два, по количеству разрядов регистра сдвига, информационный регистр, схему контроля, регистр адреса, элементы И, регистр маски, причем одни входы регистра сдвига подключены к выходам регистра начального состояния, выходы информационного регистра подсоединены к схеме контроля, выходы регистров маски подключены к управляющим входам схем И первой и второй групп соответственно, информационные входы которых соединены с соответствующими выходами регистра сдвига, одни входы группы сумматоров по модулю два подключены к выходам соответствующих элементов И второй группы, другие входы группы сумматоров кроме первого подсоединены к выходам предыдущего разряда регистра сдвига, а выходы — к другим входам регистра сдвига, выходы элементов И первой группы подключены к входам первого сумматора, выход которого соединен с первым входом группы сумматора по модулю два, а выходы произвольных групп разрядов регистра сдвига соединены с входом регистра адреса и информационного регистра. Устройство формирует квадратичные последовательности контроля [2].

Недостаток его — сложность реализации устройства, объясняемая большим количеством оборудования.

Цель изобретения — упрощение устройства.

Поставленная цель достигается тем, что в устройстве для контроля памяти, содержащее сумматор по модулю два, блок обнаружения ошибок и регистр сдвига, одни из выходов которого подключены к входам сумматора по модулю два, выход которого соединен с первым входом регистра сдвига, другой выход которого соединен с первым входом блока обнаружения ошибок и является выходом устройства, второй вход блока обнаружения ошибок является информационным входом устройства, введены триггер, элемент ЗАПРЕТ и счетчик, выход которого соединен с первым входом триггера, выход которого соединен с первым входом элемента ЗАПРЕТ, второй вход которого подклю-

чен к выходу счетчика, а выход — к второму входу регистра сдвига, третий вход элемента ЗАПРЕТ, вход счетчика и второй вход триггера являются управляющим входом устройства.

На фиг. 1 изображена функциональная схема устройства для контроля памяти; на фиг. 2 — временная диаграмма его работы; на фиг. 3 — функциональная схема элемента ЗАПРЕТ; на фиг. 4 — временная диаграмма его работы.

Устройство для контроля памяти содержит (фиг. 1) регистр 1 сдвига, сумматор 2 по модулю два, блок 3 обнаружения ошибок, счетчик 4, триггер 5 и элемент 6 ЗАПРЕТ, причем одни из выходов регистра 1 сдвига соединены с входами сумматора 2 по модулю два, выход которого соединен с первым входом регистра 1 сдвига, выход которого соединен с первым входом блока 3, второй вход которого соединен с первым входом 7 устройства, выход счетчика 4 соединен с первым входом триггера 5, выход которого соединен с первым входом элемента 6 ЗАПРЕТ, второй вход которого соединен с выходом счетчика 4, а выход 8 — с вторым входом регистра 1 сдвига, третий вход элемента 6 ЗАПРЕТ соединен с входом счетчика 4, вторым входом триггера 5 и управляющим входом 9 устройства.

Элемент 6 ЗАПРЕТ содержит (фиг. 3) элемент И 10, триггер 11 и элемент ИЛИ 12, причем первый вход 13 элемента И 10 является первым входом элемента 6 ЗАПРЕТ, а второй вход 14 — вторым входом элемента 6 ЗАПРЕТ.

Рассмотрим работу устройства для контроля памяти. Пусть регистр 1 сдвига и счетчик 4 состоят из двух разрядов, значит накопитель контролируемой памяти (КП) содержит четыре запоминающих элемента памяти.

В начале работы регистр 1 находится в исходном состоянии, а счетчик 4 и триггер 5 — в состоянии лог. «0», а контролируемая память — в режиме «ЗАПИСЬ». Регистр 1 формирует псевдослучайную М-последовательность X, состоящую из членов: X_1, X_2, X_3 , которая записывается в четыре ячейки накопителя КП в последовательности, определяемой счетчиком 4, например X_1, X_2, X_3, X_1 . Далее КП переходит в режим «Считывание», а формирование следующего члена X_2 регистром 1 блокируется с помощью элемента 6 ЗАПРЕТ, тогда регистр 1 формирует последовательность вида X_1, X_2, X_3, X_1 , которая поступает на первый вход блока 3 и используется в качестве эталонной. После этого КП переходит в режим «Запись» и формируется последовательность: X_2, X_3, X_1, X_2 .

В третьем цикле «Запись-Считывание» формируется последовательность: X_3, X_1, X_2, X_3 , и в четвертом цикле такая же, как и в

первом, т. е. если первый цикл «Запись-Считывание» соответствует первому состоянию накопителя КП, то второй цикл — второму состоянию, третий — третьему, а четвертый — первому и так далее. Учитывая, что исходное (нулевое) состояние, в

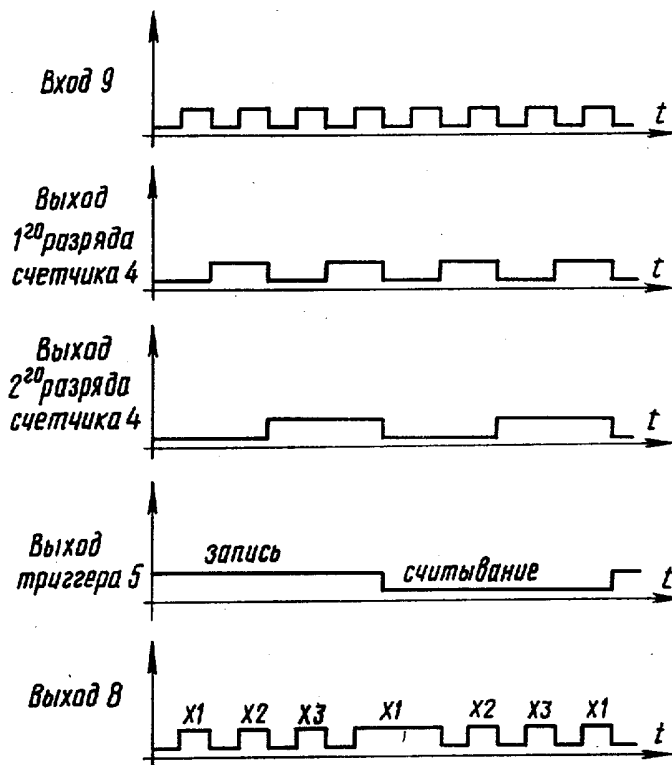
которое устанавливается КП перед началом работы устройства, получается всего 4 состояния. Каждое состояние содержит 4 члена.

Элемент 6 ЗАПРЕТ работает следующим образом.

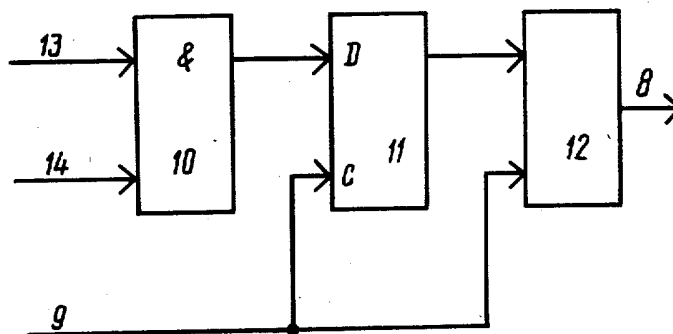
В исходном состоянии триггер 11 находится в состоянии лог. «0». На вход 9 поступают импульсы синхронизации. При поступлении на вход 14 элемента И 10 сиг-

нала «Перенос», если устройство находится в режиме «Запись», в триггер 11 записывается лог. «1», а в следующем такте триггер 11 устанавливается в прежнее (нулевое) состояние и тем самым блокируется прохождение одного импульса синхронизации на выход 8 элемента 6 ЗАПРЕТ. В режиме «Считывание» в триггер 11 не может записаться лог. «1» и тем самым блокировки не происходит.

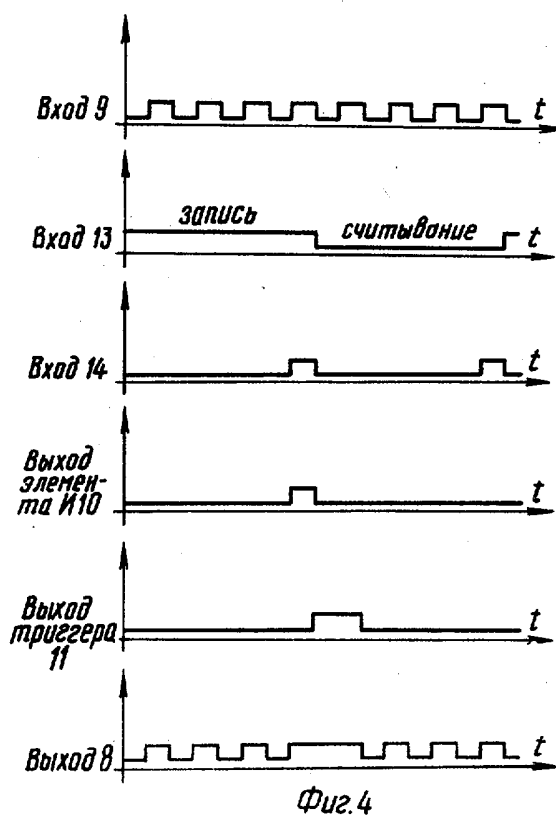
По сравнению с прототипом предлагаемое устройство для контроля памяти позволяет с помощью несложных и эффективных средств формировать сложные квадратичные алгоритмы контроля памяти.



Фиг. 2



Фиг. 3



Редактор Н. Недолуженко
Заказ 4441/50

Составитель В. Рудаков
Техред И. Берес
Тираж 584

Корректор А. Тяско
Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4