(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0121613
(43) 공개일자 2011년11월07일

(51) Int. Cl.
B82B 3/00 (2006.01) *B82B 1/00* (2006.01)
B82Y 40/00 (2011.01)
(21) 출원번호 10-2011-7018195
(22) 출원일자(국제출원일자) 2010년08월27일
심사청구일자 2011년08월04일
(85) 번역문제출일자 2011년08월03일
(86) 국제출원번호 PCT/KR2010/005757
(87) 국제공개번호 WO 2011/025287
국제공개일자 2011년03월03일
(30) 우선권주장
12/548,959 2009년08월27일 미국(US)

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가 1
(72) 발명자
이 광렬
경기도 남양주시 퇴계원면 강남1차아파트 103동 603호
(74) 대리인
신정건, 김태홍

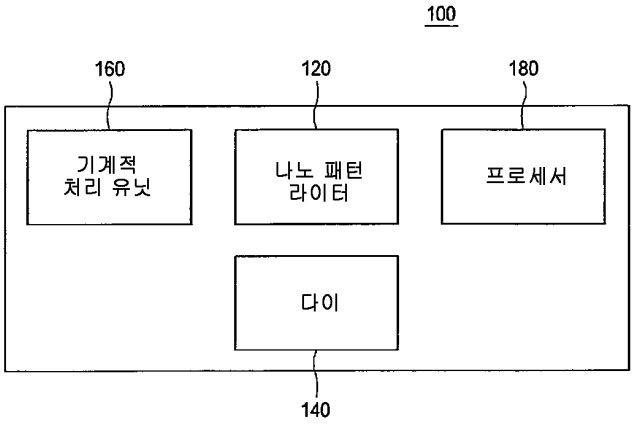
전체 청구항 수 : 총 22 항

(54) 나노 패턴 라이터

(57) 요 약

나노 패턴 라이터를 제조하는 방법은 제1 층 상에 하나 이상의 그루브(groove)를 형성하는 단계, 제1 층 상에 물질을 증착하여, 제1 층 상에 막을 형성하는 단계, 제1 층 상의 막을 연마(polish)하여, 제1 층 상의 하나 이상의 그루브를 채우는 패턴화된 막(patterned film)을 형성하는 단계, 패턴화된 막 상에 제2 층을 배치하여, 패턴화된 막을 제1 층과 제2 층 사이에 개재시키는 계층화된 구조물(layered structure)을 형성하는 단계, 및 제1 층 및 제2 층의 일부를 제거하여 패턴화된 막의 일부분을 노출시키는 단계를 포함한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

나노 패턴 라이터를 제조하는 방법으로서,

제1 층 상에 하나 이상의 그루브(groove)를 형성하는 단계,

상기 제1 층 상에 물질을 증착하여, 상기 제1 층 상에 막을 형성하는 단계,

상기 제1 층 상의 상기 막을 연마(polish)하여, 상기 제1 층 상의 상기 하나 이상의 그루브를 채우는 패턴화된 막(patterned film)을 형성하는 단계,

상기 패턴화된 막 상에 제2 층을 배치하여, 상기 패턴화된 막을 상기 제1 층과 상기 제2 층 사이에 개재시키는 계층화된 구조물(layered structure)을 형성하는 단계, 및

상기 제1 층 및 상기 제2 층의 일부를 제거하여, 상기 패턴화된 막의 일부분을 노출시키는 단계

를 포함하는 나노 패턴 라이터를 제조하는 방법.

청구항 2

제1항에 있어서,

상기 계층화된 구조물을 제1 단편 및 제2 단편으로 절단하는 단계, 및

상기 제1 단편의 일부를 제거하여, 상기 제1 단편에서의 상기 패턴화된 막의 일부분을 노출시키는 단계

를 추가로 포함하는 나노 패턴 라이터를 제조하는 방법.

청구항 3

제2항에 있어서,

상기 제1 단편을 상기 제2 단편에 부착하여, 상기 제1 단편에서의 상기 패턴화된 막 및 상기 제2 단편에서의 상기 패턴화된 막이 서로 실질적으로 평행할 수 있게 해주는 단계, 및

상기 제1 단편 및 상기 제2 단편의 일부를 제거하여, 상기 패턴화된 막의 일부분을 노출시키는 단계

를 추가로 포함하는 나노 패턴 라이터를 제조하는 방법.

청구항 4

제1항에 있어서, 상기 물질이 모스 경도계(Mohs scale)에서 7보다 크거나 같은 경도를 가지는 것인, 나노 패턴 라이터를 제조하는 방법.

청구항 5

제1항에 있어서, 상기 막이 석영, 텅스텐, 텅스텐 카바이드, 탄탈 카바이드, 다이어몬드 또는 티타늄 합금 중 적어도 하나를 포함하는 것인, 나노 패턴 라이터를 제조하는 방법.

청구항 6

제1항에 있어서, 상기 하나 이상의 그루브가 약 5 nm 내지 약 30 nm의 범위에 있는 깊이, 및 약 10 nm 내지 약 50 nm의 범위에 있는 폭을 가지는 것인, 나노 패턴 라이터를 제조하는 방법.

청구항 7

제1항에 있어서, 상기 하나 이상의 그루브가 실질적으로 삼각형-형상의 단면을 가지는 것인, 나노 패턴 라이터를 제조하는 방법.

청구항 8

제2항에 있어서, 상기 계층화된 구조물을 절단하는 단계가 상기 하나 이상의 그루브가 뻗어 있는 방향에 실질적으로 수직인 방향으로 상기 계층화된 구조물을 절단하는 단계를 포함하는 것인, 나노 패턴 라이터를 제조하는 방법.

청구항 9

제1항에 있어서, 상기 하나 이상의 그루브의 2개의 인접한 그루브 간의 중심간 간격이 약 5 nm 내지 약 30 nm의 범위에 있는 것인, 나노 패턴 라이터를 제조하는 방법.

청구항 10

제1항에 있어서, 상기 제1 층 상의 상기 하나 이상의 그루브 각각이 실질적으로 직선 패턴을 가지도록 실질적으로 평행하게 뻗어 있는 것인, 나노 패턴 라이터를 제조하는 방법.

청구항 11

제1항에 있어서,

상기 제2 층 상에 하나 이상의 부가 그루브를 형성하는 단계,

상기 제2 층 상에 부가 막을 증착하는 단계,

상기 제2 층 상의 상기 부가 막을 연마하여, 상기 부가 막을 패턴화하여 상기 제2 층 상에 부가의 패턴화된 막을 형성하는 단계,

상기 부가의 패턴화된 막 상에 제3 층을 배치하여, 상기 부가의 패턴화된 막을 상기 제2 층과 상기 제3 층 사이에 개재시키는 계층화된 구조물을 형성하는 단계, 및

상기 제3 층의 일부를 제거하여 상기 부가의 패턴화된 막의 일부분을 노출시키는 단계

를 추가로 포함하는 나노 패턴 라이터를 제조하는 방법.

청구항 12

제11항에 있어서, 상기 제2 층 상의 상기 하나 이상의 부가 그루브가 실질적으로 직선 패턴을 가지도록 실질적으로 평행하게 뻗어 있는 것인, 나노 패턴 라이터를 제조하는 방법.

청구항 13

제11항에 있어서, 상기 제2 층 상의 상기 하나 이상의 부가 그루브가 상기 제1 층 상의 상기 하나 이상의 그루브의 패턴과 실질적으로 동일한 패턴을 가지는 것인, 나노 패턴 라이터를 제조하는 방법.

청구항 14

나노 패턴을 형성하는 방법으로서,

나노 니들의 어레이를 가지는 나노 패턴 라이터를 플레이트 상에 위치시키는 단계, 및

상기 플레이트 상에서 상기 나노 패턴 라이터를 이동시켜, 상기 나노 니들의 어레이가 상기 플레이트의 표면을 스크래치할 수 있게 해주는 단계

를 포함하는 나노 패턴을 형성하는 방법.

청구항 15

제14항에 있어서, 상기 나노 패턴 라이터를 이동시키는 단계는 상기 플레이트가 뻗어 있는 방향으로 상기 나노 패턴 라이터를 이동시키는 단계를 포함하는 것인, 나노 패턴을 형성하는 방법.

청구항 16

제14항에 있어서, 상기 나노 패턴 라이터를 이동시키는 단계는 상기 플레이트가 뻗어 있는 방향으로부터 소정의 각도를 갖는 방향으로 상기 나노 패턴 라이터를 이동시키는 단계를 포함하는 것인, 나노 패턴을 형성하는 방법.

청구항 17

제14항에 있어서, 상기 나노 니들의 어레이의 2개의 인접한 니들 간의 중심간 간격이 약 5 nm 내지 약 30 nm의 범위에 있는 것인, 나노 패턴을 형성하는 방법.

청구항 18

나노 패턴 라이터로서,

그루브를 포함하는 제1 층,

상기 그루브에 위치하는 나노 니들의 어레이, 및

상기 제1 층 및 상기 나노 니들의 어레이를 덮고 있는 제2 층

을 포함하는 나노 패턴 라이터.

청구항 19

제18항에 있어서, 상기 나노 니들의 어레이가 모스 경도계에서 7보다 크거나 같은 경도를 가지는 것인, 나노 패턴 라이터.

청구항 20

제18항에 있어서, 상기 나노 니들의 어레이가 석영, 텅스텐, 텅스텐 카바이드, 탄탈 카바이드, 다이어몬드 또는 티타늄 합금 중 적어도 하나를 포함하는 것인, 나노 패턴 라이터.

청구항 21

제18항에 있어서, 상기 나노 니들의 어레이가 하나의 열의 나노 니들을 가지는 실질적으로 직선 패턴을 가지는 것인, 나노 패턴 라이터.

청구항 22

제18항에 있어서, 상기 나노 니들의 어레이가 2개 이상의 열의 나노 니들을 가지는 실질적으로 직사각형 패턴을 가지는 것인, 나노 패턴 라이터.

명 세 서

배 경 기 술

[0001] 나노 기술에서의 최근의 개발은 나노 구조물의 나노 패턴으로부터 달성가능한 우수한 특성으로 인해 나노 구조물의 응용 분야를 넓혀 왔다. 플레이트 상에 형성된 나노 패턴(예를 들어, 크기, 형상)은 플레이트의 특성(예를 들어, 오염 방지, 반사 방지, 반사성, 점착성, 비점착성, 생체 적합성 등)을 결정할 수 있다. 이러한 나노 패턴은 또한, 예를 들어, 나노-패턴화된 전도성 배선을 갖는 나노-스케일 디바이스의 구현을 용이하게 해준다. 나노 패턴을 형성하는 종래 기술은 광학 리소그래피, 플라즈마 에칭, 전자빔 리소그래피 등과 같은 복잡한 공정을 포함하지만, 나노 구조물의 충분히 미세한 패턴을 달성하지 못한다.

발명의 내용

해결하려는 과제

[0002] 나노 패턴 라이터(nano pattern writer)에 대한 디바이스, 방법 및 기술이 제공된다.

과제의 해결 수단

[0003] 일 실시예에서, 나노 패턴 라이터를 제조하는 방법은 제1 층 상에 하나 이상의 그루브(groove)를 형성하는 단계, 제1 층 상에 물질을 증착하여, 제1 층 상에 막을 형성하는 단계, 제1 층 상의 막을 연마(polish)하여, 제1 층 상의 하나 이상의 그루브를 채우는 패턴화된 막(patterned film)을 형성하는 단계, 패턴화된 막 상에 제2 층을 배치하여, 패턴화된 막을 제1 층과 제2 층 사이에 개재시키는 계층화된 구조물(layered structure)을 형성

하는 단계, 및 제1 층 및 제2 층의 일부를 제거하여 패턴화된 막의 일부분을 노출시키는 단계를 포함한다.

발명의 효과

[0004] 이상의 요약은 단지 예시적인 것이고 결코 제한하기 위한 것이 아니다. 전술한 예시적인 측면, 실시예, 및 특징에 부가하여, 추가의 측면, 실시예, 및 특징이 도면 및 이하의 상세한 설명을 참조하면 명백하게 될 것이다.

도면의 간단한 설명

[0005] 도 1은 나노 패턴 라이팅 디바이스(nano pattern writing device)의 예시적인 실시예의 개략도이다.

도 2는 나노 패턴 라이터의 제1 층의 예시적인 실시예의 사시도이다.

도 3은 도 2에 예시된 제1 층의 단면도이다.

도 4는 제1 층과 제2 층 사이에 개재된 막을 갖는 계층화된 구조물을 형성하도록 제2 층이 배치되어 있는 도 2에 예시된 제1 층의 사시도이다.

도 5는 도 4에 예시된 계층화된 구조물을 4개의 단편으로 절단한 것의 사시도이다.

도 6은 도 5에 예시된 4개의 단편 중 하나의 사시도이다.

도 7은 제1 층 및 제2 층의 상부 부분이 제거된, 도 6에 예시된 계층화된 구조물의 하나의 단편의 사시도이다.

도 8은 3층 구조물의 예시적인 실시예의 사시도이다.

도 9는 2개의 행의 나노 니들(nano needle)을 갖는 나노 패턴 라이터를 제조하기 위해 3개의 층의 상부 부분이 제거되어 있는, 도 8에 도시된 3층 구조물의 하나의 단편의 사시도이다.

도 10a 및 도 10b는 도 7에 예시된 나노 패턴 라이터를 사용하여 플레이트 상에 나노 패턴을 형성하는 공정을 나타내는 사시도이다.

도 11은 나노 패턴 라이터를 제조하는 방법의 예시적인 실시예의 흐름도이다.

도 12는 도 11에 예시된 방법의 동작을 제어하는 컴퓨터/제어기의 예시적인 실시예의 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0006] 이하의 상세한 설명에서, 본 명세서의 일부를 형성하는 첨부 도면을 참조한다. 도면에서, 유사한 심볼은, 달리 언급하지 않는 한, 통상적으로 유사한 구성요소를 나타낸다. 상세한 설명, 도면 및 특허청구범위에 기술되는 예시적인 실시예는 제한하기 위한 것이 아니다. 본 명세서에 제시되는 주제의 사상 또는 범위를 벗어나지 않고, 다른 실시예들이 이용될 수 있고 다른 변경들이 행해질 수 있다. 본 명세서에 개괄적으로 기술되고 도면에 예시되어 있는 본 개시 내용의 측면이 아주 다양한 상이한 구성으로 배열, 치환, 결합, 분리 및 설계될 수 있고, 그 모두가 본 명세서에서 명확히 생각되고 있다는 것을 잘 알 것이다.

[0007] 도 1은 나노 패턴 라이팅 디바이스(100)의 예시적인 실시예의 개략도를 나타낸 것이다. 도시된 바와 같이, 나노 패턴 라이팅 디바이스(100)는 나노 패턴 라이터(120), 다이(140), 기계적 처리 유닛(160), 및 프로세서(180)를 포함할 수 있다. 기계적 처리 유닛(160)은 패턴화될 플레이트(도시 생략)를 이동시켜 위치시키도록 구성될 수 있다. 기계적 처리 유닛(160)은 또한 나노 패턴 라이터(120)를 이동시켜 위치시키도록 구성될 수 있다. 이용될 처리 절차(예를 들어, 에칭, 스크래칭 등)에 따라, 기계적 처리 유닛(160)은 플레이트, 나노 패턴 라이터(120), 또는 플레이트 및 나노 패턴 라이터(120)를 이동시키거나 위치시킬 수 있다. 예를 들어, 기계적 처리 유닛(160)은 플레이트(예를 들어, 반도체 기판)를 다이(140)의 표면 상에 위치시키도록 구성되어 있는 로봇 팔(도시 생략)을 포함할 수 있다. 로봇 팔은 나노 패턴 라이터(120)를 다이(140) 상에 놓여 있는 플레이트의 표면 상으로 압착 및/또는 이동시켜 나노 패턴을 형성(예를 들어, 플레이트의 표면을 스크래치)할 수 있다. 다른 대안으로서, 기계적 처리 유닛(160)은 나노 패턴 라이터(120) 및 플레이트를 어느 방향으로도(예를 들어, 수직 방향으로) 이동시키는 일 없이, 나노 패턴 라이터(120)를 패턴화될 플레이트의 표면에 대해 압착시켜, 플레이트의 표면 상에 나노 패턴(예를 들어, 점의 어레이)을 형성하도록 조작될 수 있다. 기계적 처리 유닛(160)은 또한 나노 패턴 라이터(120)를, 예를 들어, 플레이트가 뻗어 있는 방향에 대해 수직 방향 또는 수평 방향으로 이동시켜, 나노 패턴 라이터(120)를 사용해 플레이트의 표면 상에 나노 패턴(예를 들어, 라인의 어레이)을 형성하도록 구성될 수 있다. 기계적 처리 유닛(160)은 로봇 팔, 모터, 컨베이어 벨트, 또는 이들의 조합을 비롯한 하

나 이상의 이동 유닛을 포함할 수 있지만, 이들로 제한되지 않는다.

[0008] 프로세서(180)는 나노 패턴 라이팅 디바이스(100)의 전체적인 동작을 제어하도록 구성될 수 있다. 예를 들어, 프로세서(180)는 기계적 처리 유닛(160)을 조작하는 입력을 사용자(예를 들어, 조작자)로부터 수신하고 사용자가 보도록 나노 패턴 라이팅 디바이스(100)의 동작 상태를 디스플레이하도록 구성될 수 있다. 프로세서(180)는 마이크로프로세서, 디지털 신호 처리기(DSP), 마이크로제어기 등을 포함할 수 있다. 적어도 하나의 시스템 메모리가, 프로세서(180)에 의해 실행되는 운영 체제, 적어도 하나의 응용 프로그램, 또는 기타 프로그램 모듈을 비롯한 소프트웨어 응용 프로그램을 저장하기 위해, 프로세서(180)에 포함되어 있거나 그에 연결되어 있을 수 있다.

[0009] 패턴화될 플레이트를 올려 놓기 위한 다이(140)가 제공될 수 있다. 다이(140)는 나노 패턴 라이터(120)가 다이(140) 상의 플레이트의 표면과 접촉해 있을 때 플레이트를 잡고 있도록 구성될 수 있다. 다이(140)는 또한 나노 패턴 라이터(120)를 사용하여 탑재된 플레이트 상에서 나노 패턴 형성 공정을 수행하는 것을 용이하게 해주기 위해 플레이트를 탑재하도록 구성될 수 있다. 다이(140)는 나노 패턴 라이터(120)가 플레이트의 표면과 접촉하게 위치될 때 플레이트를 고정시키기 위해 플레이트의 크기에 적어도 부분적으로 기초하여 설계될 수 있다. 플레이트는, 예를 들어, 기계적 처리 유닛(160)을 사용하여 다이(140) 상에 위치될 수 있다. 플레이트가 다이(140) 상에 위치되면, 나노 패턴 라이터(120)는 소정의 압력을 플레이트에 가할 수 있다. 소정의 압력은, 예를 들어, 나노 패턴 라이터(120)의 중량에 비례할 수 있다. 나노 패턴 라이터(120)는 나노 패턴 라이팅 디바이스(100)의 단일 조작 구성요소로서 다이(140)와 일체화될 수 있다.

[0010] 도 2 내지 도 7은, 나노 패턴 라이터의 제조 동안, 나노 패턴 라이터(120)와 같은 나노 패턴 라이터의 예시적인 단계를 나타낸 것이다. 나노 패턴 라이터는 패턴화될 플레이트의 표면을 스크래치하기 위해 나노 니들(nano needle)의 어레이를 가질 수 있다. 일부 실시예에서, 나노 패턴 라이터는 빗살형 나노 패턴 스크래처(nano pattern scratcher)일 수 있다. 도 2는 나노 패턴 라이터[예를 들어, 도 1의 나노 패턴 라이터(120)]의 제1 층(210)의 예시적인 실시예의 사시도를 나타낸 것이다. 도시된 바와 같이, 제1 층(210)은 실질적으로 서로 평행인 하나 이상의 그루브(230)를 포함한다. 제1 층(210)은 약 15 nm(나노미터) 내지 약 30 nm, 약 20 nm 내지 약 50 nm, 약 30 nm 내지 약 70 nm, 또는 약 50 nm 내지 약 100 nm의 범위에 있는 소정의 깊이 "D"를 가질 수 있다. 제1 층(210)은 제1 층(210)의 길이를 따라 뻗어 있는 하나 이상의 그루브(230)를 포함할 수 있다. 일 실시예에서, 제1 층(210) 또는 제1 층(210)의 섹션은 반도체 처리, MEMS 처리, 또는 나노 기술 분야의 당업자에게 일반적으로 공지되어 있는 각종의 에칭 기법 중 임의의 것을 사용하여 하나 이상의 그루브(230)를 형성하기 위해 부분적으로 제거될 수 있다. 예를 들어, 다음과 같은 반응식으로 주어진 메커니즘에 따라 인산 과산화수소 용액에서 이방성 화학적 습식 에칭 기법이 GaAs로 이루어진 제1 층(210)을 에칭하는 데 사용될 수 있다. $GaAs+H_3PO_4+4H_2O_2 \rightarrow GaPO_4+H_3AsO_4+4H_2O$.

[0011] 일 실시예에서, 제1 층(210)은 소정의 패턴(예를 들어, 다수의 평행 라인 패턴)을 갖도록 배열되어 있는 하나 이상의 그루브(230)를 가질 수 있다. 각종의 공지된 포토리소그라피 기법(또는 기타 등가의 방법) 중 임의의 것이 하나 이상의 그루브(230)의 패턴을 정의하는 데 사용될 수 있다. 일 실시예에서, 포토레지스트층(도시 생략)이 제1 층(210) 상에 형성될 수 있다. 포토레지스트층은 이어서 상기한 포토리소그라피 기법들 중 임의의 것을 사용하여 처리되어, 제1 층(210) 상의 포토레지스트층의 일부를 선택적으로 제거할 수 있다. 제1 층(210)의 노출된 부분은 이어서 (예를 들어, 이방성 화학적 습식 에칭을 사용하여) 에칭되어, 하나 이상의 그루브(230)를 형성할 수 있다. 포토레지스트층은, 예를 들어, 산소 함유 플라즈마를 사용하여 제거될 수 있다. 이러한 방식으로, 도 2에 도시된 바와 같이, 하나 이상의 그루브(230)가 제1 층(210) 상에 형성될 수 있다. 일 실시예에서, 제1 층(210) 상에 형성된 하나 이상의 그루브(230)는 인접한 그루브 간에 소정의 중심간 간격 "s"를 갖는 실질적으로 균일한 방식으로 배치될 수 있다. 중심간 간격 "s"는 형성될 원하는 나노 패턴에 기초하여 결정될 수 있다. 일부 실시예에서, 중심간 간격 "s"는 약 10 nm 내지 약 20 nm, 약 20 nm 내지 약 50 nm, 약 30 nm 내지 약 100 nm, 또는 약 100 nm 내지 약 1000 nm의 범위에 있을 수 있다. 나노 패턴 라이터(120)의 소정의 중심간 간격 "s"가 넓어짐에 따라, 나노 패턴 라이터(120)에 의해 형성되는 나노 패턴에서의 라인의 간격이 더 커질 수 있다. 도 2가 2개의 인접한 그루브 사이의 실질적으로 균일한 중심간 간격으로 직선으로 뻗어 있는 하나 이상의 그루브(230)를 나타내고 있지만, 설계 사양에 따라, 하나 이상의 그루브(230)가 다양한 패턴을 갖는 다양한 방향으로 및/또는 다양한 중심간 간격 "s"로 배치될 수 있다(예를 들어, 한 쌍의 2개의 인접한 그루브가 다른 쌍의 2개의 인접한 그루브보다 서로 더 가까운 간격으로 있을 수 있음)는 것을 잘 알 것이다.

[0012] 하나 이상의 그루브(230)는 나노 패턴 라이팅 디바이스(100)에서 사용될 나노 패턴 라이터(120)의 설계 요구사

항/사양에 따라 변할 수 있는 단면 형상을 가질 수 있다. 예를 들어, 하나 이상의 그루브(230)는 실질적으로 삼각형-형상의 단면을 가질 수 있다. 도 2에 도시된 바와 같이, 하나 이상의 그루브(230)의 단면은 나노 패턴 라이터(120)를 사용하여 제조될 나노 패턴의 크기(dimension)/스케일에 기초하여 정의될 수 있는 소정의 폭 "w" 및 소정의 깊이 "d"를 갖는 하부가 뾰족한 삼각형의 형상으로 되어 있을 수 있다. 예를 들어, 그루브(230)의 폭 "w" 및 깊이 "d"는 나노 패턴 라이터(120)를 사용하여 형성될 나노 패턴에서의 라인의 폭에 기초하여 결정되는 값을 가질 수 있다. 나노 패턴 라이터(120)에서의 그루브(230)의 폭 "w" 및 깊이 "d"가 커짐에 따라, 나노 패턴 라이터(120)에 의해 형성되는 나노 패턴에서의 라인의 폭이 더 커질 수 있다. 일부 실시예에서, 폭 "w"는 약 5 nm 내지 약 10 nm, 약 10 nm 내지 약 15 nm, 약 10 nm 내지 약 20 nm, 약 10 nm 내지 약 50 nm, 약 15 nm 내지 약 100 nm, 또는 약 100 nm 내지 약 1000 nm의 범위에 있을 수 있다. 다른 실시예에서, 폭 "w"는 약 5 nm, 약 10 nm, 약 15 nm, 약 20 nm, 약 50 nm, 또는 약 100 nm일 수 있다. 일부 실시예에서, 깊이 "d"는 약 5 nm 내지 약 20 nm, 약 10 nm 내지 약 30 nm, 약 20 nm 내지 약 50 nm, 약 15 nm 내지 약 100 nm, 또는 약 100 nm 내지 약 1000 nm의 범위에 있을 수 있다. 다른 실시예에서, 깊이 "d"는 약 5 nm, 약 10 nm, 약 20 nm, 약 50 nm, 또는 약 100 nm일 수 있다.

[0013] 도 3은 경질 물질로 이루어진 막이 그루브(230)를 채우는, 도 2의 제1 층(210)의 단면도를 나타낸 것이다. 일 실시예에서, 경질 물질은 나노 니들(310)의 어레이를 형성하기 위해 패턴화된 그루브(230)를 채운다. 나노 니들(310)은 나노 패턴 라이터(120)로 패턴화될 플레이트의 표면을 스크래치하기에 충분한 소정의 경도를 갖는 임의의 유형의 경질 물질로 이루어지거나 그 경질 물질을 포함할 수 있다. 예를 들어, 나노 니들(310)은 모스 경도계(Mohs scale)에서 약 7보다 크거나 같은 경도를 갖는 각종의 물질 중 임의의 것으로 이루어져 있을 수 있다. 나노 니들(310)은 석영, 텅스텐, 텅스텐 카바이드, 탄탈 카바이드, 또는 다이어몬드(이들로 제한되지 않음)를 비롯한 경질 물질로 이루어져 있을 수 있다. 다른 실시예에서, 나노 니들(310)은 Ti-6Al-4V, Ti-6Al-6V-2Sn, Ti-6Al-2Sn-4Zr-6Mo, Ti-10V-2Fe-3Al, Ti-7Al-4Mo, Ti-5Al-2.5Sn, Ti-6Al-5Zr-0.5Mo-0.2Si, Ti-5.5Al-3.5Sn-3Zr-0.3Mo-1Nb-0.3Si, Ti-8Al-1Mo-1V, Ti-6Al-2Sn-4Zr-2Mo, Ti-5Al-2Sn-2Zr-4Mo-4Cr, Ti-11.5Mo-6Zr-4.5Sn, Ti-15V-3Cr-3Al-3Sn, Ti-15Mo-5Zr-3Al, Ti-15Mo-5Zr, Ti-13V-11Cr-3Al 등과 같은 티타늄 합금으로 이루어져 있을 수 있다.

[0014] 하나 이상의 그루브(230)를 채우기 위해 제1 층(210)의 표면 상에 경질 물질이 증착될 수 있다. 스퍼터 증착, 플라즈마 스프레이, 열 스프레이, 진공 증착(이들로 제한되지 않음) 등을 비롯한 각종의 공지된 코팅 기법 중 임의의 것을 사용하여 경질 물질의 막이 제1 층(210)의 표면 상에 증착될 수 있다. 일 실시예에서, 증착된 막은 각종의 공지된 연마 기법 중 임의의 것을 사용하여 연마되어, 하나 이상의 그루브(230)를 채우는 패턴화된 막을 형성할 수 있다. 연마 기법은 화학-기계적 연마(CMP), 증기 연마(vapor polishing), 불꽃 연마(flame polishing) 등을 포함할 수 있지만, 이들로 제한되지 않는다. 연마 공정 동안, 제1 층(210)의 표면 상에 막이 형성된다. 막은 이어서 러빙되어, 하나 이상의 그루브(230) 사이에[예를 들어, 그루브들(230) 사이의 제1 층(210)의 평탄면 상에] 형성된 막의 일부분을 제거한다. 일부 실시예에서, 이 러빙 공정은 하나 이상의 그루브(230) 사이에 배치된 막의 일부를 남긴다. 하나 이상의 그루브(230)를 채우는 막의 일부는 하나 이상의 그루브(230)의 깊이 "d"와 실질적으로 동일하거나 그보다 작은 높이를 가질 수 있다. 이러한 방식으로, 막은 제1 층(210)의 하나 이상의 그루브(230)를 채울 수 있다. 경질 물질의 막은 제1 층(210)의 길이를 따라 뻗어 있는 나노 니들(310)의 어레이를 형성할 수 있다. 다른 실시예에서, 나노 니들(310)은 또한 실질적으로 균일한 높이를 가질 수 있다.

[0015] 도 4는 제1 층(210) 상에 제2 층(410)이 위치되어 있는 것의 사시도를 나타낸 것이다. 도시된 바와 같이, 제2 층(410)은 막으로 채워진 하나 이상의 그루브(230)를 가지는 제1 층(210) 상부에 위치되어, 계층화된 구조물(400)을 형성할 수 있다. 계층화된 구조물(400)은, 나노 니들(310)의 어레이와 함께, 제1 층(210) 및 제2 층(410)을 포함한다. 일부 실시예에서, 나노 니들(310)은 제1 층(210)과 제2 층(410) 사이에 개재된 막으로부터 형성된다. 제2 층(410)은 화학적 기상 증착(CVD), 물리적 기상 증착(PVD)(이들로 제한되지 않음) 등을 비롯한 각종의 공지된 증착 기법 중 임의의 것을 사용하여 제1 층(210) 상에 증착될 수 있다. 증착 공정 동안, 제1 층(210)과 제2 층(410) 사이의 양호한 접착을 보장하기 위해 계층화된 구조물(400)이 가열되면서 압착될 수 있다. 일 실시예에서, 제1 층(210) 및 제2 층(410)은 규소(Si), 갈륨 비소(GaAs), SOI(Silicon-On-Insulator), GaAs/AlAs/SiGaAs, AlGaN/GaN/Si(이들로 제한되지 않음) 등을 비롯한 각종의 반도체 물질로 이루어져 있을 수 있다. 다른 대안으로서, 제1 층(210) 및 제2 층(410)은 비반도체 물질로 이루어져 있을 수 있다. 일부 실시예에서, 가요성, 크기, 단가, 내구성 등과 같은 물질의 특정의 특성 또는 속성에 기초하여 물질이 선택될 수 있다. 제2 층(410)은 제1 층(210)의 물질과 동일하거나 상이한 물질로 이루어져 있을 수 있다.

[0016] 도 5는 도 4의 계층화된 구조물(400)이 다수의 단편으로 절단된 것의 사시도를 나타낸 것이다. 도시된 바와 같이, 제1 층(210) 및 제2 층(410)으로 이루어진 계층화된 구조물(400)이 4개의 단편(510, 520, 530, 540)으로 나누어질 수 있다. 도 5는 설명의 편의상 계층화된 구조물(400)이 4개의 단편으로 절단되어 있는 것을 나타낸 것이며, 당업자라면 계층화된 구조물(400)이 다른 수의 단편으로 절단될 수 있다는 것을 잘 알 것이다. 계층화된 구조물(400)을 단편(510, 520, 530, 540)으로 분리하는 데 레이저 블레이드(razor blade) 또는 기타 적절한 절단 기구(cutting instrument)가 사용될 수 있다. 도 5에 도시된 바와 같이, 계층화된 구조물(400)은 "n"축으로 나타낸 계층화된 구조물(400)의 밑면에 실질적으로 수직인 "l"축을 따라 수직으로 절단될 수 있다(즉, "l"축과 "n"축에 의해 형성된 절단각 α가 약 90도임). 다른 대안으로서, "l"축과 "n"축에 의해 형성되는 절단각 α가 예각을 형성하도록 계층화된 구조물(400)이 "l"축을 따라 절단될 수 있다. 즉, 나노 니들(310)이 정렬되는 "n"축과 "l"축 사이의 절단각 α가 90도보다 작을 수 있다.

[0017] 도 6은 계층화된 구조물(400)의 4개의 단편 중 하나가 똑바로 서 있는 배치로 위치되어 있는 것의 사시도를 나타낸 것이다. 단편(510)은 제1 층(210)과 제2 층(410) 사이에 나노 니들(310)의 어레이를 가진다. 기계적 처리 유닛(예를 들어, 로봇 팔)은 똑바로 서 있는 배치로(약 90도로) 위치될 단편(510)을 회전시키는 데 사용될 수 있다. 도 7은 제1 층 및 제2 층의 상부 부분이 제거된, 계층화된 구조물(400)의 단편(510)의 사시도를 나타낸 것이다. 제1 층(210)의 상부 부분 및 제2 층(410)의 상부 부분이 제거되어 그 안에 있는 나노 니들(310)을 노출시킨다. 제1 층(210) 및 제2 층(410)의 나머지 부분[제1 층(210) 및 제2 층(410)의 나머지 하부 부분]은 나노 니들(310)이 부착 또는 고정되는 보디 부분(710)을 형성한다. 단편(510)의 제1 층(210) 및 제2 층(410)의 상부 부분은 각종의 공지된 에칭 기법 중 임의의 것을 사용하여 선택적으로 제거되어, 나노 니들(310)의 일부분을 노출시킬 수 있다. 예를 들어, 이방성 화학적 습식 에칭 기법이 단편(510)의 제1 층(210) 및 제2 층(410)의 상부 부분을 에칭하여 제거하는 데 사용될 수 있다. 에칭 공정 동안에, 단편(510)의 하부 부분이 홀더(holder)(도시 생략)에 부착되어 단편(510)을 그에 고정시킬 수 있는 반면, 제1 층(210) 및 제2 층(410)의 상부 부분 또는 일부분은 제거된다. 이러한 방식으로 계층화된 구조물(400)의 단편(510)은 보디 부분(710) 및 보디 부분(710)에 부착된 나노 니들(310)의 어레이를 갖는 나노 패턴 라이터[예를 들어, 도 1의 나노 패턴 라이터(120)]를 제조하기 위해 처리될 수 있다. 도 7이 하나의 열의 나노 니들(310)을 갖는 나노 패턴 라이터를 제조하는 것의 예시를 나타낸 것이지만, 2개 이상의 열의 나노 니들(310)을 갖는 나노 패턴 라이터가 제조될 수 있다는 것을 잘 알 것이다. 예를 들어, 나노 니들(310)이 2개의 열의 나노 니들[즉, 단편(510)으로부터의 하나의 열 및 단편(520)으로부터의 다른 열]을 갖는 일체형 구조물을 형성하도록 정렬될 수 있는 방식으로, 계층화된 구조물(400)의 하나의 단편[예를 들어, 도 5의 단편(510)]이 계층화된 구조물(400)의 다른 단편[예를 들어, 도 5의 단편(520)]에 고정될 수 있다. 2개의 열의 나노 니들을 갖는 일체형 구조물의 상부 부분이 제거되어, 단편(510) 및 단편(520)에 있는 나노 니들의 어레이를 노출시키며, 그로써 2개 이상의 열의 나노 니들을 갖는 나노 패턴 라이터를 제조할 수 있다.

[0018] 도 8은 제2 층(410) 상에 위치한 제3 층(810)을 갖는 3층 구조물(800)의 예시적인 실시예의 사시도를 나타낸 것이다. 제2 층(410)의 길이를 따라 뻗어 있는 하나 이상의 부가 그루브(830)가 제2 층(410) 상에 형성될 수 있다. 부가 그루브(830)는 도 2를 참조하여 전술한 그루브(230)와 유사한 방식으로 형성될 수 있다. 제2 층(410) 상에 형성된 하나 이상의 부가 그루브(830)의 스케일/크기/형상(예를 들어, 각각의 그루브의 폭 및 깊이, 각각의 그루브의 단면 형상, 2개의 인접한 그루브 사이의 중심간 간격 등)이 제1 층(210) 상에 형성된 그루브(230)의 스케일/크기/형상과 실질적으로 동일할 수 있다. 도시된 바와 같이, 제2 층(410) 상의 하나 이상의 부가 그루브(830)는 제1 층(210) 상의 그루브(230)와 실질적으로 평행하게 뻗어 있을 수 있다. 일부 실시예에서, 제2 층(410) 상의 하나 이상의 부가 그루브(830)는 제1 층(210) 상의 하나 이상의 그루브(230)의 패턴과 실질적으로 동일한 패턴을 가질 수 있다. 일부 실시예에서, 하나 이상의 부가 그루브(830)는 또한 하나 이상의 그루브(230)의 직선 패턴과 교대로 있는 직선 패턴을 가질 수 있다. 예를 들어, 하나 이상의 부가 그루브(830)는 하나 이상의 그루브(230)가 형성되어 있는 위치로부터 소정의 거리 또는 크기(예를 들어, 2개의 인접한 그루브 사이의 중심간 간격의 절반)만큼 수평으로 (예를 들어, 오른쪽으로) 천이된 위치에 형성될 수 있다. 도 8이 2개의 인접한 부가 그루브 사이의 실질적으로 균일한 중심간 간격으로 직선으로 뻗어 있는 하나 이상의 부가 그루브(830)를 나타내고 있지만, 설계 사양에 따라, 하나 이상의 부가 그루브(830)가 상이한 패턴 및/또는 2개의 인접한 부가 그루브 사이의 중심간 간격을 갖는 다양한 방향으로 배치될 수 있다는 것을 잘 알 것이다. 게다가, 하나 이상의 부가 그루브(830)의 패턴이 도 8에 도시된 패턴과 다를 수 있다(예를 들어, 한 쌍의 2개의 인접한 부가 그루브가 다른 쌍의 2개의 인접한 부가 그루브보다 서로 더 가까운 간격으로 있을 수 있다).

[0019] 도 3을 참조하여 전술한 하나 이상의 그루브(230)를 채우는 막을 형성하는 것과 유사한 방식으로, 하나 이상의

부가 그루브(830)에 막이 증착되어, 제2 층(410) 상의 하나 이상의 부가 그루브(830)에 부가의 나노 니들(850)의 어레이를 형성할 수 있다. 나노 니들(850)은 소정의 경도를 갖는 임의의 유형의 경질 물질로 이루어져 있을 수 있다. 예를 들어, 나노 니들(850)은 나노 니들(310)의 물질과 동일한 경도를 갖는 물질(예를 들어, 동일한 물질)로 이루어져 있을 수 있다. 경질 물질이 제2 층(410) 상에 증착되어, 제2 층(410)의 표면 상에 막을 형성할 수 있다. 경질 물질의 막은 각종의 공지된 연마 기법 중 임의의 것을 사용하여 연마되어, 그루브(830)에 패턴화된 막을 형성할 수 있다. 이러한 방식으로 막은 그루브(830)를 채우고, 그로써 제2 층(410)의 길이를 따라 뻗어 있는 부가의 나노 니들(850)의 어레이를 형성할 수 있다.

[0020] 도 9는 2개의 행의 나노 니들을 갖는 나노 패턴 라이터를 제조하기 위해 3개의 층의 상부 부분이 제거되어 있는, 도 8에 도시된 3층 구조물(800)의 하나의 단편(900)의 사시도를 나타낸 것이다. 2개의 행의 나노 니들이 나노 니들(310)의 어레이 및 부가의 나노 니들(850)의 어레이에 의해 형성될 수 있다. 제1 층(210) 및 제2 층(410)을 갖는 계층화된 구조물(400)이 다수의 단편으로 절단되는 것(도 5)과 유사한 방식으로, 제1 층(210), 제2 층(410) 및 제3 층(810)을 포함하는 3층 구조물(800)이 각종의 공지된 절단 기법 중 임의의 것을 사용하여(예를 들어, 레이저 블레이드를 사용하여) 다수의 단편으로 절단 또는 분할될 수 있다. 단편(900)은 똑바로 서있는 위치에 있도록 90도만큼 회전될 수 있다. 제1 층(210), 제2 층(410) 및 제3 층(810)의 상부 부분은 각종의 공지된 에칭 기법 중 임의의 것을 사용하여 선택적으로 제거되어, 나노 니들(310) 및 나노 니들(850)의 상부 부분을 노출시킬 수 있다. 이러한 방식으로, 2개의 열의 나노 니들[즉, 나노 니들(310)로부터의 하나의 열 및 나노 니들(850)로부터의 다른 열]을 갖는 나노 패턴 라이터가 3층 구조물(800)의 단편(900)을 사용하여 제조될 수 있다. 2개의 열의 나노 니들을 갖는 나노 패턴 라이터가 도 9에 예시되어 있지만, 상이한 설계 사양에 따라 다른 상이한 패턴의 나노 니들(예를 들어, 3개의 열의 나노 니들)이 형성될 수 있다는 것을 잘 알 것이다.

[0021] 도 10a 및 도 10b는 나노 패턴 라이터(예를 들어, 도 7의 나노 패턴 라이터)를 사용하여 플레이트 상에 나노 패턴을 형성하는 공정을 설명하는 사시도를 나타낸 것이다. 도시된 바와 같이, 보디 부분(710) 및 보디 부분(710)에 부착된 나노 니들(310)의 어레이를 갖는 나노 패턴 라이터(120)는 방향 "m"으로 이동될 수 있다. 나노 패턴 라이터(120)는 나노 니들(310)의 어레이가 플레이트(1010)의 표면을 스크래치할 수 있게 해줄 임의의 유형의 기계적 처리 유닛(예를 들어, 로봇 팔)을 사용하여 이동될 수 있다. 나노 패턴 라이터(120)를 이동시키는 것은 플레이트(1010)의 표면에 나노 패턴(1070) 및 나노 패턴(1090)을 형성한다(각각 도 10a 및 도 10b). 플레이트(1010)는 유리, 반도체 기판, 포토레지스트 등을 포함할 수 있지만, 이들로 제한되지 않는다. 일 실시예에서, 나노 패턴 라이터(120)는 플레이트(1010)의 표면 상에서 나노 패턴 라이터(120)가 뻗어 있는 방향 "h"에 실질적으로 수직인 방향 "m"으로 이동될 수 있다. 이 이동은 플레이트(1010)의 길이를 따라 정렬되어 있는 다수의 라인을 가지는 나노 패턴(1070)을 형성한다(도 10a). 나노 니들(310)의 2개의 인접한 니들은 약 5 nm 내지 약 30 nm, 약 10 nm 내지 약 50 nm, 약 15 nm 내지 약 70 nm, 또는 약 20 nm 내지 약 100 nm의 범위에 있는 중심간 간격을 가질 수 있다. 나노 니들의 중심간 간격은 나노 패턴(1070)에서의 라인들의 간격을 결정할 수 있다. 나노 패턴 라이터(120)의 중심간 간격이 넓어짐에 따라, 나노 패턴 라이터(120)에 의해 형성되는 나노 패턴(1070)에서의 라인의 간격이 더 커질 수 있다.

[0022] 다른 대안으로서, 나노 패턴 라이터(120)는 플레이트(1010)의 표면 상에서 나노 패턴 라이터(120)가 뻗어 있는 방향 "h"에 대해 예각(예를 들어, 약 45도)을 형성하는 방향 "m"으로 이동되어, 플레이트(1010) 상에 비스듬히 정렬되어 있는 다수의 라인을 갖는 나노 패턴(1090)을 형성할 수 있다(도 10b). 이 실시예에서, 나노 패턴 라이터(120)는 나노 패턴 라이터(120)가 [예를 들어, 플레이트(1010)의 표면 상에서 상부 우측 방향 쪽으로] 뻗어 있는 방향 "h"에 대해 예각으로 이동되어, 나노 패턴(1070)의 라인 간격보다 미세한 라인 간격을 가지는 나노 패턴(1090)을 생성 또는 형성한다. 도 10a 및 도 10b가 나노 니들(310)의 어레이를 가지는 나노 패턴 라이터(120)를 소정의 방향으로 이동시킴으로써 플레이트(1010) 상에 나노 패턴을 형성하는 방법을 예시하고 있지만, 나노 패턴 라이터에서의 상이한 배열(예를 들어, 직사각형 패턴)의 나노 니들을 사용하여 및/또는 이러한 나노 패턴 라이터를 다양한 방향으로(예를 들어, 지그재그 경로로) 이동시켜 각종의 나노 패턴 중 임의의 것이 형성될 수 있다는 것을 잘 알 것이다. 직사각형 형상으로 배열되어 있는 다수의 열의 나노 니들을 가지는 나노 패턴 라이터가 플레이트(1010)의 표면 쪽으로 압착되어, 나노 패턴 라이터의 다수의 열의 나노 니들의 위치에 대응하는 다수의 점을 가지는 나노 패턴을 형성할 수 있다.

[0023] 도 11은 나노 패턴 라이터(예를 들어, 도 7의 나노 패턴 라이터)를 제조하는 방법의 예시적인 실시예의 흐름도이다. 블록(1110)에서, 나노 패턴 라이터의 나노 니들의 어레이를 포함하도록 하나 이상의 그루브를 형성하기 위해 제1 층(210)이 준비된다. 블록(1120)에서, 하나 이상의 그루브(230)가 제1 층(210) 상에 형성된다. 각종의 공지된 에칭 기법 중 임의의 것을 사용하여 제1 층(210)의 길이를 따라 뻗어 있는 하나 이상의 그루브(230)

를 정의하기 위해 제1 층(210)이 처리될 수 있다. 전술한 바와 같이, 제1 층(210)에 형성된 하나 이상의 그루브(230)는 인접한 그루브 간에 소정의 중심간 간격 "s"를 갖는 실질적으로 균일한 방식으로 배치될 수 있다(도 2). 중심간 간격 "s"는 나노 패턴 라이터(120)를 사용하여 형성될 나노 패턴에서의 인접한 라인들 간의 간격을 결정할 수 있다. 하나 이상의 그루브(230)의 단면 형상은 나노 패턴 라이팅 디바이스(100)에서 사용될 나노 패턴 라이터의 설계 요구사항/사양에 기초하여 변할 수 있다.

[0024] 블록(1130)에서, 경질 물질이 제1 층(210) 상에 증착되어, 제1 층(210)의 표면 상에 막을 형성한다. 이 막은 제1 층(210) 상에 증착되고 하나 이상의 그루브(230)를 채워, 나노 니들(310)을 형성한다. 나노 니들(310)은 패턴화될 플레이트의 표면을 스크래치하기에 충분한 소정의 경도보다 크거나 같은 경도를 가지는 각종의 물질 중 임의의 물질로 이루어져 있을 수 있다. 블록(1140)에서, 이 막은 각종의 공지된 연마 기법 중 임의의 것을 사용하여 연마되어, 제1 층(210)에 있는 하나 이상의 그루브(230)를 채우는 패턴화된 막을 형성할 수 있다. 연마 공정 동안에, 그루브들(230) 사이의 제1 층(210)의 평탄면 상에 형성되는 막의 일부가 제거되어, 그루브(230) 내에 배치된 막의 일부를 남겨둔다. 이러한 방식으로, 막은 제1 층(210)의 그루브(230)를 채워, 나노 니들(310)을 형성할 수 있다. 블록(1150)에서, 제2 층(410)이 제1 층(210)의 상부에 위치되거나 증착되어, 계층화된 구조물(400)을 형성할 수 있다. 증착 동안, 제1 층(210)과 제2 층(410) 사이의 양호한 접착을 보장하기 위해 계층화된 구조물(400)이 가열되면서 압착될 수 있다.

[0025] 블록(1160)에서, 계층화된 구조물(400)이 다수의 단편[예를 들어, 도 5의 단편(510, 520, 530, 540)]으로 분할될 수 있다. 계층화된 구조물(400)은 그루브(230)가 뻗어 있는 방향에 실질적으로 수직인 방향으로 절단될 수 있다(즉, 도 5의 절단각 α가 약 90도인 경우). 다른 대안으로서, 계층화된 구조물(400)은 그루브(230)가 뻗어 있는 방향에 대해 예각인 절단각으로 대각선으로 절단될 수 있다(즉, 절단각 α가 약 90도보다 작은 경우). 블록(1170)에서, 단편(510)에 포함된 제1 층(210) 및 제2 층(410)의 일부가 각종의 공지된 에칭 기법 중 임의의 것을 사용하여 선택적으로 제거될 수 있다. 제1 층(210) 및 제2 층(410)의 일부의 에칭은 제1 층(210)과 제2 층(410) 사이에 배치된 나노 니들(310)의 일부분을 노출시킨다. 이러한 방식으로, 제1 단편(510)이 처리되어, 나노 니들(310)을 가지는 나노 패턴 라이터(120)를 제조할 수 있다.

[0026] 당업자라면, 본 명세서에 개시된 이 공정 및 방법과 기타 공정 및 방법에 대해, 이들 공정 및 방법에서 수행되는 기능이 다른 순서로 구현될 수 있다는 것을 잘 알 것이다. 게다가, 개략적으로 기술된 단계 및 동작이 단지 일례로서 제공되며, 개시된 실시예의 본질로부터 벗어나지 않고, 단계 및 동작 중 일부가 선택적이거나, 더 적은 수의 단계 및 동작으로 결합되거나, 부가의 단계 및 동작으로 확장될 수 있다.

[0027] 도 12는 도 11에 예시된 공정의 동작을 제어할 수 있는 컴퓨터 또는 제어기의 예시적인 실시예의 블록도를 나타낸 것이다. 도시된 바와 같이, 컴퓨터/제어기(1200)는 공정 구성요소("fab")(1210)에 연결되어 있다. 공정 구성요소(1210)는 웨이퍼를 이동시키기 위해 로봇 메커니즘(1212)을 사용하여 기판 또는 플레이트가 처리되는 각종의 공정 챔버(1211) 중 임의의 것을 포함한다. 처리는 증착되는 물질의 깊이/폭에 기초하여 변한다. 이어서, 공정 구성요소(1210) 내에서 특정의 물질을 증착 및/또는 에칭하는 데 공지되어 있는 화학적 기상 증착, 물리적 기상 증착, 전기 화학 증착, 및 반응성 이온 에칭(RIE)을 사용하여, 패턴이 에칭되고 임프린트(imprint)될 수 있다. 컴퓨터/제어기(1200)는 중앙 처리 장치(CPU)(1202), 메모리(1208), 지원 회로(1206) 및 입/출력(I/O) 회로(1204)를 포함한다. CPU(1202)는, 메모리(1208)에 들어 있는 소프트웨어를 실행하도록 프로그램될 때, 공정 구성요소(1210)의 하드웨어 및/또는 구성요소를 제어하도록 구성되어 있는 특정 목적 컴퓨터(specific purpose computer)가 되는 범용 컴퓨터일 수 있다. 메모리(1208)는 판독 전용 메모리(ROM), 랜덤 액세스 메모리(RAM), 이동식 저장 장치, 하드 디스크 드라이브, 또는 임의의 다른 디지털 메모리 장치를 포함할 수 있다. I/O 회로(1204)는 정보를 디스플레이 또는 출력하는 데 적합한 공지된 디스플레이를 포함할 수 있는 반면, 키보드, 마우스, 트랙 볼, 또는 기타 입력 장치는 공정(즉, 제어) 구성요소(1210)에 의해 수행될 공정[공정 구성요소(1210)에 포함된 로봇(1212)에 의해 수행되는 연관된 동작을 포함함]을 결정하기 위해 컴퓨터/제어기(1200)를 적절히 프로그래밍할 수 있게 해줄 수 있다. 지원 회로(1206)는 당업계에 공지되어 있으며, 캐시, 클록, 전원 공급 장치 등과 같은 회로를 포함한다. 메모리(1208)는, CPU(1202)에 의해 실행될 때, 컴퓨터/제어기(1200)가 공정 구성요소(1210)의 다양한 구성요소를 디지털적으로 제어할 수 있게 해주는 제어 소프트웨어를 포함한다. 다른 실시예에서, 컴퓨터/제어기(1200)는 아날로그일 수 있다. 예를 들어, ASIC(application specific integrated circuit)은 공정 구성요소(1210) 내에서 일어나는 공정과 같은 공정을 제어할 수 있다.

[0028] 본 개시 내용은 다양한 측면의 예시로서 의도되어 있는 이 출원에 기술된 특정의 실시예와 관련하여 제한하기 위한 것이 아니다. 당업자에게는 명백할 것인 바와 같이, 본 개시 내용의 사상 및 범위를 벗어나지 않고 많은 수정 및 변형이 행해질 수 있다. 본 명세서에 열거된 것에 부가하여, 본 개시 내용의 범위 내에서 기능적으로

등가인 방법 및 장치가 이상의 설명으로부터 당업자에게는 명백할 것이다. 이러한 수정 및 변형이 첨부된 특허청구범위의 범위 내에 속하는 것으로 보아야 한다. 본 개시 내용은, 첨부된 특허청구범위의 자격이 있는 등가물의 전 범위와 함께, 첨부된 특허청구범위와 관련해서만 제한되어야 한다. 본 개시 내용이, 물론 다양할 수 있는 특정의 방법, 반응물, 화합물, 조성물 또는 생물학적 시스템으로 제한되지 않는다는 것을 잘 알 것이다. 또한, 본 명세서에서 사용되는 용어가 단지 특정의 실시예를 설명하기 위한 것이며 제한하기 위한 것이 아님을 잘 알 것이다.

[0029] 본 명세서에서 실질적으로 임의의 복수형 및/또는 단수형 용어를 사용하는 것과 관련하여, 당업자라면, 문맥 및/또는 출원에 적절한 경우, 복수형으로부터 단수형으로 및/또는 단수형으로부터 복수형으로 변환할 수 있다. 다양한 단수형/복수형 치환이 명확함을 위해 명시적으로 본 명세서에 기재되어 있을 수 있다.

[0030] 당업자라면 일반적으로 본 명세서에서, 특히 첨부된 특허청구범위(예를 들어, 첨부된 특허청구범위의 본문)에서 사용되는 용어가 일반적으로 "개방형" 용어로서 의도되어 있다는 것을 잘 알 것이다(예를 들어, "포함하는"이라는 용어는 "포함하지만 ~로 제한되지 않는"으로 해석되어야 하고, "갖는"이라는 용어는 "적어도 갖는"으로 해석되어야 하며, "포함한다"라는 용어는 "포함하지만, ~로 제한되지 않는다"라고 해석되어야 하며, 기타 등등이다). 또한, 당업자라면 소개된 청구항 인용의 특정의 횟수가 의도되어 있는 경우, 이러한 의도가 청구항에서 명시적으로 인용되어야 하고 이러한 인용이 없는 경우 이러한 의도가 존재하지 않는다는 것을 잘 알 것이다. 예를 들어, 이해를 위한 보조 수단으로서, 이하의 첨부된 특허청구범위는 청구항 인용을 소개하기 위해 도입 문구 "적어도 하나" 및 "하나 이상"의 사용을 포함하고 있을 수 있다. 그렇지만, 동일한 청구항이 도입 문구 "하나 이상" 또는 "적어도 하나" 및 "한" 또는 "어떤"과 같은 관형사를 포함할 때에도, 이러한 문구의 사용이 관형사 "한" 또는 "어떤"에 의한 청구항 인용의 소개가 이러한 소개된 청구항 인용을 포함하는 임의의 특정의 청구항이 단지 하나의 이러한 인용을 포함하는 실시예로 제한하는 것을 암시하는 것으로 해석되어서는 안되며(예를 들어, "한" 및/또는 "어떤"은 "적어도 하나" 또는 "하나 이상"을 의미하는 것으로 해석되어야 함), 청구항 인용을 소개하기 위해 사용되는 지시사의 사용에서도 마찬가지이다. 그에 부가하여, 소개된 청구항 인용의 특정의 횟수가 명확히 인용되는 경우에도, 당업자라면 이러한 인용이 적어도 인용된 수를 의미하는 것으로 해석되어야 한다는 것을 잘 알 것이다(예를 들어, 다른 수식어가 없는 "2개의 인용"의 있는 그대로의 인용은 적어도 2개의 인용 또는 2개 이상의 인용을 의미한다). 게다가, "A, B 및 C 기타 중 적어도 하나"와 유사한 관례가 사용되는 경우에, 일반적으로, 이러한 구조는 당업자가 관례를 이해하는 의미로 보아야 한다(예를 들어, "A, B 및 C 중 적어도 하나를 가지는 시스템"은 A만, B만, C만, A와 B 모두, A와 C 모두, B와 C 모두, 및/또는 A, B 및 C 모두, 기타를 갖는 시스템을 포함하지만, 이들로 제한되지 않을 것이다). "A, B 또는 C 기타 중 적어도 하나"와 유사한 관례가 사용되는 경우에, 일반적으로, 이러한 구조는 당업자가 관례를 이해하는 의미로 보아야 한다(예를 들어, "A, B 또는 C 중 적어도 하나를 가지는 시스템"은 A만, B만, C만, A와 B 모두, A와 C 모두, B와 C 모두, 및/또는 A, B 및 C 모두, 기타를 갖는 시스템을 포함하지만, 이들로 제한되지 않을 것이다). 게다가, 당업자라면 2개 이상의 대안의 용어를 제시하는 거의 모든 분리성 단어 및/또는 문구가, 설명, 특허청구범위 또는 도면에 있더라도, 용어들 중 하나, 용어들 중 어느 하나, 또는 용어들 모두를 포함하는 경우를 생각하는 것으로 이해되어야 한다는 것을 잘 알 것이다. 예를 들어, "A 또는 B"라는 문구는 "A" 또는 "B" 또는 "A 및 B"의 경우를 포함하는 것으로 이해될 것이다.

[0031] 당업자라면 잘 알 것인 바와 같이, 모든 목적을 위해, 서면 설명을 제공하는 것과 관련하여, 본 명세서에 개시된 모든 범위가 또한 모든 가능한 서브범위 및 그 서브범위의 조합을 포함한다. 임의의 열거된 범위가 적어도 똑같은 이등분, 3등분, 4등분, 5등분, 10등분 등으로 더 분할되는 동일한 범위를 충분히 기술하고 실시할 수 있는 것으로 용이하게 인식될 수 있다. 비제한적인 일례로서, 본 명세서에서 논의된 각각의 범위는 용이하게 하부 3등분, 중간 3등분 및 상부 3등분으로 더 분할될 수 있다. 또한 당업자라면 잘 알 것인 바와 같이, "최대", "적어도" 등과 같은 모든 어법이 인용된 수를 포함하고, 전술한 바와 같이 나중에 서브범위로 더 분할될 수 있는 범위를 말한다.

[0032] 이상의 내용으로부터, 본 개시 내용의 다양한 실시예가 예시를 위해 본 명세서에 기술되어 있다는 것과 본 개시 내용의 범위 및 사상을 벗어나지 않고 다양한 수정이 행해질 수 있다는 것을 잘 알 것이다. 그에 따라, 본 명세서에 개시된 다양한 실시예가 제한하는 것으로 보아서는 안되며, 진정한 범위 및 사상은 이하의 특허청구범위에 의해 나타내어진다.

부호의 설명

[0033] 100: 패턴 라이팅 디바이스 120: 나노 패턴 라이터

140: 다이

160: 기계적 처리 유닛

180: 프로세서

210: 제1 층

230, 830: 그루브

310, 850: 나노 니들

410: 제2 층

510, 520, 530, 540: 단편

810: 제3 층

1010: 플레이트

1070, 1090: 나노 패턴

1200: 컴퓨터/제어기

1202: 중앙 처리 장치(CPU)

1204: 입/출력(I/O)

1206: 지원 회로

1208: 메모리

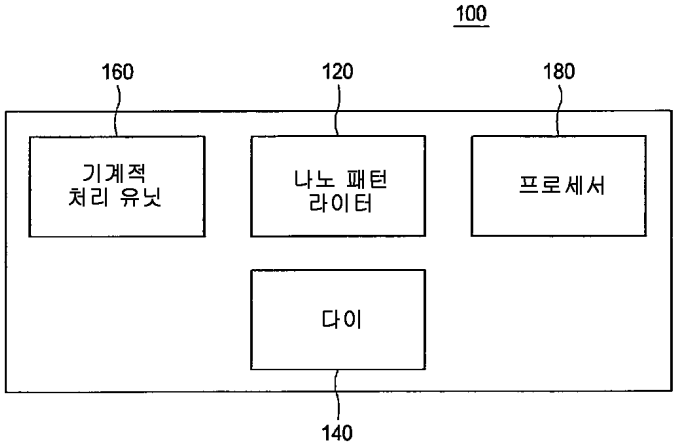
1210: 공정 구성요소

1211: 공정 챔버

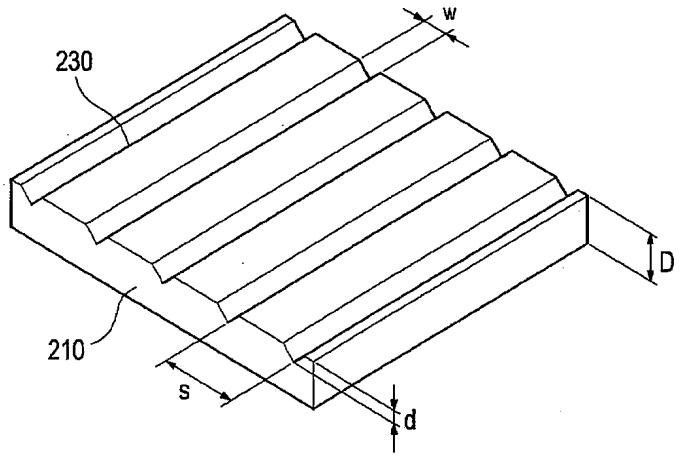
1212: 로봇(웨이퍼를 이동시킴)

도면

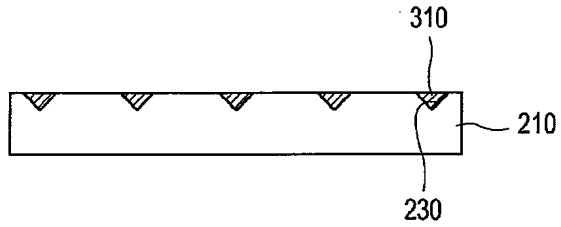
도면1



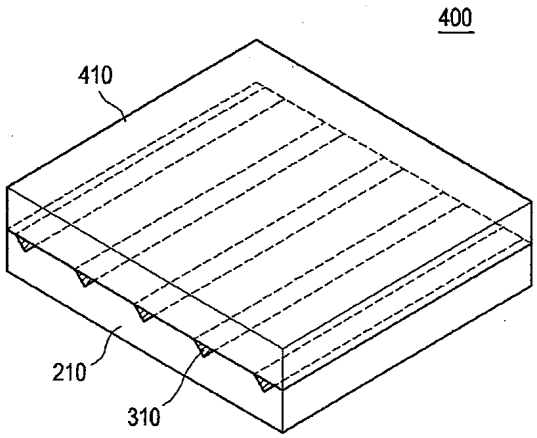
도면2



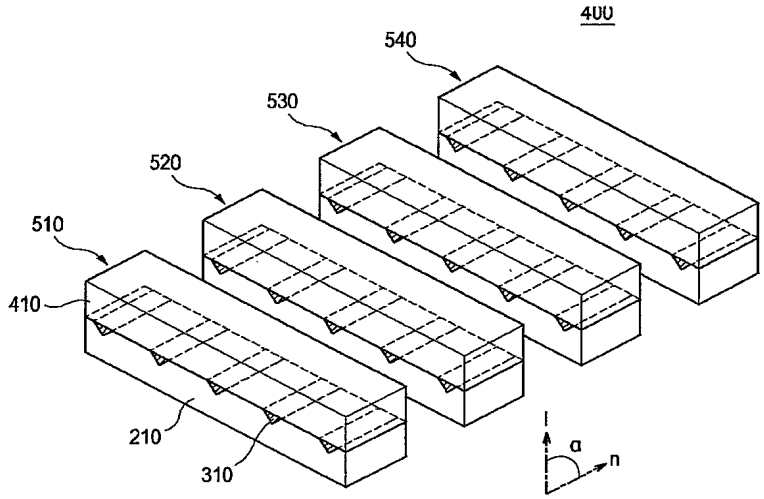
도면3



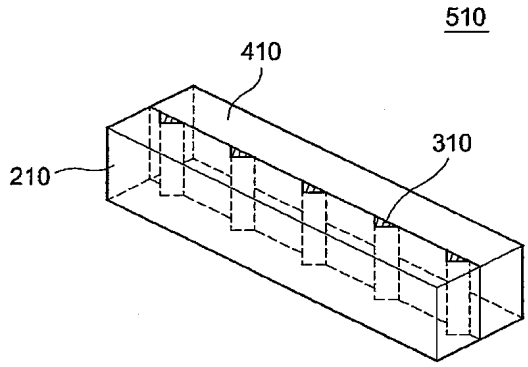
도면4



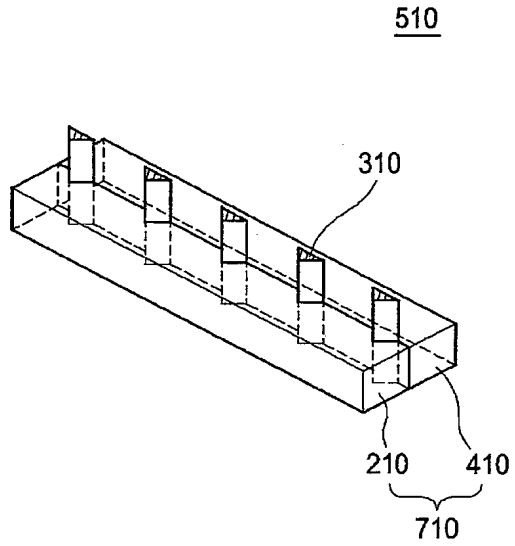
도면5



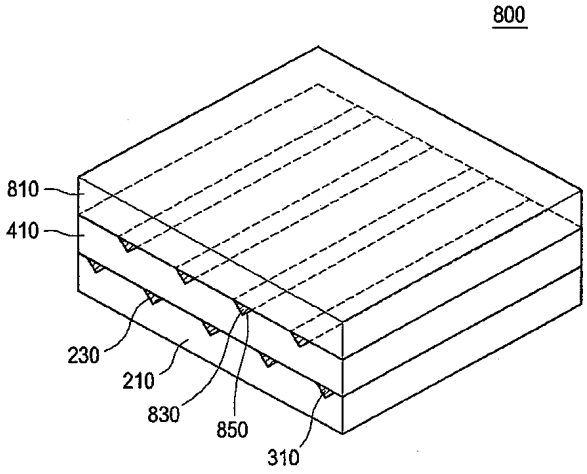
도면6


510
410
310
210

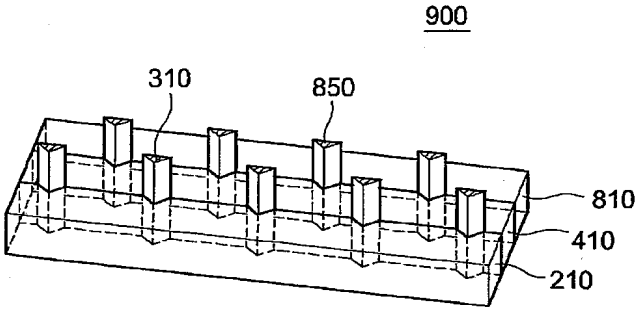
도면7


510
310
210
410
710

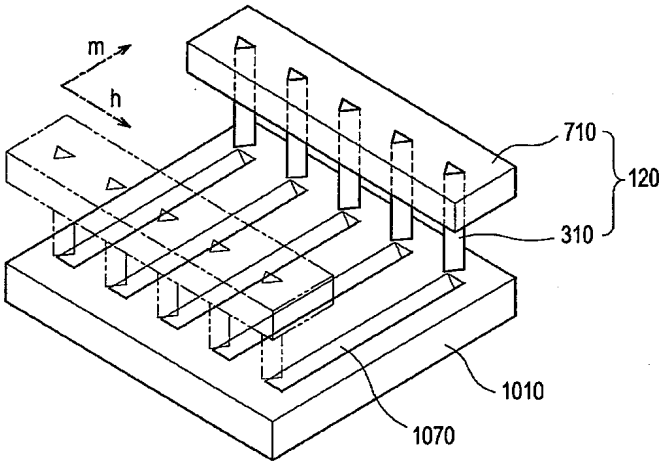
도면8


800
810
410
230
210
830
850
310

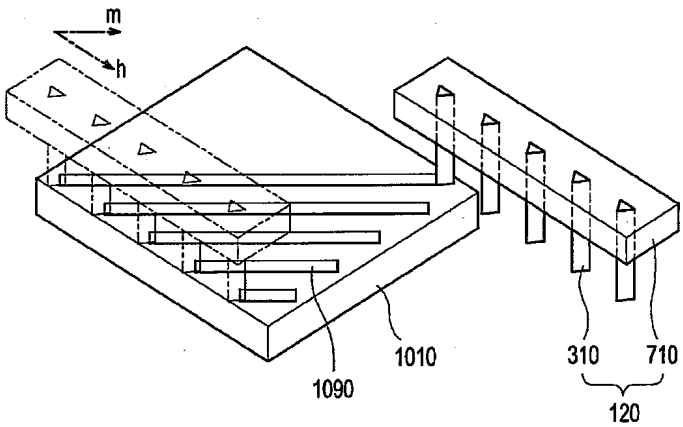
도면9



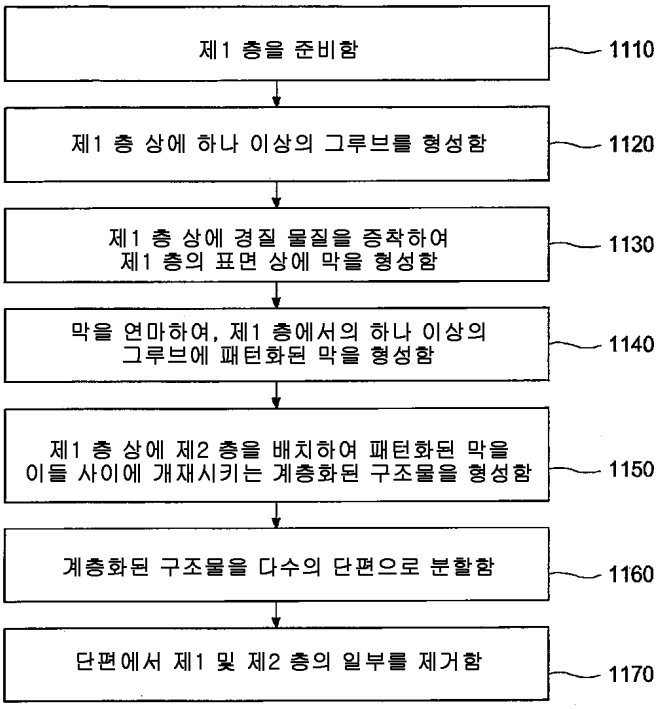
도면10a



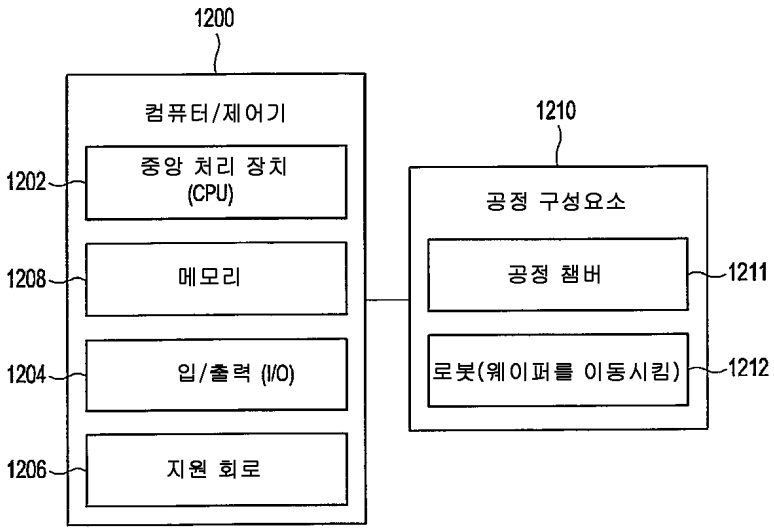
도면10b



도면11


제1 층을 준비함
1110
제1 층 상에 하나 이상의 그루브를 형성함
1120
제1 층 상에 경질 물질을 증착하여 제1 층의 표면 상에 막을 형성함
1130
막을 연마하여, 제1 층에서의 하나 이상의 그루브에 패턴화된 막을 형성함
1140
제1 층 상에 제2 층을 배치하여 패턴화된 막을 이들 사이에 개재시키는 계층화된 구조물을 형성함
1150
계층화된 구조물을 다수의 단편으로 분할함
1160
단편에서 제1 및 제2 층의 일부를 제거함
1170

도면12


1200
컴퓨터/제어기
1202
중앙 처리 장치 (CPU)
1208
메모리
1204
입/출력 (I/O)
1206
지원 회로
1210
공정 구성요소
공정 챔버
1211
로봇(웨이퍼를 이동시킴)
1212