

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2013 年 12 月 5 日(05.12.2013)



(10) 国際公開番号  
**WO 2013/179784 A1**

- (51) 国際特許分類:  
H01L 29/06 (2006.01) H01L 27/08 (2006.01)
- (21) 国際出願番号: PCT/JP2013/060992
- (22) 国際出願日: 2013 年 4 月 11 日(11.04.2013)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2012-121185 2012 年 5 月 28 日(28.05.2012) JP
- (71) 出願人: 富士電機株式会社(FUJII ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 Kanagawa (JP).
- (72) 発明者: 上西 顕寛(JONISHI, Akihiro); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP). 山路 将晴(YAMAJI, Masaharu); 〒2109530 神奈川県川崎市川崎区田辺新田 1 番 1 号 富士電機株式会社内 Kanagawa (JP).
- (74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関 3 丁目 2 番 5 号 霞が関ビルディング 20 階 酒井総合特許事務所 Tokyo (JP).

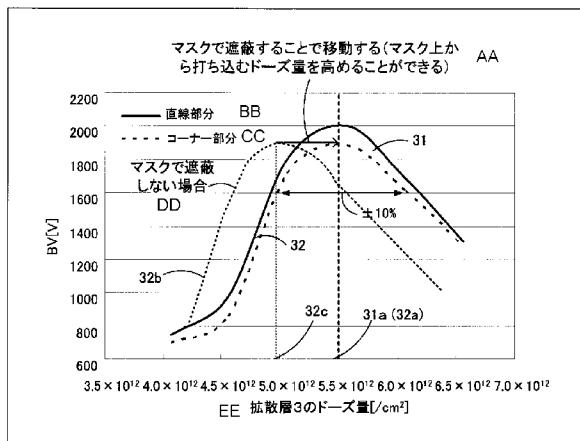
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲及び説明書 (条約第 19 条(1))

(54) Title: SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置および半導体装置の製造方法



- AA Movement by being shielded by mask  
(dose amount to be implanted from above mask can be increased)
- BB Straight-line portion
- CC Corner portion
- DD When not shielded by mask
- EE Dose amount of diffusion layer 3 [ $\text{cm}^2$ ]

(57) Abstract: A semiconductor device having a high withstand voltage separation structure formed from a double RESURF structure is provided with the high withstand voltage separation structure that separates a low-potential region and a high-potential region. The high withstand voltage separation structure has an annular band-shaped planar shape and is configured from straight-line portions and corner portions each connected to the straight-line portions. In the high withstand voltage separation structure, a p-type RESURF region is formed along the outer periphery of an n-type well region on the surface layer on the substrate front side of the n-type well region. By making the total impurity amount per unit area of the RESURF region smaller in the corner portion than in the straight-line portion, the position (32a) of a dose amount at which the peak value of the withstand voltage curve (32) in the corner portion is obtained can match the position (31a) of a dose amount at which the peak value of the withstand voltage (31) in the straight-line portion is obtained. As a result, the element withstand voltage can be increased, thereby making it possible to suppress reduction in element withstand voltage due to process variations.

(57) 要約:

[続葉有]



---

ダブルリサーフ構造からなる高耐圧分離構造を有する半導体装置であって、低電位領域と高電位領域とを分離する高耐圧分離構造を備える。高耐圧分離構造は、平面形状が環状の帯状で、直線部分と、当該直線部分に繋がるコーナー部分とからなる。高耐圧分離構造において、 $n$ 型のウェル領域の基板おもて側の表面層には、 $n$ 型のウェル領域の外周に沿って $p$ 型のリサーフ領域が形成されている。リサーフ領域の単位面積当たりの総不純物量を直線部分に比べてコーナー部分で少なくすることで、コーナー部分での耐圧曲線（３２）のピーク値となるドーズ量の位置（３２ a）を直線部分での耐圧曲線（３１）のピーク値となるドーズ量の位置（３１ a）に合わせることができる。その結果、素子耐圧を高くすることができて、プロセスのばらつきによる素子耐圧の低下を抑制することができる。

## 明 細 書

発明の名称：半導体装置および半導体装置の製造方法

### 技術分野

[0001] この発明は、ダブルリサーフ構造を有する半導体装置および半導体装置の製造方法に関する。

### 背景技術

[0002] 高耐圧の半導体装置において、高耐圧を実現する手法としてダブルリサーフ構造の高耐圧分離構造が知られている。図13は、ダブルリサーフ構造の高耐圧分離構造を有する半導体装置の概念断面図である。図13に示すように、ダブルリサーフ構造とは、n型の半導体層102がp型の半導体層101、103により挟まれた構造である。

[0003] このようなダブルリサーフ構造の半導体装置では、高耐圧を確保するためには、下記非特許文献1に記載されているように、ダブルリサーフ条件である下記(1)式～(3)式を満たすようにp型の拡散層103の単位面積当たりの総電荷量 $Q_p$ およびn型の拡散層102の単位面積当たりの総電荷量 $Q_n$ を調整しなければならない。下記(1)式は、下記非特許文献1の(9)式である。下記(2)式は、下記非特許文献1の(10)式である。下記(3)式は、下記非特許文献1の(11)式および(12)式である。

[0004] 各拡散層の単位面積当たりの総電荷量は、各拡散層の単位面積当たりの正味の総不純物量と等価である。拡散層の単位面積当たりの正味の総不純物量とは、拡散層の深さ方向の不純物プロファイルにおいて、単位体積あたりのp型不純物量とn型不純物量とをそれぞれ拡散層の深さに渡って積分することで得られる、単位面積あたりの拡散層のp型総不純物量とn型総不純物量との差分のことである。

[0005] [数1]

$$Q_p \leq 1.4 \times 10^{12} [\text{/cm}^2] \quad \cdots (1)$$

[0006] [数2]

$$Q_n \leq 2.8 \times 10^{12} [\text{cm}^{-2}] \quad \dots (2)$$

[0007] [数3]

$$Q_n - Q_p \leq 1.4 \times 10^{12} [\text{cm}^{-2}] \quad \dots (3)$$

[0008] この(1)式～(3)式からも分かるように、ダブルリサーフ構造において高耐圧を確保するためには、p型の拡散層103の単位面積当たりの総電荷量 $Q_p$ およびn型の拡散層102の単位面積当たりの総電荷量 $Q_n$ のバランスを上記(1)式～(3)式の範囲で最適に保つことが必要となる。ここで総電荷量や総不純物量の「総」とは各層の深さ方向に積分した全量を示すために付けたものである。

[0009] 尚、図16は、用語を説明する解説図である。図16(a)はイオン注入のドーズ量を説明する説明図である。イオン注入のドーズ量とはシリコン層に注入される不純物イオンのシリコン層に入る前の不純物量である。以下、拡散層を形成するためのイオン注入のドーズ量を、当該拡散層のドーズ量と示す。図16(b)は、後述する高耐圧分離構造14の直線部分15の単位面積当たりの総不純物量を説明する図である。図16(c)は、後述する高耐圧分離構造14のコーナー部分16の単位面積当たりの総不純物量を説明する図である。図16(d)は高耐圧分離構造14の単位面積当たりの正味の総不純物量を説明する図である。単位面積当たりの総電荷量は単位面積当たりの正味の不純物量に電荷素量 $q$  ( $= 1.602 \times 10^{-19}$ クーロン)を乗じた値になる。総不純物量とは、シリコン層に注入される不純物イオンのシリコン層に入った後の不純物量である。このため、図16(b)に示すように、マスクによってシリコン層が遮蔽されていない場合には、総不純物量はドーズ量と等しい(総不純物量=ドーズ量)。一方、図16(c)に示すように、マスクによってシリコン層が選択的に遮蔽されている場合には、シリコン層に入る不純物イオンが少なくなるため、総不純物量はドーズ量よりも少

ない（総不純物量＜ドーズ量）。

[0010] 図14は、従来のダブルリサーフ構造を有する高耐圧分離構造64を備えた半導体装置500の構成を示す説明図である。図14（a）は半導体装置500の要部平面図であり、図14（b）は図14（a）のA-A線およびB-B線で切断した要部断面図である。図14（a）のA-A線およびB-B線で切断した断面は同じになる。この高耐圧分離構造64とは、集積回路などにおいて、低電位領域63と高電位領域62とを分離する耐圧構造のことである。

[0011] 図14（a）において、高耐圧分離構造64の平面形状は略矩形をなす環状の一定幅の帯状であり、高耐圧分離構造64は高電位領域62を取り囲んでいる。高耐圧分離構造64は、直線部分65と、当該直線部分65の端部に繋がる一定曲率の曲線形状のコーナー部分66と、で構成される。

[0012] 図14（b）において、p型のシリコン基板51のおもて面の表面層に深さ約10 $\mu$ m程度のn型の拡散層52が形成されている。この拡散層52の基板おもて面の表面層には深さ約2 $\mu$ mのp型の拡散層53が形成されている。この拡散層53とシリコン基板51とは、基板外周部で、深さ方向にn型の拡散層52を貫通する深いp型の拡散層54を介して繋がっている。高耐圧分離構造64で囲まれたn型の拡散層52の内側にはn型の拡散層52である高電位領域62が形成されている。高耐圧分離構造64の縦方向（深さ方向）の構成は、基板おもて面側からp型の拡散層53、n型の拡散層52およびp型シリコン基板51の順に重なる三層構造のダブルリサーフ構造である。

[0013] 拡散層52は、高濃度n型領域56を介して高電位となる電極59と電氣的に接続され、拡散層53は、高濃度p型領域57を介して低電位となる電極60と電氣的に接続されている。電極59および電極60は、層間絶縁膜58上に延在し、それぞれフィールドプレート61aおよびフィールドプレート61bと電氣的に接続されている。符号55はLOCOS（選択酸化膜）である。

- [0014] つぎに、前記の高耐圧分離構造 6 4 の働きを説明する。電極 6 0 が G N D 電位に固定された状態で電極 5 9 の電位を上げると、拡散層 5 2 を介して高電位領域 6 2 の電位が上がる。そして、拡散層 5 2 と拡散層 5 3 との間の p n 接合、および、拡散層 5 2 とシリコン基板 5 1 との間の p n 接合からは空乏層が伸び、電極 5 9 の電位数百 V で拡散層 5 2 と拡散層 5 3 とが完全に空乏化する。これによって、電極 5 9 と電極 6 0 との間での電界集中が抑制されるため、電極 5 9 と電極 6 0 との間を高耐圧にすることができて、高電位領域 6 2 の電位を同一基板上の低電位領域 6 3 よりも高い電位に持ち上げることができる。
- [0015] また、下記特許文献 1 では、高電位領域と高電位領域より浅い p オフセット領域の耐圧構造領域とをコストダウンのために同一マスクで形成し、形成された耐圧構造領域の底面を波形にすることが記載されている。
- [0016] また、下記特許文献 2 では、横型 M O S F E T 半導体装置をチップ上にレイアウトした際にできる折り返し部の耐圧を延長ドレインのレイアウトを工夫することで高くし、横型 M O S F E T 半導体装置全体のブレイクダウン電圧を高くできることが記載されている。
- [0017] また、下記特許文献 3 では、n ドリフト層の表面層に空乏層のストッパの働きをする n<sup>+</sup>領域の底面をコーナー部分だけを波形に形成することで耐圧を改善した例が記載されている。また、下記特許文献 4 では、ダブルリサーフ構造で空乏層が伸びる内側において、この内側に配置される主電極と p n 接合との距離を空乏層が伸び易いコーナー部分で直線部分より距離を大きくして耐圧を改善することが記載されている。
- [0018] また、下記特許文献 5 では、耐圧構造部の表面の n 層を p 層と n 層とで形成して耐圧を改善することが記載されている。

## 先行技術文献

## 特許文献

- [0019] 特許文献1：特許第 3 7 7 8 0 6 1 号公報  
特許文献2：特許第 3 3 5 6 5 8 6 号公報

特許文献3：特許第3456054号公報

特許文献4：特許第3802935号公報

特許文献5：特許第4534303号公報

### 非特許文献

[0020] 非特許文献1：Design and Optimization of Double-RESURF High-Voltage Lateral Devices for a Manufacturable Process, IEEE Trans. on Electron Devices, (米国), IEEE, JULY 2003, VOL. 50, NO. 7, PP. 1697-1701

### 発明の概要

#### 発明が解決しようとする課題

[0021] しかしながら、図14のダブルリサーフ構造において、最大耐圧を出すための各拡散層52, 53の単位面積当たりの正味の総電荷量（これは単位面積当たりの正味の総不純物量と等価である）の最適条件（最適値）は、高耐圧分離構造64の直線部分（以下、単に直線部分とする）65とコーナー部分（以下、単にコーナー部分とする）66とで異なる。これは空乏層の伸び方が直線部分65とコーナー部分66とで異なるためと推測される。

[0022] 図15は、図14の半導体装置500において、直線部分65とコーナー部分66とのそれぞれについて、p型の拡散層53のイオン注入でのドーズ量と耐圧との関係をシミュレーションした結果を示す特性図である。横軸のドーズ量とはイオン注入された単位面積当たりの総不純物量であり、単位体積あたりの不純物量を深さ方向に積分した量のことである。また、n型の拡散層52のドーズ量は $4.0 \times 10^{12} / \text{cm}^2$ であり、直線部分65とコーナー部分66とでp型の拡散層53のドーズ量は同じである。すなわち、直線部分65およびコーナー部分66のp型の拡散層53は同時にイオン注入して形成される。

[0023] 図15から分かるように、直線部分65でのドーズ量に対するシミュレー

ションで求めた耐圧曲線 7 1 のピークと、コーナー部分 6 6 のピークでのドーズ量に対するシミュレーションで求めた耐圧曲線 7 2 のピークとにずれが生じる。そのため、p 型の拡散層 5 3 のドーズ量の最適値（ドーズ量に対する耐圧曲線 7 1, 7 2 でピーク耐圧となるドーズ量のこと）は、直線部分 6 5 に対してコーナー部分 6 6 ではドーズ量の小さい方にずれる。また、ピーク耐圧は、直線部分 6 5 に対してコーナー部分 6 6 では低くなる。これはコーナー部分 6 6 の電界強度が直線部分 6 5 の電界強度に比べて高くなるためである。

[0024] 前記のように、直線部分 6 5 とコーナー部分 6 6 とではドーズ量に対するシミュレーションで求めた耐圧曲線 7 1, 7 2 にずれがある。このため、素子耐圧は、両者の耐圧曲線 7 1, 7 2 の内、低い方の耐圧曲線に沿って律速されて低くなる。

[0025] 図 1 5 において、素子耐圧のピーク値はシミュレーションで求めた両耐圧曲線 7 1, 7 2 の交わる箇所の耐圧である。拡散層 5 3 のドーズ量をこの両耐圧曲線 7 1, 7 2 の交わる箇所のドーズ量より低い方向に移動させた場合、素子耐圧は直線部分 6 5 の耐圧曲線 7 1 に沿って低下する。一方、拡散層 5 3 のドーズ量を両耐圧曲線 7 1, 7 2 の交わる箇所のドーズ量より高い方向に移動させた場合、素子耐圧はコーナー部分 6 6 の耐圧曲線 7 2 に沿って低下する。すなわち、実際の拡散層 5 3 のドーズ量がプロセスのばらつきによりシミュレーションで求めた耐圧曲線 7 1, 7 2 の交わる箇所のドーズ量（ドーズ量の最適値）からずれた場合、素子耐圧は急激に低下する。また、素子耐圧のピーク値は両耐圧曲線 7 1, 7 2 のピーク値よりも低くなる。具体的にさらに説明する。

[0026] 図 1 5 において、プロセスのばらつきによる拡散層 5 3 のドーズ量のばらつきを、例えば  $\pm 10\%$  とし、素子耐圧の低下が最小になるように拡散層 5 3 のドーズ量の中心値 ( $5.3 \times 10^{12} / \text{cm}^2$ ) を決定した場合、素子耐圧の最高値はコーナー部分 6 6 の耐圧で律速されて  $1700 \text{ V}$  となる。また、プロセスのばらつきによる素子耐圧の最低値は直線部分 6 5 とコーナー部分 6

6とで同じ耐圧となる1400Vである。

[0027] 前記のことから、ダブルリサーフ構造の高耐圧分離構造64において、素子耐圧のピーク値をさらに高くすることができ、プロセスのばらつきによる素子耐圧の低下をさらに小さくできる方策が強く望まれている。

[0028] また、上記特許文献1～上記特許文献5では、ダブルリサーフ構造の高耐圧分離構造において、コーナー部分を部分的にマスクしてシリコンに注入される不純物量を直線部分の不純物量より少なくすることで、素子耐圧を向上した半導体装置については記載されていない。

[0029] この発明は、上述した従来技術による問題点を解消するため、ダブルリサーフ構造において、素子耐圧を高くすることができ、プロセスのばらつきによる素子耐圧の低下を小さくすることができる半導体装置および半導体装置の製造方法を提供することを目的とする。

### 課題を解決するための手段

[0030] 上述した課題を解決し、本発明の目的を達成するため、この発明に係る半導体装置は、つぎの特徴を有する。第1導電型の半導体基板のおもて面の表面層に、第2導電型のウェル領域が選択的に形成されている。前記ウェル領域の内部に環状の平面形状で第1導電型の第1領域が形成されている。前記ウェル領域の内部の前記第1領域よりも内側に環状の平面形状で第2導電型の第2領域が形成されている。前記ウェル領域の内部の、前記第1領域と前記第2領域との間に第1導電型のリサーフ領域が形成されている。前記半導体基板と前記リサーフ領域とにより前記ウェル領域を挟み込むダブルリサーフ構造からなる高耐圧分離構造が形成されている。前記高耐圧分離構造は、直線部分と、前記直線部分に繋がる一定の曲率を有するコーナー部分とからなる。前記コーナー部分の前記リサーフ領域は、高濃度領域と、前記高濃度領域よりも拡散深さが浅く不純物濃度の低い低濃度領域とを有する。前記リサーフ領域の前記直線部分の単位面積当たりの第1の正味の総不純物量および前記リサーフ領域の前記コーナー部分の単位面積当たりの第2の正味の総不純物量は共に $1.4 \times 10^{12} [\text{cm}^{-2}]$ 以下である。前記ウェル領域の第3

の正味の総不純物量は  $2.8 \times 10^{12}$  [／cm<sup>2</sup>] 以下である。前記第3の正味の総不純物量から前記第1の正味の総不純物量を差し引いた値および前記第3の正味の総不純物量から前記第2の正味の総不純物量を差し引いた値は共に  $1.4 \times 10^{12}$  [／cm<sup>2</sup>] 以下である。前記第1の正味の総不純物量は前記第2の正味の総不純物量より少ない。

[0031] また、この発明に係る半導体装置は、上述した発明において、前記リサーフ領域よりも外側に、前記ウェル領域を囲むように、前記半導体基板のおもて面から前記ウェル領域の深さ以上の深さで形成された第1導電型の分離領域をさらに備えることよい。

[0032] また、この発明に係る半導体装置は、上述した発明において、前記第1の正味の総不純物量が前記第2の正味の総不純物量よりも少ない量が20%以下であることよい。

[0033] また、この発明に係る半導体装置は、上述した発明において、前記半導体基板と前記リサーフ領域とは電氣的に接続されていることよい。

[0034] また、この発明に係る半導体装置は、上述した発明において、前記高濃度領域と前記低濃度領域とは、互いに接し、かつ交互に繰り返し配置される構成とすることよい。

[0035] また、上述した課題を解決し、本発明の目的を達成するため、この発明に係る半導体装置の製造方法は、上述した半導体装置の製造方法であって、つぎの特徴を有する。まず、前記半導体基板上に前記ウェル領域を第2導電型の不純物のイオン注入と熱処理とで形成する第1の工程を行う。つぎに、前記高耐圧分離構造の前記直線部分と前記コーナー部分とに前記リサーフ領域を第1導電型不純物のイオン注入と熱処理とで形成する第2の工程を行う。そして、前記第2の工程において、前記コーナー部分を部分的にマスクで遮蔽して、前記半導体基板内に入り込む前記第1導電型不純物のイオン注入量を、前記直線部分の前記半導体基板内に入り込む前記第1導電型不純物のイオン注入量より少なくする。

[0036] また、この発明に係る半導体装置の製造方法は、上述した発明において、

前記第 2 の工程において、前記直線部分の耐圧が最大になるドーズ量から前記コーナー部分の耐圧が最大になるドーズ量を差し引いたドーズ量の前記第 1 導電型不純物を前記マスクにより遮蔽して、前記半導体基板内に入り込む前記第 1 導電型不純物のイオン注入量を少なくするとよい。

[0037] また、この発明に係る半導体装置の製造方法は、上述した発明において、前記第 2 の工程において、前記直線部分の予め求めた前記リサーフ領域のドーズ量に対する耐圧曲線の最大耐圧と、前記コーナー部分の予め求めた前記リサーフ領域のドーズ量に対する耐圧曲線の最大耐圧とが一致するように、前記マスクの遮蔽率を調整して前記リサーフ領域の正味の総不純物量を調整するとよい。

### 発明の効果

[0038] この発明に係る半導体装置および半導体装置の製造方法によれば、素子耐圧の高い半導体装置を提供することができるという効果を奏する。また、この発明に係る半導体装置および半導体装置の製造方法によれば、直線部分とコーナー部分とに同時にイオン注入および熱処理することにより、直線部分とコーナー部分とにそれぞれ分けてイオン注入を行う場合に比べて、プロセスのばらつきが小さくなり、素子耐圧の低下を小さくすることができるという効果を奏する。

### 図面の簡単な説明

[0039] [図1]図 1 は、この発明の実施の形態 1 に係る半導体装置 100 の構成の要部を示す平面図である。

[図2]図 2 は、この発明の実施の形態 1 に係る半導体装置 100 の構成の要部を示す断面図である。

[図3]図 3 は、この発明の実施の形態 1 に係る半導体装置 100 の高耐圧分離構造 14 において、耐圧とリサーフ領域 3 のイオン注入でのドーズ量との関係を示す特性図である。

[図4]図 4 は、図 3 を基に、コーナー部分 16 のリサーフ領域 3 を形成するための p 型不純物の遮蔽率と半導体装置の耐圧との関係を示した特性図である

。

[図5]図5は、この発明の実施の形態2に係る半導体装置の製造方法を工程順に示す要部製造工程断面図である。

[図6]図6は、図5に続く、この発明の実施の形態2に係る半導体装置の製造方法を工程順に示す要部製造工程断面図である。

[図7]図7は、図6に続く、この発明の実施の形態2に係る半導体装置の製造方法を工程順に示す要部製造工程断面図である。

[図8]図8は、図7に続く、この発明の実施の形態2に係る半導体装置の製造方法を工程順に示す要部製造工程断面図である。

[図9]図9は、図8に続く、この発明の実施の形態2に係る半導体装置の製造方法を工程順に示す要部製造工程断面図である。

[図10]図10は、図9に続く、この発明の実施の形態2に係る半導体装置の製造方法を工程順に示す要部製造工程断面図である。

[図11]図11は、図10に続く、この発明の実施の形態2に係る半導体装置の製造方法を工程順に示す要部製造工程断面図である。

[図12]図12は、図5のイオン注入のとき用いるレジストマスク17の平面図である。

[図13]図13は、ダブルリサーフ構造の高耐圧分離構造を有する半導体装置の概念断面図である。

[図14]図14は、従来のダブルリサーフ構造を有する高耐圧分離構造64を備えた半導体装置500の構成を示す説明図である。

[図15]図15は、図14の半導体装置500において、直線部分65とコーナー部分66とのそれぞれについて、p型の拡散層53のイオン注入でのドーズ量と耐圧との関係をシミュレーションした結果を示す特性図である。

[図16]図16は、用語を説明する解説図である。

[図17]図17は、インバータ回路を構成するIGBTのゲート駆動回路図である。

**発明を実施するための形態**

[0040] 以下に添付図面を参照して、この発明に係る半導体装置および半導体装置の製造方法の好適な実施の形態を詳細に説明する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0041] (実施の形態 1)

図 1 は、この発明の実施の形態 1 に係る半導体装置 100 の構成の要部を示す平面図である。図 2 は、この発明の実施の形態 1 に係る半導体装置 100 の構成の要部を示す断面図である。図 2 (a) は図 1 を A-A 線で切断した高耐圧分離構造 14 の直線部分 15 の要部断面図であり、図 2 (b) は図 1 の B-B 線で切断した高耐圧分離構造 14 のコーナー部分 16 の要部断面図である。図 2 (c) は、図 1 を A-A 線で切断した高耐圧分離構造 14 の直線部分 15 の別の一例を示す要部断面図である。

[0042] 以下で説明する高耐圧分離構造 14 とは、集積回路などにおいて、低電位領域 13 と高電位領域 12 とを分離する耐圧構造のことである。ここで高電位領域 12 とは高電圧電源から電圧が印加される高電位側の領域であり、低電位領域 13 とは高電圧電源より低い低電圧電源から電圧が印加される低電位側の領域のことである。

[0043] 図 17 は、インバータ回路を構成する IGBT のゲート駆動回路図である。図 17 は、COM 電位と高電圧電源  $V_{dc}$  との間に接続されたインバータ回路を構成する IGBT のゲート駆動回路図であり、図 1 の半導体装置 100 が高耐圧 IC (HVIC) の一部として適用される例を示している。高耐圧 IC は、上側アームの IGBT 201 の低電位側の主端子であるエミッタ電位 ( $V_s$ ) を基準とする低電圧電源  $V_b$  により動作するハイサイド駆動回路と、図示しない制御回路からハイサイド駆動回路に信号を伝達するレベルシフタと、図示しない制御回路からの信号を受けて下側アームの IGBT 202 を駆動し、下側アームの IGBT 202 の低電位側の主端子であるエミッタ電位 (COM 電位) を基準とする低電圧電源  $V_{cc}$  により動作するローサイド駆動回路と、を備えている。レベルシフタにはレベルシフト抵抗が接

続されており、高耐圧 I C は、このレベルシフト抵抗に流す電流をレベルシフトで制御することにより、制御回路の信号をハイサイド駆動回路に伝達する仕組みである。

[0044] 高電位領域 1 2 は、ハイサイド駆動回路が形成される領域であり、低電位領域 1 3 は、ローサイド駆動回路が形成される領域である。高電位領域 1 2 は、 $V_s$  を基準とする電源により動作するものであり、I G B T 2 0 1 がオン状態では、 $V_s$  の電位は高電圧電源  $V_{dc}$  となり、高電位領域 1 2 には高電位が印加される。低電位領域 1 3 は、高電位領域 1 2 と同一のシリコン基板 1 に高電位領域 1 2 を囲むように配置され、高耐圧分離構造 1 4 によって高電位領域 1 2 と電氣的に分離されている。

[0045] 図 1 において、高耐圧分離構造 1 4 の平面形状は略矩形をなす環状の一定幅の帯状であり、高耐圧分離構造 1 4 は高電位領域 1 2 を取り囲んでいる。高耐圧分離構造 1 4 の平面形状の外形は、直線部分 1 5 と、当該直線部分 1 5 の端部に繋がる一定曲率の曲線形状の 4 つのコーナー部分 1 6 と、を備えている。高耐圧分離構造 1 4 の幅は、約  $200\ \mu\text{m}$  であり、高耐圧分離構造 1 4 のコーナー部分 1 6 の曲率半径は約  $80\ \mu\text{m}$  である。

[0046] 図 2 において、p 型のシリコン基板 1 のおもて面の表面層に深さ約  $10\ \mu\text{m}$  程度の n 型のウェル領域 2 が形成されている。このウェル領域 2 の平面形状は、略矩形形状であり、外形が直線部分と拡散方向に凸のコーナー部分とを備えている。ウェル領域 2 は、高電位領域 1 2 から高耐圧分離構造 1 4 にわたって形成されている。このウェル領域 2 の端部の基板おもて面の表面層には、ウェル領域 2 の平面形状の外周に沿って深さ約  $2\ \mu\text{m}$  の p 型のリサーフ領域 3 が環状の平面形状で形成されている。このリサーフ領域 3 とシリコン基板 1 とは、リサーフ領域 3 の外周部で、ウェル領域 2 の深さと同程度に深い p 型の拡散層 4（分離領域）を介して繋がっている。これによって、シリコン基板 1 とリサーフ領域 3 とは電氣的に接続されている。リサーフ領域 3 は拡散層 4 と接することなく離れて形成してもよい。この場合、リサーフ領域 3 は電位的に浮いた領域となる。また、拡散層 4 は、図 2（c）のよう

に浅く形成してもよい。高耐圧分離構造 1 4 で囲まれた n 型のウェル領域 2 の内側には n 型のウェル領域 2 である高電位領域 1 2 が形成されている。高耐圧分離構造 1 4 の縦方向（深さ方向）の構成は、基板おもて面側から p 型のリサーフ領域 3、n 型のウェル領域 2 および p 型のシリコン基板 1 の順に重なる 3 層構造のダブルリサーフ構造である。

[0047] ウェル領域 2 は、高電位が印加される電極 9 と高濃度 n 型領域 6（コンタクト領域）を介して電氣的に接続されている。高濃度 n 型領域 6 は、高耐圧分離構造 1 4 の高電位領域 1 2 側に形成されている。リサーフ領域 3 は、低電位が印加される電極 1 0 と高濃度 p 型領域 7（コンタクト領域）を介して電氣的に接続されている。高濃度 p 型領域 7 は、高耐圧分離構造 1 4 の低電位領域 1 3 側に形成されている。なお、リサーフ領域 3 が拡散層 4 と離れて形成されている場合は、高濃度 p 型領域 7 は、拡散層 4 の表面層に形成される。また、電極 9 および電極 1 0 は、層間絶縁膜 8 によって電氣的に絶縁されている。また、電極 9 および電極 1 0 は、層間絶縁膜 8 上に延在し、高耐圧分離構造 1 4 においてそれぞれフィールドプレート 1 1 a およびフィールドプレート 1 1 b と電氣的に接続されている。シリコン基板 1 のおもて面と層間絶縁膜 8 との間には、L O C O S（選択酸化膜）5 が選択的に形成されている。

[0048] 図 2（b）において、高耐圧分離構造 1 4 のコーナー部分（以下、単にコーナー部分とする）1 6 のリサーフ領域 3 は、不純物濃度が高く拡散深さが深い箇所 3 d と、不純物濃度が低く拡散深さが浅い箇所 3 e とが交互に配置されている。この両箇所 3 d、3 e は図 2（b）では接続しており、その底面 3 a は波形になっている。両箇所 3 d、3 e は互いに離れていても構わない。また、リサーフ領域 3 の単位面積当たりの総不純物量およびリサーフ領域 3 の単位面積当たりの正味の総不純物量は、高耐圧分離構造 1 4 の直線部分 1 5（以下、単に直線部分 1 5 とする）よりコーナー部分 1 6 で少なくなっている。リサーフ領域 3 の単位面積当たりの総不純物量およびリサーフ領域 3 の単位面積当たりの正味の総不純物量は、図 3 に示すリサーフ領域 3 の

ドーズ量に対するシミュレーションで求めた耐圧曲線 3 2 b の耐圧が最大になるリサーフ領域 3 のドーズ量から求められる。尚、リサーフ領域 3 の単位面積当たりの総不純物量およびリサーフ領域 3 の単位面積当たりの正味の総不純物量とは前記した通りである。

[0049] ウェル領域 2 の単位面積当たりの正味の総不純物量は、直線部分 1 5 とコーナー部分 1 6 との両者共に  $1.0 \times 10^{12} / \text{cm}^2$  である。リサーフ領域 3 の単位面積当たりの正味の総不純物量は、直線部分 1 5 で  $1.0 \times 10^{12} / \text{cm}^2$  であり、コーナー部分 1 6 で  $0.9 \times 10^{12} / \text{cm}^2$  である。この各拡散層の単位面積当たりの正味の総不純物量がそれぞれの拡散層の単位面積当たりの総電荷量に相当する。また拡散プロファイルから算出される拡散層の単位面積当たりの正味の総不純物量は、拡散層のドーズ量より小さな値になる。これはイオン注入後の熱処理で拡散した p 型不純物と n 型不純物とが互いにコンペーンセート（補償）し合ってその量を減じるためである。

[0050] リサーフ領域 3 の単位面積当たりの正味の総不純物量（単位面積当たりの総電荷量  $Q_p$ ）、および、ウェル領域 2 の単位面積当たりの正味の総不純物量（単位面積当たりの総電荷量  $Q_n$ ）は、いずれも上記（1）式～（3）式に示したダブルリサーフ条件である  $Q_p \leq 1.4 \times 10^{12} [ / \text{cm}^2 ]$ 、 $Q_n \leq 2.8 \times 10^{12} [ / \text{cm}^2 ]$ 、および、 $Q_n - Q_p \leq 1.4 \times 10^{12} [ / \text{cm}^2 ]$  の範囲を満たしている。

[0051] 図 3 は、この発明の実施の形態 1 に係る半導体装置 1 0 0 の高耐圧分離構造 1 4 において、耐圧とリサーフ領域 3 のイオン注入でのドーズ量との関係を示す特性図である。ウェル領域 2 のドーズ量は  $4.0 \times 10^{12} / \text{cm}^2$  である。耐圧曲線 3 1 は直線部分 1 5 のリサーフ領域 3 のドーズ量に対するシミュレーションで求めた耐圧曲線であり、耐圧曲線 3 2 b はマスクでリサーフ領域 3 のドーズ量を遮蔽しない場合のコーナー部分 1 6 のリサーフ領域 3 のドーズ量に対するシミュレーションで求めた耐圧曲線である。耐圧曲線 3 2 はマスクでリサーフ領域 3 のドーズ量を 1 0 % 遮蔽した場合のコーナー部分 1 6 のリサーフ領域 3 のドーズ量に対する耐圧曲線であり、耐圧曲線 3 2 b か

ら求めた耐压曲線である。図3の耐压曲線31, 32bは予めシミュレーションで求めた特性図である。勿論、これらの耐压曲線31, 32bは実験で求めても構わない。

- [0052] 直線部分15において、リサーフ領域3を形成するためのp型不純物はシリコン基板1内にすべて注入される。このため、直線部分15のリサーフ領域3のドーズ量は、リサーフ領域3の単位面積当たりの総不純物量と一致する。一方、コーナー部分16において、リサーフ領域3を形成するためのp型不純物はマスクで10%遮蔽されるため、シリコン基板1に注入される単位面積当たりのp型総不純物量は10%減少する。従って、リサーフ領域3の単位面積当たりの総不純物量は、コーナー部分16のリサーフ領域3のドーズ量よりも10%減少する。このように、リサーフ領域3の単位面積当たりの総不純物量が10%減少するということは、リサーフ領域3の正味の総不純物量（図16を参照のこと）も10%減少することを意味する。
- [0053] リサーフ領域3のドーズ量を直線部分15およびコーナー部分16共に $5.5 \times 10^{12} / \text{cm}^2$ とすることで、直線部分15の最高耐压は2000Vとなり、コーナー部分16の最高耐压は1900Vとなる。素子耐压はコーナー部分16の最高耐压で律速されるため1900Vとなり、従来構造の最高耐压の1700Vより高くなる。但し、コーナー部分16の実際のドーズ量はマスクで遮蔽されるので $5.5 \times 10^{12} / \text{cm}^2$ の10%減である。
- [0054] また、プロセスのばらつきが±10%ある場合には、直線部分15の最低耐压は1700Vであり、コーナー部分16の最低耐压は1600Vとなる。従って、素子耐压はコーナー部分16の最低耐压で律速されるため1600Vとなる。この1600Vの電圧は従来構造の最低電圧の1400Vより高くなる。これは素子耐压の低下を従来構造よりも小さく抑えることができることを意味している。
- [0055] また、リサーフ領域3のドーズ量を $5.5 \times 10^{12} / \text{cm}^2$ とした場合、直線部分15ではシリコン基板1に注入されるp型不純物の単位面積当たりの総不純物量はリサーフ領域3のドーズ量と同じ $5.5 \times 10^{12} / \text{cm}^2$ となる。一

方、コーナー部分 16 のシリコン基板 1 に注入される p 型不純物はマスクで 10% 遮蔽される。このため、コーナー部分 16 では、リサーフ領域 3 の単位面積当たりの総不純物量はリサーフ領域 3 のドーズ量から 10% 減少して  $4.95 \times 10^{12} / \text{cm}^2$  となる。従って、コーナー部分 16 のリサーフ領域 3 の単位面積当たりの正味の総不純物量も前記したように 10% 減少する。

[0056] 前記のことから、コーナー部分 16 をマスクで 10% 遮蔽し、コーナー部分 16 においてシリコン基板 1 内に注入されるイオン注入量（単位面積当たりの総不純物量）を 10% 減ずることで、 $5.5 \times 10^{12} / \text{cm}^2$  のドーズ量をイオン注入したときに、直線部分 15 の耐压曲線 31 のピーク値となり、コーナー部分 16 の耐压曲線 32 のピーク値になる。すなわち、マスクで遮蔽しないときのコーナー部分 16 の耐压曲線 32b のピーク値となるリサーフ領域 3 のドーズ量をマスクで遮蔽することで、コーナー部分 16 の耐压曲線 32 のピーク値をリサーフ領域 3 のドーズ量の 10% 大きい方に移動させることができる。その結果、直線部分 15 の耐压曲線 31 のピーク値となるドーズ量と、コーナー部分 16 の耐压曲線 32 のピーク値となるドーズ量とを一致させることができる。

[0057] 前記のことから、本発明のポイントを説明する。コーナー部分 16 での耐压曲線 32 のピーク値となるドーズ量と、直線部分 15 での耐压曲線 31 のピーク値となるドーズ量とを予めシミュレーションで求める。つぎに、イオン注入時にコーナー部分 16 を部分的にマスクで遮蔽する。直線部分 15 での耐压曲線 31 のピーク値となるドーズ量がイオン注入でシリコン基板 1 に注入されたとき、コーナー部分 16 のシリコン基板 1 に注入されるイオン注入量を前記のコーナー部分 16 での耐压曲線 32 のピーク値となるドーズ量になるように、前記のマスクの遮蔽率を調整して合せる。これによって、コーナー部分 16 での耐压曲線 32 のピーク値となるドーズ量と、直線部分 15 での耐压曲線 31 のピーク値となるドーズ量とを一致させることができる。

[0058] その結果、前記したように、素子耐压をコーナー部分 16 の耐压曲線 32

のほぼピーク値まで向上させ、プロセスのばらつきによる素子耐圧の低下をコーナー部分 16 の耐圧曲線 32 で決まる最低耐圧まで上げることができる。これにより、従来のダブルリサーフ構造の素子耐圧より高く、プロセスのばらつきによる素子耐圧の低下を従来のダブルリサーフ構造での素子耐圧の低下より小さくすることができる。

[0059] また、図 3 から分かるように、リサーフ領域 3 のすべてのドーズ量の範囲でコーナー部分 16 の耐圧曲線 32 よりも直線部分 15 の耐圧曲線 31 が上回るため、本実施の形態においては素子耐圧はコーナー部分 16 の耐圧曲線 32 で決まることになる。

[0060] 図 3 では、コーナー部分 16 のシリコン基板 1 内に注入される p 型不純物の遮蔽率を 10% とした場合について説明したが、本発明は遮蔽率を種々変更した場合であっても従来構造よりも半導体装置 100 の耐圧（素子耐圧）を向上させることができる。前述したように、リサーフ領域 3 のコーナー部分 16 を形成する場合において、マスクで遮蔽しないで p 型不純物をイオン注入した場合の耐圧は耐圧曲線 32b となる。そして、コーナー部分 16 のリサーフ領域 3 を形成するための p 型不純物をマスクで 10% 遮蔽することで耐圧曲線 32b が耐圧曲線 32 へ移動する。例えば、コーナー部分 16 のリサーフ領域 3 を形成するための p 型不純物をマスクで遮蔽する量を徐々に増やしていくと耐圧曲線 32b が耐圧曲線 32 の位置へと徐々に移動すると推測される。このような知見に基づき、コーナー部分 16 のリサーフ領域 3 を形成するための p 型不純物の遮蔽率と半導体装置 100 の耐圧との関係を図 4 において示す。図 4 は、図 3 を基に、コーナー部分 16 のリサーフ領域 3 を形成するための p 型不純物の遮蔽率と半導体装置の耐圧との関係を示した特性図である。図 4 中の「耐圧」とは、リサーフ領域 3 のドーズ量が設定値から  $\pm 10\%$  の範囲でばらついた場合の耐圧の最小値が最大となるようにドーズ量を設定した場合の耐圧である。また「最低耐圧」は、リサーフ領域 3 ドーズ量が設定値から  $\pm 10\%$  の範囲でばらついた場合の耐圧の最小値である。このグラフより、直線部分 15 に比べて 20% 少なくなるまでは、半

導体装置 100 の耐圧は従来に比べて上昇する。よって、コーナー部分 16 のリサーフ領域 3 の正味の総不純物量が直線部分 15 のリサーフ領域 3 の正味の総不純物量より少ない量（コーナー部マスク遮蔽率）が 20% 以下である場合は、従来に比べて耐圧を向上させることができる。従来とは、コーナー部マスク遮蔽率がゼロの場合である。

[0061] また、コーナー部マスク遮蔽率を 7% から 13% の範囲内とするとより好ましい。

[0062] （実施の形態 2）

つぎに、実施の形態 2 に係る半導体装置の製造方法について、図 1, 図 2 の半導体装置 100 を製造する場合を例に説明する。図 5 ～図 11 は、この発明の実施の形態 2 に係る半導体装置の製造方法を工程順に示す要部製造工程断面図である。図 5 (a) ～図 5 (c) に示す断面図は直線部分 15 とコーナー部分 16 との断面を示し両者は同一である。また、図 6 ～図 11 において、分図を示すアルファベット (d, e, f, ...) の後に続く「-1」の分図は直線部分 15 の断面図であり、「-2」の分図はコーナー部分 16 の断面図である。図 5 ～図 11 は、半導体装置を構成するダブルリサーフ構造の高耐圧分離構造 14 の製造工程である。

[0063] まず、比抵抗  $400\ \Omega\text{cm}$  の p 型のシリコン基板 1 のおもて面に n 型のウェル領域 2 を形成するためのレジストマスク 20 を形成する。そして、レジストマスク 20 をマスクとして、シリコン基板 1 のおもて面から P (リン) イオンを加速エネルギーが  $50\text{ keV}$  で、ドーズ量が  $4.0 \times 10^{12}/\text{cm}^2$  の条件で注入する (図 5 (a))。

[0064] つぎに、レジストマスク 20 を除去した後、シリコン基板 1 のおもて面に p 型の拡散層 4 を形成するためのレジストマスク 21 を形成する。そして、レジストマスク 21 をマスクとして、シリコン基板 1 のおもて面から B (ボロン) イオンを加速エネルギーが  $150\text{ keV}$  で、ドーズ量が  $3.0 \times 10^{12}/\text{cm}^2$  の条件で注入する (図 5 (b))。

[0065] つぎに、レジストマスク 21 を除去した後、処理温度が  $1200^\circ\text{C}$  で、処

理時間が300分の熱拡散を行い、ウェル領域2と拡散層4とを形成する（図5（c））。つぎに、リサーフ領域3を形成するためのレジストマスク17（コーナー部分16における遮蔽率10%）を形成する。そして、レジストマスク17をマスクとして、シリコン基板1のおもて面からBイオンを加速エネルギーが50keVで、ドーズ量が $5.5 \times 10^{12} / \text{cm}^2$ の条件で注入する。このとき、直線部分15のシリコン基板1内に入り込むBイオンの単位面積当たりの不純物量が $5.5 \times 10^{12} / \text{cm}^2$ である場合、コーナー部分16では、レジストマスク17によって直線部分15よりも10%多くマスクされているため、実質、シリコン基板1内に入り込むBイオンの単位面積当たりの不純物量は $4.95 \times 10^{12} / \text{cm}^2$ となる（図6（d-1）、図6（d-2））。

[0066] 図12は、図5のイオン注入のとき用いるレジストマスク17の平面図である。図12（a）は、コーナー部分16に円形のドット状のマスク部17aを形成した遮蔽パターンを有するレジストマスク17の平面レイアウトである。図12（b）は、コーナー部分16に湾曲した細い帯状のマスク部17bを形成した遮蔽パターンを有するレジストマスク17の平面レイアウトである。尚、図12（a）の円形のドット状のマスク部17aを三角形や四角形、多角形のドット状のマスク部に換えても構わない。また、図12（b）の湾曲した細い帯状のマスク部17bを放射状直線の帯状のマスク部としても構わない。

[0067] このように、リサーフ領域3を形成するためのイオン注入においては、図12に示したようなコーナー部分16のウェル領域2を覆う遮蔽部分の面積密度が、直線部分15のウェル領域2を覆う遮蔽部分の面積密度よりも高いレジストマスク17を用いる。ここでは、コーナー部分16におけるレジストマスク17の遮蔽部分18に対する非遮蔽部分19の割合を遮蔽率とした場合、直線部分15では遮蔽率は0%（遮蔽しない）、コーナー部分16では遮蔽率は10%である。コーナー部分16で遮蔽率を10%より増やしても減らしても直線部分15とコーナー部分16とで最適条件（耐圧曲線のピ

ーク）が一致しなくなる。そのため、レジストマスク 17 の遮蔽率は 10 % 程度が好ましい。

[0068] つぎに、レジストマスク 17 を除去した後、処理温度が 1150℃程度で、処理時間が 240 分程度の熱拡散を行い、リサーフ領域 3 を形成する（図 7（e-1）、図 7（e-2））。上述したようにコーナー部分 16 のウェル領域 2 は所定の遮蔽パターンでマスク部 17 a、17 b に覆われているため、コーナー部分 16 のウェル領域 2 には B イオンが注入されない部分が選択的に生じている。このため、コーナー部分 16 のリサーフ領域 3 には、不純物濃度が高く拡散深さが深い箇所 3 d と、不純物濃度が低く拡散深さが浅い箇所 3 e とが形成される。つぎに、LPCVD（Low Pressure Chemical Vapor Deposition）法でシリコン窒化膜を形成した上で、ウェル領域 2 とリサーフ領域 3 との上の一部のシリコン窒化膜を残してエッチングする。つぎに、処理温度が 1000℃の酸素雰囲気中での熱処理を行い、LOCOS（選択酸化膜）5 を形成する（図 8（f-1）、図 8（f-2））。

[0069] つぎに、ウェル領域 2 の上の活性領域に As（砒素）イオンを加速エネルギーが 30 keV で、ドーズ量が  $3.0 \times 10^{15} / \text{cm}^2$  の条件で注入し、ウェル領域 2 のコンタクトを取るための高濃度 n 型領域 6 を形成する。つぎに、リサーフ領域 3 の上の活性領域に  $\text{BF}_2$ （フッ化ボロン）イオンを加速エネルギーが 30 keV で、ドーズ量が  $3.0 \times 10^{15} / \text{cm}^2$  の条件で注入し、リサーフ領域 3 のコンタクトを取るための高濃度 p 型領域 7 を形成する（図 9（g-1）、図 9（g-2））。

[0070] つぎに、シリコン基板 1 のおもて面に層間絶縁膜 8 を形成した後、熱処理を行い、As イオンおよび  $\text{BF}_2$  イオンの活性化を行う（図 10（h-1）、図 10（h-2））。つぎに、RIE（Reactive Ion Etching）により層間絶縁膜 8 を選択的に除去し、高濃度 n 型領域 6 および高濃度 p 型領域 7 の上にコンタクトホールを形成した後、スパッタリング法により層間絶縁膜 8 上にコンタクトホール内部に埋め込むようにアルミニウ

ム膜を形成する。その後、アルミニウム膜のエッチングを行い、電極 9、電極 10、フィールドプレート 11a およびフィールドプレート 11b を形成することにより（図 11（i-1）、図 11（i-2））、半導体装置 100 が完成する。

[0071] 以上、説明したように、各実施の形態によれば、リサーフ領域 3 を形成するためのイオン注入時に、所定の遮断パターンで配置されたマスク部 17a, 17b を有するレジストマスク 17 でコーナー部分 16 を選択的に遮蔽することにより、コーナー部分 16 のリサーフ領域 3 の単位面積当たりの総不純物量が直線部分 15 のリサーフ領域 3 の単位面積当たりの総不純物量よりも少ない高耐圧分離構造 14 が形成される。また、コーナー部分 16 の最適条件となるリサーフ領域 3 のドーズ量を直線部分 15 の最適条件となるリサーフ領域 3 のドーズ量に合わせることができる。その結果、コーナー部分 16 のリサーフ領域 3 のドーズ量と直線部分 15 のリサーフ領域 3 のドーズ量とを同一にして、従来の耐圧構造より高耐圧を実現することができる。

[0072] また、各実施の形態によれば、コーナー部分 16 の耐圧曲線 32 を直線部分 15 の耐圧曲線 31 の内側にすべて入り込むようにレジストマスク 17 による遮蔽率を調節することで、従来の耐圧構造より高耐圧を実現することができる。

[0073] また、各実施の形態においては、前記したように、イオン注入時に遮蔽マスク（レジストマスク 17）を用いて、基板おもて面側の拡散層（リサーフ領域 3）の単位面積当たりの正味の総不純物量を直線部分 15 に比べてコーナー部分 16 で少なくする。これら直線部分 15 およびコーナー部分 16 における拡散層の正味の総不純物量を共に所定のリサーフ条件を満たしながら、前記の遮蔽マスクを用いて、直線部分 15 とコーナー部分 16 とに同時にイオン注入と熱処理とを行う。このように直線部分 15 とコーナー部分 16 とに同時にイオン注入を行った場合でも、遮蔽マスクを用いることで、直線部分 15 とコーナー部分 16 とで予め求めたそれぞれの耐圧曲線 31, 32b の最大値（31a, 32c）になるように拡散層の正味の総不純物量をそ

れぞれ合わせる（リサーフ領域 3 のドーズ量をマスクで遮蔽しない場合のコーナー部分 1 6 の耐压曲線 3 2 b を、耐压曲線 3 1 のピーク値におけるリサーフ領域 3 のドーズ量でピークを示す耐压曲線 3 2 にまで移動させる）ことができる。直線部分 1 5 とコーナー部分 1 6 とを共に最大耐压にすることで、従来構造よりも素子耐压を高くすることができる。さらに、直線部分 1 5 とコーナー部分 1 6 とに同時にイオン注入を行うことにより、直線部分 1 5 とコーナー部分 1 6 とにそれぞれ別けてイオン注入を行う場合に比べて、プロセスのばらつきが小さくなり、素子耐压の低下を小さくすることができる。

[0074] 以上において本発明では、シリコン基板を用いる場合を例に説明しているが、これに限るものではなく、シリコン基板に代えて、S i C 基板や化合物半導体基板を用いてもよい。また、本発明において半導体基板は、不純物濃度が均一に製造された半導体ウエハや、半導体ウエハ上に不純物濃度が均一に形成されたエピタキシャル成長層を形成した半導体基板であってもよい。エピタキシャル成長層を形成した半導体基板の場合、不純物濃度が均一に形成されたエピタキシャル成長層にウェル領域およびリサーフ領域を形成する。また、各実施の形態では第 1 導電型を p 型とし、第 2 導電型を n 型としたが、本発明は第 1 導電型を n 型とし、第 2 導電型を p 型としても同様に成り立つ。

### 産業上の利用可能性

[0075] 以上のように、本発明にかかる半導体装置および半導体装置の製造方法は、ダブルリサーフ構造を有する半導体装置に有用である。

### 符号の説明

- [0076]
- 1 p 型のシリコン基板
  - 2 n 型のウェル領域
  - 3 p 型のリサーフ領域
  - 3 a リサーフ領域の底面
  - 3 d リサーフ領域の拡散深さの深い箇所

- 3 e リサーフ領域の拡散深さの浅い箇所
- 4 p型の拡散層
- 5 LOCOS
- 6 高濃度 n 型領域
- 7 高濃度 p 型領域
- 8 層間絶縁膜
- 9 電極（高電位側）
- 10 電極（低電位側）
- 11 a フィールドプレート（高電位側）
- 11 b フィールドプレート（低電位側）
- 12 高電位領域
- 13 低電位領域
- 14 高耐压分離構造
- 15 直線部分
- 16 コーナー部分
- 17, 20, 21 レジストマスク
- 17 a レジストマスクのドット状のマスク部
- 17 b レジストマスクの細い帯状のマスク部
- 18 遮蔽部分
- 19 非遮蔽部分
- 31 直線部分 15 の予め求めた耐压曲線
- 32 コーナー部分 16 の予め求めた耐压曲線を遮蔽マスクで移動させた  
耐压曲線
- 32 b コーナー部分 16 の予め求めた耐压曲線
- 100 半導体装置

## 請求の範囲

### [請求項1]

第1導電型の半導体基板のおもて面の表面層に選択的に形成された第2導電型のウェル領域と、

前記ウェル領域の内部に環状の平面形状で形成された第1導電型の第1領域と、

前記ウェル領域の内部の前記第1領域よりも内側に環状の平面形状で形成された第2導電型の第2領域と、

前記ウェル領域の内部の、前記第1領域と前記第2領域との間に形成された第1導電型のリサーフ領域と、

前記半導体基板と前記リサーフ領域とにより前記ウェル領域を挟み込むダブルリサーフ構造からなる高耐圧分離構造と、

を備え、

前記高耐圧分離構造は、直線部分と、前記直線部分に繋がる一定の曲率を有するコーナー部分とからなる平面形状を有し、

前記コーナー部分の前記リサーフ領域は、高濃度領域と、前記高濃度領域よりも拡散深さが浅く不純物濃度の低い低濃度領域とを有し、

前記リサーフ領域の前記直線部分の単位面積当たりの第1の正味の総不純物量および前記リサーフ領域の前記コーナー部分の単位面積当たりの第2の正味の総不純物量は共に  $1.4 \times 10^{12} [\text{cm}^{-2}]$  以下であり、

前記ウェル領域の第3の正味の総不純物量は  $2.8 \times 10^{12} [\text{cm}^{-2}]$  以下であり、

前記第3の正味の総不純物量から前記第1の正味の総不純物量を差し引いた値および前記第3の正味の総不純物量から前記第2の正味の総不純物量を差し引いた値は共に  $1.4 \times 10^{12} [\text{cm}^{-2}]$  以下であり、

前記第1の正味の総不純物量は前記第2の正味の総不純物量より少ないことを特徴とする半導体装置。

- [請求項2] 前記リサーフ領域よりも外側に、前記ウェル領域を囲むように、前記半導体基板のおもて面から前記ウェル領域の深さ以上の深さで形成された第1導電型の分離領域をさらに備えたことを特徴とする請求項1に記載の半導体装置。
- [請求項3] 前記第1の正味の総不純物量が前記第2の正味の総不純物量よりも少ない量が20%以下であることを特徴とする請求項1に記載の半導体装置。
- [請求項4] 前記半導体基板と前記リサーフ領域とは電氣的に接続されていることを特徴とする請求項1に記載の半導体装置。
- [請求項5] 前記高濃度領域と前記低濃度領域とは、互いに接し、かつ交互に繰り返し配置されることを特徴とする請求項1～4のいずれか一つに記載の半導体装置。
- [請求項6] 請求項1に記載の半導体装置の製造方法であって、  
前記半導体基板上に前記ウェル領域を第2導電型の不純物のイオン注入と熱処理とで形成する第1の工程と、  
前記高耐压分離構造の前記直線部分と前記コーナー部分とに前記リサーフ領域を第1導電型不純物のイオン注入と熱処理とで形成する第2の工程と、  
を含み、  
前記第2の工程において、前記コーナー部分を部分的にマスクで遮蔽して、前記半導体基板内に入り込む前記第1導電型不純物のイオン注入量を、前記直線部分の前記半導体基板内に入り込む前記第1導電型不純物のイオン注入量より少なくすることを特徴とする半導体装置の製造方法。
- [請求項7] 前記第2の工程において、前記直線部分の耐压が最大になるドーズ量から前記コーナー部分の耐压が最大になるドーズ量を差し引いたドーズ量の前記第1導電型不純物を前記マスクにより遮蔽して、前記半導体基板内に入り込む前記第1導電型不純物のイオン注入量を少なく

することを特徴とする請求項 6 に記載の半導体装置の製造方法。

[請求項 8]        前記第 2 の工程において、前記直線部分の予め求めた前記リサーフ領域のドーズ量に対する耐压曲線の最大耐压と、前記コーナー部分の予め求めた前記リサーフ領域のドーズ量に対する耐压曲線の最大耐压とが一致するように、前記マスクの遮蔽率を調整して前記リサーフ領域の正味の総不純物量を調整することを特徴とする請求項 6 に記載の半導体装置の製造方法。

**補正された請求の範囲**  
**[2013年9月27日(27.09.2013)国際事務局受理]**

〔請求項1〕（補正後） 第1導電型の半導体基板のおもて面の表面層に選択的に形成された第2導電型のウェル領域と、

前記ウェル領域の内部に環状の平面形状で形成された第1導電型の第1領域と、

前記ウェル領域の内部の前記第1領域よりも内側に環状の平面形状で形成された第2導電型の第2領域と、

前記ウェル領域の内部の、前記第1領域と前記第2領域との間に形成された第1導電型のリサーフ領域と、

前記半導体基板と前記リサーフ領域とにより前記ウェル領域を挟み込むダブルリサーフ構造からなる高耐圧分離構造と、

を備え、

前記高耐圧分離構造は、直線部分と、前記直線部分に繋がる一定の曲率を有するコーナー部分とからなる平面形状を有し、

前記コーナー部分の前記リサーフ領域は、高濃度領域と、前記高濃度領域よりも拡散深さが浅く不純物濃度の低い低濃度領域とを有し、

前記リサーフ領域の前記直線部分の単位面積当たりの第1の正味の総不純物量および前記リサーフ領域の前記コーナー部分の単位面積当たりの第2の正味の総不純物量は共に  $1.4 \times 10^{12} [\text{／cm}^2]$  以下であり、

前記ウェル領域の第3の正味の総不純物量は  $2.8 \times 10^{12} [\text{／cm}^2]$  以下であり、

前記第3の正味の総不純物量から前記第1の正味の総不純物量を差し引いた値および前記第3の正味の総不純物量から前記第2の正味の総不純物量を差し引いた値は共に  $1.4 \times 10^{12} [\text{／cm}^2]$  以下であり、

前記第2の正味の総不純物量は前記第1の正味の総不純物量より少ないことを特徴とする半導体装置。

〔請求項2〕 前記リサーフ領域よりも外側に、前記ウェル領域を囲むように、前記半導体基板のおもて面から前記ウェル領域の深さ以上の深さで形成された第1導電型の分離領域をさらに備えたことを特徴とする請求項1に記載の半導体装置。

〔請求項 3〕（補正後） 前記第 2 の正味の総不純物量が前記第 1 の正味の総不純物量よりも少ない量が 20 % 以下であることを特徴とする請求項 1 に記載の半導体装置。

〔請求項 4〕 前記半導体基板と前記リサーフ領域とは電氣的に接続されていることを特徴とする請求項 1 に記載の半導体装置。

〔請求項 5〕 前記高濃度領域と前記低濃度領域とは、互いに接し、かつ交互に繰り返し配置されることを特徴とする請求項 1 ～ 4 のいずれか一つに記載の半導体装置。

〔請求項 6〕 請求項 1 に記載の半導体装置の製造方法であって、

前記半導体基板上に前記ウェル領域を第 2 導電型の不純物のイオン注入と熱処理とで形成する第 1 の工程と、

前記高耐圧分離構造の前記直線部分と前記コーナー部分とに前記リサーフ領域を第 1 導電型不純物のイオン注入と熱処理とで形成する第 2 の工程と、

を含み、

前記第 2 の工程において、前記コーナー部分を部分的にマスクで遮蔽して、前記半導体基板内に入り込む前記第 1 導電型不純物のイオン注入量を、前記直線部分の前記半導体基板内に入り込む前記第 1 導電型不純物のイオン注入量より少なくすることを特徴とする半導体装置の製造方法。

〔請求項 7〕 前記第 2 の工程において、前記直線部分の耐圧が最大になるドーズ量から前記コーナー部分の耐圧が最大になるドーズ量を差し引いたドーズ量の前記第 1 導電型不純物を前記マスクにより遮蔽して、前記半導体基板内に入り込む前記第 1 導電型不純物のイオン注入量を少なくすることを特徴とする請求項 6 に記載の半導体装置の製造方法。

〔請求項 8〕 前記第 2 の工程において、前記直線部分の予め求めた前記リサーフ領域のドーズ量に対する耐圧曲線の最大耐圧と、前記コーナー部分の予め求めた前記リサーフ領域のドーズ量に対する耐圧曲線の最大耐圧とが一致するように、前記マスクの遮蔽率を調整して前記リサーフ領域の正味の総不純物量を調整することを特徴とする請求項 6 に記載の半導体装置の製造方法。

## 条約第19条(1)に基づく説明書

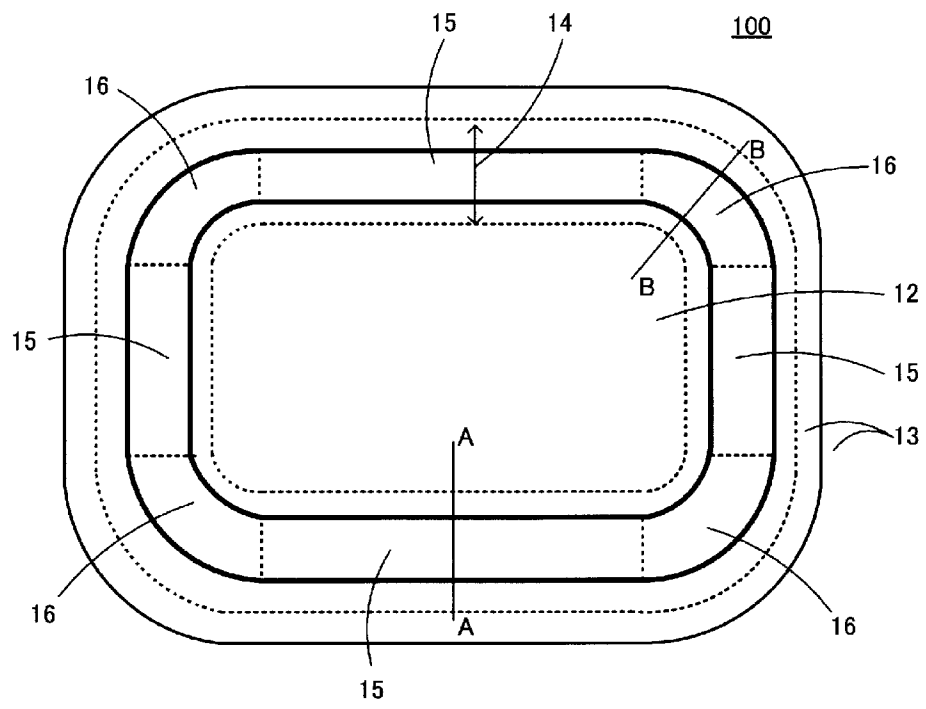
請求の範囲第1項は、出願時の明細書の段落0048の記載に基づくものです。

請求の範囲第2項は、出願時の請求の範囲第2項です。

請求の範囲第3項は、出願時の明細書の段落0060の記載に基づくものです。

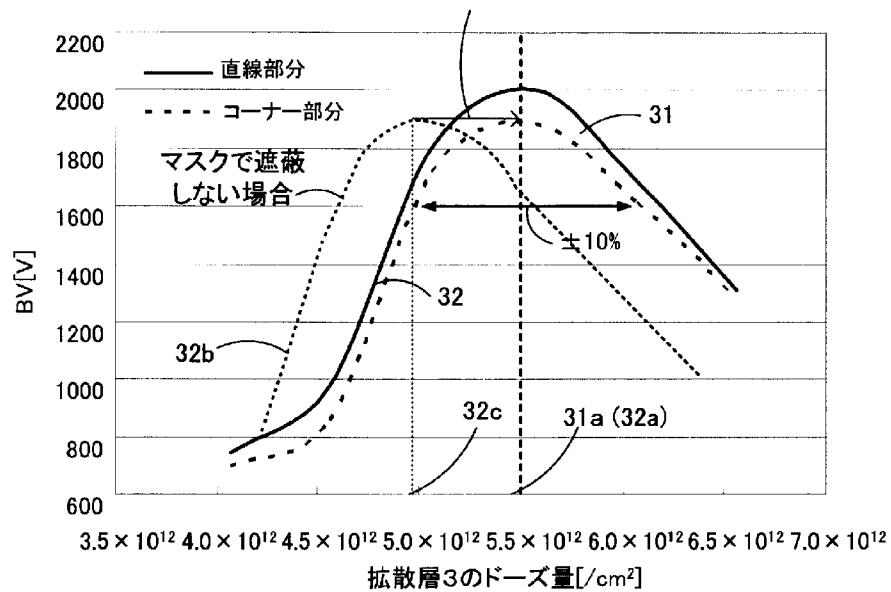
請求項範囲第4～8項は、出願時の請求の範囲第4～8項です。

[図1]

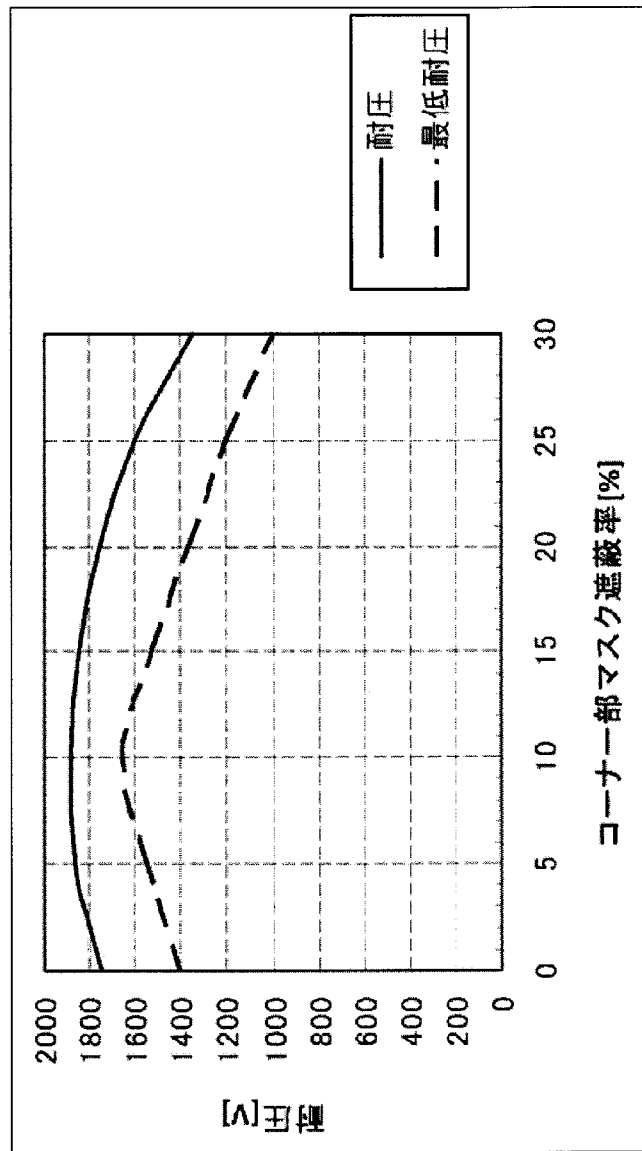




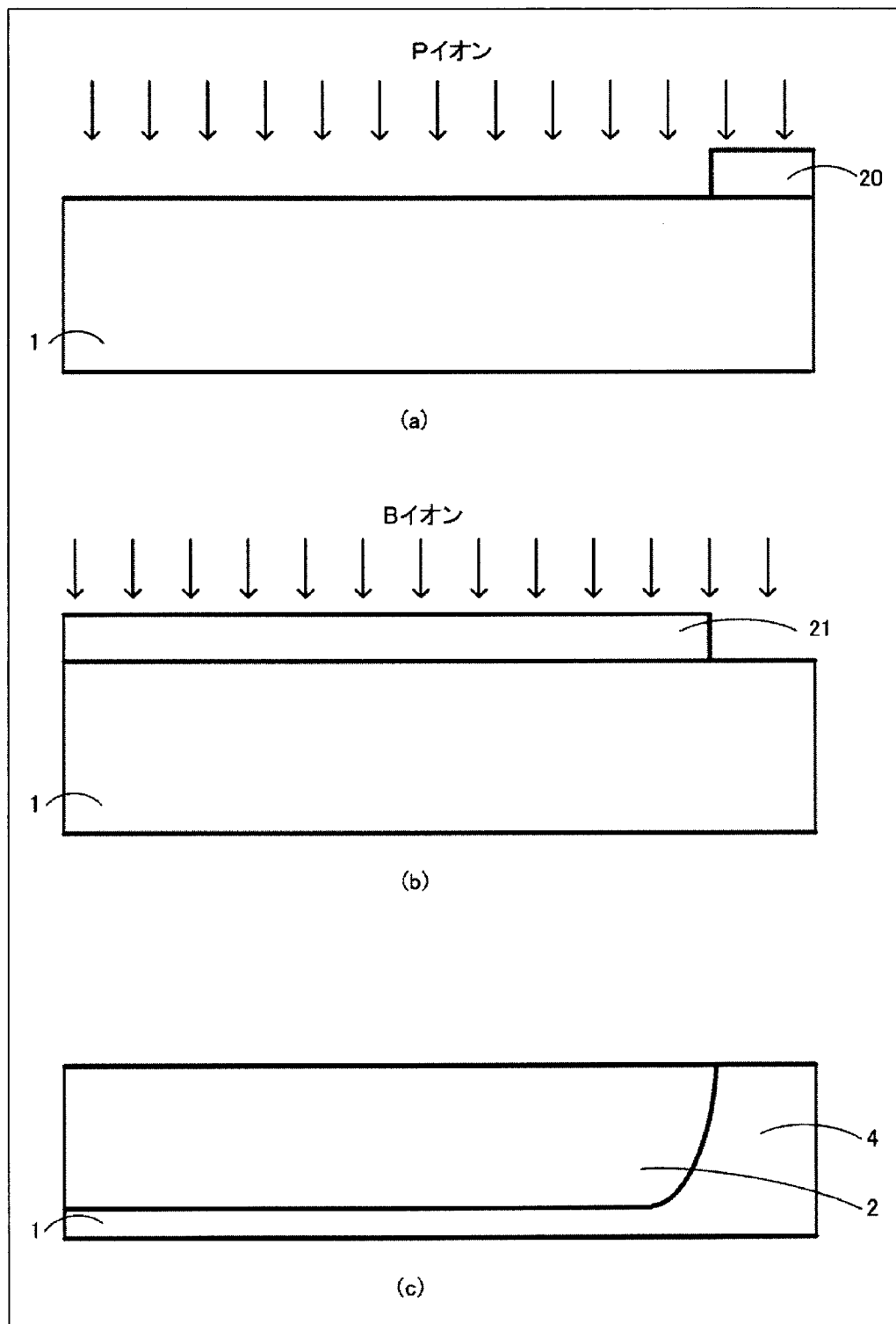
マスクで遮蔽することで移動する(マスク上から打ち込むドーズ量を高めることができる)



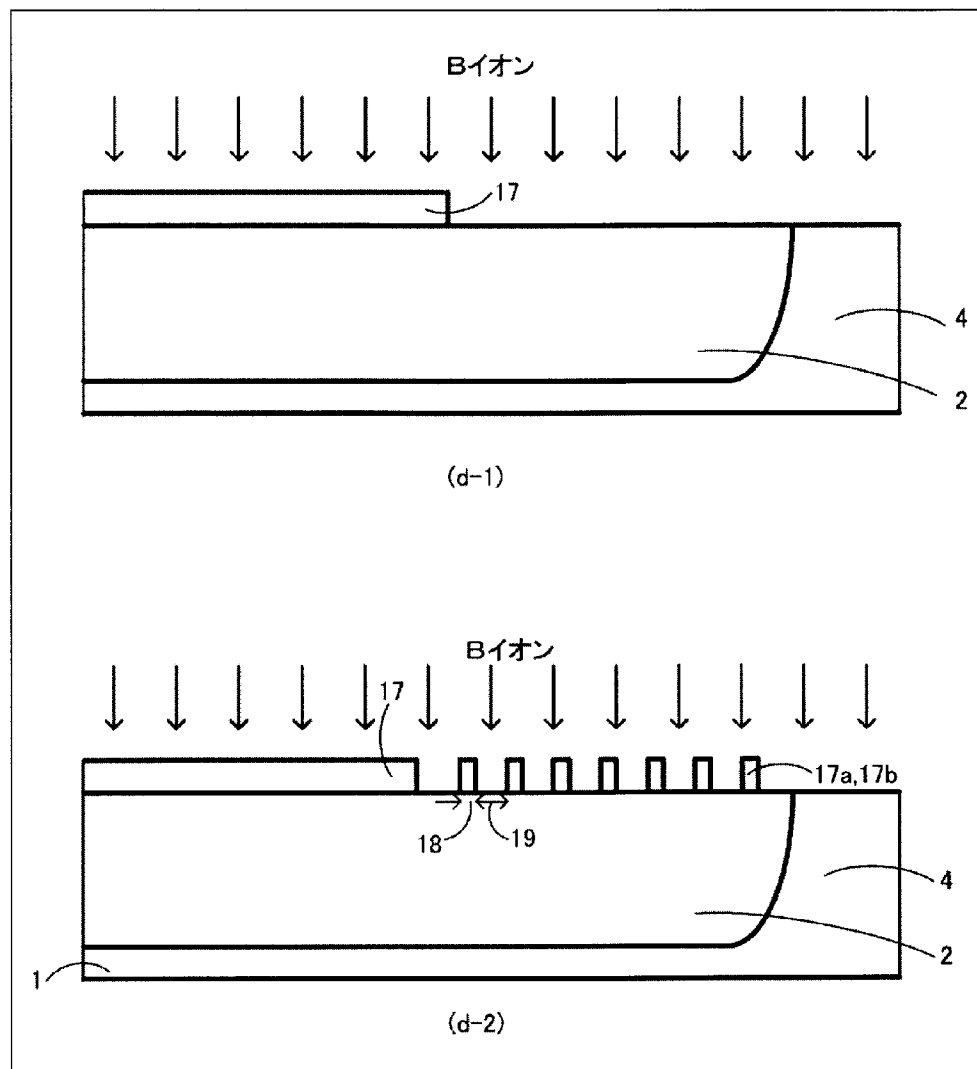
[図4]



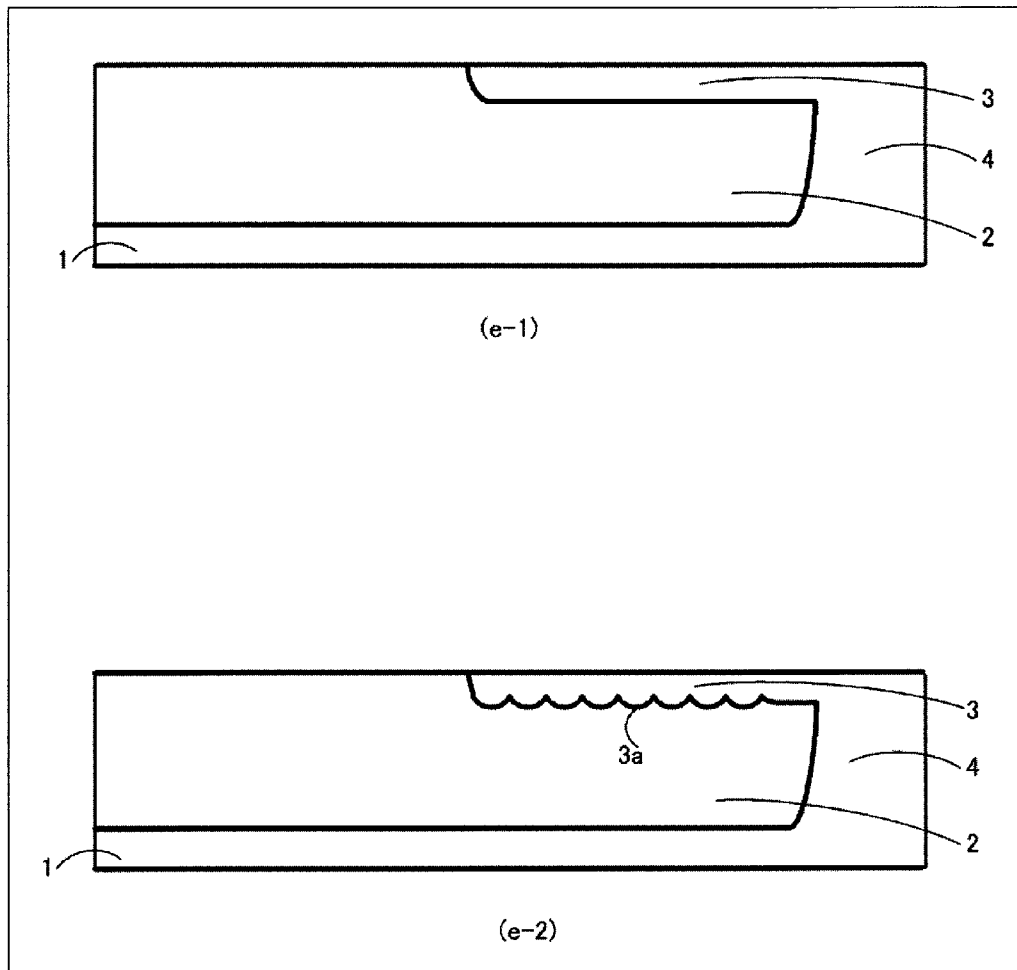
[図5]



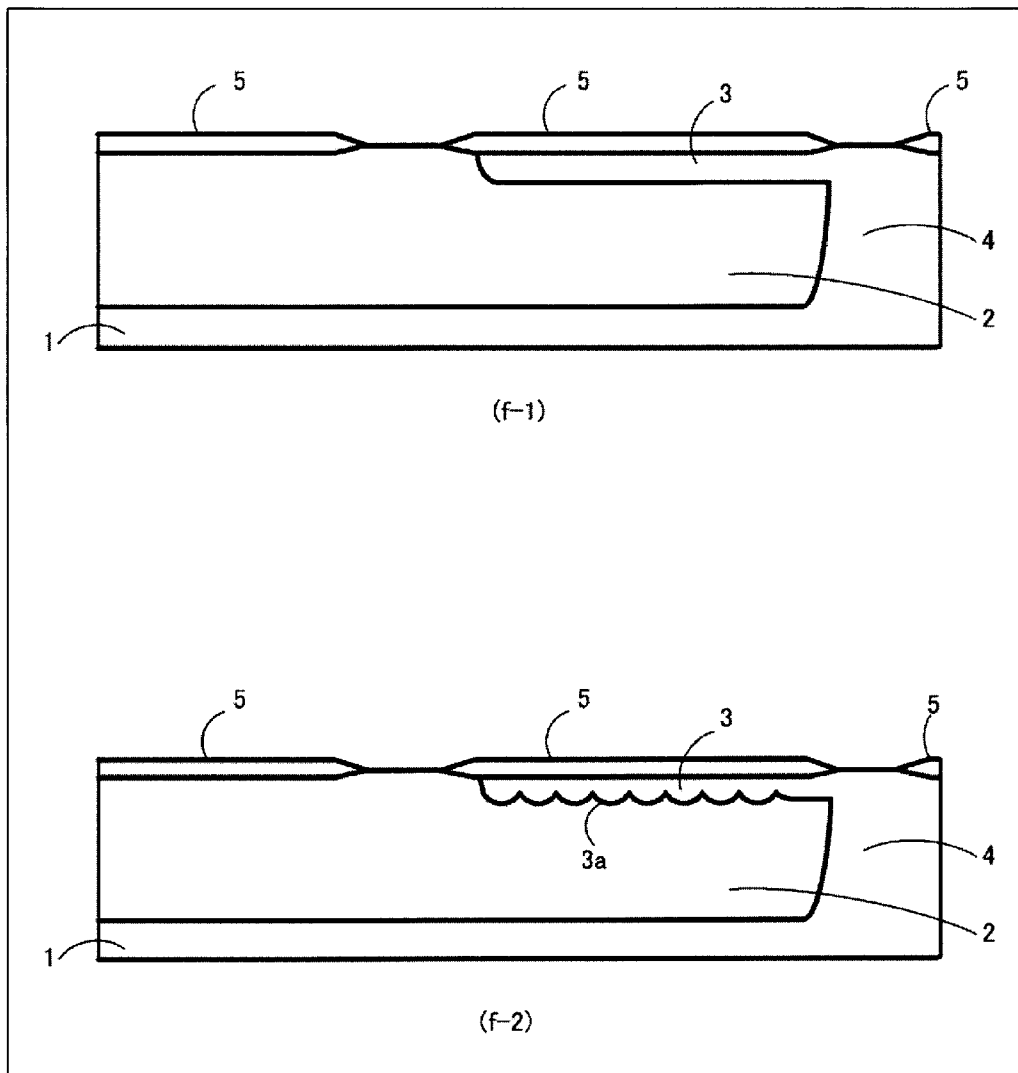
[図6]



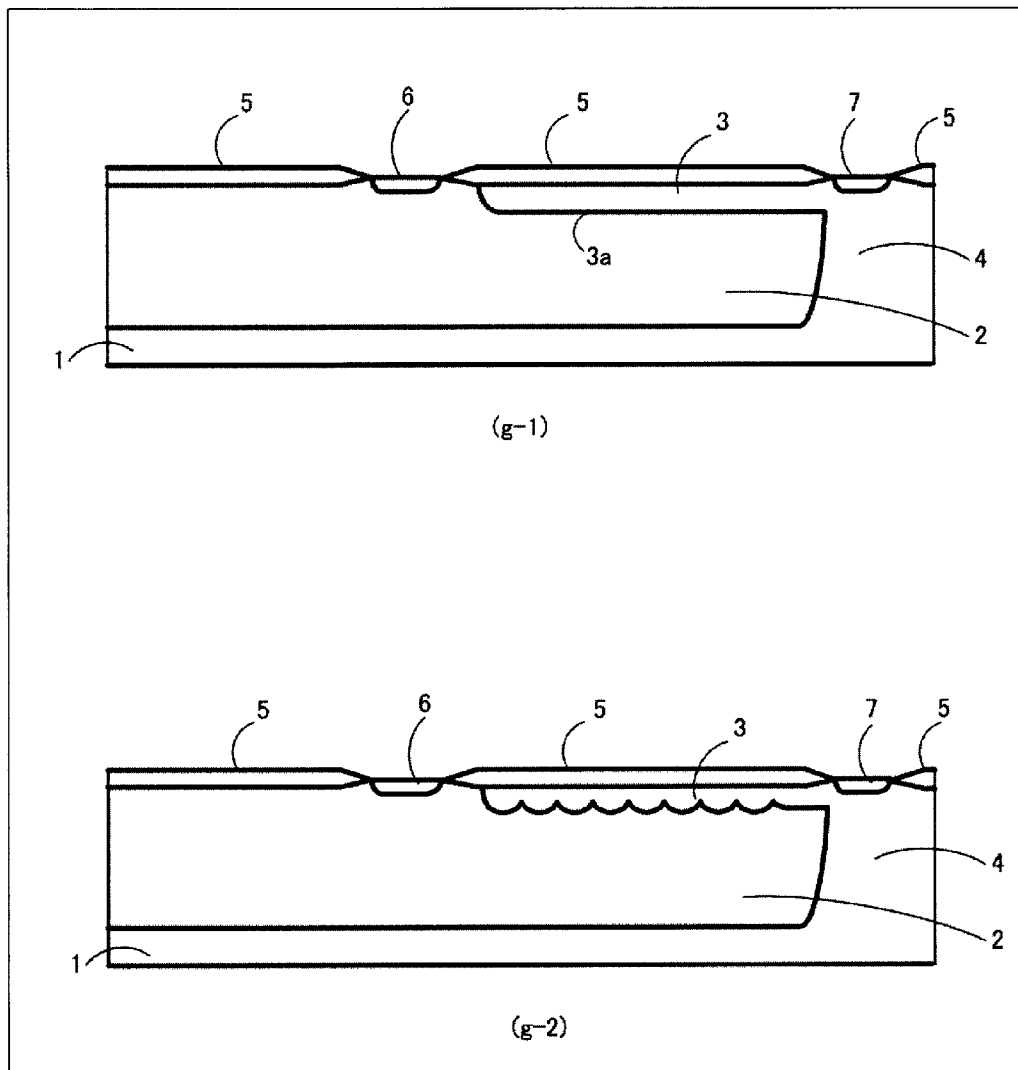
[図7]



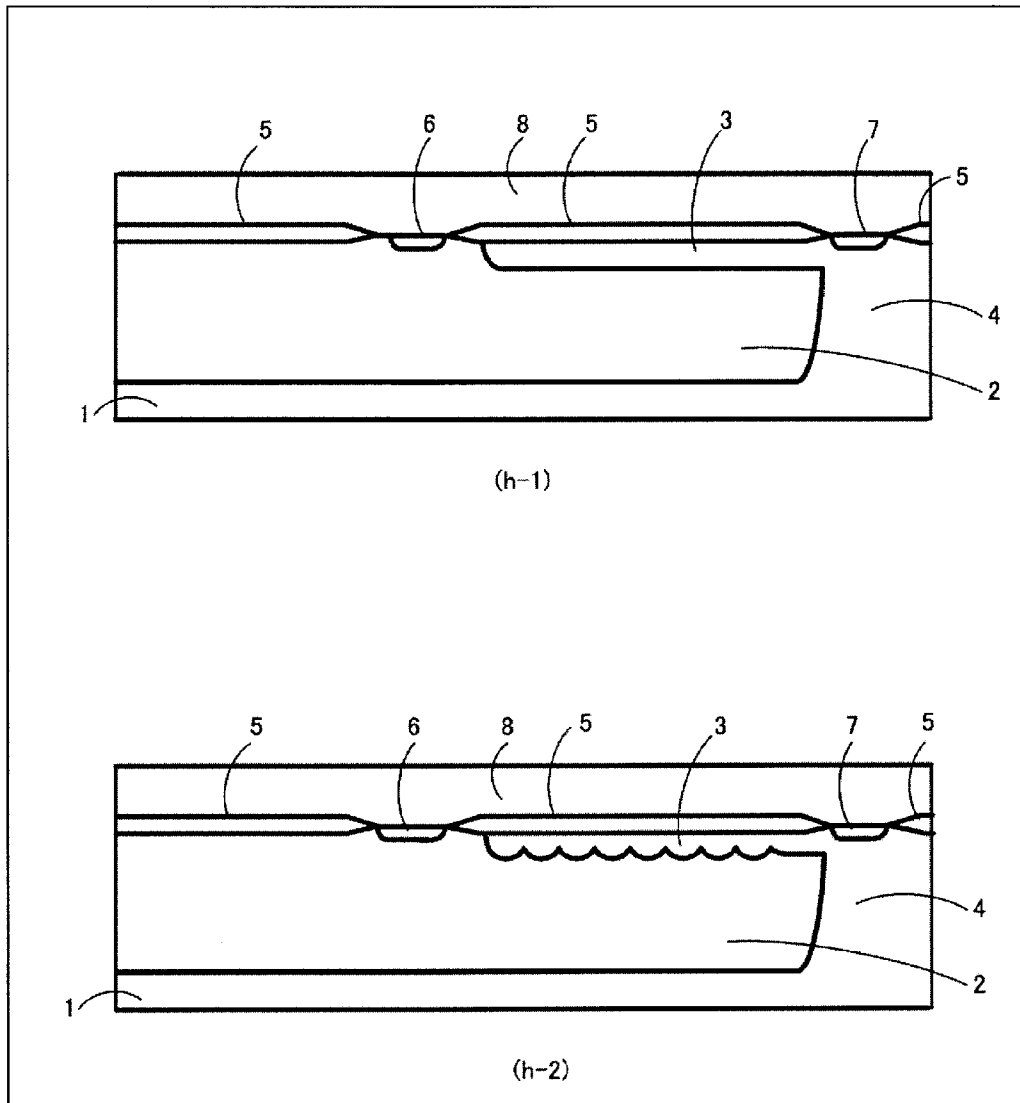
[図8]



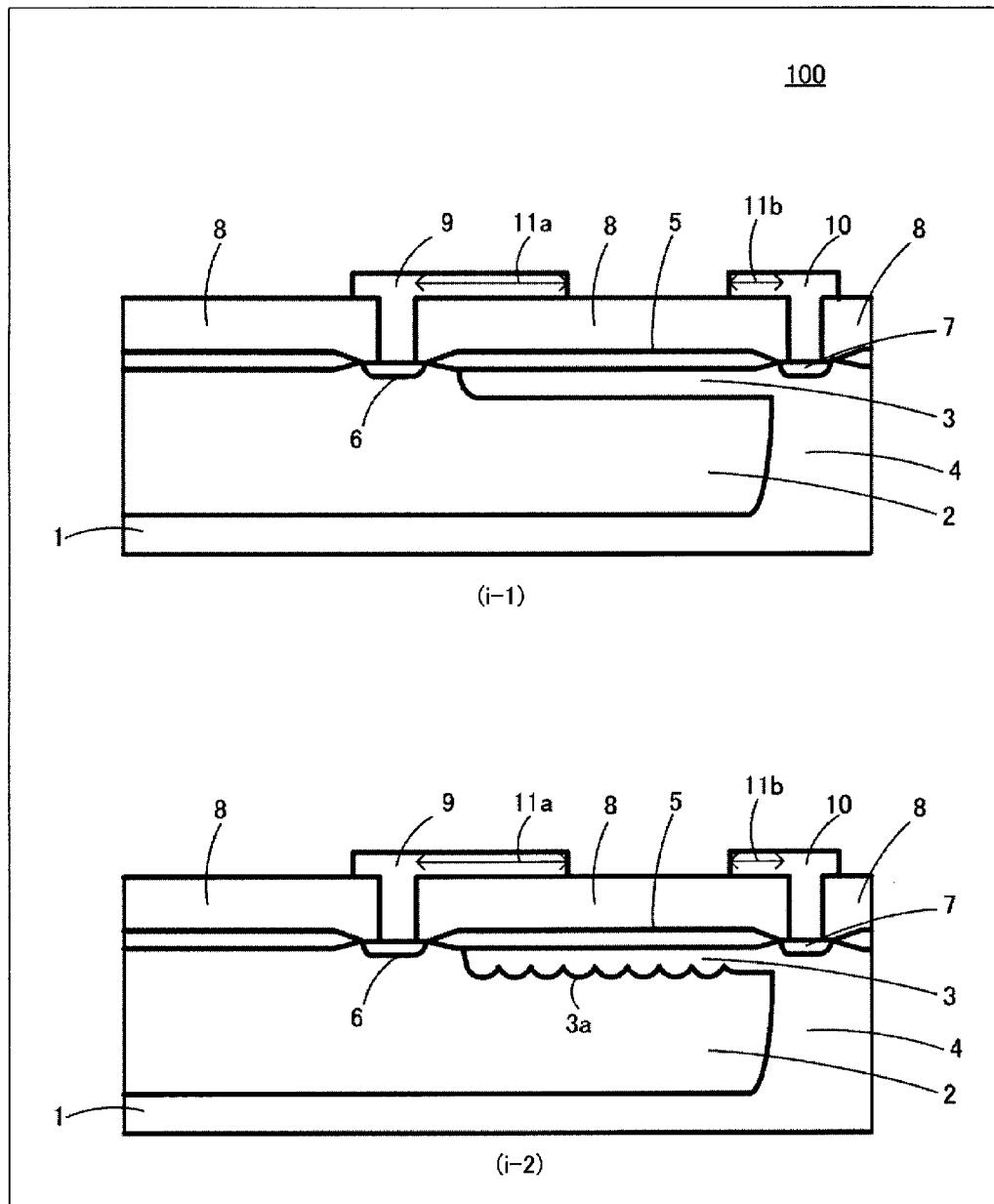
[図9]



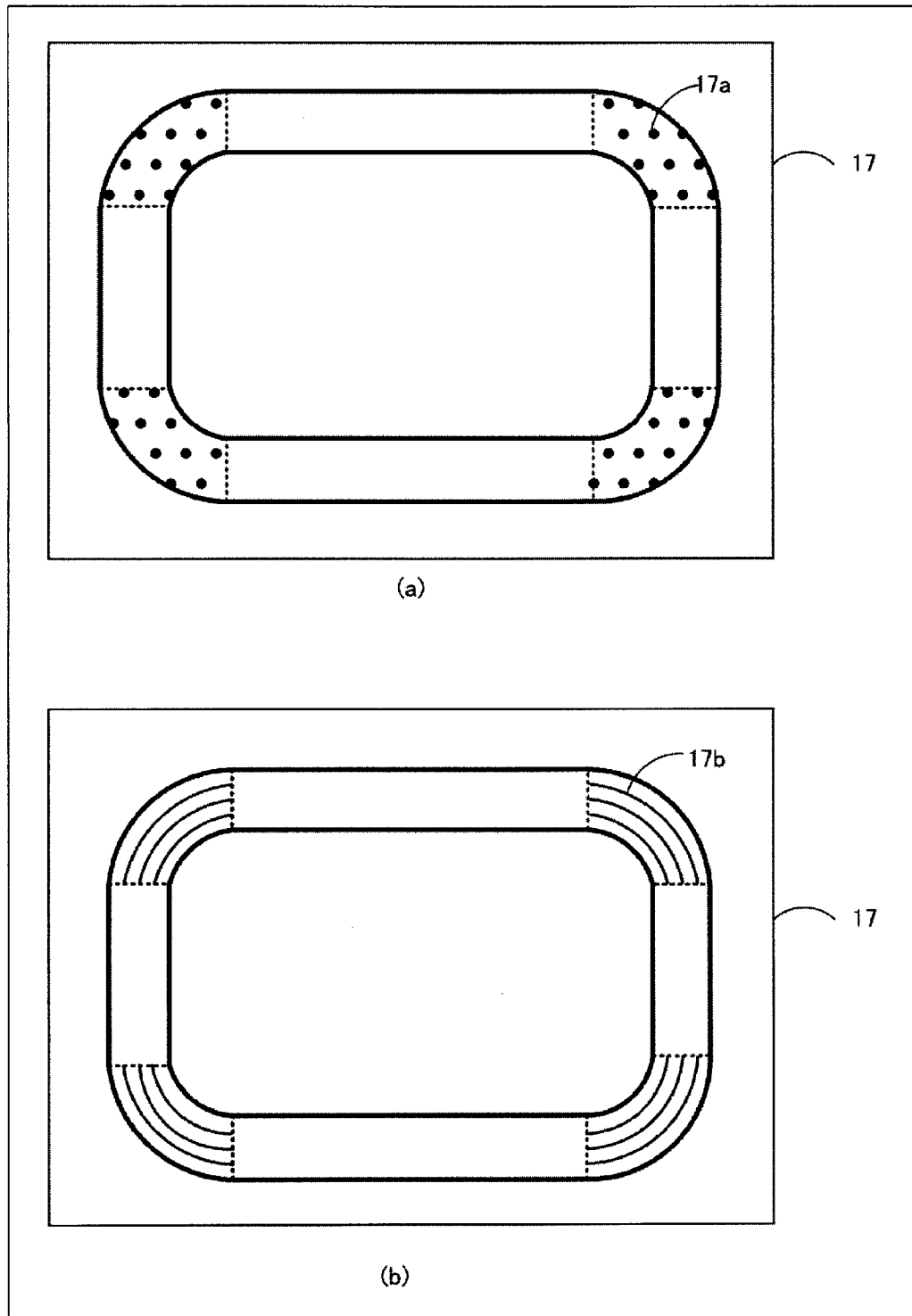
[図10]



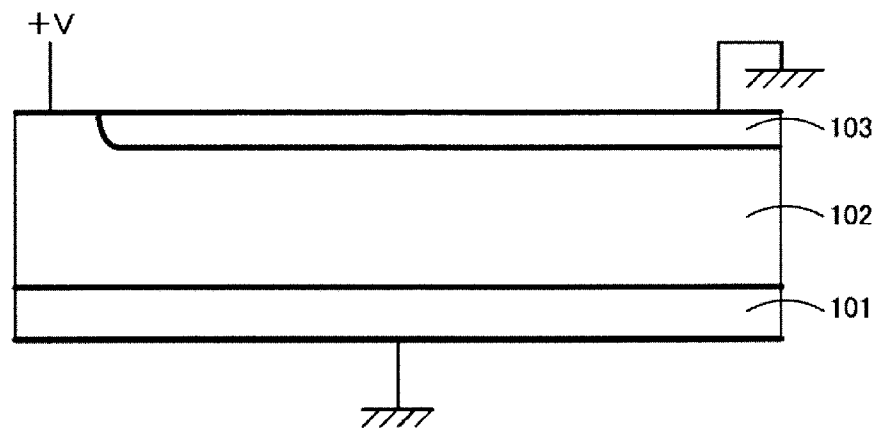
[図11]



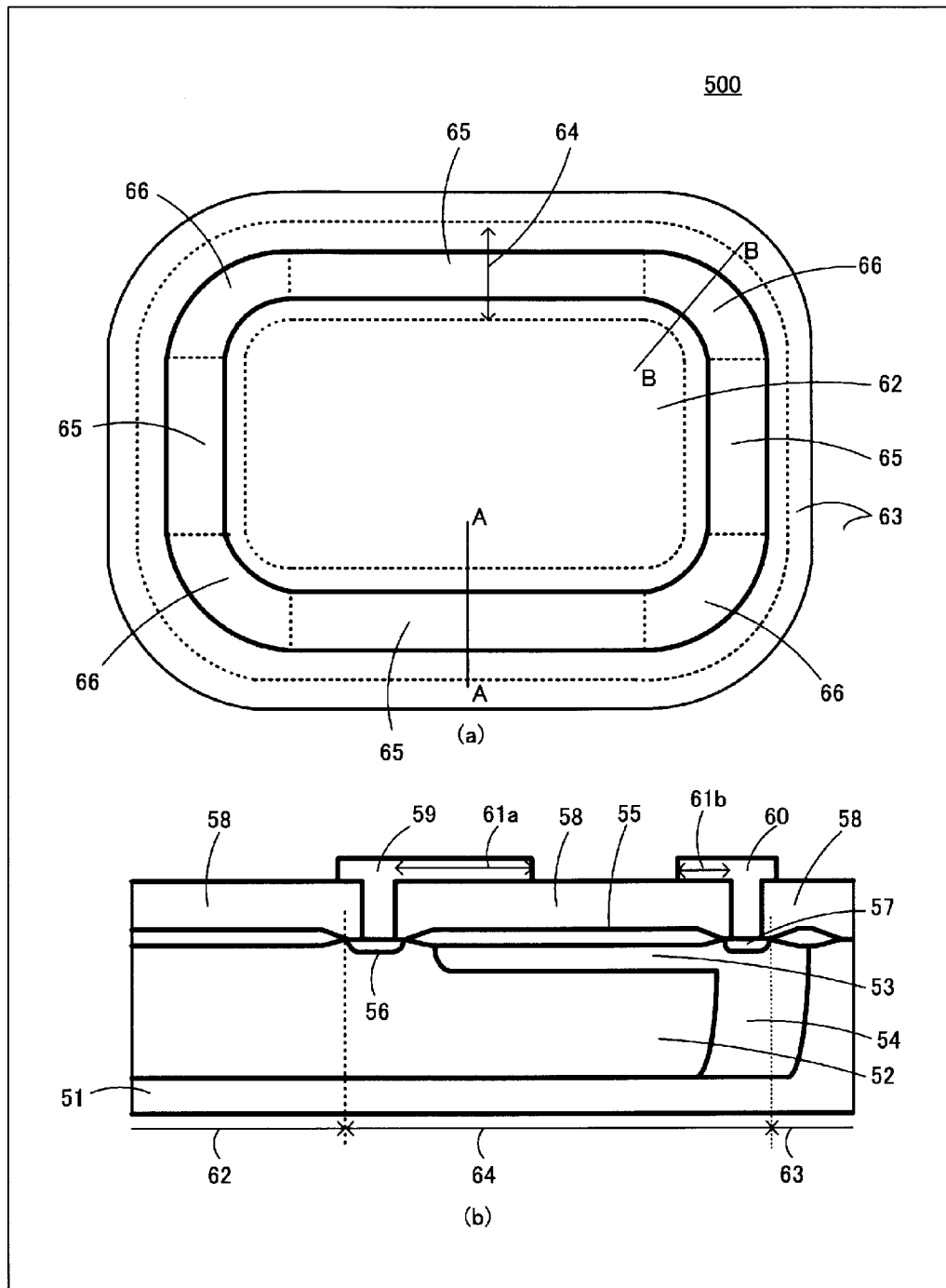
[図12]



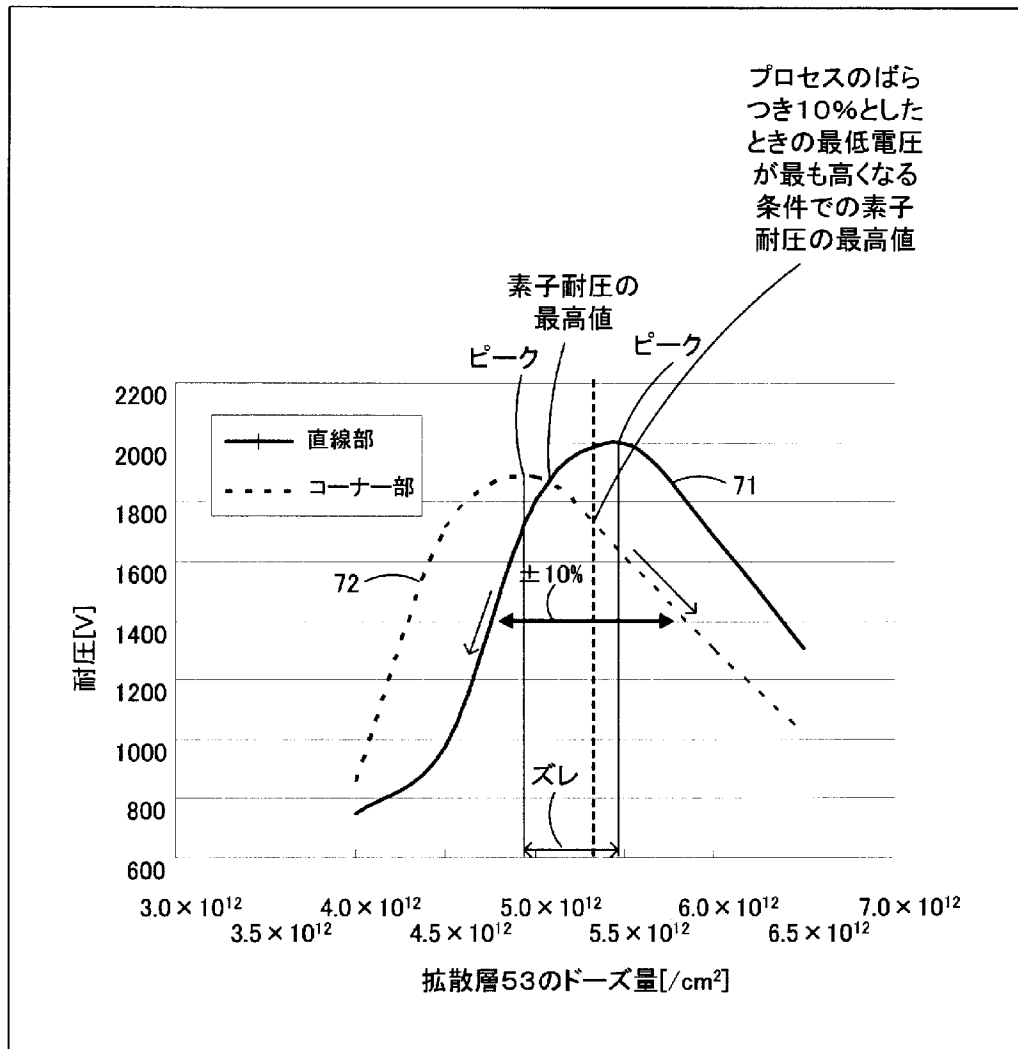
[図13]



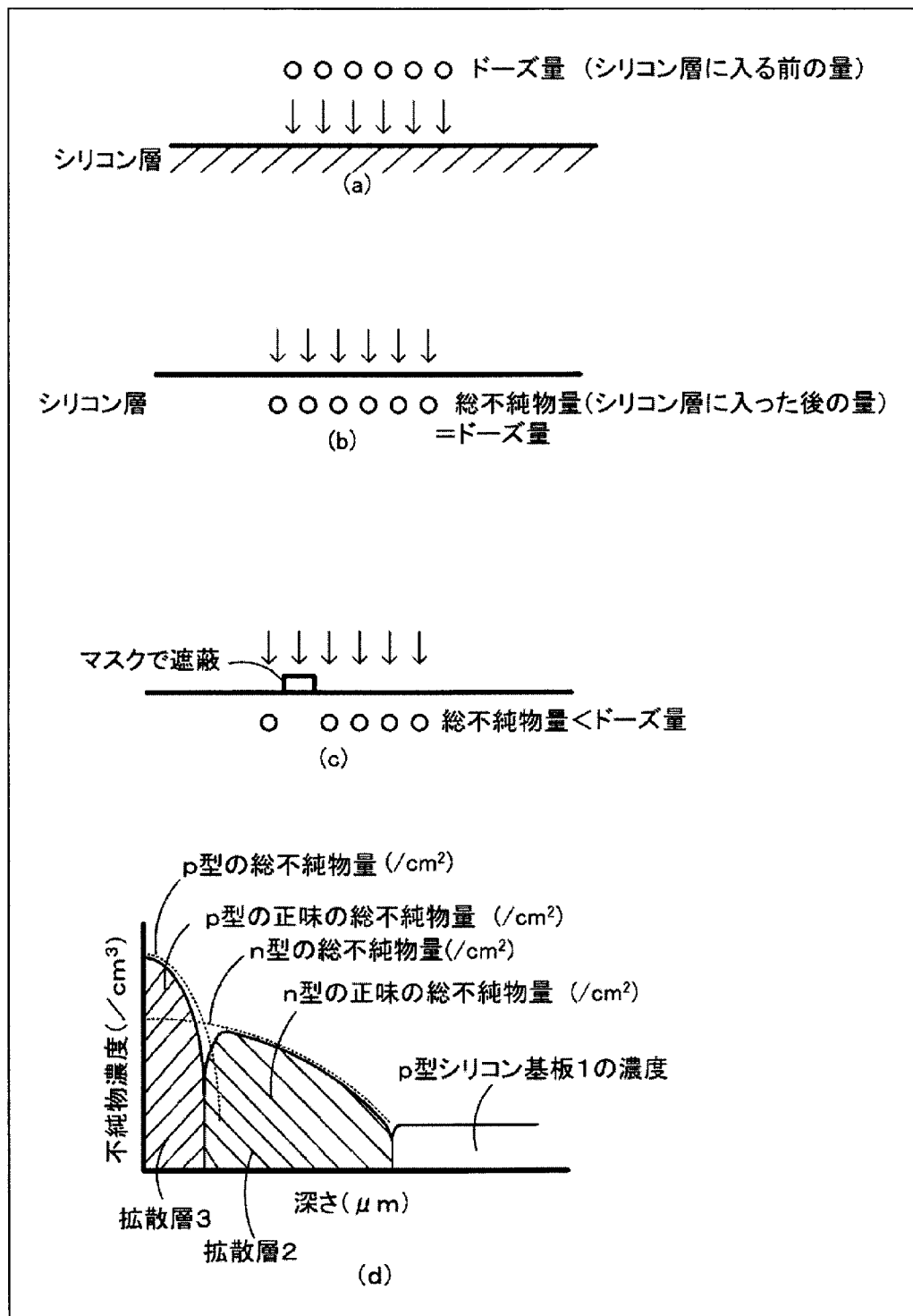
[図14]



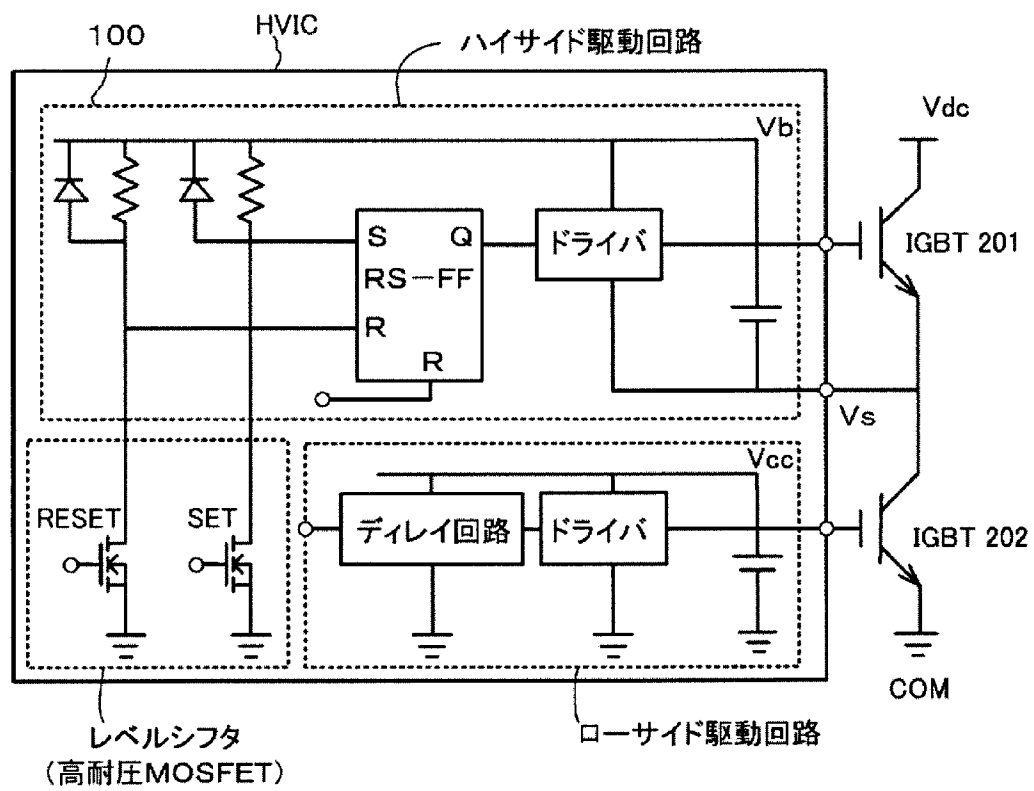
[図15]



[図16]



[図17]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/060992

## A. CLASSIFICATION OF SUBJECT MATTER

H01L29/06(2006.01) i, H01L27/08(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/06, H01L27/08

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013

Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                      | Relevant to claim No. |
|-----------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y<br>A    | JP 2000-236067 A (Fuji Electric Co., Ltd.),<br>29 August 2000 (29.08.2000),<br>paragraphs [0009], [0026] to [0028]; fig. 1, 3<br>(Family: none)                                                                         | 1-6<br>7, 8           |
| Y         | JP 2009-164486 A (Toyota Motor Corp.),<br>23 July 2009 (23.07.2009),<br>paragraphs [0033] to [0034]; fig. 5<br>(Family: none)                                                                                           | 1-6                   |
| Y         | Mohamed Imam et al., "Design and Optimization<br>of Double-RESURF High-Voltage Lateral Devices<br>for a Manufacturable Process", IEEE<br>TRANSACTIONS ON ELECTRON DEVICES, VOL.50, NO.7,<br>IEEE, 2003.07, pp.1697-1701 | 1-6                   |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T"

later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X"

document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y"

document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;"

document member of the same patent family

Date of the actual completion of the international search

04 July, 2013 (04.07.13)

Date of mailing of the international search report

16 July, 2013 (16.07.13)

Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2013/060992

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                 | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2008-506256 A (International Rectifier Corp.),<br>28 February 2008 (28.02.2008),<br>fig. 1<br>& US 2006/0006555 A1      & GB 2430804 A<br>& WO 2006/016965 A2      & DE 112005001587 T<br>& KR 10-0858154 B1      & TW 274372 B | 2                     |

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2013/060992

Regarding a relationship between a first net pure-impurity amount in a straight portion of a resurf region and a second net pure-impurity amount in a corner portion of the resurf region, claim 1 specifies that "the first net pure-impurity amount is less than the second net pure-impurity amount". However, since the description discloses only a case where the second net pure-impurity amount in the corner portion is reduced to be less than the first net pure-impurity amount in the straight portion, claim 1 is not fully supported within the meaning of PCT Article 6.

Consequently, this search has been carried out within the range supported by and disclosed in the description, that is, with respect to the case such that the second net pure-impurity amount in a corner portion is less than the first net pure-impurity amount in a straight portion.

A. 発明の属する分野の分類（国際特許分類（I P C））  
Int.Cl. H01L29/06(2006.01)i, H01L27/08(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/06, H01L27/08

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 3 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 3 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 3 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                   | 関連する<br>請求項の番号 |
|-----------------|-------------------------------------------------------------------------------------|----------------|
| Y<br>A          | JP 2000-236067 A（富士電機株式会社）<br>2000.08.29, 段落【0009】、【0026】－【0028】、図1, 3<br>（ファミリーなし） | 1-6<br>7, 8    |
| Y               | JP 2009-164486 A（トヨタ自動車株式会社）<br>2009.07.23, 段落【0033】－【0034】、図5（ファミリーなし）             | 1-6            |

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

|                                                              |                                                                    |
|--------------------------------------------------------------|--------------------------------------------------------------------|
| * 引用文献のカテゴリー                                                 | の日の後に公表された文献                                                       |
| 「A」特に関連のある文献ではなく、一般的技術水準を示すもの                                | 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの     |
| 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの                        | 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの                     |
| 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） | 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」口頭による開示、使用、展示等に言及する文献                                     | 「&」同一パテントファミリー文献                                                   |
| 「P」国際出願日前で、かつ優先権の主張の基礎となる出願                                  |                                                                    |

国際調査を完了した日

0 4 . 0 7 . 2 0 1 3

国際調査報告の発送日

1 6 . 0 7 . 2 0 1 3

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

杵 哲次

5 F

3 9 5 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

| C (続き) . 関連すると認められる文献 |                                                                                                                                                                                                                 |                |
|-----------------------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                               | 関連する<br>請求項の番号 |
| Y                     | Mohamed Imam et al., "Design and Optimization of Double-RESURF High-Voltage Lateral Devices for a Manufacturable Process", IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 50, NO. 7, IEEE, 2003. 07, pp. 1697-1701 | 1-6            |
| Y                     | JP 2008-506256 A (インターナショナル レクティファイアー コーポレイション) 2008.02.28, 図1<br>& US 2006/0006555 A1 & GB 2430804 A & WO 2006/016965 A2<br>& DE 112005001587 T & KR 10-0858154 B1 & TW 274372 B                               | 2              |

請求項 1 には、リサーフ領域の直線部分の第 1 の正味の総不純物量と、リサーフ領域のコーナー部分の第 2 の正味の総不純物量との関係について、「前記第 1 の正味の総不純物量は前記第 2 の正味の総不純物量より少ない」ことが特定されているが、明細書に記載されているのは、コーナー部分の第 2 の正味の総不純物量を、直線部分の第 1 の正味の総不純物量より少なくする場合のみであり、PCT 第 6 条の意味での裏付けを欠いている。

よって、調査は、明細書に裏付けられ、開示されている範囲、すなわち、コーナー部分の第 2 の正味の総不純物量を、直線部分の第 1 の正味の総不純物量より少なくする場合について行った。