

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2025-102666
(P2025-102666A)

(43)公開日 令和7年7月8日(2025.7.8)

(51)国際特許分類	F I	テーマコード (参考)
G 0 6 F 12/00 (2006.01)	G 0 6 F 12/00	5 6 0 F 5 B 1 6 0
H 0 3 K 19/00 (2006.01)	H 0 3 K 19/00	1 0 8 5 J 0 4 2
H 0 3 K 19/20 (2006.01)	H 0 3 K 19/20	2 1 0 5 J 0 5 6

審査請求 有 請求項の数 16 O L (全31頁)

(21)出願番号 特願2024-200056(P2024-200056)	(71)出願人 314000442 高麗大学校産学協力団 KOREA UNIVERSITY RE SEARCH AND BUSINESS FOUNDATION 大韓民国 02841 ソウル ソンブクク アナムロ 145 145, Anam-ro Seongb uk-gu Seoul 02841, Republic of Korea
(22)出願日 令和6年11月15日(2024.11.15)	(74)代理人 110000383 弁理士法人エビス国際特許事務所
(31)優先権主張番号 10-2023-0191705	(72)発明者 金 相植 大韓民国、06630、ソウル、ソチョ ーグ、ヒョリョンーロ、391、103
(32)優先日 令和5年12月26日(2023.12.26)	最終頁に続く
(33)優先権主張国・地域又は機関 韓国(KR)	

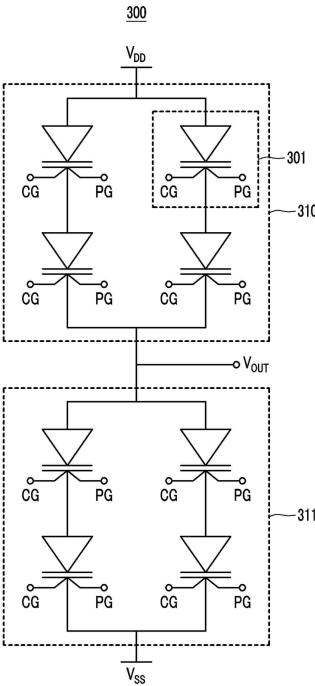
(54)【発明の名称】 汎用ロジックメモリセル

(57)【要約】 (修正有)

【解決手段】 汎用ロジックメモリセル300において、第1ネットワーク素子310及び第2ネットワーク素子311は、4つの三重ゲートシリコン素子301のうち2つの三重ゲートシリコン素子のドレイン領域とソース領域が直列に接続された第1直列接続部と、残りの2つの三重ゲートシリコン素子のドレイン領域とソース領域が直列に接続された第2直列接続部との間の共通のドレイン領域が接続される第1並列接続部及び共通のソース領域が接続される第2並列接続部で構成される。各位置に配列された三重ゲートシリコン素子は、第1チャンネルモード及び第2チャンネルモードのいずれか1つで選択的に駆動される。

【効果】 正のフィードバックループ (positive feedback loop) で駆動する三重ゲートシリコン素子を用いて3進法論理演算機能及びメモリ機能を提供する汎用ロジックメモリセルを具現することができる。

【選択図】 図3



【特許請求の範囲】

【請求項 1】

複数の三重ゲートシリコン素子を用いた第 1 ネットワーク素子及び第 2 ネットワーク素子を含み、

前記複数の三重ゲートシリコン素子のそれぞれは、ドレイン領域、チャネル領域、ソース領域を含み、前記ドレイン領域及び前記ソース領域に供給電圧が印加され、前記チャネル領域上で第 1 及び第 2 プログラミングゲート電極及びコントロールゲート電極が形成されたゲート領域を含み、前記第 1 及び第 2 プログラミングゲート電極を介して印加されるプログラム電圧 (V_{PG}) のレベルに応じて、前記チャネル領域において前記第 1 及び第 2 プログラミングゲート電極の下のチャネル領域が、第 1 チャネルモード及び第 2 チャネルモードのいずれか 1 つのチャネルモードで動作し、前記コントロールゲート電極を介して印加されるコントロール電圧 (V_{CG}) のレベルに基づいて、オン状態 (on state) 及びオフ状態 (off state) のいずれか 1 つの状態に決定され、

前記第 1 ネットワーク素子及び前記第 2 ネットワーク素子は、行われた前記いずれか 1 つのチャネルモードで前記いずれか 1 つの状態によって正レベル、ゼロレベル及び負レベルのいずれか 1 つに出力電圧 (V_{OUT}) のレベルを決定することによって、3 進法 (ternary) 論理演算機能及びメモリ機能を行うことを特徴とする、汎用ロジックメモリセル。

【請求項 2】

前記第 1 ネットワーク素子及び前記第 2 ネットワーク素子は、前記複数の三重ゲートシリコン素子のうち 4 つの三重ゲートシリコン素子のうち 2 つの三重ゲートシリコン素子のドレイン領域とソース領域が直列に接続された第 1 直列接続部と、残りの 2 つの三重ゲートシリコン素子のドレイン領域とソース領域が直列に接続された第 2 直列接続部との間の共通のドレイン領域が接続される第 1 並列接続部、及び共通のソース領域が接続される第 2 並列接続部で構成され、前記第 1 ネットワーク素子の第 1 並列接続部を介して共通電圧のうちドレイン電圧 (V_{DD}) が印加され、前記第 2 ネットワーク素子の第 2 並列接続部を介して前記共通電圧のうちソース電圧 (V_{SS}) が印加され、前記第 1 ネットワーク素子の第 2 並列接続部と前記第 2 ネットワーク素子の第 1 並列接続部とが接続される部分でいずれか 1 つとして出力電圧 (V_{OUT}) が測定されることを特徴とする、請求項 1 に記載の汎用ロジックメモリセル。

【請求項 3】

前記第 1 ネットワーク素子が前記第 2 チャネルモードで動作し、前記第 2 ネットワーク素子が前記第 1 チャネルモードで動作すると、前記コントロール電圧 (V_{CG}) のレベルが負レベルである場合に前記出力電圧 (V_{OUT}) のレベルを正レベルと決定し、前記コントロール電圧 (V_{CG}) のレベルが正レベルである場合に前記出力電圧 (V_{OUT}) のレベルを負レベルと決定し、前記コントロール電圧 (V_{CG}) のレベルがゼロレベルである場合に前記出力電圧 (V_{OUT}) のレベルをゼロレベルと決定する前記 3 進法論理演算機能を行うことを特徴とする、請求項 2 に記載の汎用ロジックメモリセル。

【請求項 4】

前記第 1 ネットワーク素子が前記第 1 チャネルモードで動作し、前記第 2 ネットワーク素子が前記第 2 チャネルモードで動作すると、前記コントロール電圧 (V_{CG}) のレベルが負レベルである場合に前記出力電圧 (V_{OUT}) のレベルを負レベルと決定し、前記コントロール電圧 (V_{CG}) のレベルが正レベルである場合に前記出力電圧 (V_{OUT}) のレベルを正レベルと決定し、前記コントロール電圧 (V_{CG}) のレベルがゼロレベルである場合に前記出力電圧 (V_{OUT}) のレベルをゼロレベルと決定する前記 3 進法論理演算機能を行うことを特徴とする、請求項 2 に記載の汎用ロジックメモリセル。

【請求項 5】

前記第 1 ネットワーク素子が前記第 2 チャネルモードで動作し、前記第 2 ネットワーク素子が前記第 1 チャネルモードで動作し、前記コントロール電圧 (V_{CG}) のうち第 1 コントロール電圧 (V_{IN1}) が前記第 1 ネットワーク素子の左側及び前記第 2 ネットワー

10

20

30

40

50

ク素子の上側に印加され、前記コントロール電圧 (V_{CG}) のうち第2コントロール電圧 (V_{IN2}) が前記第1ネットワーク素子の右側及び前記第2ネットワーク素子の下側に印加され、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルのいずれか1つのレベルが負レベルである場合に、前記出力電圧 (V_{OUT}) のレベルを正レベルと決定し、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルの両方が正レベルである場合に、前記出力電圧 (V_{OUT}) のレベルを負レベルと決定し、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルの両方がゼロレベルであるか、または、いずれか1つのレベルはゼロレベルであり、他の1つのレベルは正レベルである場合に、前記出力電圧 (V_{OUT}) のレベルをゼロレベルと決定する前記3進法論理演算機能を行うことを特徴とする、請求項2に記載の汎用ロジックメモリセル。

10

【請求項6】

前記第1ネットワーク素子が前記第2チャンネルモードで動作し、前記第2ネットワーク素子が前記第1チャンネルモードで動作し、前記コントロール電圧 (V_{CG}) のうち第1コントロール電圧 (V_{IN1}) が前記第1ネットワーク素子の上側及び前記第2ネットワーク素子の左側に印加され、前記コントロール電圧 (V_{CG}) のうち第2コントロール電圧 (V_{IN2}) が前記第1ネットワーク素子の下側及び前記第2ネットワーク素子の右側に印加され、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルのいずれか1つのレベルが正レベルである場合に、前記出力電圧 (V_{OUT}) のレベルを負レベルと決定し、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルの両方が負レベルである場合に、前記出力電圧 (V_{OUT}) のレベルを正レベルと決定し、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) の両方がゼロレベルであるか、または、いずれか1つのレベルはゼロレベルであり、他の1つのレベルは負レベルである場合に、前記出力電圧 (V_{OUT}) のレベルをゼロレベルと決定する前記3進法論理演算機能を行うことを特徴とする、請求項2に記載の汎用ロジックメモリセル。

20

【請求項7】

前記第1ネットワーク素子が前記第1チャンネルモードで動作し、前記第2ネットワーク素子が前記第2チャンネルモードで動作し、前記コントロール電圧 (V_{CG}) のうち第1コントロール電圧 (V_{IN1}) が前記第1ネットワーク素子の上側及び前記第2ネットワーク素子の左側に印加され、前記コントロール電圧 (V_{CG}) のうち第2コントロール電圧 (V_{IN2}) が前記第1ネットワーク素子の下側及び前記第2ネットワーク素子の右側に印加され、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルのいずれか1つのレベルが負レベルである場合に、前記出力電圧 (V_{OUT}) のレベルを負レベルと決定し、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルの両方が正レベルである場合に、前記出力電圧 (V_{OUT}) のレベルを正レベルと決定し、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルの両方がゼロレベルであるか、または、いずれか1つのレベルはゼロレベルであり、他の1つのレベルは正レベルである場合に、前記出力電圧 (V_{OUT}) のレベルをゼロレベルと決定する前記3進法論理演算機能を行うことを特徴とする、請求項2に記載の汎用ロジックメモリセル。

30

40

【請求項8】

前記第1ネットワーク素子が前記第2チャンネルモードで動作し、前記第2ネットワーク素子が前記第1チャンネルモードで動作し、前記コントロール電圧 (V_{CG}) のうち第1コントロール電圧 (V_{IN1}) が前記第1ネットワーク素子の左側及び前記第2ネットワーク素子の上側に印加され、前記コントロール電圧 (V_{CG}) のうち第2コントロール電圧 (V_{IN2}) が前記第1ネットワーク素子の右側及び前記第2ネットワーク素子の下側に印加され、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルのいずれか1つのレベルが正レベルである場合に、前記出力電圧 (V_{OUT}) のレベルを正レベルと決定し、前記第1コントロール電圧 (V_{IN1}) 及び前記第2

50

コントロール電圧 (V_{IN2}) のレベルの両方が負レベルである場合に、前記出力電圧 (V_{OUT}) のレベルを負レベルと決定し、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルの両方がゼロレベルであるか、または、いずれか1つのレベルはゼロレベルであり、他の1つのレベルは負レベルである場合に、前記出力電圧 (V_{OUT}) のレベルをゼロレベルと決定する前記3進法論理演算機能を行うことを特徴とする、請求項2に記載の汎用ロジックメモリセル。

【請求項9】

前記第1ネットワーク素子の左側が前記第1チャンネルモードで動作し、前記第1ネットワーク素子の右側が前記第2チャンネルモードで動作し、前記第2ネットワーク素子の左上側が前記第2チャンネルモードで動作し、前記第2ネットワーク素子の右上側が前記第1チャンネルモードで動作し、前記第2ネットワーク素子の左下側が前記第1チャンネルモードで動作し、前記第2ネットワーク素子の右下側が前記第2チャンネルモードで動作し、前記コントロール電圧 (V_{CG}) のうち第1コントロール電圧 (V_{IN1}) が前記第1ネットワーク素子及び前記第2ネットワーク素子の左側に印加され、前記コントロール電圧 (V_{CG}) のうち第2コントロール電圧 (V_{IN2}) が前記第1ネットワーク素子及び前記第2ネットワーク素子の右側に印加され、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルが同一に負レベルまたは正レベルである場合に、前記出力電圧 (V_{OUT}) のレベルを正レベルと決定し、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルが相反するように負レベルまたは正レベルである場合に、前記出力電圧 (V_{OUT}) のレベルを負レベルと決定し、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のいずれか1つのレベルがゼロレベルである場合に、前記出力電圧 (V_{OUT}) のレベルをゼロレベルと決定する前記3進法論理演算機能を行うことを特徴とする、請求項2に記載の汎用ロジックメモリセル。

【請求項10】

前記第1ネットワーク素子の左上側が前記第2チャンネルモードで動作し、前記第1ネットワーク素子の右上側が前記第1チャンネルモードで動作し、前記第1ネットワーク素子の左下側が前記第1チャンネルモードで動作し、前記第1ネットワーク素子の右下側が前記第2チャンネルモードで動作し、前記第2ネットワーク素子の左側が前記第1チャンネルモードで動作し、前記第2ネットワーク素子の右側が前記第2チャンネルモードで動作し、前記コントロール電圧 (V_{CG}) のうち第1コントロール電圧 (V_{IN1}) が前記第1ネットワーク素子及び前記第2ネットワーク素子の左側に印加され、前記コントロール電圧 (V_{CG}) のうち第2コントロール電圧 (V_{IN2}) が前記第1ネットワーク素子及び前記第2ネットワーク素子の右側に印加され、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルの両方が正レベルである場合に、前記出力電圧 (V_{OUT}) のレベルを負レベルと決定し、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルの両方が負レベルである場合に、前記出力電圧 (V_{OUT}) のレベルを負レベルと決定し、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルが相反するように負レベルまたは正レベルである場合に、前記出力電圧 (V_{OUT}) のレベルを正レベルとして決定し、前記第1コントロール電圧 (V_{IN1}) 及び前記第2コントロール電圧 (V_{IN2}) のレベルのいずれか1つでもゼロレベルであれば、前記出力電圧 (V_{OUT}) のレベルをゼロレベルと決定する前記3進法論理演算機能を行うことを特徴とする、請求項2に記載の汎用ロジックメモリセル。

【請求項11】

前記ドレイン領域はpドープ状態であり、

前記ソース領域はnドープ状態であり、

前記チャンネル領域は真性 (*intrinsic*) 状態であり、

前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下側のチャンネル領域は、前記プログラム電圧 (V_{PG}) のレベルが正レベルである場合に、前記第1チャ

ネルモードに該当するnチャンネルとして動作し、前記プログラム電圧 (V_{PG}) のレベルが負レベルである場合に、前記第2チャンネルモードに該当するpチャンネルとして動作することを特徴とする、請求項2に記載の汎用ロジックメモリセル。

【請求項12】

前記ドレイン領域に印加されるドレイン電圧 (V_{DD})、前記ソース領域に印加されるソース電圧 (V_{SS})、前記プログラム電圧 (V_{PG}) 及び前記コントロール電圧 (V_{CG}) がゼロレベルで印加される場合に、前記出力電圧 (V_{OUT}) のレベルを維持して前記メモリ機能を行うことを特徴とする、請求項11に記載の汎用ロジックメモリセル。

【請求項13】

前記複数の三重ゲートシリコン素子のそれぞれは、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下チャンネル領域が、前記第1チャンネルモードで動作する場合、前記印加されるコントロールゲート電圧 (V_{CG}) のレベルが、電流が急激に増加するときの電圧であるラッチアップ電圧よりも高いレベルである場合にオン状態と決定され、前記印加されるコントロールゲート電圧 (V_{CG}) のレベルが前記ラッチアップ電圧よりも低いレベルである場合にオフ状態と決定されることを特徴とする、請求項1に記載の汎用ロジックメモリセル。

【請求項14】

前記複数の三重ゲートシリコン素子のそれぞれは、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下チャンネル領域が、前記第1チャンネルモードで動作する場合、前記印加されるコントロール電圧 (V_{CG}) のレベルが、前記ラッチアップ電圧よりも高いレベルに増加すると、前記チャンネル領域において前記コントロールゲート電極の下チャンネル領域と、前記ソース領域に隣接する前記第2プログラミングゲート電極の下チャンネル領域との間のポテンシャル障壁の高さが低くなり、前記低くなったポテンシャル障壁により前記ソース領域から電子が注入される第1正のフィードバックループ (positive feedback loop) が発生し、電流が流れる前記オン状態となることを特徴とする、請求項13に記載の汎用ロジックメモリセル。

【請求項15】

前記複数の三重ゲートシリコン素子のそれぞれは、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下チャンネル領域が、前記第2チャンネルモードで動作する場合、前記印加されるコントロールゲート電圧 (V_{CG}) のレベルが、電流が急激に増加するときの電圧であるラッチアップ電圧よりも高いレベルである場合にオフ状態と決定され、前記印加されるコントロールゲート電圧 (V_{CG}) のレベルが前記ラッチアップ電圧よりも低いレベルである場合にオン状態と決定されることを特徴とする、請求項1に記載の汎用ロジックメモリセル。

【請求項16】

前記複数の三重ゲートシリコン素子のそれぞれは、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下チャンネル領域が、前記第2チャンネルモードで動作する場合、前記印加されるコントロール電圧 (V_{CG}) のレベルが前記ラッチアップ電圧よりも低いレベルに減少すると、前記チャンネル領域において前記コントロールゲート電極の下チャンネル領域と、前記ドレイン領域に隣接する前記第1プログラミングゲート電極の下チャンネル領域との間のポテンシャル障壁の高さが低くなり、前記低くなったポテンシャル障壁により前記ドレイン領域から正孔が注入される第2正のフィードバックループ (positive feedback loop) が発生し、電流が流れる前記オン状態となることを特徴とする、請求項15に記載の汎用ロジックメモリセル。

【発明の詳細な説明】

【技術分野】

【0001】

〔関連出願との相互参照〕

本出願は、2023年12月26日付の韓国特許出願第10-2023-0191705号に基づく優先権の利益を主張し、当該韓国特許出願の文献に開示された全ての内容は

10

20

30

40

50

本明細書の一部として組み込まれる。

【0002】

本発明は、三重ゲートシリコン素子で構成された汎用ロジックメモリセルに関し、より詳細には、正のフィードバックループ（positive feedback loop）で駆動する三重ゲートシリコン素子を用いて3進法（ternary）論理演算機能及びメモリ機能を提供する汎用ロジックメモリセルを具現する技術に関する。

【背景技術】

【0003】

従来のフォンノイマン（von Neumann）ベースのコンピュータシステムは、プロセッサとメモリが分離され、バス（bus）を介してデータの伝送が行われる。

10

【0004】

しかし、コンピューティング性能の増加に伴い、プロセッサとメモリとのデータ処理速度の差によりボトルネック現象が発生するようになり、大容量データの処理に限界を見せ始めている。

【0005】

言い換えると、半導体産業の革命的な発展であるフォンノイマンベースのシステムは、現代のコンピュータの統合密度と性能を向上させたが、プロセッサとメモリ階層構造との間の物理的な分離によって、多くのエネルギーが消耗され、データの伝送及び待機時間が長いという欠点がある。

【0006】

20

4次産業革命後、5G通信標準、モノのインターネット（IoT）、人工知能（AI）のようなデータ集約的なアプリケーションの増加を考慮すると、新しいコンピューティングパラダイムは、大規模のデータ処理要求事項に必須である。

【0007】

上述した問題を解決するために、演算機能と記憶機能を融合したロジックメモリ技術に対する研究が集中及び加速化されている。

【0008】

ロジックメモリ技術は、プロセッサの演算機能とメモリの記憶機能を同じ空間で行うので、データの伝送時に発生する遅延時間及び電力消費を減少させ、システムの集積度を大幅に向上させることができる。

30

【0009】

従来のロジックメモリ技術は、揮発性メモリ素子に該当するSRAM（static random access memory）、DRAM（dynamic RAM）と、不揮発性メモリ素子に該当するReRAM（resistive RAM）、MRAM（magnetoresistive RAM）、PCRAM（phase-change RAM）などに基づいて活発に研究されてきた。

【0010】

揮発性メモリ素子ベースのロジックメモリ技術の場合、安定した動作のために多数のトランジスタが必要であるため、全体面積と電力消費が高いという限界が存在する。

【0011】

40

また、不揮発性メモリ素子ベースのロジックメモリ技術の場合、非シリコン物質を使用するため複雑な工程過程が要求され、低い素子均一性及び安定性により実用化され難い。

【0012】

また、既に研究されたロジックメモリ技術は、一つのセルで全ての基本CMOS論理演算を具現することができず、論理演算によって個別的な回路及び配線が要求されることによって、低い集積度を有する。

【0013】

そのため、シリコンベースのCMOS工程を活用して作製可能であり、一つのセル内で全ての基本ロジック演算を行い、その値を格納する汎用ロジックメモリセル技術の開発が必要な状況である。

50

【0014】

従来のロジックメモリ技術は、揮発性メモリ素子であるDRAM (dynamic random access memory)、SRAM (static RAM) と、不揮発性メモリ素子であるPRAM (phase-change RAM)、ReRAM (resistive RAM)、MRAM (magnetoresistive RAM) などの様々なメモリで研究されてきた。

【0015】

しかし、これらは、nチャネルとpチャネルを定義することができないため、既存のCMOS論理演算に適用するのに困難が存在する。

【0016】

特に、不揮発性メモリ素子ベースのロジックメモリ技術は、ほとんど、シリコンベースのCMOS工程ではない新しい工程過程が必要であり、低い素子均一性及び信頼性により実用化が難しい。

【0017】

また、既存のCMOS二進論理システムの情報密度の限界を克服するために、2つよりも多くの論理状態を有する多値論理システムが様々な素子で研究されているが、共通して素子に流れる漏れ電流を用いるため、高い電力を消耗するという問題がある。

【0018】

特に、トンネリング原理ベースの負性微分抵抗 (NDR)、負性微分トランスコンダクタンス (NDT)、量子ドット (QD) などを用いた素子は、信頼性、動作温度に制限があるため、多値論理システムに適用するのに困難が存在する。

【0019】

これによって、従来の2進論理演算方法は、相対的に集積度及び情報密度を向上させるのに限界が存在する。

【発明の概要】

【発明が解決しようとする課題】

【0020】

本発明は、正のフィードバックループ (positive feedback loop) で駆動する三重ゲートシリコン素子を用いて3進法論理演算機能及びメモリ機能を提供する汎用ロジックメモリセルを具現することを目的とする。

【0021】

本発明は、三重ゲートシリコン素子を用いて単一の構造で全ての3進法の基本論理演算を行い、演算結果を記憶する汎用ロジックメモリセルを具現することを目的とする。

【0022】

本発明は、既存のCMOS工程を適用したシリコンベースのフィードバックメモリ素子である三重ゲートシリコン素子を活用して汎用ロジックメモリセルを具現することを目的とする。

【0023】

本発明は、論理演算と格納機能の融合を通じて、データボトルネック現象による処理速度及び集積化の限界を改善することを目的とする。

【0024】

本発明は、チャネルモード再構成特性を用いて、構造の変更及び外部バイアスなしに論理演算値を維持する優れたメモリ特性で待機電力効率を向上させることを目的とする。

【課題を解決するための手段】

【0025】

本発明の一実施例に係る汎用ロジックメモリセルは、複数の三重ゲートシリコン素子を用いて第1ネットワーク素子及び第2ネットワーク素子を含み、前記複数の三重ゲートシリコン素子のそれぞれは、ドレイン領域、チャネル領域、ソース領域を含み、前記ドレイン領域及び前記ソース領域に供給電圧が印加され、前記チャネル領域上で第1及び第2プログラミングゲート電極及びコントロールゲート電極が形成されたゲート領域を含み、前

10

20

30

40

50

記第1及び第2プログラミングゲート電極を介して印加されるプログラム電圧 V_{PG} のレベルに応じて、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下チャンネル領域が、第1チャンネルモード及び第2チャンネルモードのいずれか1つのチャンネルモードで動作し、前記コントロールゲート電極を介して印加されるコントロール電圧 V_{CG} のレベルに基づいて、オン状態 (on state) 及びオフ状態 (off state) のいずれか1つの状態に決定され、前記第1ネットワーク素子及び前記第2ネットワーク素子は、前記行われたいずれか1つのチャンネルモードで前記いずれか1つの状態によって正レベル、ゼロレベル及び負レベルのいずれか1つに出力電圧 V_{OUT} のレベルを決定することによって、3進法 (ternary) 論理演算機能及びメモリ機能を行うことができる。

10

【0026】

前記第1ネットワーク素子及び前記第2ネットワーク素子は、前記複数の三重ゲートシリコン素子のうち4つの三重ゲートシリコン素子のうち2つの三重ゲートシリコン素子のドレイン領域とソース領域が直列に接続された第1直列接続部と、残りの2つの三重ゲートシリコン素子のドレイン領域とソース領域が直列に接続された第2直列接続部との間の共通のドレイン領域が接続される第1並列接続部、及び共通のソース領域が接続される第2並列接続部で構成され、前記第1ネットワーク素子の第1並列接続部を介して前記共通電圧のうちドレイン電圧 V_{DD} が印加され、前記第2ネットワーク素子の第2並列接続部を介して前記共通電圧のうちソース電圧 V_{SS} が印加され、前記第1ネットワーク素子の第2並列接続部と前記第2ネットワーク素子の第1並列接続部とが接続される部分で前記いずれか1つとして出力電圧 V_{OUT} が測定され得る。

20

【0027】

前記第1ネットワーク素子が前記第2チャンネルモードで動作し、前記第2ネットワーク素子が前記第1チャンネルモードで動作すると、前記コントロール電圧 V_{CG} のレベルが負レベルである場合に前記出力電圧 V_{OUT} のレベルを正レベルと決定し、前記コントロール電圧 V_{CG} のレベルが正レベルである場合に前記出力電圧 V_{OUT} のレベルを負レベルと決定し、前記コントロール電圧 V_{CG} のレベルがゼロレベルである場合に前記出力電圧 V_{OUT} のレベルをゼロレベルと決定する前記3進法論理演算機能を行うことができる。

【0028】

前記第1ネットワーク素子が前記第1チャンネルモードで動作し、前記第2ネットワーク素子が前記第2チャンネルモードで動作すると、前記コントロール電圧 V_{CG} のレベルが負レベルである場合に前記出力電圧 V_{OUT} のレベルを負レベルと決定し、前記コントロール電圧 V_{CG} のレベルが正レベルである場合に前記出力電圧 V_{OUT} のレベルを正レベルと決定し、前記コントロール電圧 V_{CG} のレベルがゼロレベルである場合に前記出力電圧 V_{OUT} のレベルをゼロレベルと決定する前記3進法論理演算機能を行うことができる。

30

【0029】

前記第1ネットワーク素子が前記第2チャンネルモードで動作し、前記第2ネットワーク素子が前記第1チャンネルモードで動作し、前記コントロール電圧 V_{CG} のうち第1コントロール電圧 V_{IN1} は前記第1ネットワーク素子の左側及び前記第2ネットワーク素子の上側に印加され、前記コントロール電圧 V_{CG} のうち第2コントロール電圧 V_{IN2} は前記第1ネットワーク素子の右側及び前記第2ネットワーク素子の下側に印加され、前記第1コントロール電圧 V_{IN1} 及び前記第2コントロール電圧 V_{IN2} のレベルのいずれか1つのレベルが負レベルである場合に、前記出力電圧 V_{OUT} のレベルを正レベルと決定し、前記第1コントロール電圧 V_{IN1} 及び前記第2コントロール電圧 V_{IN2} のレベルの両方が正レベルである場合に、前記出力電圧 V_{OUT} のレベルを負レベルと決定し、前記第1コントロール電圧 V_{IN1} 及び前記第2コントロール電圧 V_{IN2} のレベルの両方がゼロレベルであるか、または、いずれか1つのレベルはゼロレベルであり、他の1つのレベルは正レベルである場合に、前記出力電圧 V_{OUT} のレベルをゼロレベルと決定する前記3進法論理演算機能を行うことができる。

40

【0030】

50

10

10

20

20

30

40

50

の下側に印加され、前記第1コントロール電圧 V_{IN1} 及び前記第2コントロール電圧 V_{IN2} のレベルが同一に負レベルまたは正レベルである場合に、前記出力電圧 V_{OUT} のレベルが正レベルと決定され、前記第1コントロール電圧 V_{IN1} 及び前記第2コントロール電圧 V_{IN2} のレベルが相反するように負レベルまたは正レベルである場合に、前記出力電圧 V_{OUT} のレベルが負レベルと決定され、前記第1コントロール電圧 V_{IN1} 及び前記第2コントロール電圧 V_{IN2} のいずれか1つのレベルがゼロレベルである場合に、前記出力電圧 V_{OUT} のレベルをゼロレベルと決定する前記3進法論理演算機能を行うことができる。

【0034】

前記第1ネットワーク素子の左上側は前記第2チャンネルモードで動作し、前記第1ネットワーク素子の右上側は前記第1チャンネルモードで動作し、前記第1ネットワーク素子の左下側は前記第1チャンネルモードで動作し、前記第1ネットワーク素子の右下側は前記第2チャンネルモードで動作し、前記第2ネットワーク素子の左側は前記第1チャンネルモードで動作し、前記第2ネットワーク素子の右側は前記第2チャンネルモードで動作し、前記コントロール電圧 V_{CG} のうち第1コントロール電圧 V_{IN1} は前記第1ネットワーク素子及び前記第2ネットワーク素子の左側に印加され、前記コントロール電圧 V_{CG} のうち第2コントロール電圧 V_{IN2} は前記第1ネットワーク素子及び前記第2ネットワーク素子の右側に印加され、前記第1コントロール電圧 V_{IN1} 及び前記第2コントロール電圧 V_{IN2} のレベルの両方が正レベルである場合に、前記出力電圧 V_{OUT} のレベルを負レベルと決定し、前記第1コントロール電圧 V_{IN1} 及び前記第2コントロール電圧 V_{IN2} のレベルの両方が負レベルである場合に、前記出力電圧 V_{OUT} のレベルを負レベルと決定し、前記第1コントロール電圧 V_{IN1} 及び前記第2コントロール電圧 V_{IN2} のレベルが相反するように負レベルまたは正レベルである場合に、前記出力電圧 V_{OUT} のレベルを正レベルとして出力し、前記第1コントロール電圧 V_{IN1} 及び前記第2コントロール電圧 V_{IN2} のレベルのいずれか1つでもゼロレベルであれば、前記出力電圧 V_{OUT} のレベルをゼロレベルと決定する前記3進法論理演算機能を行うことができる。

【0035】

前記ドレイン領域はpドープ状態であり、前記ソース領域はnドープ状態であり、前記チャンネル領域は真性(intrinsic)状態であり、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下にチャンネル領域は、前記プログラム電圧 V_{PG} のレベルが正レベルである場合に、前記第1チャンネルモードに該当するnチャンネルとして動作し、前記プログラム電圧 V_{PG} のレベルが負レベルである場合に、前記第2チャンネルモードに該当するpチャンネルとして動作することができる。

【0036】

前記ドレイン領域に印加されるドレイン電圧 V_{DD} 、前記ソース領域に印加されるソース電圧 V_{SS} 、前記プログラム電圧 V_{PG} 及び前記コントロール電圧 V_{CG} がゼロレベルで印加される場合に、前記出力電圧 V_{OUT} のレベルを維持して前記メモリ機能を行うことができる。

【0037】

前記複数の三重ゲートシリコン素子のそれぞれは、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下にチャンネル領域が、前記第1チャンネルモードで動作する場合、前記印加されるコントロールゲート電圧 V_{CG} のレベルが、電流が急激に増加するときの電圧であるラッチアップ電圧よりも高いレベルである場合にオン状態と決定され、前記印加されるコントロールゲート電圧 V_{CG} のレベルが前記ラッチアップ電圧よりも低いレベルである場合にオフ状態と決定され得る。

【0038】

前記複数の三重ゲートシリコン素子のそれぞれは、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下にチャンネル領域が、前記第1チャンネルモードで動作する場合、前記印加されるコントロール電圧 V_{CG} のレベルが、前記ラッチアップ電圧よりも高いレベルに増加すると、前記チャンネル領域において前記コントロールゲート電極

の下チャンネル領域と、前記ソース領域に隣接する前記第2プログラミングゲート電極の下チャンネル領域との間のポテンシャル障壁の高さが低くなり、前記低くなったポテンシャル障壁により前記ソース領域から電子が注入される第1正のフィードバックループ (positive feedback loop) が発生し、電流が流れる前記オン状態となり得る。

【0039】

前記複数の三重ゲートシリコン素子のそれぞれは、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下チャンネル領域が、前記第2チャンネルモードで動作する場合、前記印加されるコントロールゲート電圧 V_{CG} のレベルが、電流が急激に増加するときの電圧であるラッチアップ電圧よりも高いレベルである場合にオフ状態と決定され、前記印加されるコントロールゲート電圧 V_{CG} のレベルが前記ラッチアップ電圧よりも低いレベルである場合にオン状態と決定され得る。

10

【0040】

前記複数の三重ゲートシリコン素子のそれぞれは、前記チャンネル領域において前記第1及び第2プログラミングゲート電極の下チャンネル領域が、前記第2チャンネルモードで動作する場合、前記印加されるコントロール電圧 V_{CG} のレベルが前記ラッチアップ電圧よりも低いレベルに減少すると、前記チャンネル領域において前記コントロールゲート電極の下チャンネル領域と、前記ドレイン領域に隣接する前記第1プログラミングゲート電極の下チャンネル領域との間のポテンシャル障壁の高さが低くなり、前記低くなったポテンシャル障壁により前記ドレイン領域から正孔が注入される第2正のフィードバックループ (positive feedback loop) が発生し、電流が流れる前記オン状態となり得る。

20

【発明の効果】

【0041】

本発明は、正のフィードバックループ (positive feedback loop) で駆動する三重ゲートシリコン素子を用いて3進法論理演算機能及びメモリ機能を提供する汎用ロジックメモリセルを具現することができる。

【0042】

本発明は、三重ゲートシリコン素子を用いて単一の構造で全ての3進法の基本論理演算を行い、演算結果を記憶する汎用ロジックメモリセルを具現することができる。

30

【0043】

本発明は、既存のCMOS工程を適用したシリコンベースのフィードバックメモリ素子である三重ゲートシリコン素子を活用して汎用ロジックメモリセルを具現することができる。

【0044】

本発明は、論理演算と格納機能の融合を通じて、データボトルネック現象による処理速度及び集積化の限界を改善することができる。

【0045】

本発明は、チャンネルモード再構成特性を用いて、構造の変更及び外部バイアスなしに論理演算値を維持する優れたメモリ特性で待機電力効率を向上させることができる。

40

【図面の簡単な説明】

【0046】

【図1A】本発明の一実施例に係る汎用ロジックメモリセルを構成する三重ゲートシリコン素子を説明する図である。

【図1B】本発明の一実施例に係る汎用ロジックメモリセルを構成する三重ゲートシリコン素子を説明する図である。

【図2A】本発明の一実施例に係る三重ゲートシリコン素子の動作原理を説明する図である。

【図2B】本発明の一実施例に係る三重ゲートシリコン素子の動作原理を説明する図である。

50

【図 2 C】本発明の一実施例に係る三重ゲートシリコン素子の動作原理を説明する図である。

【図 3】本発明の一実施例に係る汎用ロジックメモリセルを説明する図である。

【図 4 A】本発明の一実施例に係る汎用ロジックメモリセルの T N O T ゲートの動作を説明する図である。

【図 4 B】本発明の一実施例に係る汎用ロジックメモリセルの T Y E S ゲートの動作を説明する図である。

【図 5 A】本発明の一実施例に係る汎用ロジックメモリセルの T N A N D ゲートの動作を説明する図である。

【図 5 B】本発明の一実施例に係る汎用ロジックメモリセルの T N O R ゲートの動作を説明する図である。 10

【図 6 A】本発明の一実施例に係る汎用ロジックメモリセルの T A N D ゲートの動作を説明する図である。

【図 6 B】本発明の一実施例に係る汎用ロジックメモリセルの T O R ゲートの動作を説明する図である。

【図 7 A】本発明の一実施例に係る汎用ロジックメモリセルの T X N O R ゲートの動作を説明する図である。

【図 7 B】本発明の一実施例に係る汎用ロジックメモリセルの T X O R ゲートの動作を説明する図である。

【発明を実施するための形態】 20

【0047】

以下、本文書の様々な実施例が添付の図面を参照して記載される。

【0048】

実施例及びこれに使用された用語は、本明細書に記載された技術を特定の実施形態に対して限定しようとするものではなく、当該実施形態の様々な変更、均等物、及び／又は代替物を含むものと理解しなければならない。

【0049】

以下で様々な実施例を説明するにおいて、関連する公知の機能又は構成についての具体的な説明が発明の要旨を不明瞭にする可能性があるとは判断される場合には、その詳細な説明を省略する。 30

【0050】

そして、後述する用語は、様々な実施例における機能を考慮して定義された用語であって、これは、使用者、運用者の意図又は慣例などによって変わり得る。したがって、その定義は、本明細書全般にわたる内容に基づいて行われるべきである。

【0051】

図面の説明に関連して、類似の構成要素に対しては類似の参照符号が使用され得る。

【0052】

単数の表現は、文脈上明らかに別の意味を示すものでない限り、複数の表現を含むことができる。

【0053】 40

本文書において、「A 又は B」又は「A 及び／又は B のうちの少なくとも 1 つ」などの表現は、共に並べられた項目の全ての可能な組み合わせを含むことができる。

【0054】

「第 1」、「第 2」、「第一」、又は「第二」などの表現は、当該構成要素を、順序又は重要度に関係なく修飾することができ、一つの構成要素を他の構成要素と区分するために用いられるだけで、当該構成要素を限定しない。

【0055】

ある（例：第 1）構成要素が他の（例：第 2）構成要素に「（機能的に又は通信的に）連結されて」いるとか、「接続されて」いると言及された際には、前記ある構成要素が前記他の構成要素に直接的に連結されるか又は別の構成要素（例：第 3 構成要素）を介して 50

連結され得る。

【0056】

本明細書において、「～するように構成された（又は設定された）（*configured to*）」は、状況によって、例えば、ハードウェア的又はソフトウェア的に「～に適した」、「～する能力を有する」、「～するように変更された」、「～するように作られた」、「～ができる」又は「～するように設計された」と相互互換的に（*interchangeably*）使用され得る。

【0057】

ある状況では、「～するように構成された装置」という表現は、その装置が他の装置又は部品と共に「～することができる」ことを意味し得る。

10

【0058】

例えば、文句「A、B、及びCを行うように構成された（又は設定された）プロセッサ」は、当該動作を行うための専用プロセッサ（例：エンベデッドプロセッサ）、又はメモリ装置に格納された1つ以上のソフトウェアプログラムを実行することによって、当該動作を行うことができる汎用プロセッサ（例：CPU又はアプリケーションプロセッサ）を意味することができる。

【0059】

また、「又は」という用語は、排他的論理和「*exclusive or*」よりは、包含的論理和「*inclusive or*」を意味する。

【0060】

すなわち、別に言及しない限り、又は文脈から明らかでない限り、「xがa又はbを用いる」という表現は、包含的な自然順列（*natural inclusive permutations*）のいずれか1つを意味する。

20

【0061】

以下で使用される「...部」、「...器」などの用語は、少なくとも1つの機能や動作を処理する単位を意味し、これは、ハードウェアやソフトウェア、または、ハードウェアとソフトウェアの結合で具現され得る。

【0062】

図1A及び図1Bは、本発明の一実施例に係る汎用ロジックメモリセルを構成する三重ゲートシリコン素子を説明する図である。

30

【0063】

図1Aは、本発明の一実施例に係る汎用ロジックメモリセルを構成する三重ゲートシリコン素子の構造を例示する。

【0064】

図1Aを参照すると、本発明の一実施例に係る三重ゲートシリコン素子100は、ドレイン領域101、チャネル領域102、ソース領域103及びゲート領域を含み、ゲート領域は、ゲート絶縁膜104上に形成される第1及び第2プログラミングゲート電極106及びコントロールゲート電極105を含む。

【0065】

一例として、ドレイン領域101には、ドレイン電圧を印加するためにドレイン電極が接続され、ソース領域103には、ソース電圧を印加するためのソース電極が接続形成され得る。

40

【0066】

本発明の一実施例によれば、三重ゲートシリコン素子100は、*p-i-n*ナノ構造体であるドレイン領域101、チャネル領域102及びソース領域103を含む。

【0067】

一例として、ドレイン領域101は*p*ドーパ状態であり、ソース領域103は*n*ドーパ状態であり、チャネル領域102は真性（*intrinsic*）状態であってもよい。

【0068】

チャネル領域102において第1及び第2プログラミングゲート電極106の下

50

ネル領域は、プログラム電圧 V_{PG} のレベルが正レベルである場合に、第1チャンネルモードに該当する n チャンネルとして動作し、プログラム電圧 V_{PG} のレベルが負レベルである場合に、第2チャンネルモードに該当する p チャンネルとして動作することができる。

【0069】

三重ゲートシリコン素子100は、複数で構成されて汎用ロジックメモリセルをなすことができる。

【0070】

すなわち、三重ゲートシリコン素子100は、複数で構成されて汎用ロジックメモリセルを構成するが、複数のうちの一部が第1ネットワーク素子で構成され、一部が第2ネットワーク素子で構成され得る。

【0071】

三重ゲートシリコン素子100は、第1及び第2プログラミングゲート電極106を介して印加されるプログラム電圧 V_{PG} のレベルに応じて、チャンネル領域において第1及び第2プログラミングゲート電極106の下のチャンネル領域が、第1チャンネルモード及び第2チャンネルモードのいずれか1つのチャンネルモードで動作することができる。

【0072】

また、三重ゲートシリコン素子100は、コントロールゲート電極を介して印加されるコントロール電圧 V_{CG} のレベルに基づいて、オン状態 (on state) 及びオフ状態 (off state) のいずれか1つの状態に決定され得る。

【0073】

したがって、汎用ロジックメモリセルは、既に行われたいずれか1つのチャンネルモードでいずれか1つの状態によって変化する出力電圧 V_{OUT} のレベルに基づいて論理演算機能及びメモリ機能を行うことができる。

【0074】

すなわち、第1ネットワーク素子及び前記第2ネットワーク素子が、既に行われたいずれか1つのチャンネルモードでいずれか1つの状態によって正レベル、ゼロレベル及び負レベルのいずれか1つに出力電圧 V_{OUT} のレベルを決定することによって、3進法 (ternary) 論理演算機能及びメモリ機能を行うことができる。

【0075】

例えば、第1及び第2プログラミングゲート電極106は、電氣的に接続されているので、一度に同じプログラム電圧 V_{PG} が印加され得る。

【0076】

図1Bは、本発明の一実施例に係る汎用ロジックメモリセルの動作状態と関連する回路記号を例示する。

【0077】

図1Bを参照すると、本発明の一実施例に係る回路記号111は、三重ゲートシリコン素子のチャンネル領域が第1チャンネルモードで動作して n チャンネルとして動作する場合の回路記号を例示する。

【0078】

一例として、回路記号110は、三重ゲートシリコン素子のチャンネル領域が第2チャンネルモードで動作して p チャンネルとして動作する場合の回路記号を例示する。

【0079】

回路記号110及び回路記号111では、ドレイン領域、チャンネル領域、ソース領域及びゲート領域を含むナノ構造体において、ゲート領域に第1及び第2プログラミングゲート電極及びコントロールゲート電極が形成されて、プログラミングゲート端子 PG 及びコントロールゲート端子 CG が接続され、ドレイン領域にドレイン電極が形成されて、ドレイン端子 D が接続され、ソース領域にソース電極が形成されて、ソース端子 S が接続される構造を示す。

【0080】

回路記号111は、チャンネルモード状態領域を通じて、三重ゲートシリコン素子が第1

10

20

30

40

50

チャンネルモード状態であることを示す。

【0081】

言い換えると、回路記号111は、チャンネルモード状態領域をソリッド形態で示すことで、三重ゲートシリコン素子がnチャンネルとして動作中であることを示すことができる。

【0082】

回路記号110は、チャンネルモード状態領域を通じて、三重ゲートシリコン素子が第2チャンネルモード状態であることを示す。

【0083】

回路記号110は、チャンネルモード状態領域を空(empty)の形態で示すことで、三重ゲートシリコン素子がpチャンネルとして動作中であることを示すことができる。

10

【0084】

例えば、三重ゲートシリコン素子は、トリプルゲートフィードバック電界効果素子と称することができる。

【0085】

図2A乃至図2Cは、本発明の一実施例に係る三重ゲートシリコン素子の動作原理を説明する図である。

【0086】

図2Aは、本発明の一実施例に係る三重ゲートシリコン素子がpチャンネルとして動作する場合の動作原理を例示する。

【0087】

20

図2Aを参照すると、本発明の一実施例に係る三重ゲートシリコン素子200は、ドレイン端子を介して正の電圧が印加され、プログラミングゲート端子からプログラム電圧のレベルが負レベルに該当する負の電圧が印加された場合に、チャンネル領域においてプログラミングゲート電極PGの下チャンネル領域は、pチャンネルにプログラミングされてpチャンネルとして動作する。

【0088】

本発明の一実施例に係る三重ゲートシリコン素子200がpチャンネルとして動作する場合の動作状態は、コントロールゲート端子を介して印加されるコントロール電圧のレベルが、電流が急激に増加するときの電圧であるラッチアップ電圧よりも高いレベルである場合にオフ状態と決定され、印加されるコントロール電圧のレベルがラッチアップ電圧よりも低いレベルである場合にオン状態と決定される。

30

【0089】

一例として、三重ゲートシリコン素子は、コントロールゲート端子を介して印加されるコントロール電圧のレベルに基づいて、オン状態またはオフ状態に決定される。

【0090】

三重ゲートシリコン素子のオン及びオフ動作状態は、オフ状態に該当するエネルギーバンド201及びオン状態に該当するエネルギーバンド202を通じて、追加で説明することができる。

【0091】

本発明の一実施例に係る三重ゲートシリコン素子がpチャンネルとして動作する場合に、コントロール電圧のレベルに基づいてオン状態であるときのエネルギーバンド202、オフ状態であるときのエネルギーバンド201を確認することができる。

40

【0092】

エネルギーバンド201及びエネルギーバンド202によれば、チャンネル領域において第1及び第2プログラミングゲート電極の下チャンネル領域が、pチャンネルモードに該当する第2チャンネルモードで動作する場合、コントロール電圧 V_{CG} のレベルがラッチアップ電圧よりも低いレベルに減少すると、チャンネル領域においてコントロールゲート電極の下チャンネル領域と、ドレイン領域に隣接する第1プログラミングゲート電極の下チャンネル領域との間のポテンシャル障壁の高さが低くなり、低くなったポテンシャル障壁によりドレイン領域から正孔が注入される第2正のフィードバックループ(positive

50

feedback loop)が発生し、電流が流れるオン状態となる。

【0093】

すなわち、三重ゲートシリコン素子は、第2正のフィードバックループが発生して、エネルギーバンド201からエネルギーバンド202に切り替わることができる。

【0094】

電荷の注入と蓄積が繰り返されて正のフィードバックループが発生し、電流が流れるオン状態に切り替わることを確認することができる。

【0095】

例えば、第2正のフィードバックループは、チャンネル領域において正孔が多数キャリア(majority carrier)となる正のフィードバックループであり得る。

【0096】

図2Bは、本発明の一実施例に係る三重ゲートシリコン素子がnチャンネルとして動作する場合の動作原理を例示する。

【0097】

図2Bを参照すると、本発明の一実施例に係る三重ゲートシリコン素子210は、ソース端子を介して負の電圧が印加され、プログラミングゲート端子からプログラム電圧のレベルが正レベルに該当する正の電圧が印加された場合に、チャンネル領域においてプログラミングゲート電極PGの下のチャンネル領域は、nチャンネルにプログラミングされてnチャンネルとして動作する。

【0098】

一例として、三重ゲートシリコン素子は、コントロールゲート端子を介して印加されるコントロール電圧のレベルに基づいて、オン状態またはオフ状態に決定される。

【0099】

本発明の一実施例に係る三重ゲートシリコン素子210がnチャンネルとして動作する場合に動作状態は、コントロールゲート端子を介して印加されるコントロール電圧のレベルが、電流が急激に増加するときの電圧であるラッチアップ電圧よりも高いレベルである場合にオン状態と決定され、印加されるコントロールゲート電圧 V_{CG} のレベルがラッチアップ電圧よりも低いレベルである場合にオフ状態と決定され得る。

【0100】

本発明の一実施例に係る三重ゲートシリコン素子がnチャンネルとして動作する場合に、コントロール電圧のレベルに基づいてオフ状態であるときのエネルギーバンド211を例示し、オン状態であるときのエネルギーバンド212を例示する。

【0101】

エネルギーバンド211及びエネルギーバンド212を参照すると、チャンネル領域において第1及び第2プログラミングゲート電極の下チャンネル領域が、nチャンネルモードに該当する第1チャンネルモードで動作する場合、コントロール電圧 V_{CG} のレベルがラッチアップ電圧よりも高いレベルに増加すると、チャンネル領域においてコントロールゲート電極の下チャンネル領域と、ソース領域に隣接する第2プログラミングゲート電極の下チャンネル領域との間のポテンシャル障壁の高さが低くなり、低くなったポテンシャル障壁によりソース領域から電子が注入される第1正のフィードバックループ(positive feedback loop)が発生し、電流が流れるオン状態となる。

【0102】

すなわち、三重ゲートシリコン素子は、第1正のフィードバックループが発生して、エネルギーバンド211からエネルギーバンド212に切り替わる。

【0103】

電荷の注入と蓄積が繰り返されて正のフィードバックループが発生し、電流が流れるオン状態に切り替わることを確認することができる。

【0104】

例えば、第1正のフィードバックループは、チャンネル領域において電子が多数キャリア(majority carrier)となる正のフィードバックループであり得る。

【0105】

図2Cは、本発明の一実施例に係る三重ゲートシリコン素子がnチャネル及びpチャネルとして動作する場合の第1及び第2正のフィードバックループと関連する動作を例示する。

【0106】

図2Cを参照すると、グラフ220は、三重ゲートシリコン素子のnチャネルモードの動作特性を示し、グラフ221は、三重ゲートシリコン素子のpチャネルモードの動作特性を示す。

【0107】

グラフ220は、nチャネルモードで動作する三重ゲートシリコン素子は、コントロールゲート電極に印加された電圧に応じてオン状態及びオフ状態を有する場合、電流が急激に増加するときの電圧であるラッチアップ電圧よりもコントロールゲート電圧が小さいと、ポテンシャル障壁によって電子と正孔の流れが遮断されてオフ状態を有する特徴、及び、コントロールゲート電圧が増加してラッチアップ電圧よりも大きくなると、ソース領域の電子がポテンシャル障壁を越えてチャネルに注入されて、ドレイン領域と隣接するポテンシャル井戸に蓄積され、ポテンシャル障壁の高さが低くなることを示す。

【0108】

これによって、ドレイン領域の正孔がチャネルに注入されて、ソース領域と隣接するポテンシャル井戸に蓄積され、ポテンシャル障壁の高さが低くなる。

【0109】

電荷の注入と蓄積が繰り返されて正のフィードバックループが発生し、電流が流れるオン状態となる。

【0110】

グラフ221は、pチャネルモードで動作する三重ゲートシリコン素子の場合、ラッチアップ電圧よりもコントロールゲート電圧が大きいと、ポテンシャル障壁によって電子と正孔の流れが遮断されてオフ状態となり、コントロールゲート電圧が減少してラッチアップ電圧よりも小さくなると、ドレイン領域の正孔がポテンシャル障壁を越えてチャネルに注入されて、ソース領域と隣接するポテンシャル井戸に蓄積され、ポテンシャル障壁の高さが低くなる特徴を示す。

【0111】

本発明の一実施例によれば、三重ゲートシリコン素子は、ゲート領域に印加されるコントロール電圧のレベルに応じて、第1正のフィードバックループまたは第2正のフィードバックループが形成され、これと共に、第1チャネルモード及び第2チャネルモードでオンまたはオフ状態が可変的に制御される素子であり得る。ここで、第1チャネルモードはnチャネルモードであり、第2チャネルモードはpチャネルモードである。

【0112】

また、三重ゲートシリコン素子は、チャネル領域のポテンシャル井戸に電荷キャリアが蓄積されて正のフィードバックループを形成しながらターンオンされるところ、これは、チャネル領域でデータを保存するメモリ機能として活用され得る。

【0113】

したがって、本発明は、既存のCMOS工程を適用したシリコンベースのフィードバックメモリ素子である三重ゲートシリコン素子を活用して汎用ロジックメモリセルを具現することができる。

【0114】

図3は、本発明の一実施例に係る汎用ロジックメモリセルを説明する図である。

【0115】

図3は、本発明の一実施例に係る複数の三重ゲートシリコン素子を用いて第1ネットワーク素子及び第2ネットワーク素子を含む汎用ロジックメモリセルの回路図を例示する。

【0116】

図3を参照すると、本発明の一実施例に係る汎用ロジックメモリセル300は、第1ネ

10

20

30

40

50

ットワーク素子 3 1 0 及び第 2 ネットワーク素子 3 1 1 で構成され、第 1 ネットワーク素子 3 1 0 及び第 2 ネットワーク素子 3 1 1 は、複数の三重ゲートシリコン素子 3 0 1 からなる。

【0 1 1 7】

より具体的には、第 1 ネットワーク素子 3 1 0 及び第 2 ネットワーク素子 3 1 1 は、4 つの三重ゲートシリコン素子のうち 2 つの三重ゲートシリコン素子のドレイン領域とソース領域が直列に接続された第 1 直列接続部と、残りの 2 つの三重ゲートシリコン素子のドレイン領域とソース領域が直列に接続された第 2 直列接続部との間の共通のドレイン領域が接続される第 1 並列接続部、及び共通のソース領域が接続される第 2 並列接続部で構成される。

10

【0 1 1 8】

第 1 ネットワーク素子 3 1 0 は、プルアップ (p u l l - u p) ネットワーク素子と称することができ、第 2 ネットワーク素子 3 1 1 は、プルダウン (p u l l - d o w n) ネットワーク素子と称することができる。

【0 1 1 9】

本発明の一実施例によれば、汎用ロジックメモリセル 3 0 0 は、3 進法 (t e r n a r y) 論理演算機能及びメモリ機能を行うことができる。

【0 1 2 0】

一例として、汎用ロジックメモリセル 3 0 0 は、正 (p o s i t i v e) レベル、ゼロ (z e r o) レベル及び負 (n e g a t i v e) レベルの入力に基づいて、正レベル、ゼロレベル及び負レベルの出力で 3 進法論理演算を行い、供給電圧、プログラムゲート電極を介して印加される電圧に該当する電圧、及び制御ゲート電極を介して印加される入力電圧を “ 0 ” に制御して、既に設定された電圧の状態を維持するメモリ機能を行う。

20

【0 1 2 1】

本発明の一実施例によれば、第 1 ネットワーク素子 3 1 0 及び第 2 ネットワーク素子 3 1 1 のそれぞれは、4 つの三重ゲートシリコン素子で構成され、上側、下側、左側及び右側として 2 つの三重ゲートシリコン素子に区分して称するか、または左上側、右上側、左下側及び右下側として 1 つの三重ゲートシリコン素子に区分して称することができる。

【0 1 2 2】

各位置に配列された三重ゲートシリコン素子は、第 1 チャネルモード及び第 2 チャネルモードのいずれか 1 つで選択的に駆動され得る。

30

【0 1 2 3】

上述した構成は、ネットワーク素子の配列によって変更可能であり、変更される接続構成によって異なって称されてもよい。

【0 1 2 4】

第 1 ネットワーク素子 3 1 0 は、第 1 ネットワーク素子 3 1 0 の第 1 並列接続部を介して、共通電圧のうちドレイン電圧 V_{DD} が印加される。

【0 1 2 5】

第 2 ネットワーク素子 3 1 1 は、第 2 ネットワーク素子 3 1 1 の第 2 並列接続部を介して、共通電圧のうちソース電圧 V_{SS} が印加される。

40

【0 1 2 6】

本発明の一実施例に係る汎用ロジックメモリセル 3 0 0 は、第 1 ネットワーク素子 3 1 0 の第 2 並列接続部と第 2 ネットワーク素子 3 1 1 の第 1 並列接続部とが接続される部分で出力電圧 V_{OUT} が測定され得る。

【0 1 2 7】

汎用ロジックメモリセル 3 0 0 は、第 1 ネットワーク素子 3 1 0 及び第 2 ネットワーク素子 3 1 1 で構成され、三重ゲートシリコン素子 3 0 1 の動作状態によってドレイン電圧 V_{DD} とソース電圧 V_{SS} が出力電圧 V_{OUT} で測定される内容に基づいて論理演算を具現する。

【0 1 2 8】

50

本発明の一実施例に係る汎用ロジックメモリセル 300 は、複数の三重ゲートシリコン素子を用いる。

【0129】

複数の三重ゲートシリコン素子のそれぞれは、ドレイン領域、チャネル領域、ソース領域を含み、ドレイン領域及びソース領域に供給電圧が印加され、チャネル領域上で第1及び第2プログラミングゲート電極及びコントロールゲート電極が形成されたゲート領域を含む。

【0130】

また、複数の三重ゲートシリコン素子のそれぞれは、第1及び第2プログラミングゲート電極を介して印加されるプログラム電圧 V_{PG} のレベルに応じて、チャネル領域において第1及び第2プログラミングゲート電極の下のチャネル領域が、第1チャネルモード及び第2チャネルモードのいずれか1つのチャネルモードで動作し、コントロールゲート電極を介して印加されるコントロール電圧 V_{CG} のレベルに基づいて、オン状態 (on state) 及びオフ状態 (off state) のいずれか1つの状態に決定することができる。

【0131】

第1ネットワーク素子 310 及び第2ネットワーク素子 311 は、既に行われたいずれか1つのチャネルモードで既に決定されたいずれか1つの状態によって正レベル、ゼロレベル及び負レベルのいずれか1つに出力電圧 V_{OUT} のレベルを決定することによって、3進法 (ternary) 論理演算機能及びメモリ機能を行うことができる。

【0132】

3進法論理演算機能は、 $TNOT$ 、 YES 、 $TNAND$ 、 $TNOR$ 、 $TAND$ 、 TOR 、 $TXNOR$ 及び $TXOR$ ゲートと関連する論理演算機能である。

【0133】

したがって、本発明は、正のフィードバックループ (positive feedback loop) で駆動する三重ゲートシリコン素子を用いて3進法論理演算機能及びメモリ機能を提供する汎用ロジックメモリセルを具現することができる。

【0134】

また、本発明は、三重ゲートシリコン素子を用いて単一の構造で全ての3進法の基本論理演算を行い、演算結果を記憶する汎用ロジックメモリセルを具現することができる。

【0135】

図4Aは、本発明の一実施例に係る汎用ロジックメモリセルの $TNOT$ ゲートの動作を説明する図である。

【0136】

図4Aは、本発明の一実施例に係る汎用ロジックメモリセルの $TNOT$ ゲートの動作と関連して回路図及びタイミング図を例示する。

【0137】

図4Aを参照すると、本発明の一実施例に係る汎用ロジックメモリセル 400 は、プログラミングゲート端子 PG を介して印加されるプログラミング電圧に基づいて、第1ネットワーク素子を構成する三重ゲートシリコン素子が第2チャネルモードで動作し、第2ネットワーク素子を構成する三重ゲートシリコン素子が第1チャネルモードで動作する。

【0138】

このとき、汎用ロジックメモリセル 400 は、コントロールゲート端子 CG を介して印加される入力電圧 IN であるコントロール電圧 V_{CG} のレベルが負レベルである場合に、出力端子を介して測定される出力電圧 V_{OUT} のレベルが正 (positive) レベルであり、コントロール電圧 V_{CG} のレベルが正レベルである場合に、出力電圧 V_{OUT} のレベルが負 (negative) レベルである $TNOT$ ゲートの動作に該当する論理演算機能を行うことができる。

【0139】

また、汎用ロジックメモリセル 400 は、コントロール電圧 V_{CG} のレベルがゼロ (z

10

20

30

40

50

er o) レベルである場合に、出力電圧 V_{OUT} のレベルをゼロレベルと決定する、T N O T ゲートの動作に該当する論理演算機能を行うことができる。

【0140】

タイミング図 401 は、“-1” に該当する負レベルの入力電圧 V_N が印加されたとき、“1” に該当する正レベルの出力電圧 V_{UT} が論理演算されて出力されることを例示する。

【0141】

また、タイミング図 401 は、“1” に該当する正レベルの入力電圧 V_N が印加されたとき、“-1” に該当する負レベルの出力電圧 V_{UT} が論理演算されて出力されることを例示する。

【0142】

また、タイミング図 401 は、“0” に該当するゼロレベルの入力電圧 V_N が印加されたとき、“0” に該当するゼロレベルの出力電圧 V_{UT} が論理演算されて出力されることを例示する。

【0143】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_{IN} が除去されたときにも、演算した論理値を維持 (Hold) するメモリ機能を行うことを示す。

【0144】

例えば、供給電圧 V_{SUP} は、ドレイン電圧 V_{DD} 及びソース電圧 V_{SS} で構成され、プログラム電圧 V_{PG} は、n チャンネルに該当するプログラム電圧 V_{PG}^N 、及び p チャンネルに該当するプログラム電圧 V_{PG}^P で構成される。

【0145】

図 4 B は、本発明の一実施例に係る汎用ロジックメモリセルの T Y E S ゲートの動作を説明する図である。

【0146】

図 4 B は、本発明の一実施例に係る汎用ロジックメモリセルの T Y E S ゲートの動作と関連して回路図及びタイミング図を例示する。

【0147】

図 4 B を参照すると、本発明の一実施例に係る汎用ロジックメモリセル 410 は、プログラミングゲート端子 P G を介して印加されるプログラミング電圧に基づいて、第 1 ネットワーク素子を構成する三重ゲートシリコン素子が第 1 チャンネルモードで動作し、第 2 ネットワーク素子を構成する三重ゲートシリコン素子が第 2 チャンネルモードで動作する。

【0148】

このとき、汎用ロジックメモリセル 410 は、コントロールゲート端子 C G を介して印加される入力電圧 I N であるコントロール電圧 V_{CG} のレベルが正レベルである場合に、出力端子を介して測定される出力電圧 V_{OUT} のレベルが正レベルであり、コントロール電圧 V_{CG} のレベルが負レベルである場合に、出力電圧 V_{OUT} のレベルが負レベルである T Y E S ゲートの動作に該当する論理演算機能を行うことができる。

【0149】

また、汎用ロジックメモリセル 410 は、コントロール電圧 V_{CG} のレベルがゼロレベルである場合に、出力電圧 V_{OUT} のレベルをゼロレベルと決定する、T Y E S ゲートの動作に該当する論理演算機能を行うことができる。

【0150】

タイミング図 411 は、“-1” に該当する負レベルの入力電圧 V_N が印加されたとき、“-1” に該当する負レベルの出力電圧 V_{UT} が論理演算されて出力されることを例示する。

【0151】

また、タイミング図 411 は、“1” に該当する正レベルの入力電圧 V_N が印加されたとき、“1” に該当する正レベルの出力電圧 V_{UT} が論理演算されて出力されることを例示する。

10

20

30

40

50

【0152】

また、タイミング図411は、“0”に該当するゼロレベルの入力電圧 V_N が印加されたとき、“0”に該当するゼロレベルの出力電圧 V_{UT} が論理演算されて出力されることを例示する。

【0153】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_{IN} が除去されたときにも、演算した論理値を維持（Hold）するメモリ機能を行うことを示す。

【0154】

例えば、供給電圧 V_{SUP} は、ドレイン電圧 V_{DD} 及びソース電圧 V_{SS} で構成され、プログラム電圧 V_{PG} は、 n チャンネルに該当するプログラム電圧 V_{PG}^N 、及び p チャンネルに該当するプログラム電圧 V_{PG}^P で構成される。

10

【0155】

図5Aは、本発明の一実施例に係る汎用ロジックメモリセルのTNANDゲートの動作を説明する図である。

【0156】

図5Aは、本発明の一実施例に係る汎用ロジックメモリセルのTNANDゲートの動作と関連して回路図及びタイミング図を例示する。

【0157】

図5Aを参照すると、本発明の一実施例に係る汎用ロジックメモリセル500は、プログラミングゲート端子PGを介して印加されるプログラミング電圧に基づいて、第1ネットワーク素子を構成する三重ゲートシリコン素子が第2チャンネルモードで動作し、第2ネットワーク素子を構成する三重ゲートシリコン素子が第1チャンネルモードで動作する。

20

【0158】

また、汎用ロジックメモリセル500は、コントロール電圧 V_{CG} のうち第1コントロール電圧 $IN1$ が、第1ネットワーク素子の左側及び第2ネットワーク素子の右側に印加され、コントロール電圧 V_{CG} のうち第2コントロール電圧 $IN2$ は、第1ネットワーク素子の右側及び第2ネットワーク素子の左側に印加される。

【0159】

これによって、汎用ロジックメモリセル500は、第1コントロール電圧 $IN1$ 及び第2コントロール電圧 $IN2$ のレベルのいずれか1つのレベルが負レベルである場合に、出力電圧 V_{OUT} のレベルを正レベルと決定する。

30

【0160】

また、汎用ロジックメモリセル500は、第1コントロール電圧 $IN1$ 及び第2コントロール電圧 $IN2$ のレベルの両方が正レベルである場合に、出力電圧 V_{OUT} のレベルを負レベルと決定する、TNANDゲートの論理演算機能を行うことができる。

【0161】

また、汎用ロジックメモリセル500は、第1コントロール電圧 $IN1$ 及び第2コントロール電圧 $IN2$ のレベルの両方がゼロレベルであるか、または、いずれか1つのレベルはゼロレベルであり、他の1つのレベルは正レベルである場合に、出力電圧 V_{OUT} のレベルをゼロレベルと決定するTNANDゲートの論理演算機能を行うことによって、3進法論理演算機能を行うことができる。

40

【0162】

タイミング図501は、2つの入力電圧 V_{IN1} 、 V_{IN2} に対して、“-1”、“0”及び“1”の組み合わせに該当する入力電圧が印加されたとき、出力電圧 V_{UT} で“-1”、“0”及び“1”に該当する値が演算されることによって、3進法論理演算機能を行うことを示す。

【0163】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_{IN1} 、 V_{IN2} が除去されたときにも、演算した論理値を維持（Hold）するメモリ機能を行うことを示す。

【0164】

50

例えば、供給電圧 V_{SUP} は、ドレイン電圧 V_{DD} 及びソース電圧 V_{SS} で構成され、プログラム電圧 V_{PG} は、 n チャンネルに該当するプログラム電圧 V_{PG}^N 、及び p チャンネルに該当するプログラム電圧 V_{PG}^P で構成される。

【0165】

図5Bは、本発明の一実施例に係る汎用ロジックメモリセルのTNORゲートの動作を説明する図である。

【0166】

図5Bは、本発明の一実施例に係る汎用ロジックメモリセルのTNORゲートの動作と関連して回路図及びタイミング図を例示する。

【0167】

図5Bを参照すると、本発明の一実施例に係る汎用ロジックメモリセル510は、プログラミングゲート端子PGを介して印加されるプログラミング電圧に基づいて、第1ネットワーク素子を構成する三重ゲートシリコン素子が第2チャンネルモードで動作し、第2ネットワーク素子を構成する三重ゲートシリコン素子が第1チャンネルモードで動作する。

【0168】

また、汎用ロジックメモリセル510は、コントロール電圧 V_{CG} のうち第1コントロール電圧 $IN1$ が、第1ネットワーク素子の上側及び第2ネットワーク素子の左側に印加され、コントロール電圧 V_{CG} のうち第2コントロール電圧 $IN2$ は、第1ネットワーク素子の下側及び第2ネットワーク素子の右側に印加される。

【0169】

これによって、汎用ロジックメモリセル510は、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルのいずれか1つのレベルが正レベルである場合に、出力電圧 V_{OUT} のレベルを負レベルと決定する。

【0170】

また、汎用ロジックメモリセル510は、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルの両方が負レベルである場合に、出力電圧 V_{OUT} のレベルを正レベルと決定する。

【0171】

また、汎用ロジックメモリセル510は、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルの両方がゼロレベルであるか、または、いずれか1つのレベルはゼロレベルであり、他の1つのレベルは負レベルである場合に、出力電圧 V_{OUT} のレベルをゼロレベルと決定する、3進法論理演算機能のうちのTNOR演算を行う。

【0172】

タイミング図511は、2つの入力電圧 V_{IN1} 、 V_{IN2} に対して、“-1”、“0”及び“1”の組み合わせに該当する入力印加されたとき、出力電圧 V_{OUT} で“-1”、“0”及び“1”に該当する値が演算されることによって、3進法論理演算機能を行うことを示す。

【0173】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_{IN1} 、 V_{IN2} が除去されたときにも、演算した論理値を維持 (Hold) するメモリ機能を行うことを示す。

【0174】

例えば、供給電圧 V_{SUP} は、ドレイン電圧 V_{DD} 及びソース電圧 V_{SS} で構成され、プログラム電圧 V_{PG} は、 n チャンネルに該当するプログラム電圧 V_{PG}^N 、及び p チャンネルに該当するプログラム電圧 V_{PG}^P で構成される。

【0175】

図6Aは、本発明の一実施例に係る汎用ロジックメモリセルのTANDゲートの動作を説明する図である。

【0176】

図6Aは、本発明の一実施例に係る汎用ロジックメモリセルのTANDゲートの動作と関連して回路図及びタイミング図を例示する。

【0177】

図6Aを参照すると、本発明の一実施例に係る汎用ロジックメモリセル600は、プログラミングゲート端子PGを介して印加されるプログラミング電圧に基づいて、第1ネットワーク素子を構成する三重ゲートシリコン素子が第1チャンネルモードで動作し、第2ネットワーク素子を構成する三重ゲートシリコン素子が第2チャンネルモードで動作する。

【0178】

また、汎用ロジックメモリセル600は、コントロール電圧 V_{CG} のうち第1コントロール電圧 V_{IN1} が、第1ネットワーク素子の上側及び第2ネットワーク素子の左側に印加され、コントロール電圧 V_{CG} のうち第2コントロール電圧 V_{IN2} が、第1ネットワーク素子の下側及び第2ネットワーク素子の右側に印加される。

10

【0179】

これによって、汎用ロジックメモリセル600は、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルのいずれか1つのレベルが負レベルである場合に、出力電圧 V_{OUT} のレベルを負レベルと決定する論理演算を行う。

【0180】

また、汎用ロジックメモリセル600は、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルの両方が正レベルである場合に、出力電圧 V_{OUT} のレベルを正レベルと決定する。

【0181】

また、汎用ロジックメモリセル600は、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルの両方がゼロレベルであるか、または、いずれか1つのレベルはゼロレベルであり、他の1つのレベルは正レベルである場合に、出力電圧 V_{OUT} のレベルをゼロレベルと決定する3進法論理演算機能を行う。

20

【0182】

すなわち、汎用ロジックメモリセル600はTANDゲートの動作を行う。

【0183】

タイミング図601は、2つの入力電圧 V_{IN1} 、 V_{IN2} に対して、“-1”、“0”及び“1”の組み合わせに該当する入力印加されたとき、出力電圧 V_{OUT} で“-1”、“0”及び“1”に該当する値が演算されることによって、3進法論理演算機能を行うことを示す。

30

【0184】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_{IN1} 、 V_{IN2} が除去されたときにも、演算した論理値を維持(Hold)するメモリ機能を行うことを示す。

【0185】

例えば、供給電圧 V_{SUP} は、ドレイン電圧 V_{DD} 及びソース電圧 V_{SS} で構成され、プログラム電圧 V_{PG} は、nチャンネルに該当するプログラム電圧 V_{PG}^N 、及びpチャンネルに該当するプログラム電圧 V_{PG}^P で構成される。

【0186】

図6Bは、本発明の一実施例に係る汎用ロジックメモリセルのTORゲートの動作を説明する図である。

40

【0187】

図6Bは、本発明の一実施例に係る汎用ロジックメモリセルのTORゲートの動作と関連して回路図及びタイミング図を例示する。

【0188】

図6Bを参照すると、本発明の一実施例に係る汎用ロジックメモリセル610は、プログラミングゲート端子PGを介して印加されるプログラミング電圧に基づいて、第1ネットワーク素子を構成する三重ゲートシリコン素子が第1チャンネルモードで動作し、第2ネットワーク素子を構成する三重ゲートシリコン素子が第2チャンネルモードで動作する。

【0189】

また、汎用ロジックメモリセル610は、コントロール電圧 V_{CG} のうち第1コントロ

50

ール電圧 V_{IN1} が、第 1 ネットワーク素子の左側及び第 2 ネットワーク素子の上側に印加され、コントロール電圧 V_{CG} のうち第 2 コントロール電圧 V_{IN2} が、第 1 ネットワーク素子の右側及び第 2 ネットワーク素子の下側に印加される。

【0190】

これによって、汎用ロジックメモリセル 610 は、第 1 コントロール電圧 V_{IN1} 及び第 2 コントロール電圧 V_{IN2} のレベルのいずれか 1 つのレベルが正レベルである場合に、出力電圧 V_{OUT} のレベルを正レベルと決定する。

【0191】

また、汎用ロジックメモリセル 610 は、第 1 コントロール電圧 V_{IN1} 及び第 2 コントロール電圧 V_{IN2} のレベルの両方が負レベルである場合に、出力電圧 V_{OUT} のレベルを負レベルと決定する。

10

【0192】

また、汎用ロジックメモリセル 610 は、第 1 コントロール電圧 V_{IN1} 及び第 2 コントロール電圧 V_{IN2} のレベルの両方がゼロレベルであるか、または、いずれか 1 つのレベルはゼロレベルであり、他の 1 つのレベルは負レベルである場合に、出力電圧 V_{OUT} のレベルをゼロレベルと決定する 3 進法論理演算機能を行う。

【0193】

タイミング図 611 は、2 つの入力電圧 V_{IN1} 、 V_{IN2} に対して、“-1”、“0”及び“1”の組み合わせに該当する入力印加されたとき、出力電圧 V_{OUT} で“-1”、“0”及び“1”に該当する値が演算されることによって、3 進法論理演算機能と関連して TOR 論理演算を行うことを示す。

20

【0194】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_{IN1} 、 V_{IN2} が除去されたときにも、演算した論理値を維持 (Hold) するメモリ機能を行うことを示す。

【0195】

例えば、供給電圧 V_{SUP} は、ドレイン電圧 V_{DD} 及びソース電圧 V_{SS} で構成され、プログラム電圧 V_{PG} は、 n チャネルに該当するプログラム電圧 V_{PG}^N 、及び p チャネルに該当するプログラム電圧 V_{PG}^P で構成される。

【0196】

図 7A は、本発明の一実施例に係る汎用ロジックメモリセルの $TXNOR$ ゲートの動作を説明する図である。

30

【0197】

図 7A は、本発明の一実施例に係る汎用ロジックメモリセルの $TXNOR$ ゲートの動作と関連して回路図及びタイミング図を例示する。

【0198】

図 7A を参照すると、本発明の一実施例に係る汎用ロジックメモリセル 700 は、第 1 ネットワーク素子を構成する三重ゲートシリコン素子のうち左側が第 1 チャネルモードで動作し、右側が第 2 チャネルモードで動作し、第 2 ネットワーク素子を構成する三重ゲートシリコン素子のうち左上側が第 2 チャネルモードで動作し、右上側が第 1 チャネルモードで動作し、左下側が第 1 チャネルモードで動作し、右下側が第 2 チャネルモードで動作する。

40

【0199】

本発明の一実施例に係る汎用ロジックメモリセル 700 は、コントロール電圧 V_{CG} のうち第 1 コントロール電圧 V_{IN1} が、前記第 1 ネットワーク素子及び前記第 2 ネットワーク素子の両側に印加され、コントロール電圧 V_{CG} のうち第 2 コントロール電圧 V_{IN2} が、第 1 ネットワーク素子及び第 2 ネットワーク素子の両側に印加される。

【0200】

本発明の一実施例によれば、汎用ロジックメモリセル 700 は、第 1 コントロール電圧 V_{IN1} 及び第 2 コントロール電圧 V_{IN2} のレベルの両方が負レベルである場合、出力電圧 V_{OUT} のレベルを正レベルとして出力する。

50

【0201】

汎用ロジックメモリセル700は、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルの両方が正レベルである場合、出力電圧 V_{OUT} のレベルを正レベルとして出力する。

【0202】

また、汎用ロジックメモリセル700は、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルのいずれか1つのレベルがゼロレベルである場合、出力電圧 V_{OUT} のレベルを負レベルとして出力する。

【0203】

また、汎用ロジックメモリセル700は、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルのいずれか1つでもゼロレベルであれば、出力電圧 V_{OUT} のレベルをゼロレベルと決定する3進法論理演算機能を行うことができる。

10

【0204】

タイミング図701は、2つの入力電圧 V_{IN1} 、 V_{IN2} に対して、“-1”、“0”及び“1”の組み合わせに該当する入力印加されたとき、出力電圧 V_{OUT} で“-1”、“0”及び“1”に該当する値が演算されることによって、3進法論理演算機能と関連してTXNOR論理演算を行うことを示す。

【0205】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_{IN1} 、 V_{IN2} が除去されたときにも、演算した論理値を維持(Hold)するメモリ機能を行うことを示す。

20

【0206】

例えば、供給電圧 V_{SUP} は、ドレイン電圧 V_{DD} 及びソース電圧 V_{SS} で構成され、プログラム電圧 V_{PG} は、nチャネルに該当するプログラム電圧 V_{PG}^N 、及びpチャネルに該当するプログラム電圧 V_{PG}^P で構成される。

【0207】

図7Bは、本発明の一実施例に係る汎用ロジックメモリセルのTXORゲートの動作を説明する図である。

【0208】

図7Bは、本発明の一実施例に係る汎用ロジックメモリセルのTXORゲートの動作と関連して回路図及びタイミング図を例示する。

30

【0209】

図7Bを参照すると、本発明の一実施例に係る汎用ロジックメモリセル710は、第1ネットワーク素子を構成する三重ゲートシリコン素子のうち左上側が第2チャンネルモードで動作し、右上側が第1チャンネルモードで動作し、左下側が第1チャンネルモードで動作し、前記右下側が第2チャンネルモードで動作し、第2ネットワーク素子を構成する三重ゲートシリコン素子のうち左側が第1チャンネルモードで動作し、右側が第2チャンネルモードで動作する。

【0210】

本発明の一実施例に係る汎用ロジックメモリセル710は、コントロール電圧 V_{CG} のうち第1コントロール電圧 V_{IN1} が、前記第1ネットワーク素子及び前記第2ネットワーク素子の上側に印加され、コントロール電圧 V_{CG} のうち第2コントロール電圧 V_{IN2} が、第1ネットワーク素子及び第2ネットワーク素子の下側に印加される。

40

【0211】

また、汎用ロジックメモリセル710は、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルの両方が負レベルまたは正レベルである場合に、出力電圧 V_{OUT} のレベルを負レベルと決定する。

【0212】

また、汎用ロジックメモリセル710は、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルが相反するように負レベルまたは正レベルである場合に、出力電圧 V_{OUT} のレベルを正レベルとして出力する。

50

【0213】

また、汎用ロジックメモリセル710は、第1コントロール電圧 V_{IN1} 及び第2コントロール電圧 V_{IN2} のレベルのいずれか1つでもゼロレベルであれば、出力電圧 V_{OUT} のレベルをゼロレベルと決定する3進法論理演算機能を行うことができる。

【0214】

タイミング図711は、2つの入力電圧 V_{IN1} 、 V_{IN2} に対して、“-1”、“0”及び“1”の組み合わせに該当する入力印加されたとき、出力電圧 V_{OUT} で“-1”、“0”及び“1”に該当する値が演算されることによって、3進法論理演算機能と関連してTXOR論理演算を行うことを示す。

【0215】

また、供給電圧 V_{SUP} 、プログラム電圧 V_{PG} 、入力電圧 V_{IN1} 、 V_{IN2} が除去されたときにも、演算した論理値を維持(Hold)するメモリ機能を行うことを示す。

【0216】

例えば、供給電圧 V_{SUP} は、ドレイン電圧 V_{DD} 及びソース電圧 V_{SS} で構成され、プログラム電圧 V_{PG} は、 n チャンネルに該当するプログラム電圧 V_{PG}^N 、及び p チャンネルに該当するプログラム電圧 V_{PG}^P で構成される。

【0217】

したがって、本発明は、論理演算と格納機能の融合を通じて、データボトルネック現象による処理速度及び集積化の限界を改善することができる。

【0218】

また、本発明は、チャンネルモード再構成特性を用いて、構造の変更及び外部バイアスなしに論理演算値を維持する優れたメモリ特性で待機電力効率を向上させることができる。

【0219】

上述した具体的な実施例において、発明に含まれる構成要素は、提示された具体的な実施例によって単数又は複数で表現された。

【0220】

しかし、単数又は複数の表現は、説明の便宜のために提示した状況に適するように選択されたものであって、上述した実施例が単数又は複数の構成要素に制限されるものではなく、複数で表現された構成要素であっても単数で構成されてもよく、単数で表現された構成要素であっても複数で構成されてもよい。

【0221】

一方、発明の説明では具体的な実施例について説明したが、様々な実施例が内包する技術的思想の範囲から逸脱しない限り、様々な変形が可能であることは勿論である。

【0222】

したがって、本発明の範囲は、説明された実施例に限定されて定められてはならず、後述する特許請求の範囲だけでなく、この特許請求の範囲と均等なものによって定められなければならない。

10

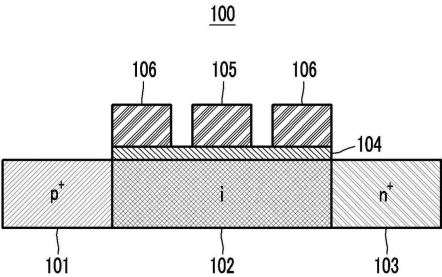
20

30

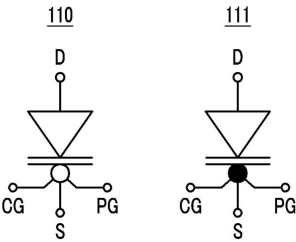
40

50

【図面】
【図 1 A】

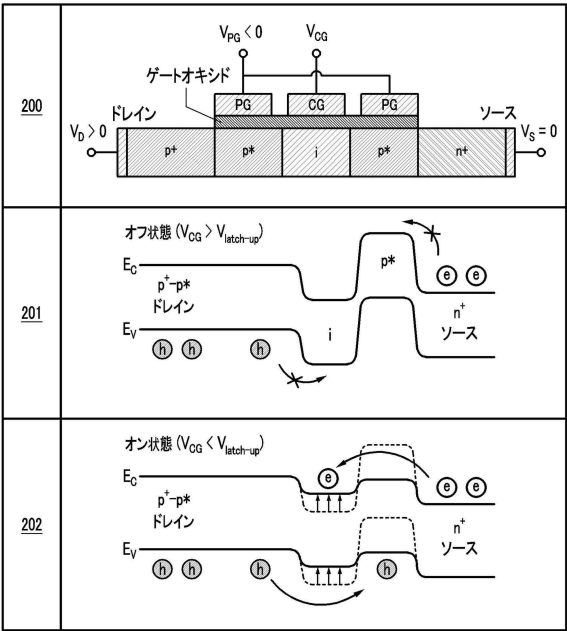


【図 1 B】

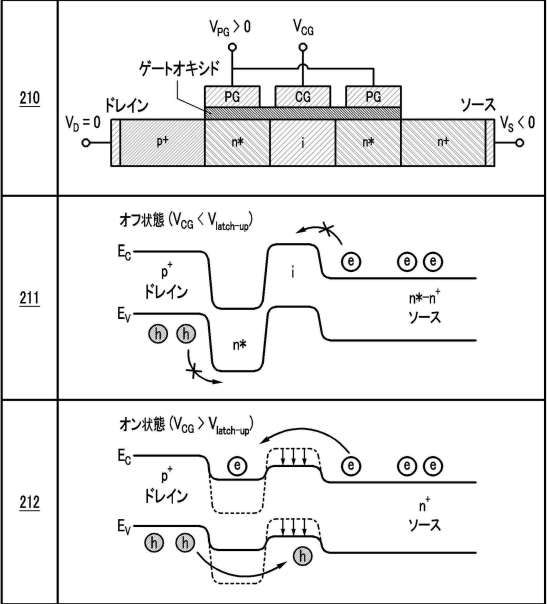


10

【図 2 A】



【図 2 B】



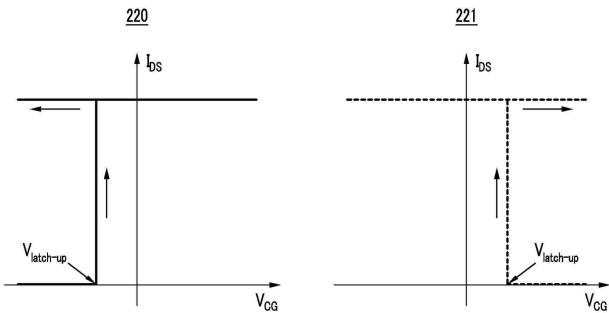
20

30

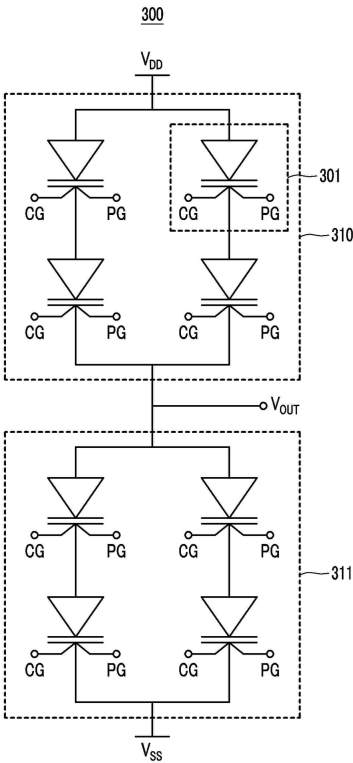
40

50

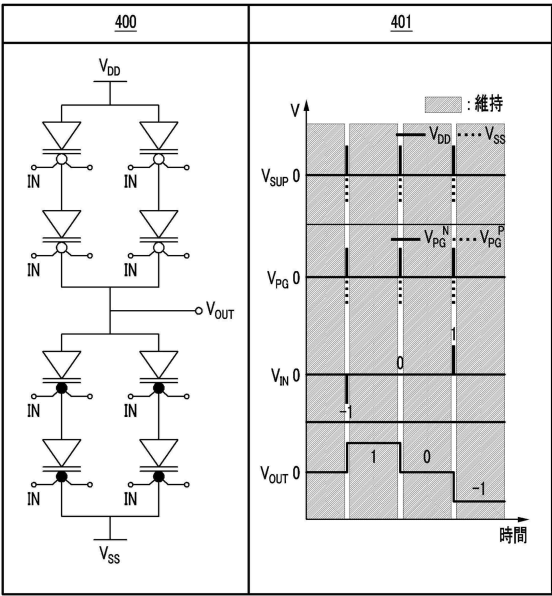
【図 2 C】



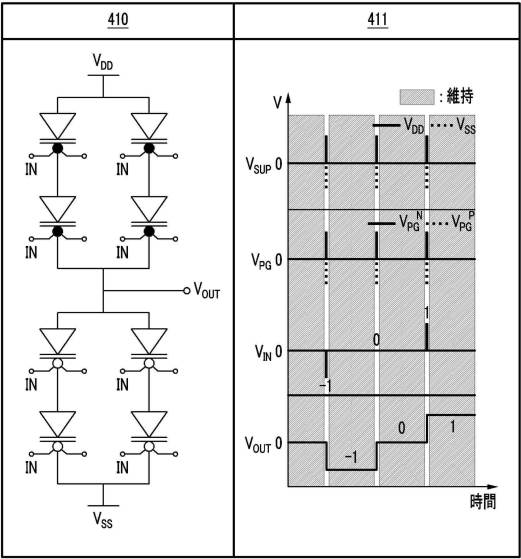
【図 3】



【図 4 A】



【図 4 B】



10

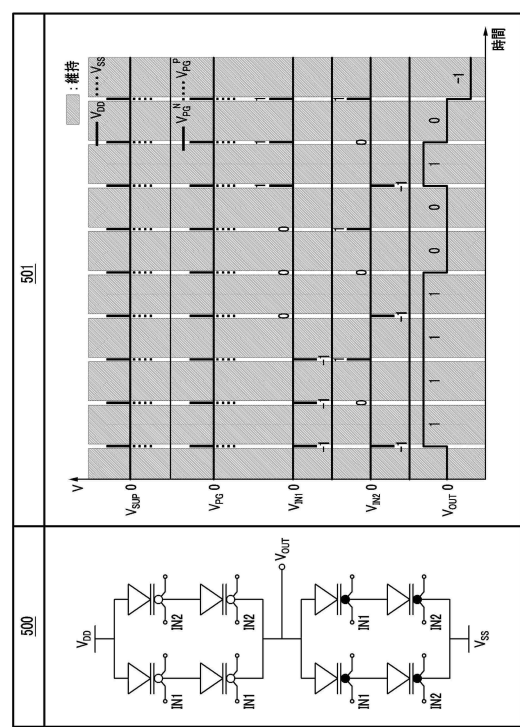
20

30

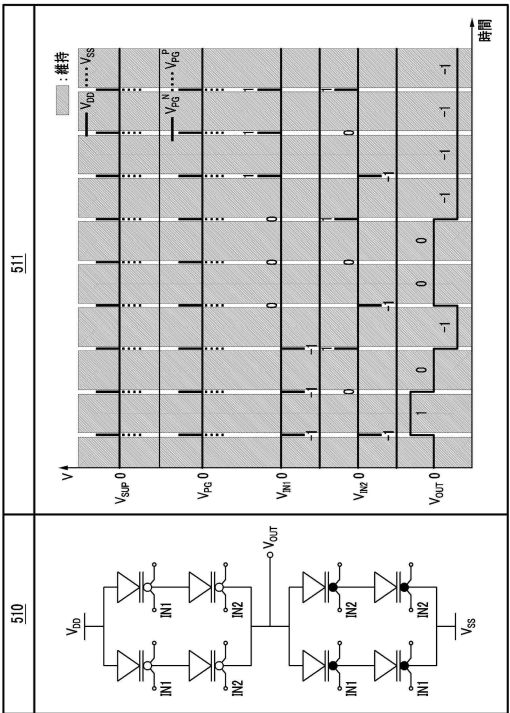
40

50

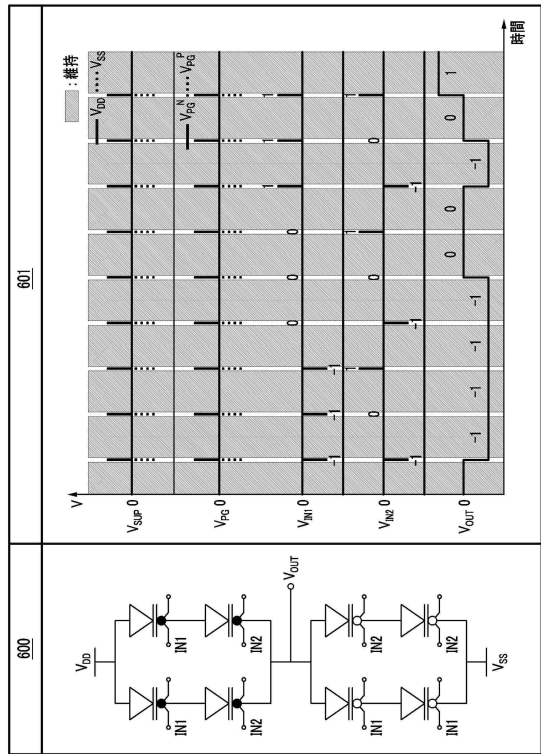
【図 5 A】



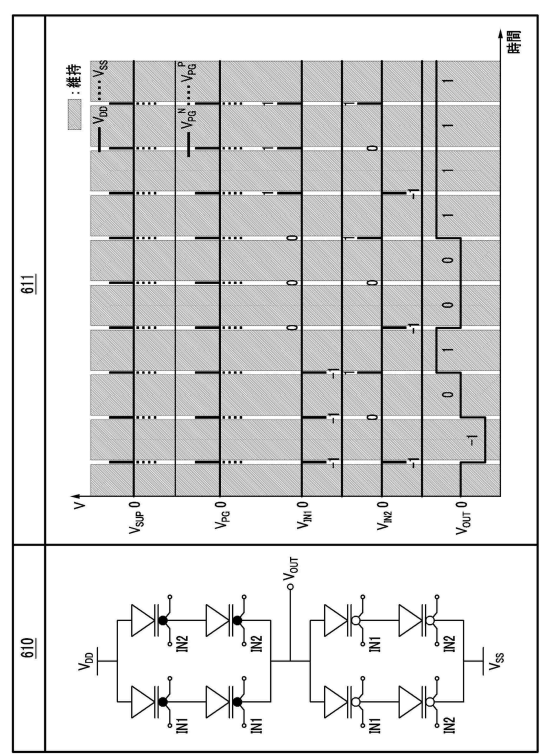
【図 5 B】



【図 6 A】



【図 6 B】



10

20

30

40

50

フロントページの続き

- ドン 501ホ
- (72)発明者 趙 庚娥
大韓民国、04989、ソウル、クァンジング、チョンホーデロ 110ーギル、72
- (72)発明者 韓 鍾星
大韓民国、32224、チュンチョンナムード、ホンソングン、ホンソヌーブ、ウォルギェチ
ヨンーギル、41ー11、101ドン 402ホ
- (72)発明者 孫 載▲ミン▼
大韓民国、13641、キョングード、ソンナムーシ、スジョング、ウィリエスンファンーロ、
150、3403ドン 502ホ
- (72)発明者 田 周熙
大韓民国、03773、ソウル、ソデムング プクアヒョンーロ 1ーギル、17、202ドン
305ホ
- (72)発明者 申 淵祐
大韓民国、14207、キョングード、クァンミョンーシ サソナーロ、91、114ドン 801
ホ
- Fターム (参考) 5B160 MM20
5J042 AA10 BA13 BA14 BA15 CA09 CA20 CA21 CA22 CA23 CA24
CA25 CA26 CA27 DA02 DA03
5J056 AA03 BB02 KK02