



[12] 发明专利说明书

[21] ZL 专利号 99118180.8

[45] 授权公告日 2004 年 1 月 21 日

[11] 授权公告号 CN 1135484C

[22] 申请日 1999.8.30 [21] 申请号 99118180.8

[30] 优先权

[32] 1998.10.30 [33] US [31] 09/183196

[71] 专利权人 安捷伦科技有限公司

地址 美国加利福尼亚州

[72] 发明人 D·波普林 J·S·吉布森

审查员 王艳坤

[74] 专利代理机构 中国专利代理(香港)有限公司

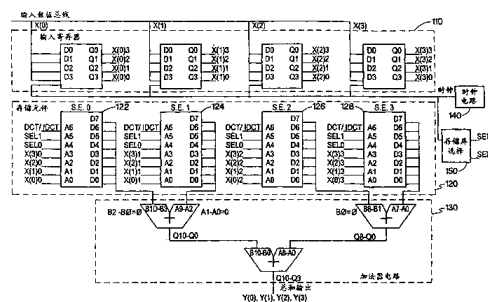
代理人 邹光新 张志醒

权利要求书 2 页 说明书 9 页 附图 5 页

[54] 发明名称 分布式运算体系结构的信号处理

[57] 摘要

一种设备计算一个矩阵和一个向量的内积向量。该矩阵有第 1 系数集合和该向量有第 2 系数集合。至少一个输入寄存器(110)用于储存第 2 系数集合。许多存储元件(120)用于存储部分和，它是根据矩阵的第 1 系数集合预先计算的。至少一个输入寄存器(110)的输出被用作为地址输入到许多存储元件以选择部分和的一个子集。另外，一个选择电路(150)被连接到存储元件的地址线上以确定在矩阵中的哪一列向量形成对于那一列的结果内积向量的一个元素。从存储元件(120)输出的部分和的子集被加在一个加法电路(130)中以产生一个和数输出，它表示矩阵乘以向量的内积向量的元素。该设备有减小集成电路面积的优点和在任意所期望的次序上生成内积向量的元素。



1. 一种用于计算一个矩阵和一个向量的内积向量的设备，该内积向量具有一组元素，该矩阵具有按照一个列集合和一个行集合排列的第 1 系数集合，该向量具有第 2 系数集合，设备包括：

至少一个输入寄存器 (110)，这个输入寄存器 (110) 存储第 2 系数集合，这个输入寄存器 (110) 有一组输出；

许多存储元件 (120)，这些存储元件 (120) 存储一组从第 1 系数集合得到的一组部分和，这些存储元件 (120) 有一组地址输入和一组数据输出，该组地址输入连接到至少一个输入寄存器 (110) 的该组输出，该组数据输出表示该组部分和的一个子集，该组部分和的该子集通过该组地址输入选择；

一个选择电路 (150)，该选择电路 (150) 连接到该多个存储元件 (120) 的该组地址输入，该选择电路 (150) 选择矩阵中用于内积向量一个元素的计算的一列，这个内积向量是根据该矩阵的所选列和该向量来计算的；

一个加法器电路 (130)，这个加法器电路有一个和数输出和许多加数输入，这许多加数输入连接到该存储元件 (120) 的该组数据输出，在那里许多存储元件 (120) 的每个数据输出被连接到一个加数输入以形成和数输出的一个加数，该和数输出表示内积向量的一个元素；

一个时钟电路 (140)，该时钟电路 (140) 连接到至少一个输入寄存器 (110) 和存储体选择电路 (150)，该时钟电路 (140) 生成一组时钟周期与矩阵的列数相对应，其中该加法器电路 (130) 表示在该组时钟周期的每个时钟周期内的内积向量的所述一个元素，该元素对应于在该组时钟周期的每一时钟周期内矩阵的所选列乘以该向量。

2. 权利要求 1 的设备，在那里的设备被装配成为一个集成电路。

3. 权利要求 1 的设备，其中该多个存储元件 (120) 存储多组部分和，这些存储元件 (120) 进一步包括一个选择器，该选择器连接到该多个存储元件 (120) 去选择那组部分和以表示许多存储元件 (120) 的该数据输出；

4. 权利要求 3 的设备，其中的选择器选择一组部分和，它允许该设备完成离散余弦变换；
5. 权利要求 3 的设备，其中该选择器选择一组部分和，它允许该设备完成逆离散余弦变换；
- 5 6. 一架数字照相机 (200)，包括权利要求 1 的设备；
7. 一种方法，用于计算一个矩阵和一个向量的内积向量，该矩阵有按照一个列集合和一个行集合排列的第 1 系数集合，该向量有第 2 系数集合，包括的步骤：
根据向量的第 2 系数集合生成一组寄存器输出；
10 将一组从第 1 系数集合得到的预先计算的部分和存储在多个存储元件 (120) 中；
选择一个矩阵列乘以向量以形成内积向量的一部分；
根据该组寄存器输出由存储在许多存储元件 (120) 中的该组预先计算的部分和选择一个预先计算的部分和的子集，其中该组寄存器输出是作为所述多个存储元件 (120) 的地址输入；
15 在一个加法电路 (130) 中将预先计算的部分和的该子集加起来以生成内积的一部分；和
重复以下步骤：选择一个矩阵列，选择一个预先计算的部分和的子集，并将该子集或对于矩阵的每一列的预先计算的部分和相加。
- 20 8. 权利要求 7 的方法，其中所说的选择预先计算的部分和的子集的步骤包括从多组预先计算的部分和中选择的步骤。
9. 一架使用权利要求 7 的方法的数字照相机。

分布式运算体系结构的信号处理

5 本发明涉及到信号处理。更明确地说，本发明涉及到一种新的设备和方法，这种新的设备和方法实现一种新的用于产生一个向量和一个矩阵的内积的分布式运算体系结构，并在数字照相机和类似图象处理的应用中具有特别有用的应用。

10 当用户由于具有数字设备如压缩磁盘，计算机，打印机，和蜂窝电话而变得更舒服的时候，他们更愿意在他们生活的其他领域接受数字式启动技术，比如照相机。的确，在照相机方面，当前的趋势是朝向数字照相机，它可以消除对胶片的需求并在放胶片的地方用数字存储设备代替以保存用户已经拍摄的照片。然而，数字照相机的成本仍停留在大多数人的能力所达不到的水平上，并且为了考虑大多数人能接受而正在作的各种努力是促使成本下降。除了降低成本外，为了增加对数字照相机的需求，照片的图象质量必须比得上典型胶片基底的照片。这个图象质量是通过增加在数字照相机内图象传感器使用的象素（光到电的转换）的数量驱动的。不幸的是，这种在象素数量上的增加进一步抬高了数字照相机的成本，由于增加了处理需求需要去把在图象传感器上捕获的图象转换为一种可接受的格式，此格式可以适
15 合在照相机内使用的数字储存设备的极限。为了允许一个可接受的使用数字照相机拍摄的图象数量并存储在其内，一些形式的图象压缩对减少存储需求是必要的。

20 当然，用户也正在需求新的性能以趁机利用他们已经拍摄的照片的数字特征。例如，拍摄完一组照片后不是在一台个人计算机上校正彩色均衡，亮度级，对比度，等等，用户希望这些操作在照相机自身上自动地完成以使这些照片在一台彩色打印机上直接复制出来，从而完全地绕开了个人计算机。

30 因此，为了启动数字相机市场，在增加附加功能的同时必须降低数字照相机的成本。这个新的数字照相机需要在它的内部电子设备有多方面的用途并足以提供附加的功能。另外，电子设备必须要有较小的集成电路面积才可以使成本减少。

以前的为减少图象处理电路大小和成本的一些尝试已经注视在分

布式运算方法上。分布式运算 (DA) 的名字是因为在非传统意义上运算功能是分布在各种各样的电子设备中的, 而不是被连结一起 (例如加法, 乘法) 的离散运算块意义上的。在图象处理中, 最常遇到的运算类型是乘以一个向量 (图象的一部分) 和一个矩阵 (一种变换功能, 如图象压缩或扩展) 以构成一个内积。幸运的是, 通过 DA 可最有效地完成这个内积运算。事实上, 前面的 DA 方法已经是成功地减少在一个图象处理集成电路中所使用的晶体管的数量的至少 50-80%。然而, 如果还要提供更多功能需求的同时继续需要降低成本, 则要求一种新的 DA 方法可以实现在图象处理电路中进一步减少晶体管数量。

10 一种设备计算一个矩阵和一个向量的内积向量。该矩阵有第 1 组系数和该向量有第 2 组系数。至少一个输入寄存器被用于存储第 2 组系数。许多存储元件被用于存储根据矩阵的第 1 组系数预先计算的部分和。至少一个寄存器的输入被用作为地址输入到许多存储元件以选择部分和的一个子集。另外, 把一个所选择的电路连接到存储元件的地址线上以确定在矩阵的哪一行向量构成结果内积向量的一个元素。从存储元件输出的部分和的子集被加到一个加法器电路中以生成一个总和输出, 它表示该矩阵乘以该向量的内积向量的元素。

图 1 说明了用以实现一次内积的分布式运算方法的一种常规实现方案。

20 图 1A 说明了在图 1 的常规实现方案中使用的存储器结构。

图 2 说明了使用分布式运算的本发明方法的优选实施例。

图 2A 说明了在图 2 的优选实施方案中使用的存储器结构。

图 2B 说明了在标准单元或相似方法中通过使用离散逻辑电路构成的一个典型的存储元件。

25 图 3 说明了在数字照相机中优选实施例的使用。

在描述本发明的优选实施方案之前, 有帮助的是去理解在常规分布式运算 (DA) 方法 (见美国专利 No. 5, 226, 002) 中一个向量乘以一个矩阵所使用的方法。为了说明这个常规 DA 方法, 考虑把一个 $N=4$ 的元素列向量 \bar{X} 与一个 4 行 \times 4 列的系数 C_{ij} 矩阵, C 相乘去形成一个由 N 个元素组成的结果向量 \bar{Y} , 其中:

$$N = \text{向量 } \bar{X} \text{ 和 } \bar{Y} \text{ 的输入的数, 其中 } \bar{X} = \sum_{i=0}^{N-1} X(i) \text{ 和 } \bar{Y} = \sum_{i=0}^{N-1} Y(i)$$

$$\begin{bmatrix} Y(0) \\ Y(1) \\ Y(2) \\ Y(3) \end{bmatrix} = \begin{bmatrix} C_{00} & C_{01} & C_{02} & C_{03} \\ C_{10} & C_{11} & C_{12} & C_{13} \\ C_{20} & C_{21} & C_{22} & C_{23} \\ C_{30} & C_{31} & C_{32} & C_{33} \end{bmatrix} \begin{bmatrix} X(0) \\ X(1) \\ X(2) \\ X(3) \end{bmatrix}$$

在数字电路中，数字是以二进制形式表示的。因此，向量 \bar{X} 的每一个元素可被写成为比特的行，该比特是 \bar{X} 的元素数值的 2 的二进制表示。本领域技术人员应理确对 \bar{X} 的元素数值存在其他二进制表示，并且也符合本发明的精神和范围。本领域的技术人员也应理确 \bar{X} 的每个元素可用给定的精确度所需要的比特数目 b 表示，该精度是作为用户希望实现的应用所期望的，并且完全符合本发明创造的精神和范围。作为例子，假设向量 \bar{X} 的每个元素是 4（例如 $b=4$ ）位宽，这些向量元素可以被表示为：

$$X(i) = \sum_{j=0}^{b-1} X(i)_j 2^j \quad \text{例如，当 } i=0 \text{ 时}$$

$$\text{然后，} \quad X(i) = X(0)_3 2^3 + X(0)_2 2^2 + X(0)_1 2^1 + X(0)_0 2^0$$

因此，上面向量 \bar{X} 与矩阵 C 的乘法可以写成为：

$$\begin{bmatrix} Y(0) \\ Y(1) \\ Y(2) \\ Y(3) \end{bmatrix} = \begin{bmatrix} C_{00} & C_{01} & C_{02} & C_{03} \\ C_{10} & C_{11} & C_{12} & C_{13} \\ C_{20} & C_{21} & C_{22} & C_{23} \\ C_{30} & C_{31} & C_{32} & C_{33} \end{bmatrix} \begin{bmatrix} X(0)_3 2^3 & X(0)_2 2^2 & X(0)_1 2^1 & X(0)_0 2^0 \\ X(1)_3 2^3 & X(1)_2 2^2 & X(1)_1 2^1 & X(1)_0 2^0 \\ X(2)_3 2^3 & X(2)_2 2^2 & X(2)_1 2^1 & X(2)_0 2^0 \\ X(3)_3 2^3 & X(3)_2 2^2 & X(3)_1 2^1 & X(3)_0 2^0 \end{bmatrix}$$

15

其中 $X(i)_j$ 是 $X(i)$ 的第 j 位，位 0 是最小有效位。因为向量 \bar{X} 的元素 $(X(i)_j)$ 是比特，它们只能有 1 或 0 的数值。因此，在 \bar{X} 中的任意列与矩阵 C 中一给定行的内积只有 16 种可能的数值。这 16 种数值表示该给定行向量的元素（系数）的所有可能的和。在后面的常规 DA 方法的基本想法是去得到并预先计算这些用于行向量的部分和，并在一个独立的 ROM（只读存储器）中对 C 的每一行存储这些部分和。 \bar{X} 的每一列向量在一定时间内被提供给每个独立 ROM 的地址输入端，并且每个 ROM 的输出被累加以产生结果 \bar{Y} 向量。

图 1 说明了一个使用常规 DA 方法计算从 $Y(0)$ 到 $Y(3)$ 的常规电路。它是由并行输入串行输出移位寄存器包含的 4 个输入寄存器

25

10, 4个ROM 20, 4个累加器 30 和一个时钟电路 40 组成。为了开始计算从 $X(0)$ 到 $X(3)$, 输入系数被记录在输入寄存器 10 中。这些输入寄存器 10 的时钟从最小有效位开始在每周期输出每个输入 (基本上是 \bar{X} 的列) 的 1 位。这些位合在一起构成通向 ROM 20 的地址。

5 如图 1A 所示, 每个 ROM 分享同样的地址输入, 但是每个 ROM 有不同的预先计算好存储在 ROM 内的部分数据和。ROM 22 有矩阵 C 第 0 行的预先计算的部分和。ROM1 24 有矩阵 C 第 1 行的预先计算的部分和, ROM2 26 有矩阵 C 第 2 行的预先计算的部分和, ROM3 28 有矩阵 C 第 3 行的预先计算的部分和。在每个时钟周期内, 根据输入寄存器 10 给

10 ROM20 一个地址并且用一个新的数据字记录每个 ROM 的输出。用每 8 位宽度表示出 ROM 的这个输出。对于一种特定的应用, 本领域技术人员应理解数据总线可以是依赖于所期望部分和分辨率的任意位宽度。来自每个 ROM 的输出被分别累积在累加器 30 中, 并且矩阵 C 的每一行的结果, 从 $Y(0)$ 到 $Y(3)$, 在所有来自时钟电路的时钟周期

15 均已被运行后出现在累加器的输出端。

注意到图 1 也着重标出 DA 电路的两个重要参数。第一个参数 N , 输入寄存器或者 \bar{X} 和 \bar{Y} 的元素 (系数) 的数目, 确定了在每个 ROM 中存储单元的数量, 存储单元的数目是在 2^N 的量级上, 因为对于本领域技术人员已知有各种各样的技术用于减少 2^N 个存储单元的总数 (见

20 Write, Stanley A 写的“分布式运算在数字信号处理中的应用: 指导性评论”, IEEE ASSP 杂志, 1989 年, 第 4-19 页)。在图 1 中, $N=4$ 使得每个 ROM 必须有至多 2^4 或 16 个存储单元去存储矩阵 C 的一个行向量元素的所有可能的和。第二个参数 b , 是在每一个输入寄存器 10 的位的数目。这第二个参数 b 确定为产生结果向量 \bar{Y} 所需要的时钟周

25 期的数目。在图 1 中, 输入寄存器是 4 位宽, 也就是它取 4 个时钟周期产生向量 \bar{Y} 。

然而, 使用常规 DA 方法的向量乘法有一个不利, 是在 b 时钟周期的每一个序列中向量 \bar{Y} 的元素在一个时钟周期内是以并联方式产生的。在很多情况下, 所期望的是一个时钟一次产生 \bar{Y} 的一个元素, 以致使它容易被存储或被送到下一级流水线处理。因为在 b 时钟周期的一个序列期间, 在一个时钟周期内常规 DA 方法生成向量 \bar{Y} 的所有元素

30 \bar{Y} , 需要连接到累加器输出 (图 1 未示出) 的 N 个附加寄存器去存储

这个结果,如果在常规 DA 电路继续处理下一组输入的同时以流水线方式每次处理它们中的一个。在一个典型的 VLSI (超大规模集成电路) 提供使用的标准单元方法中,寄存器的每一位可能需要 12 个门那样多,所以对 N 个附加寄存器这个总开销是有相当大的。

- 5 为了说明在常规 DA 方法上本发明改进的方法,考虑早先示出的矩阵 C 和向量 \bar{X} 的内积:

$$\begin{bmatrix} Y(0) \\ Y(1) \\ Y(2) \\ Y(3) \end{bmatrix} = \begin{bmatrix} C_{00} & C_{01} & C_{02} & C_{03} \\ C_{10} & C_{11} & C_{12} & C_{13} \\ C_{20} & C_{21} & C_{22} & C_{23} \\ C_{30} & C_{31} & C_{32} & C_{33} \end{bmatrix} \begin{bmatrix} X(0)_3 2^3 & X(0)_2 2^2 & X(0)_1 2^1 & X(0)_0 2^0 \\ X(1)_3 2^3 & X(1)_2 2^2 & X(1)_1 2^1 & X(1)_0 2^0 \\ X(2)_3 2^3 & X(2)_2 2^2 & X(2)_1 2^1 & X(2)_0 2^0 \\ X(3)_3 2^3 & X(3)_2 2^2 & X(3)_1 2^1 & X(3)_0 2^0 \end{bmatrix}$$

- 10 常规 DA 电路对向量 \bar{Y} 的每个元素执行内积,对如下所示的每一个元素使用一个 ROM:

$$\begin{aligned} Y(0) = & (C_{00}X(0)_0 + C_{01}X(1)_0 + C_{02}X(2)_0 + C_{03}X(3)_0)2^0 \text{ 第一时钟周期} \\ & + (C_{00}X(0)_1 + C_{01}X(1)_1 + C_{02}X(2)_1 + C_{03}X(3)_1)2^1 \text{ 第二时钟周期} \\ & + (C_{00}X(0)_2 + C_{01}X(1)_2 + C_{02}X(2)_2 + C_{03}X(3)_2)2^2 \text{ 第三时钟周期} \\ & + (C_{00}X(0)_3 + C_{01}X(1)_3 + C_{02}X(2)_3 + C_{03}X(3)_3)2^3 \text{ 第四时钟周期} \end{aligned} \quad \text{第一个 ROM}$$

$$\begin{aligned} Y(1) = & (C_{10}X(0)_0 + C_{11}X(1)_0 + C_{12}X(2)_0 + C_{13}X(3)_0)2^0 \text{ 第一时钟周期} \\ & + (C_{10}X(0)_1 + C_{11}X(1)_1 + C_{12}X(2)_1 + C_{13}X(3)_1)2^1 \text{ 第二时钟周期} \\ & + (C_{10}X(0)_2 + C_{11}X(1)_2 + C_{12}X(2)_2 + C_{13}X(3)_2)2^2 \text{ 第三时钟周期} \\ & + (C_{10}X(0)_3 + C_{11}X(1)_3 + C_{12}X(2)_3 + C_{13}X(3)_3)2^3 \text{ 第四时钟周期} \end{aligned} \quad \text{第二个 ROM}$$

15

注意上面第 2^j 个系数的乘法可以通过简单的左移在中间圆括号内 j 次结果的和数来实现。对于常规电路,这一过程是在累加器 30 中的每个时钟周期之后完成的。

- 20 本发明中新的和改进的 DA 方法实现像常规 DA 方法一样的计算,但它是不同的次序完成它们。在第 1 个周期中,形成矩阵 C 的第 0 行与向量 \bar{X} 的每 1 列的内积并把这些内积加在一起以产生向量 \bar{Y} 的元素 Y(0)。使用矩阵 C 的一行同向量 \bar{X} 的所有列一起在每一个周期中重复这个模式以产生向量 \bar{Y} 的所有元素。该运算如下所示(选择 0 和

选择 1 是输入到所有 ROM 的地址):

$$\begin{aligned}
 Y(0) = & (C_{00}X(0)_0 + C_{01}X(1)_0 + C_{02}X(2)_0 + C_{03}X(3)_0)2^0 \text{ ROM0} && \text{第一时钟周期} \\
 & + (C_{00}X(0)_1 + C_{01}X(1)_1 + C_{02}X(2)_1 + C_{03}X(3)_1)2^1 \text{ ROM1} && \text{Sel0} = 0 \\
 & + (C_{00}X(0)_2 + C_{01}X(1)_2 + C_{02}X(2)_2 + C_{03}X(3)_2)2^2 \text{ ROM2} && \text{Sel1} = 0 \\
 & + (C_{00}X(0)_3 + C_{01}X(1)_3 + C_{02}X(2)_3 + C_{03}X(3)_3)2^3 \text{ ROM3}
 \end{aligned}$$

$$\begin{aligned}
 Y(1) = & (C_{10}X(0)_0 + C_{11}X(1)_0 + C_{12}X(2)_0 + C_{13}X(3)_0)2^0 \text{ ROM0} && \text{第二时钟周期} \\
 & + (C_{10}X(0)_1 + C_{11}X(1)_1 + C_{12}X(2)_1 + C_{13}X(3)_1)2^1 \text{ ROM1} && \text{Sel0} = 1 \\
 & + (C_{10}X(0)_2 + C_{11}X(1)_2 + C_{12}X(2)_2 + C_{13}X(3)_2)2^2 \text{ ROM2} && \text{Sel1} = 0 \\
 & + (C_{10}X(0)_3 + C_{11}X(1)_3 + C_{12}X(2)_3 + C_{13}X(3)_3)2^3 \text{ ROM3}
 \end{aligned}$$

5

注意, 对新的 DA 方法, 通过把存储的元素输出 120 连接到加法器电路 130 可固有地完成 2^j 的乘法, 这样以致于 ROMj 的输出是左移 j 次然后把最小有效位置于 0。

10 另外, 可能要考虑用于改变系数的动态方法而不是通过使用静态存储元件 ROM 而被限定于固定系数。一种方法是增加 ROM 的大小尺寸而通过使用地址线选择以选择附加的系数集合。另一种方法是利用动态可更新的存储元件, 比如随机存取存储器 (RAM), 闪存, 或者 EEPROM (电可擦除可编程只读存储器) 集成电路或模块。

15 图 2 说明了本发明在一个电路中使用这种新方法的优选实施例。它是由 N(4) 个输入寄存器 110 组成, 它们的输出被连接到一组 N 个存储元件 120 的地址输入上。这些存储元件 120 包括 ROM, RAM 或其他有效固态存储器比如像寄存器, 闪速存储器, EEPROM, 可编程只读存储器 (PROM) 或者它们的组合。存储元件 120 的输出被连接到由三个

20 较小的 2 加数输入加法器网络组成的加法器电路 130。还有, 本领域技术人员应理解存储元件的输出可以是任意位宽, 依赖于内积结果的分辨率并符合本发明的精神和范围。在常规电路中, 所有 ROM 20 有同样的与输入寄存器 10 串行输出连接的地址输入信号。对每个时钟周期, 该输入寄存器 10 串行输出把向量 \bar{X} 的一列送到所有 ROM 20。在

25 优选实施方案的改进电路中, 所有存储器元件 120 具有唯一的地址输入。每一存储器元件接收向量 \bar{X} 的一列作为地址输入, 并且输入到存储器元件 120 的这些地址在向量 \bar{Y} 整个计算期间始终保持为常数。到存

5 储元件 i 的输入是向量 \bar{X} 的第 i 列, 即从 $X(0)$ 到 $X(3)$ 。另外, 所示出的存储体选择电路 150 被连接到时钟电路 140。对每个时钟周期, 存储体选择电路生成新的 $Se10$ 和 $Se11$ 输出, 它们被连接到存储元件 120 的地址线上。这些存储体选择信号, $Se10$ 和 $Se11$, 被用于改变用于将矩阵 C 的所选列与向量 \bar{X} 相乘的部分和。

在如图 1 所示的常规电路中, 每个 ROM 包含预先对矩阵 C 的一列计算的和。在如图 2A 所示优选实施方案的改进电路中, 所有存储元件 120 的内容是完全相同的。每个存储元件包括对矩阵 C 的所有列预先计算的部分和。这就要求改进电路的存储元件有比常规电路中的 ROM 更多的存储单元。在第 1 个计算周期中, 每个存储元件地址上面的比特被这样设置使得用来自矩阵 C 第 0 列的和 (例如 $Se10=0, Se11=0$)。因此加法器网络的输出将是 $Y(0)$ 。在下一个时钟周期内, 预先计算的矩阵 C 第 1 列的和在存储元件 120 (例如 $Se10=1, Se11=0$) 中选择, 并且加法器网络产生 $Y(1)$ 。通过改变 $Se10$ 和 $Se11$ 以在每个时钟周期内选择不同组预先计算的和来重复这个过程, 直到产生向量 \bar{Y} 的所有输出。

20 可把一个附加的地址输入加到存储元件 120 的每个存储元件上, 以使存储单元的数目加倍, 并产生一表示矩阵系数选择的存储元件, 比如当只需要两个矩阵向量运算时, 即完成一离散余弦变换或一逆离散余弦变换运算。一个附加的实施方案有至少一个 RAM 的存储元件 120 或其他可装入的或可重写的存储器以致对矩阵系数 (如存储在存储设备中的部分和) 使用的数值可被动态地修正而不是被静态地固定。

25 图 2B 说明当使用标准单元或其他逻辑基础电路时实现存储元件的优选实施例。为了实现这个存储元件, 使用地址信号作为输入形成一个真值表 160。对每组地址输入所期望的地址输入完成逻辑真值表 160。对于一个标准的单元或相似的设备, 一个逻辑编译器将真值表 160 转化为一组逻辑方程式并使用布尔逻辑 (Boolean Logic) 减少这组方程式以形成最简单的等效逻辑, 对此为了实现每个存储元件的输出需要最少量的晶体管。在很多情况下, 为了实现这个逻辑基础存储元件所需要的晶体管数量要少于为了实现一个常规 ROM 元件所需要的晶体管数量。晶体管的这个减少主要是由于消除了常规地址译码器, 30 读出放大器, 和常规 ROM 的输出缓存器电路。带有逻辑门的存储元件

具有使用常规标准单元或等效设计程序能被实现的另外优点。这个优点用于减少设计时间，测试开发，和产品成本。

特别是对图 2B, 3 比特输入和 3 比特输出存储元件，为实现真值表的减少了的逻辑 170 需要 24 个晶体管。一个常规 ROM 存储元件对于存储器核心仅需要 24 个晶体管加上 8 个 3 输入与非门和对于地址译码器需要 3 个反相器（使用离散逻辑门的 48 个晶体管）和 3 个输出缓存器（至少 6 个晶体管）。这些附加的晶体管没有包括为了完成读出放大器对 ROM 存储器核心输出的检测所需要的电路。因此，可以大量地减少为实现存储元件所需要的面积。

图 3 说明了一个数字照相机 200（静止，运动，或其他图象捕捉设备比如雷达显示器，图形资料显示器，等等），它使用本发明的优选实施例完成图象的压缩和解压缩。这些图象的压缩和解压缩通常是分别使用离散余弦变换（DCT）和逆离散余弦变换（IDCT）完成，还有其他变换，例如，众所周知的快速付立叶变换和快速付立叶逆变换，在技术上的这些技巧是符合本发明的精神和范围。对 DCT 和 IDCT 矩阵 C 的系数被结合在两个集合中以形成存储在存储元件 120 中的部分和并被使用如图 2 和图 2A 中所示的 DCT/IDCT 信号 140 选择。数字照相机 200 包含一个镜头 250，它把电磁能量 260 聚焦在包含象素阵列的图象传感器 210 上。图象传感器 210 把电磁能量 260 转换成电脉冲，它被连接到本发明的优选实施例，该实施例自身被包含在一个图象处理集成电路（IC）220 中。图象传感器 210 包含多个较小区域 270（通常有 8×8 或 16×16 个象素）。图象处理 IC 220 处理每个较小区域 270 或者用于图象处理应用（滤波，伽马校正，彩色均衡，等等）或者用于使用在存储元件中 DCT 或 IDCT 部分和的图象压缩/解压缩。图象处理 IC 220 被进一步连接到照相机控制器 240。照相机控制器 240 是一个典型的微处理器或是一个专用的状态机。照相机控制器 240 把图象传感器 210 上的那些小区域 270 引到图象处理 IC 220 处理。照相机控制器 240 把图象处理 IC 220 处理结果储存在图象存储设备 230 中。图象存储设备 230 可以是一个液晶显示器，闪存卡，软磁盘，或者其他存储器，它们提供一个接口比如像 RS-232, SCSI, USB, 或者 IEEE-1348（防火线）为用户移去处理过的图象。

本发明超过常规 DA 电路的一个优点是减小了积分电路的面积。虽

然在新电路中存储元件 120 比常规情况需要更多的存储单元，但是新方法比常规情况需要较少的 2-加数加法器并且对存储流水线运算的输出不需要任何用于存储的输出寄存器。新方法也不需要常规 DA 电路的累加器中使用的寄存器。如果存储元件 120 被实现作为逻辑基础存储元件，并且因为当实现时逻辑基础存储元件与在常规电路加法器中使用的寄存器相比较有利地只占有相当少的空间，那么新电路的布局实际上小于常规的布局。另外，进一步减小积分电路的面积是可以达到的，因为在新电路中的输入寄存器 110 需要的门比在常规 DA 电路中并行输入串行输出移位输入寄存器需要的门要少。在一个典型示例性比较中，使用常规 DA 电路实现的一个 8×8 离散余弦变换 (DCT) 需要 9560 个门，而使用本发明新的 DA 方法实现同样 8×8 DCT 功能需要少于 7500 个门。每个门典型地包含 4 个晶体管。

进而，新方法的第 2 个优点在有些情况下可能是有用的。例如，通过控制上面的存储元件的地址比特，输出项的次序可能被非常容易地控制。在图 2 和图 2A 中所示出的和在这里所描述的优选实施例，包含通过计数器控制这些比特，但是它们在任何任意序列中很容易被驱动去产生所期望的向量 \bar{Y} 结果元件的输出。

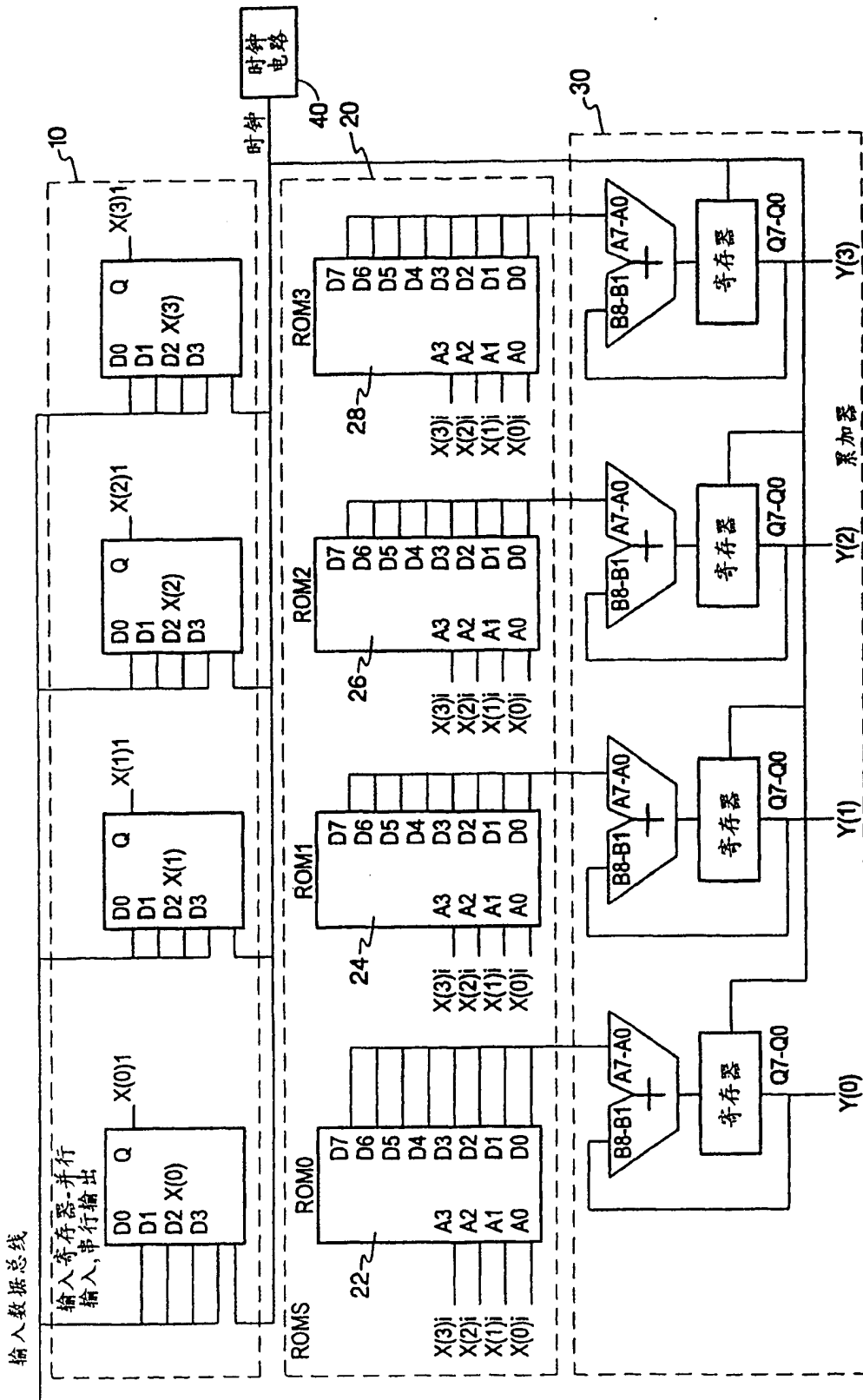


图 1

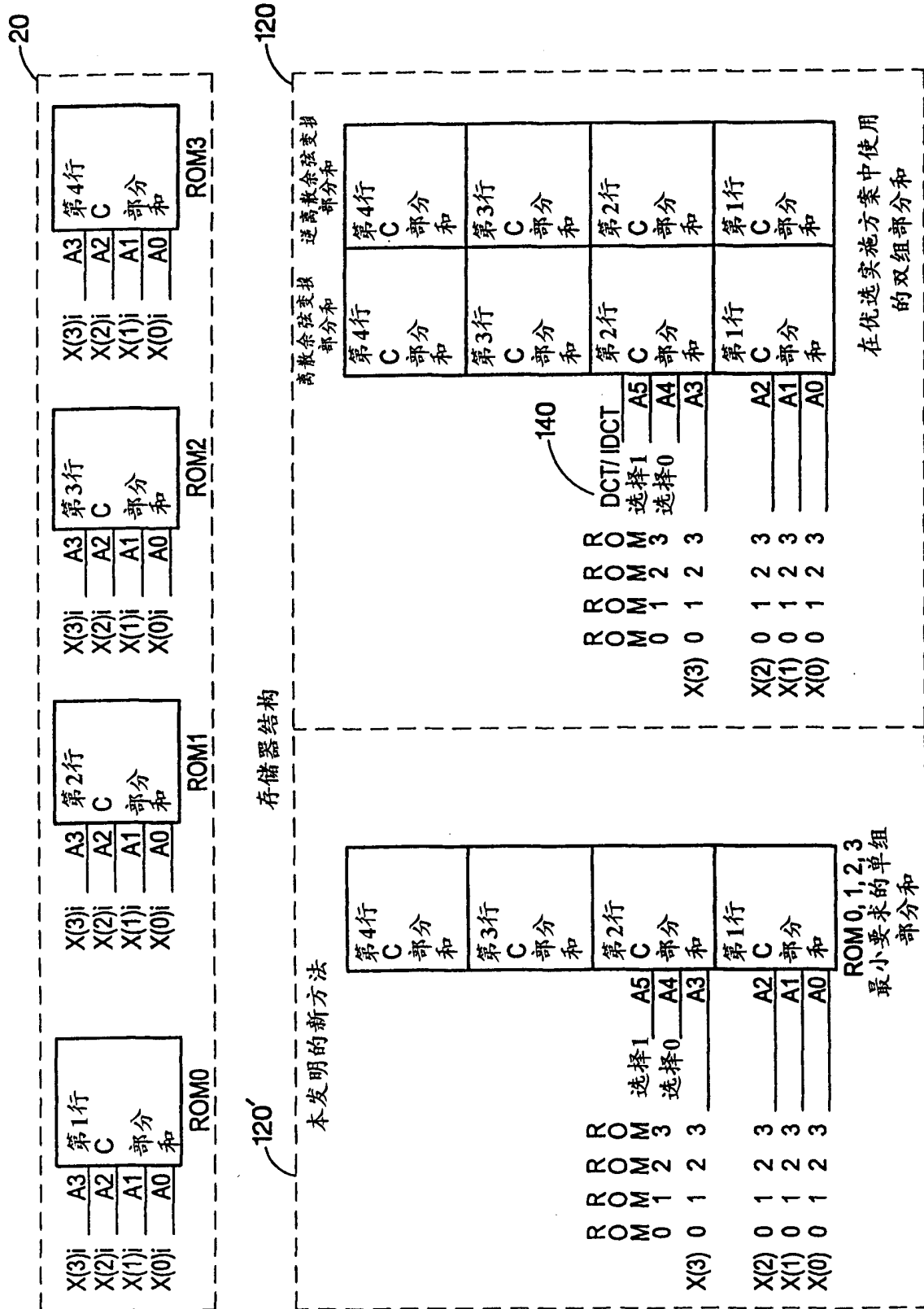


图 2A

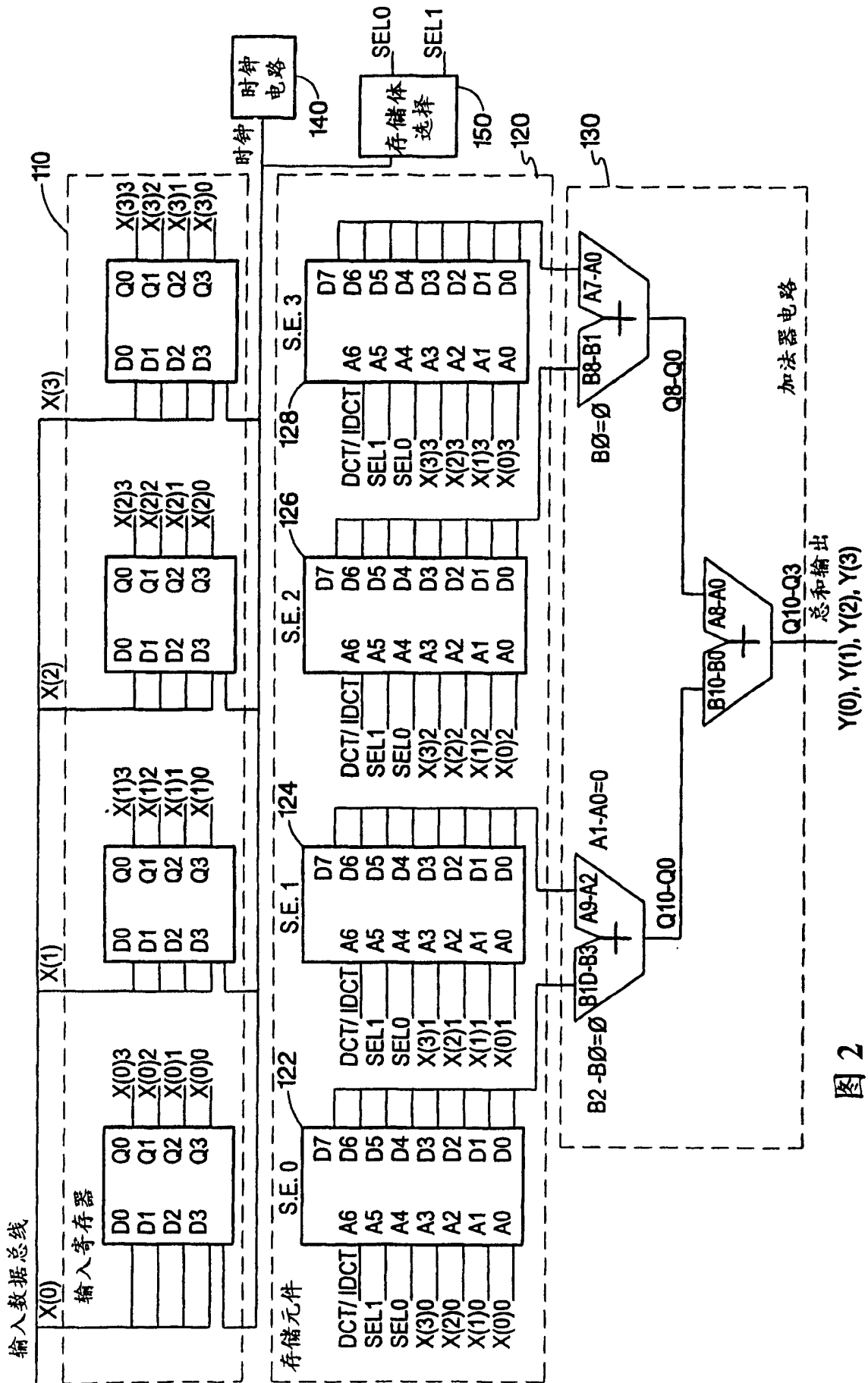


图 2

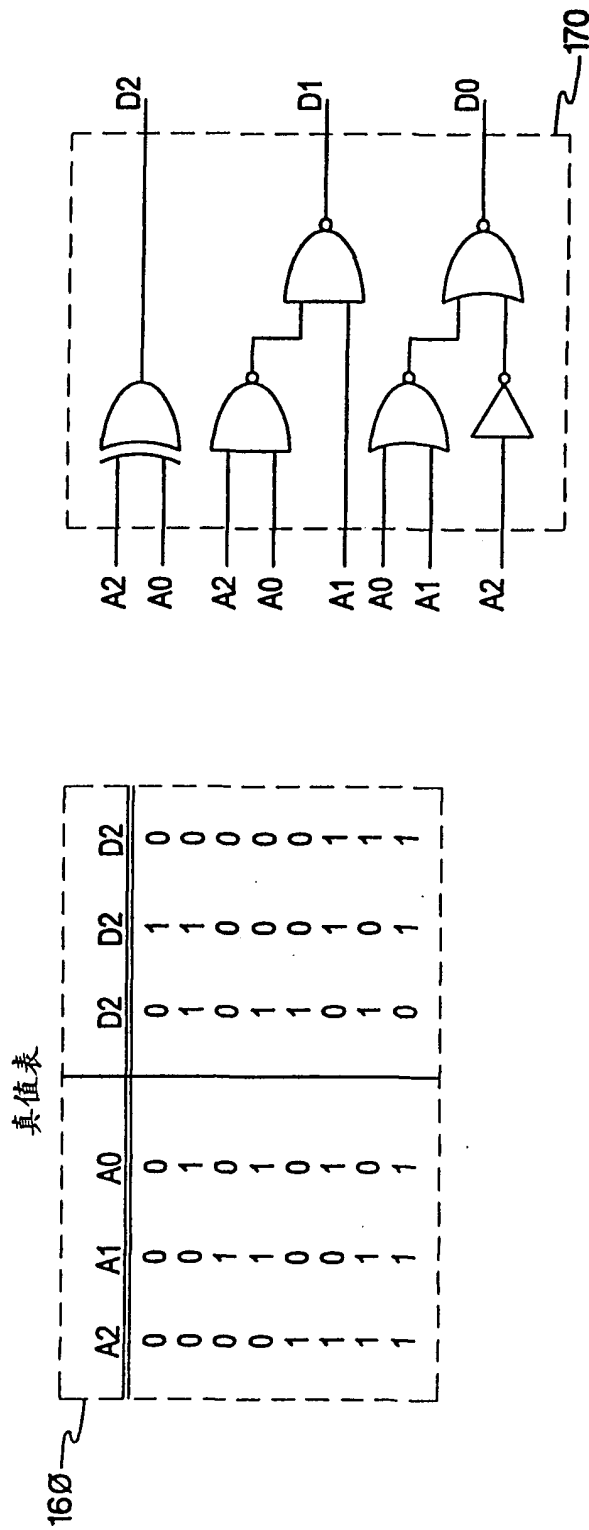


图 2B

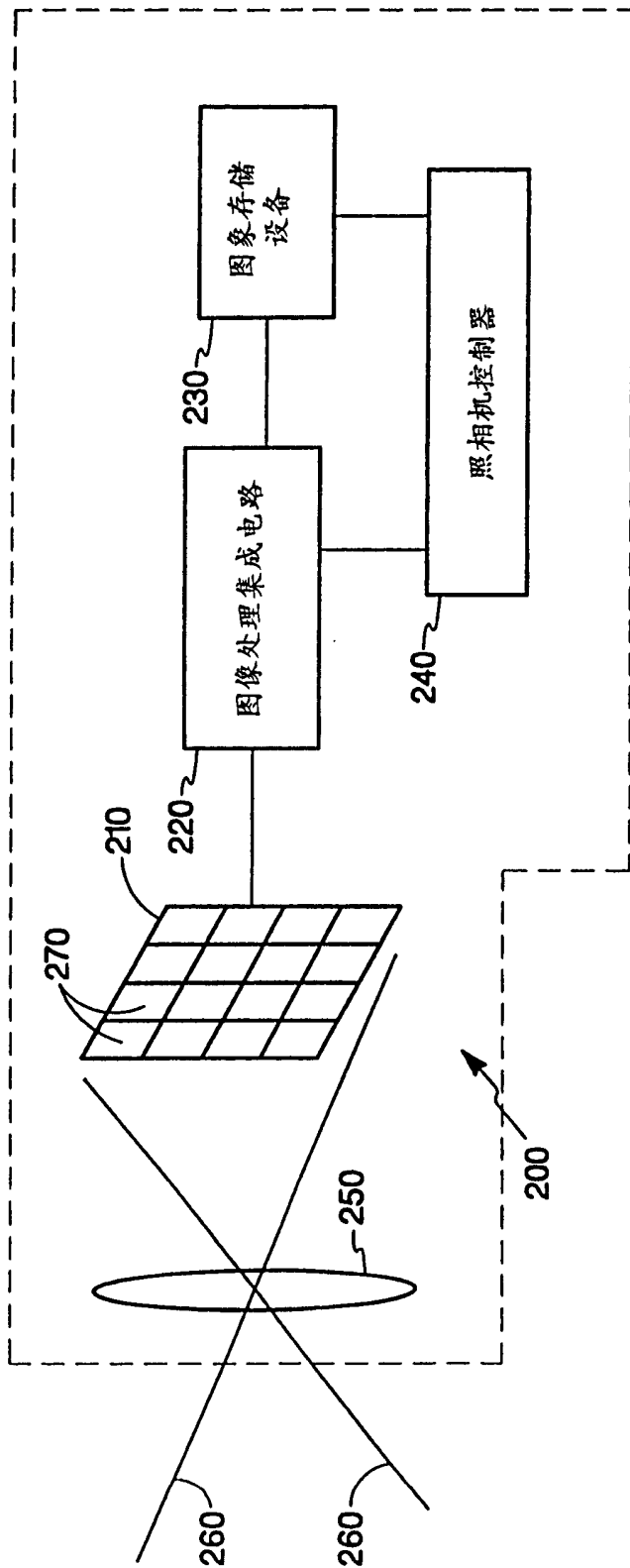


图 3