

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6110974号
(P6110974)

(45) 発行日 平成29年4月5日 (2017.4.5)

(24) 登録日 平成29年3月17日 (2017.3.17)

(51) Int. Cl.

F I

HO 1 L 21/336 (2006.01)
 HO 1 L 29/786 (2006.01)
 GO 2 F 1/1368 (2006.01)
 GO 9 F 9/30 (2006.01)

HO 1 L 29/78 6 1 9 A
 HO 1 L 29/78 6 1 8 B
 HO 1 L 29/78 6 1 6 V
 GO 2 F 1/1368
 GO 9 F 9/30 3 3 8

請求項の数 4 (全 42 頁)

(21) 出願番号 特願2016-50944 (P2016-50944)
 (22) 出願日 平成28年3月15日 (2016.3.15)
 (62) 分割の表示 特願2014-155894 (P2014-155894)
 の分割
 原出願日 平成22年2月10日 (2010.2.10)
 (65) 公開番号 特開2016-146498 (P2016-146498A)
 (43) 公開日 平成28年8月12日 (2016.8.12)
 審査請求日 平成28年3月17日 (2016.3.17)
 (31) 優先権主張番号 特願2009-30971 (P2009-30971)
 (32) 優先日 平成21年2月13日 (2009.2.13)
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷 3 9 8 番地
 (72) 発明者 坂田 淳一郎
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 郷戸 宏充
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内
 (72) 発明者 島津 貴志
 神奈川県厚木市長谷 3 9 8 番地 株式会社
 半導体エネルギー研究所内

審査官 篠原 功一

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

ゲート電極と、
 前記ゲート電極上の、ゲート絶縁層と、
 前記ゲート絶縁層上の、酸化物半導体層と、
 前記酸化物半導体層上の、シリコン層と、
 前記酸化物半導体層上の、ソース電極及びドレイン電極と、を有し、
 前記シリコン層は、ホウ素を含み、
 前記酸化物半導体層は、前記シリコン層と接する第 1 の領域を有し、
 前記酸化物半導体層は、トランジスタのチャネル形成領域を有し、
 前記トランジスタのチャネル幅方向において、前記シリコン層は、前記酸化物半導体層
 の両端部を越えて設けられ、
 前記酸化物半導体層は、前記シリコン層と重ならない、第 2 の領域と第 3 の領域とを有
 し、
 前記第 2 の領域と前記第 3 の領域は、離間して設けられ、
 前記酸化物半導体層は、前記第 2 の領域において前記ソース電極と接し、前記第 3 の領
 域において前記ドレイン電極と接することを特徴とする半導体装置。

【請求項 2】

請求項 1 において、

前記第 2 の領域と前記第 3 の領域とは、前記第 1 の領域よりも抵抗が低いことを特徴と

する半導体装置。

【請求項 3】

請求項 1 において、

前記第 2 の領域と前記第 3 の領域とは、前記第 1 の領域よりも水素濃度が高いことを特徴とする半導体装置。

【請求項 4】

請求項 1 において、

前記第 2 の領域と前記第 3 の領域とは、前記第 1 の領域よりも酸素欠損が多いことを特徴とする半導体装置。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、酸化物半導体層を用いたトランジスタ、当該トランジスタを具備する半導体装置及びそれらの作製方法に関する。

【背景技術】

【0002】

金属酸化物は多様に存在しさまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶ディスプレイなどで必要とされる透明電極材料として用いられている。

【0003】

20

金属酸化物の中には半導体特性を示すものがある。一般的に、金属酸化物は絶縁体となる。しかし、金属酸化物を構成する元素の組み合わせによっては、半導体となることが知られている。

【0004】

例えば、半導体特性を示す金属酸化物としては、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、上記のような金属酸化物をチャネル形成領域とする薄膜トランジスタが既に知られている（特許文献 1 乃至 4、非特許文献 1）。

【0005】

ところで、金属酸化物は一元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモガス相を有する $\text{InGaO}_3(\text{ZnO})_m$ (m : 自然数) は In 、 Ga 、 Zn を有する多元系酸化物半導体として知られている（非特許文献 2 乃至 4）。

30

【0006】

そして、上記のような $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物で構成される酸化物半導体を薄膜トランジスタ (TFET と呼ぶ) のチャネル層として適用可能であることが確認されている（特許文献 5、非特許文献 5 及び 6）。

【0007】

しかし、酸化物半導体は、素子の作製工程におけるエッチング剤やプラズマによるダメージや、水素等の元素が混入することにより半導体特性が変動しやすく、これにより素子の電気特性のばらつきや劣化が問題となる。

【先行技術文献】

40

【特許文献】

【0008】

【特許文献 1】特開昭 60 - 198861 号公報

【特許文献 2】特開平 8 - 264794 号公報

【特許文献 3】特表平 11 - 505377 号公報

【特許文献 4】特開 2000 - 150900 号公報

【特許文献 5】特開 2004 - 103957 号公報

【非特許文献】

【0009】

【非特許文献 1】M. W. Prins, K. O. Grosse-Holz,

50

G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, 「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett., 17 June 1996, Vol. 68 p. 3650 - 3652

【非特許文献2】M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the In_2O_3 - Ga_2ZnO_4 - ZnO System at 1350 °C」、J. Solid State Chem., 1991, Vol. 93, p. 298 - 315

【非特許文献3】N. Kimizuka, M. Isobe, and M. Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds, $\text{In}_2\text{O}_3(\text{ZnO})_m$ ($m = 3, 4$, and 5), $\text{InGaO}_3(\text{ZnO})_3$, and $\text{Ga}_2\text{O}_3(\text{ZnO})_m$ ($m = 7, 8, 9$, and 16) in the In_2O_3 - ZnGa_2O_4 - ZnO System」、J. Solid State Chem., 1995, Vol. 116, p. 170 - 178

【非特許文献4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、 $\text{InFeO}_3(\text{ZnO})_m$ (m : 自然数) とその同型化合物の合成および結晶構造」、固体物理、1993年、Vol. 28、No. 5、p. 317 - 327

【非特許文献5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, 「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE, 2003, Vol. 300, p. 1269 - 1272

【非特許文献6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, 「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE, 2004, Vol. 432 p. 488 - 492

【発明の概要】

【発明が解決しようとする課題】

【0010】

上記問題に鑑み、本発明の一態様は、酸化物半導体層を有するトランジスタ又は当該トランジスタを具備する半導体装置において、電気的特性のばらつきや劣化を抑制することを課題の一とする。

【課題を解決するための手段】

【0011】

上記課題を解決するために、本発明の一態様は、酸化物半導体をチャネル層として用いるトランジスタにおいて、酸化物半導体層の表面上（バックチャネル側）に接してp型シリコン層を設けた構成とする。この場合、p型シリコン層が酸化物半導体層に水素等の元素が混入することを低減する保護膜として機能すると共に、作製工程において酸化物半導体層の保護膜として機能し、トランジスタの電気的特性のばらつきや劣化を抑制することができる。また、酸化物半導体層のバックチャネル側に酸素欠損が生じキャリア（電子）が生じる場合であっても、発生したキャリア（電子）がp型シリコン層に捕獲され、電気的特性のばらつきや劣化を低減することができる。

【0012】

また、本発明の一態様は、p型シリコン層を、少なくとも酸化物半導体層においてチャネルが形成される領域に接して設けると共に、酸化物半導体層において、p型シリコン層が設けられていない領域にソース電極層及びドレイン電極層を接して設けた構成とすること

ができる。

【0013】

また、本発明の一態様は、酸化物半導体層において、p型シリコン層が設けられていない領域にソース領域又はドレイン領域として機能する低抵抗領域を設け、当該低抵抗領域にソース電極層及びドレイン電極層を接して設けた構成とすることができる。

【0014】

また、本発明の一態様は、ゲート電極と、ゲート電極上に設けられたゲート絶縁層と、ゲート絶縁層上に設けられ且つゲート電極と重なる酸化物半導体層と、酸化物半導体層の表面上に接して設けられたp型シリコン層と、酸化物半導体層と電氣的に接続されたソース電極層及びドレイン電極層とを有するトランジスタを提供する。また、p型シリコン層が設けられていない酸化物半導体層の表面上の少なくとも一部にソース電極層及びドレイン電極層を接して設けることができる。また、ソース電極層と接する酸化物半導体層の領域にソース領域として機能する第1の低抵抗領域を設け、ドレイン電極層と接する酸化物半導体層の領域にドレイン領域として機能する第2の低抵抗領域を設けることができる。

【0015】

また、本発明の一態様は、ゲート電極と、ゲート電極上に設けられたゲート絶縁層と、ゲート絶縁層上に設けられ、且つゲート電極と重なる酸化物半導体層と、酸化物半導体層の表面上の一部に接して設けられたp型シリコン層と、p型シリコン層が設けられていない酸化物半導体層の表面上の少なくとも一部に接して設けられた第1の金属酸化物層及び第2の金属酸化物層と、第1の金属酸化物層と電氣的に接続されたソース電極層と、第2の金属酸化物層と電氣的に接続されたドレイン電極層とを有するトランジスタを提供する。

【0016】

また、本発明の一態様は、ゲート電極と、ゲート電極上に設けられたゲート絶縁層と、ゲート絶縁層上に設けられたソース電極層及びドレイン電極層と、ソース電極層及びドレイン電極層上に設けられ且つゲート絶縁層を介してゲート電極上に設けられた酸化物半導体層と、酸化物半導体層の表面上に接して設けられたp型シリコン層とを有するトランジスタを提供する。

【0017】

また、本発明の一態様は、基板上にゲート電極を形成し、ゲート電極上にゲート絶縁層を形成し、ゲート電極と重なるように、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層を覆うようにp型シリコン層を形成し、p型シリコン層をエッチングして、酸化物半導体層の一部を露出させ、p型シリコン層及び酸化物半導体層上に導電膜を形成し、導電膜をエッチングして、ソース電極層及びドレイン電極層を形成するトランジスタの作製方法を提供する。

【0018】

また、本発明の一態様は、基板上にゲート電極を形成し、ゲート電極上にゲート絶縁層を形成し、ゲート電極と重なるように、ゲート絶縁層上に酸化物半導体層を形成し、酸化物半導体層を覆うようにp型シリコン層を形成し、p型シリコン層をエッチングして、酸化物半導体層の一部を露出させ、酸化物半導体層の露出した部分にプラズマ処理を行うことにより低抵抗領域を形成し、p型シリコン層及び酸化物半導体層上に導電膜を形成し、導電膜をエッチングして、ソース電極層及びドレイン電極層を形成するトランジスタの作製方法を提供する。

【0019】

本明細書中において、酸化窒化シリコンとは、その組成として、窒素よりも酸素の含有量が多いものであって、好ましくは、ラザフォード後方散乱法(RBS: Rutherford Backscattering Spectrometry)及び水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合に、濃度範囲として酸素が50～70原子%、窒素が0.5～15原子%、シリコンが25～35原子%、水素が0.1～10原子%の範囲で含まれるものをいう。また、窒化酸化シリコンとは、その組成として、酸素よりも窒素の含有量が多いものであって、

10

20

30

40

50

好ましくは、R B S 及び H F S を用いて測定した場合に、濃度範囲として酸素が 5 ~ 3 0 原子%、窒素が 2 0 ~ 5 5 原子%、シリコンが 2 5 ~ 3 5 原子%、水素が 1 0 ~ 3 0 原子%の範囲で含まれるものをいう。ただし、酸化窒化シリコン又は窒化酸化シリコンを構成する原子の合計を 1 0 0 原子%としたとき、窒素、酸素、シリコン及び水素の含有比率が上記の範囲内に含まれるものとする。

【 0 0 2 0 】

本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、表示装置、半導体回路および電子機器は全て半導体装置に含まれる。また、本明細書中において表示装置とは、発光装置や液晶表示装置を含む。発光装置は発光素子を含み、液晶表示装置は液晶素子を含む。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機 E L (E l e c t r o L u m i n e s c e n c e) 素子、有機 E L 素子、L E D 素子等が含まれる。

10

【 0 0 2 1 】

本明細書において、A の上に B が形成されている、あるいは、A 上に B が形成されている、と明示的に記載する場合は、A の上に B が直接接して形成されていることに限定されない。直接接してはいない場合、つまり、A と B と間に別の対象物が介在する場合も含むものとする。

【 発明の効果 】

【 0 0 2 2 】

本発明の一態様によれば、チャネル層を酸化物半導体で設けるトランジスタにおいて、酸化物半導体層の表面上に接して p 型シリコン層を設けることにより、トランジスタの電気的特性の劣化を抑制することができる。

20

【 図面の簡単な説明 】

【 0 0 2 3 】

【 図 1 】 実施の形態 1 に係るトランジスタの構成を説明する図。

【 図 2 】 実施の形態 1 に係るトランジスタの作製方法の一例を説明する図。

【 図 3 】 実施の形態 1 に係るトランジスタの構成を説明する図。

【 図 4 】 実施の形態 1 に係るトランジスタの構成を説明する図。

【 図 5 】 実施の形態 2 に係るトランジスタの作製方法の一例を説明する図。

【 図 6 】 実施の形態 2 に係るトランジスタの構成を説明する図。

30

【 図 7 】 実施の形態 3 に係るトランジスタの構成を説明する図。

【 図 8 】 実施の形態 3 に係るトランジスタの作製方法の一例を説明する図。

【 図 9 】 実施の形態 3 に係るトランジスタの構成を説明する図。

【 図 1 0 】 実施の形態 4 に係るトランジスタの構成を説明する図。

【 図 1 1 】 実施の形態 4 に係るトランジスタの作製方法の一例を説明する図。

【 図 1 2 】 実施の形態 4 に係るトランジスタの構成を説明する図。

【 図 1 3 】 実施の形態 5 に係る半導体装置の作製方法の一例を説明する図。

【 図 1 4 】 実施の形態 5 に係る半導体装置の作製方法の一例を説明する図。

【 図 1 5 】 実施の形態 5 に係る半導体装置の作製方法の一例を説明する図。

【 図 1 6 】 実施の形態 5 に係る半導体装置の作製方法の一例を説明する図。

40

【 図 1 7 】 実施の形態 5 に係る半導体装置の作製方法の一例を説明する図。

【 図 1 8 】 実施の形態 5 に係る半導体装置の作製方法の一例を説明する図。

【 図 1 9 】 実施の形態 5 に係る半導体装置の作製方法の一例を説明する図。

【 図 2 0 】 実施の形態 6 に係る半導体装置の一例を説明する図。

【 図 2 1 】 実施の形態 7 に係る半導体装置の一例を説明する図。

【 図 2 2 】 実施の形態 8 に係る半導体装置の一例を説明する図。

【 図 2 3 】 テレビジョン装置およびデジタルフォトフレームの例を示す外観図。

【 図 2 4 】 遊技機の例を示す外観図。

【 図 2 5 】 実施の形態 1 に係るトランジスタの作製方法の一例を説明する図。

【 図 2 6 】 実施の形態 1 に係るトランジスタの構成を説明する図。

50

【図 27】シミュレーションに用いたモデルを説明する図。

【図 28】シミュレーションにより求めた水素の拡散係数を説明する図。

【図 29】シミュレーションに用いたトランジスタの構造を説明する図。

【図 30】シミュレーションに用いたトランジスタの構造を説明する図。

【図 31】シミュレーションにより求めたトランジスタの電気的特性の計算結果を示す図

。

【図 32】シミュレーションにより求めたトランジスタの電気的特性の計算結果を示す図

。

【発明を実施するための形態】

【0024】

10

以下に、本発明の実施の形態について、図面を用いて詳細に説明する。ただし、本発明は以下に示す実施の形態の記載内容に限定されず、発明の趣旨から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者にとって自明である。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。また、異なる実施の形態に係る構成は、適宜組み合わせる実施することができる。また、以下に説明する発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を用い、その繰り返しの説明は省略する。

【0025】

(実施の形態 1)

本実施の形態では、半導体装置を構成するトランジスタの構造の一例について、図面を参照して説明する。

20

【0026】

図 1 に示すトランジスタ 120 は、基板 100 上に設けられたゲート (ゲート配線及びゲート電極を含む (以下、「ゲート電極 102」と記す)) と、ゲート電極 102 上に設けられたゲート絶縁層 104 と、ゲート絶縁層 104 上に設けられた酸化物半導体層 108 と、酸化物半導体層 108 の表面上に接するように設けられた p 型シリコン層 112 と、酸化物半導体層 108 と電気的に接続されたソース (ソース配線及びソース電極を含む (以下、「ソース電極層 116a」と記す)) 及びドレイン (ドレイン配線及びドレイン電極を含む (以下、「ドレイン電極層 116b」と記す)) とを有している (図 1 参照)。

【0027】

30

図 1 において、図 1 (A) は上面図を示しており、図 1 (B) は図 1 (A) における A1 - B1 間の断面図を示しており、図 1 (C) は図 1 (A) における A2 - B2 間の断面図を示している。

【0028】

酸化物半導体層 108 は、少なくとも一部がゲート絶縁層 104 を介してゲート電極 102 と重なるように設けられており、トランジスタ 120 のチャネル領域を形成する層 (チャネル層) として機能する。

【0029】

酸化物半導体層 108 としては、半導体特性を有する酸化物材料を用いればよい。例えば、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される構造の酸化物半導体を用いることができ、特に、 In-Ga-Zn-O 系酸化物半導体を用いるのが好ましい。なお、M は、ガリウム (Ga)、鉄 (Fe)、ニッケル (Ni)、マンガン (Mn) 及びコバルト (Co) から選ばれた一の金属元素又は複数の金属元素を示す。例えば M として、Ga の場合があることその他、Ga と Ni 又は Ga と Fe など、Ga 以外の上記金属元素が含まれる場合がある。また、上記酸化物半導体において、M として含まれる金属元素の他に、不純物元素として Fe、Ni その他の遷移金属元素、又は該遷移金属の酸化物が含まれているものがある。本明細書においては、 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) で表記される構造の酸化物半導体のうち、M として少なくとも Ga を含む構造の酸化物半導体を In-Ga-Zn-O 系酸化物半導体と呼び、該薄膜を In-Ga-Zn-O 系非単結晶膜とも呼ぶ。

40

【0030】

50

また、酸化物半導体層 108 に適用する酸化物半導体として上記の他にも、In-Sn-Zn-O 系、In-Al-Zn-O 系、Sn-Ga-Zn-O 系、Al-Ga-Zn-O 系、Sn-Al-Zn-O 系、In-Zn-O 系、Sn-Zn-O 系、Al-Zn-O 系、In-O 系、Sn-O 系、Zn-O 系の酸化物半導体を適用することができる。

【0031】

p 型シリコン層 112 は、少なくともゲート電極 102 と重なる領域において、酸化物半導体層 108 の表面上と接するように設けられている。また、p 型シリコン層 112 は、酸化物半導体層 108 の表面上の一部に設けられ、酸化物半導体層 108 において p 型シリコン層 112 が設けられていない領域にソース電極層 116a 及びドレイン電極層 116b が接して設けられた構造とすることができる。ここでは、酸化物半導体層 108 に互いに離間して p 型シリコン層 112 が設けられていない領域を設け、当該領域にそれぞれソース電極層 116a 及びドレイン電極層 116b を接して設ける場合を示している。

10

【0032】

また、p 型シリコン層 112 は、p 型のシリコンで設ける。なお、ここでいう p 型シリコンとは、シリコンに含まれる p 型を付与する不純物が $1 \times 10^{17} \text{ atoms/cm}^3$ 以上の濃度であり、酸素及び窒素がそれぞれ $1 \times 10^{20} \text{ atoms/cm}^3$ 以下の濃度であるシリコンを指す。p 型を付与する不純物としては、ホウ素等が挙げられる。なお、p 型シリコン層 112 中に含まれるこれらの不純物の濃度は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) を用いて測定を行うことができる。

20

【0033】

また、p 型シリコン層 112 の結晶状態としては、非晶質 (アモルファス) シリコン、微結晶シリコン又は多結晶 (ポリ) シリコンとすることができる。なお、p 型シリコン層 112 は、これらの結晶構造のうち、2 つ以上の結晶構造 (例えば、非晶質構造と微結晶構造 (又は多結晶構造)) を含んでいてもよい。

【0034】

また、p 型シリコン層 112 の形成方法としては、CVD 法、スパッタ法、蒸着法、塗布法等を用いることができる。また、p 型シリコン層 112 の膜厚は、1 nm 以上 500 nm 以下、好ましくは 10 nm 以上 100 nm 以下とすることができる。

【0035】

例えば、アルゴン雰囲気等の水素が含まれない雰囲気又は水素の含有量が少ない雰囲気下において、スパッタ法で p 型シリコン層 112 を成膜することにより、p 型シリコン層 112 の膜中に含まれる水素濃度を低減し、当該 p 型シリコン層 112 に含まれる水素に起因して酸化物半導体層 108 の半導体特性が変動することを低減することができる。

30

【0036】

また、スパッタ法を用いて p 型シリコン層 112 を成膜する場合、直流 (DC) スパッタ装置 (パルス的にバイアスを与えるパルス DC スパッタ装置も含む) を用いることが好ましい。DC スパッタ装置を用いることにより、RF スパッタ装置を用いる場合と比較して大型基板にも対応することが可能となる。これは、保護層として酸化シリコン層や窒化シリコン層等の絶縁層を用いる場合と比較すると大きな利点となる。なぜなら、酸化シリコン層や窒化シリコン層等の絶縁層をスパッタ法により形成する場合 (ターゲットとして絶縁体を用いる場合) には、大型化が困難である RF スパッタを用いる必要があるためである。

40

【0037】

DC スパッタ装置を用いて p 型シリコン層 112 を成膜する場合には、ホウ素等の p 型を付与する不純物が添加されたシリコンターゲットを用いることができる。

【0038】

図 1 に示すように、酸化物半導体層 108 のバックチャネル側 (ゲート電極 102 と反対側の表面) に接するように p 型シリコン層 112 を設けることにより、p 型シリコン層 112 が保護膜として機能し、水素等の元素が酸化物半導体層 108 に混入することを抑制

50

することができる。その結果、水素等の元素の混入に起因する酸化物半導体層 108 の半導体特性の変動を抑制し、結果的には酸化物半導体層 108 をチャネル層とするトランジスタの電気的特性のばらつきや劣化を抑制することが可能となる。

【0039】

また、酸化物半導体層 108 に接して p 型シリコン層 112 を設けることにより、エッチングや膜形成時のダメージ等により酸化物半導体層 108 のバックチャネル側に酸素欠損が生じキャリア（電子）が生じる場合であっても、発生したキャリア（電子）が p 型シリコン層 112 に捕獲され、電気的特性のばらつきや劣化を低減することができる。

【0040】

また、酸化物半導体層 108 上にソース電極層 116 a 及びドレイン電極層 116 b を設ける場合、p 型シリコン層 112 はチャネル保護層（チャネルストップ層）として機能させることができる。そのため、酸化物半導体層 108 上に p 型シリコン層 112 を設けない場合（チャネルエッチ型）と比較して、酸化物半導体層 108 が露出することによる特性変化を抑制することができる。p 型シリコン層 112 をチャネル保護層として積極的に機能させたい場合には、p 型シリコン層 112 を緻密な膜とすることが好ましい。例えば、CVD 法を用いて p 型シリコン層 112 を形成することにより、緻密な膜とすることができる。

10

【0041】

p 型シリコン層 112 は、少なくとも酸化物半導体層 108 においてチャネルが形成される領域の表面と接するように設ければよい。また、p 型シリコン層 112 上に、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜などの絶縁膜を形成してもよい。p 型シリコン層 112 上に設ける絶縁膜は、スパッタ法、CVD 法等を用いて成膜することにより形成してもよいし、p 型シリコン層 112 の表面を酸化（自然酸化も含む）又は窒化させることにより設けてもよい。p 型シリコン層 112 の表面を酸化又は窒化するには、酸素雰囲気下又は窒素雰囲気下でプラズマ処理を行えばよい。

20

【0042】

また、図 1 において、ソース電極層 116 a はトランジスタ 120 のソースとして機能し、ドレイン電極層 116 b はトランジスタ 120 のドレインとして機能する。なお、トランジスタ 120 の駆動方法によっては、ソース電極層 116 a がドレインとして機能し、ドレイン電極層 116 b がソースとして機能する場合もあり得る。

30

【0043】

また、図 1 に示す構成において、酸化物半導体層 108 の表面上に接して設ける材料として、p 型のシリコンの他にも、p 型のゲルマニウム、シリコンに対しゲルマニウムが添加された p 型のシリコンゲルマニウム、又は p 型の炭化シリコン（SiC）を用いてもよい。

【0044】

次に、シリコン層を酸化物半導体層に接して設けた場合の効果について、計算機シミュレーションに基づいて説明する。なお、ここでは、アモルファスシリコン（a-Si）とアモルファス酸化シリコン（a-SiO₂）の水素ブロッキングの効果について検証を行った。

40

【0045】

< 計算方法 >

まず、古典分子動力学シミュレーションにより、温度 $T = 27$ 、圧力 $P = 1 \text{ atm}$ において、各原子の運動方程式を数値的に解くことにより、原子の運動を追跡した。そして、計算結果から得られる H の平均自乗変位から、アインシュタインの公式（数式（1））より、H の拡散係数 D を求める。この拡散係数 D が大きいほど、拡散しやすいことを意味する。

【0046】

【数 1】

$$\lim_{t \rightarrow \infty} \left\langle \frac{1}{N} \sum_{i=1}^N |r_i(t) - r_i(0)|^2 \right\rangle_t = 6Dt \quad \dots (1)$$

$$\left[\left\langle \frac{1}{N} \sum_{i=1}^N |r_i(t) - r_i(0)|^2 \right\rangle_t : \text{Hの平均自乗変位} \right. \\ \left. \begin{array}{l} N : \text{Hの原子数} \\ r_i(t) : \text{時間 } t \text{ における } i \text{ 番目のHの位置} \\ \langle \rangle_t : \text{時間平均} \end{array} \right]$$

10

【0047】

< 計算モデルと計算条件 >

540原子のa-Si中にHを60原子(10atom%)入れたa-Si:Hモデル(図27(A)参照)と、540原子のa-SiO₂中にHを60原子(10atom%)入れたa-SiO₂:Hモデル(図27(B)参照)を用意した。ここで、3次元周期境界条件を課すことで、バルクを計算するモデルとなっている。

20

【0048】

本計算で用いた古典分子動力学法では、原子間相互作用を特徴づける経験的ポテンシャルを定義することで、各原子に働く力を評価する。a-Si:HモデルではTersoffポテンシャルを用いた。a-SiO₂:Hモデルのa-SiO₂ではBorn-Mayer-HugginsポテンシャルとMorseポテンシャルを用い、a-SiO₂と水素原子間(シリコン原子と水素原子間、酸素原子と水素原子間)の相互作用では、Lennard-Jonesポテンシャルを用いた。計算プログラムとしては、富士通株式会社製のシミュレーションソフト「Materials Explorer 5.0」を用いた。

30

【0049】

各計算モデルにおいて、温度T=27、圧力P=1atmで、1nsec間(時間刻み幅0.2fsec×500万ステップ)の古典分子動力学シミュレーションを行った。

【0050】

< 計算結果と考察 >

計算から求めたa-Si中のH原子の平均自乗変位と、a-SiO₂中のH原子の平均自乗変位をそれぞれ図28(A)に示す。図28(A)において、グラフの傾きがほぼ一定となっている領域(70psec~100psec)から求めた各計算モデルのH原子の拡散係数Dを図28(B)に示す。図28(B)より、a-Si中のH原子のほうが、a-SiO₂中のH原子よりも拡散係数が小さくなっており、a-Si中のH原子のほうが、a-SiO₂中のH原子よりも拡散しにくいことがわかった。すなわち、a-Si膜はa-SiO₂膜と比較して水素の混入を防ぐ効果が高いと考えられる。

40

【0051】

続いて、酸化物半導体層108に接して設けるシリコン層をp型とする場合の効果について、計算機シミュレーションに基づいて説明する。

【0052】

計算に用いた薄膜トランジスタの構造を図29に示す。

【0053】

図29(A)に示す構造(構造1)は、ゲート電極902と、ゲート電極902上に設けられたゲート絶縁層904と、ゲート絶縁層904上に設けられた酸化物半導体層908

50

と、酸化物半導体層 908 上に設けられたソース電極層 916a 及びドレイン電極層 916b を有している。構造 1 は、理想的なチャネルエッチ型の薄膜トランジスタの構造を仮定している。

【0054】

図 29 (B) に示す構造 (構造 2) は、トランジスタの構造は図 29 (A) に示す構造と同じであるが、酸化物半導体層 908 のバックチャネル側の表面 (ゲート電極 902 と反対側の表面) に酸素欠損や水素の浸入により発生したキャリア (電子) を仮定 (エッチングや成膜等によるダメージを仮定) している。

【0055】

図 29 (C) に示す構造 (構造 3) は、ゲート電極 902 と、ゲート電極 902 上に設けられたゲート絶縁層 904 と、ゲート絶縁層 904 上に設けられた酸化物半導体層 908 と、酸化物半導体層 908 上に設けられた n 型シリコン層 922 と、酸化物半導体層 908 及び n 型シリコン層 922 上に設けられたソース電極層 916a 及びドレイン電極層 916b を有している。なお、構造 3 においても、構造 2 と同様に酸化物半導体層 908 のバックチャネル側の表面に酸素欠損や水素の浸入により発生したキャリア (電子) を仮定している。

【0056】

図 29 (D) に示す構造 (構造 4) は、トランジスタの構造は図 29 (C) に示す構造とほぼ同じであるが、酸化物半導体層 908 上に n 型ではなく p 型のシリコン層 912 を設けた場合 (図 1 に示す構造) を仮定している。なお、構造 4 においても、構造 2、構造 3 と同様に酸化物半導体層 908 のバックチャネル側の表面に酸素欠損や水素の浸入により発生したキャリア (電子) を仮定している。

【0057】

図 29 において、ゲート電極 902 は、100nm のタングステンを想定し、仕事関数を 4.6eV と仮定した。また、ゲート絶縁層 904 は、100nm の酸化窒化シリコン層を想定し、誘電率を 4.1 と仮定した。また、酸化物半導体層 908 は、50nm の IGZO (i 層) を想定し、バンドギャップ (Eg) を 3.05eV、電子親和力 (χ) を 4.3eV、電子真性移動度 (μ_n) を $15\text{ cm}^2/\text{Vs}$ と仮定した。また、ソース電極層 916a 及びドレイン電極層 916b は、100nm のチタンを想定し、仕事関数を 4.3eV と仮定した。

【0058】

また、構造 3 において、n 型シリコン層 922 は、50nm のアモルファスシリコンを想定し、n 型の導電型を付与する不純物元素が $1 \times 10^{17} \text{ atoms/cm}^3$ 添加されたと仮定した。

【0059】

また、構造 4 において、p 型シリコン層 912 は、50nm のアモルファスシリコンを想定し、p 型の導電型を付与する不純物元素が、 $1 \times 10^{17} \text{ atoms/cm}^3$ 添加されたと仮定した。

【0060】

また、構造 2 ~ 構造 4 において、酸化物半導体層 908 のバックチャネル側に仮定したキャリア (電子) としては、酸化物半導体層 908 のバックチャネル側 10nm に電子を供給するドナー準位を仮定している。なお、通常、酸化物半導体層のバックチャネル側に接してシリコン層を設けた場合 (構造 3、4) には、シリコン層が保護膜として機能し、チャネルエッチ型 (構造 2) と比べて酸化物半導体層へのダメージを低減することが可能であるが、ここでは、比較のため、構造 2 ~ 4 において、同様のドナー準位を仮定した。

【0061】

次に、上記図 29 の構造について、silvaco 社製のシミュレーションソフト「Atlas」を用いてそれぞれ計算を行った。

【0062】

なお、計算を行うにあたって、トランジスタの構造を図 30 (A) (B) に示すように仮

10

20

30

40

50

定した。具体的には、構造 1 ～ 構造 4 において、チャネル長方向におけるゲート電極の長さを $20\ \mu\text{m}$ 、ソース電極層とドレイン電極層間の距離 $10\ \mu\text{m}$ とした。更に、構造 3、構造 4 においては、図 30 (B) に示すように、チャネル長方向におけるシリコン層の長さを $12\ \mu\text{m}$ とした。また、構造 1 ～ 構造 4 において、チャネル幅 W を $100\ \mu\text{m}$ とした。

【0063】

図 29 に示す薄膜トランジスタの電流 - 電圧特性に関する計算結果を図 31 に示す。ここでは、 $V_{ds} = 10\ \text{V}$ とした。なお、図 31 において、縦軸はソース - ドレイン間の電流 ($I_{ds} [\text{A}]$)、横軸はゲート - ソース間の電位差 ($V_{gs} [\text{V}]$) を示している。

【0064】

図 31 に示すように、酸化物半導体層 908 のバックチャネル側にダメージを仮定していない理想的な構造 1 では、 $V_g = 0\ \text{V}$ から $I_d - V_g$ カーブが立ち上がることが確認された。一方、酸化物半導体層 908 のバックチャネル側にダメージを仮定した構造 2 では、しきい値電圧 (V_{th}) がマイナスにシフトしノーマリーオンとなることが確認された。

【0065】

また、酸化物半導体層 908 のバックチャネル側にダメージを仮定すると共に、酸化物半導体層 908 のバックチャネル側に接して n 型シリコン層 922 を設けた構造 3 では、 V_{th} が大きくマイナスにシフトし、オフリーク (トランジスタがオフ時のリーク電流) が高くなることが確認された。

【0066】

一方で、酸化物半導体層 908 のバックチャネル側にダメージを仮定すると共に、酸化物半導体層 908 のバックチャネル側に接して p 型シリコン層 912 を設けた構造 4 では、構造 2、構造 3 と比較して、理想的な構造である構造 1 に近い半導体特性が得られることが確認された。これは、酸化物半導体層に p 型のシリコン層を接して設けることにより、酸化物半導体層のバックチャネル側に発生したキャリア (電子) が p 型のシリコン層に捕獲され、トランジスタの電気特性の劣化を抑制しているためと考えられる。

【0067】

次に、上記構造 4 において、シリコン層の膜厚及び添加される p 型の不純物元素の濃度を变化させて計算を行った結果を図 32 に示す。なお、シリコン層の膜厚、不純物濃度以外の条件については、上記構造 4 と同様に仮定した。したがって、酸化物半導体層のバックチャネル側の表面に酸素欠損や水素の浸入により発生したキャリア (電子) も仮定している。

【0068】

図 32 (A) は、膜厚が $50\ \text{nm}$ のシリコン層に含まれる p 型を付与する不純物元素の濃度を变化させた場合の薄膜トランジスタの電流 - 電圧特性に関する計算結果である。また、図 32 (B) は、膜厚が $10\ \text{nm}$ のシリコン層に含まれる p 型を付与する不純物元素の濃度を变化させた場合の薄膜トランジスタの電流 - 電圧特性に関する計算結果である。

【0069】

図 32 (A)、(B) より、シリコン層に含まれる不純物元素の濃度が高くなるにつれ、 V_{th} がプラス側にシフトすることが確認された。また、不純物元素の濃度が高い場合には、膜厚が大きい方が、 V_{th} がよりプラス側にシフトすることが確認された。

【0070】

次に、図 1 に示す構成において、酸化物半導体層 108 と p 型シリコン層 112 の形状について説明する。なお、以下の説明において、p 型シリコン層 112 の幅 (W_b)、酸化物半導体層 108 の幅 (W_c) とは、それぞれチャネル幅方向における p 型シリコン層 112 の長さ、酸化物半導体層 108 の長さを指す。また、p 型シリコン層 112 の長さ (L_b)、酸化物半導体層 108 の長さ (L_c) とは、それぞれチャネル長方向における p 型シリコン層 112 の長さ、酸化物半導体層 108 の長さを指す。また、チャネル長方向とは、トランジスタ 120 においてキャリアが移動する方向と概略平行な方向 (ソース電極層 116a とドレイン電極層 116b を結ぶ方向) を指し、チャネル幅方向とは、チャ

10

20

30

40

50

ネル長方向と概略垂直な方向を指す。

【0071】

図1に示すトランジスタは、p型シリコン層112の幅(Wb)を酸化物半導体層108の幅(Wc)より大きくすると共に、チャネル幅方向においてp型シリコン層112が酸化物半導体層108の両端部を乗り越える(横断する)ように設ける場合を示している。また、p型シリコン層112の長さ(Lb)を酸化物半導体層108の長さ(Lc)より小さくし、チャネル長方向においてp型シリコン層112に覆われていない酸化物半導体層108の領域を2つ設け、当該離間して設けられた2つの領域にソース電極層116a及びドレイン電極層116bが電氣的に接続されるように設ける場合を示している。このように設けることにより、酸化物半導体層108表面の半導体特性の変化に起因して生じるリーク電流を低減することができる。

10

【0072】

なお、本実施の形態で示すトランジスタの構成は図1に示したものに限られない。

【0073】

図1では、酸化物半導体層108の長さ(Lc)を大きくして、チャネル長方向においてゲート電極102の端部を乗り越えるように設けた構成のトランジスタ120を示したが、図3に示すトランジスタ121のように、酸化物半導体層108の長さ(Lc)を小さくして、酸化物半導体層108の全てがゲート電極102上に配置される構成としてもよい。なお、図3において、図3(A)は上面図を示しており、図3(B)は図3(A)におけるA1-B1の断面図を示している。

20

【0074】

また、図1及び図3の構成において、酸化物半導体層108と重なる領域において、ソース電極層116a及びドレイン電極層116bの幅(Wd)を酸化物半導体層108の幅(Wc)より大きくなるように形成してもよい(図4(A)、(B)参照)。図4(A)、(B)にそれぞれ示したトランジスタ122及びトランジスタ123は、p型シリコン層112が接していない酸化物半導体層108の領域をソース電極層116a及びドレイン電極層116bにより覆うことができるため、酸化物半導体層108を保護して信頼性を向上することができるという利点がある。また、酸化物半導体層108と、ソース電極層116a及びドレイン電極層116bとの接触面積を増加し、酸化物半導体層108とソース電極層116a及びドレイン電極層116bとのコンタクト抵抗を低減することができる。

30

【0075】

なお、ソース電極層116a及びドレイン電極層116bの幅(Wd)とは、チャネル幅方向におけるソース電極層116a及びドレイン電極層116bの長さを指す。

【0076】

また、ソース電極層116a及びドレイン電極層116bの幅(Wd)をp型シリコン層112の幅(Wb)より大きくなるように形成してもよいし、ソース電極層116aとドレイン電極層116bのうち一方の幅(Wd)のみを酸化物半導体層108の幅(Wc)(及びp型シリコン層112の幅(Wb))より大きくなるように形成してもよい。

【0077】

また、本実施の形態で示す構成において、p型シリコン層112の上方及び/又は下方にブラックマトリクス等の遮光部を設けてp型シリコン層112を遮光する構成とすることができる。p型シリコン層112を遮光する構成とすることにより、p型シリコン層112に光が照射されることに起因するトランジスタの電気特性のばらつきを抑制することができる。なお、ゲート電極102に遮光性の材料を用いる場合には、p型シリコン層112の上方(ゲート電極102と反対側)にブラックマトリクス等の遮光部を設ければよい。

40

【0078】

次に、図1に示すトランジスタの作製方法の一例に関して図2を参照して説明する。

【0079】

50

まず、基板 100 上にゲート電極 102 を形成し、続いて当該ゲート電極 102 上にゲート絶縁層 104 を形成し、その後、ゲート絶縁層 104 上に酸化物半導体層 106 を形成する（図 2（A）参照）。

【0080】

基板 100 は、絶縁表面を有する基板であればよく、例えば、ガラス基板を用いることができる。他にも、基板 100 として、セラミック基板、石英基板やサファイア基板等の絶縁体となる絶縁性基板、シリコン等の半導体材料となる半導体基板の表面を絶縁材料で被覆したもの、金属やステンレス等の導電体となる導電性基板の表面を絶縁材料で被覆したものをを用いることができる。また、作製工程の熱処理に耐えられるのであれば、プラスチック基板を用いることもできる。

10

【0081】

ゲート電極 102 は、導電膜を基板 100 全面に形成した後、フォトリソグラフィ法を用いて、導電膜をエッチングすることにより形成することができる。

【0082】

ゲート電極 102 は、アルミニウム（Al）、銅（Cu）、モリブデン（Mo）、タングステン（W）、チタン（Ti）等の導電性材料で形成することができる。なお、配線及び電極としてアルミニウムを用いる場合、アルミニウム単体では耐熱性が低く、腐蝕しやすい等の問題点があるため、耐熱性導電性材料と組み合わせ形成することが好ましい。

【0083】

耐熱性導電性材料は、チタン（Ti）、タンタル（Ta）、タングステン（W）、モリブデン（Mo）、クロム（Cr）、Nd（ネオジム）、スカンジウム（Sc）から選ばれた元素、上述した元素を成分とする合金、上述した元素を組み合わせた合金膜、又は上述した元素を成分とする窒化物で形成することができる。これらの耐熱性導電性材料からなる膜とアルミニウム（又は銅）を積層させて、配線や電極を形成すればよい。

20

【0084】

また、ゲート電極 102 として、可視光に対する透光性を有し且つ導電性が高い材料を用いて形成してもよい。このような材料として、例えば、インジウム錫酸化物（Indium Tin Oxide：ITO）、酸化珪素を含むインジウム錫酸化物（ITOS）、有機インジウム、有機スズ、酸化亜鉛（ZnO）等を用いることができる。

【0085】

ゲート絶縁層 104 は、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜又は酸化タンタル膜等で形成することができる。また、これらの膜を積層させて設けてもよい。これらの膜は、例えば、スパッタ法等を用いて膜厚を 10 nm 以上 500 nm 以下で形成することができる。

30

【0086】

酸化物半導体層 106 は、In-Ga-Zn-O 系酸化物半導体を用いて形成することができる。この場合、In、Ga、及び Zn を含む酸化物半導体ターゲット（例えば、In₂O₃：Ga₂O₃：ZnO = 1：1：1）を用いたスパッタ法で非晶質構造を有する酸化物半導体層 106 を形成することができる。

【0087】

スパッタ法の条件としては、例えば、基板 100 とターゲットとの距離を 30 mm 以上 500 mm 以下、圧力を 0.01 Pa 以上 2.0 Pa 以下、直流（DC）電源を 0.25 kW 以上 5.0 kW 以下、温度を 20 以上 200 以下、雰囲気アルゴン雰囲気、酸素雰囲気、又はアルゴンと酸素との混合雰囲気とすることができる。

40

【0088】

なお、スパッタ法において、パルス直流（DC）電源を用いると、ごみが軽減でき、膜厚分布も均一となるため好ましい。また、酸化物半導体層 106 の膜厚は、5 nm 以上 200 nm 以下程度とすることができる。

【0089】

酸化物半導体層 106 として、In-Ga-Zn-O 系非単結晶膜を形成する場合におい

50

て、In、Ga及びZnを含む酸化物半導体ターゲットに、絶縁性の不純物を含ませておいても良い。当該不純物として、酸化シリコン、酸化ゲルマニウム、酸化アルミニウムなどに代表される絶縁性酸化物、窒化シリコン、窒化アルミニウムなどに代表される絶縁性窒化物、若しくは酸窒化シリコン、酸窒化アルミニウムなどの絶縁性酸窒化物が適用される。これらの絶縁性酸化物若しくは絶縁性窒化物は、酸化物半導体の電気伝導性を損わない濃度で添加される。

【0090】

酸化物半導体層106に絶縁性の不純物を含ませることにより、該酸化物半導体層106の結晶化を抑制することができる。酸化物半導体層106の結晶化を抑制することにより、薄膜トランジスタの特性を安定化することが可能となる。また、In-Ga-Zn-O系酸化物半導体に酸化シリコンなどの不純物を含ませておくことで、200 以上600 以下の熱処理を行っても、該酸化物半導体の結晶化又は微結晶粒の生成を防ぐことができる。

10

【0091】

酸化物半導体層106に適用する酸化物半導体として上記の他にも、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系、In-Zn-O系、Sn-Zn-O系、Al-Zn-O系、In-O系、Sn-O系、Zn-O系の酸化物半導体を適用することができる。また、これらの酸化物半導体に結晶化を抑制し非晶質状態を保持させる不純物を加えることによって、薄膜トランジスタの特性を安定化させることができる。当該不純物は、酸化シリコン、酸化ゲルマニウム、酸化アルミニウムなどに代表される絶縁性酸化物、窒化シリコン、窒化アルミニウムなどに代表される絶縁性窒化物、若しくは酸窒化シリコン、酸窒化アルミニウムなどの絶縁性酸窒化物等である。

20

【0092】

次に、酸化物半導体層106をエッチングして島状の酸化物半導体層108を形成する(図2(B)参照)。この際、島状の酸化物半導体層108を、少なくともゲート電極102の上方に残存させるように酸化物半導体層106をエッチングする。

【0093】

次に、酸化物半導体層108を覆うようにp型シリコン層110を形成する(図2(C)参照)。

30

【0094】

p型シリコン層110は、スパッタ法により形成することができる。この場合、アルゴン雰囲気下で、ホウ素が添加されたシリコンターゲットを用いたDCスパッタ法でp型シリコン層110を形成することができる。但し、これに限られず、p型シリコン層110をCVD法等を用いて形成してもよい。なお、成膜条件によっては、酸化物半導体層108とp型シリコン層110との界面に、酸化物半導体層108とp型シリコン層110の混合層(例えば、シリコンの酸化物等)が薄く形成される場合がある。

【0095】

次に、p型シリコン層110をエッチングして島状のp型シリコン層112を形成する(図2(D)参照)。この際、島状のp型シリコン層112を、少なくともゲート電極102と重なる領域に残存させるようにp型シリコン層110をエッチングする。また、酸化物半導体層108の少なくとも一部を露出させるようにp型シリコン層110をエッチングする。

40

【0096】

エッチングとしては、例えば、TMAH(Tetra Methyl Ammonium Hydroxide、テトラメチルアンモニウムヒドロキシド)を用いたウエットエッチングを適用することができる。この場合、酸化物半導体層108とp型シリコン層110のエッチング選択比を大きくとることができ、酸化物半導体層108をほとんどエッチングすることなく、p型シリコン層110のエッチングを良好に行うことができる。また、酸化物半導体層108へのダメージを低減することができる。

50

【0097】

なお、エッチング選択比とは、例えば、A層とB層をエッチングする場合における、A層のエッチングレートとB層のエッチングレートの差を意味する。すなわち、エッチング選択比が大きいということは、エッチングレートに十分な差を有することを意味する。

【0098】

次に、ゲート絶縁層104、酸化物半導体層108及びp型シリコン層112上に導電膜114を形成する(図2(E)参照)。

【0099】

導電膜114は、スパッタ法や真空蒸着法等を用いて、アルミニウム(Al)、銅(Cu)、チタン(Ti)、タンタル(Ta)、タングステン(W)、モリブデン(Mo)、クロム(Cr)、ネオジム(Nd)、スカンジウム(Sc)から選ばれた元素を含む金属、上述の元素を成分とする合金、または、上述の元素を成分とする窒化物等からなる材料で形成することができる。

10

【0100】

例えば、導電膜114を、モリブデン膜やチタン膜の単層構造で形成することができる。また、導電膜114を積層構造で形成してもよく、例えば、アルミニウム膜とチタン膜との積層構造とすることができる。また、チタン膜と、アルミニウム膜と、チタン膜とを順に積層した3層構造としてもよい。また、モリブデン膜とアルミニウム膜とモリブデン膜とを順に積層した3層構造としてもよい。また、これらの積層構造に用いるアルミニウム膜として、ネオジムを含むアルミニウム(Al-Nd)膜を用いてもよい。さらに、導電膜114を、シリコンを含むアルミニウム膜の単層構造としてもよい。

20

【0101】

また、導電膜114として、可視光に対する透光性を有し且つ導電性が高い材料を用いて形成してもよい。このような材料として、例えば、インジウム錫酸化物(Indium Tin Oxide:ITO)、酸化珪素を含むインジウム錫酸化物(ITSO)、有機インジウム、有機スズ、酸化亜鉛(ZnO)等を用いることができる。

【0102】

次に、導電膜114をエッチングして、ソース電極層116a、ドレイン電極層116bを形成する(図2(F)参照)。この際、エッチング条件により導電膜114のエッチングと同時に、p型シリコン層112もエッチングされ膜減りする場合がある。ここでは、導電膜114のエッチング時に、p型シリコン層112もエッチングされ膜減りする場合を示している。

30

【0103】

上記工程において、p型シリコン層112は、導電膜114のエッチングの際に酸化物半導体層108のエッチングを抑制するチャネル保護層(チャネルストップ層)として機能する。なお、酸化物半導体層108において、p型シリコン層112が設けられていない領域では、導電膜114のエッチングと同時に酸化物半導体層108が膜減りする場合がある。

【0104】

このように、酸化物半導体層108と接するようにp型シリコン層112を設けることにより、外部から酸化物半導体層108に水素等の意図しない元素が混入することを抑制することができる。

40

【0105】

以上の工程により、トランジスタ120を作製することができる。

【0106】

また、トランジスタ120を覆うように、保護絶縁層を形成してもよい。保護絶縁層としては、例えば、CVD法やスパッタ法等を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。また、ソース電極層116a、ドレイン電極層116bを形成した後、p型シリコン層

50

112の露出部分を酸化（自然酸化も含む）又は窒化することにより、ソース電極層116aとドレイン電極層116bの間の領域に位置するp型シリコン層112上に酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜を形成してもよい。

【0107】

また、図2の工程において、酸化物半導体層108を形成した後、窒素雰囲気下又は大気雰囲気下において、100以上600以下、代表的には200以上400以下の熱処理を行うことが好ましい。例えば、窒素雰囲気下で350、1時間の熱処理を行うことができる。この熱処理により島状の酸化物半導体層108の原子レベルの再配列が行われ、酸化物半導体層108中におけるキャリアの移動を阻害する歪みを解放できる点で重要である。

10

【0108】

また、熱処理を行うタイミングは、酸化物半導体層106の形成後であれば特に限定されず、p型シリコン層110を形成した後、島状のp型シリコン層112を形成した後、導電膜114を形成した後、ソース電極層116a及びドレイン電極層116bを形成した後又は保護絶縁層を形成した後に行ってもよい。なお、熱処理の条件等によっては、酸化物半導体層108とp型シリコン層112との界面に、酸化物半導体層108とp型シリコン層112の混合層（例えば、シリコンの酸化物等）が薄く形成される場合がある。

【0109】

その後、各種電極や配線を形成することでトランジスタ120を具備する半導体装置が完成する。

20

【0110】

なお、上記図2では、酸化物半導体層108を形成した後にp型シリコン層110を形成する場合を示したが、酸化物半導体層106とp型シリコン層110を連続して積層させて形成した後、複数のマスクを用いてそれぞれp型シリコン層112と酸化物半導体層108にパターニングしてもよい。この場合の作製方法に関して図25を参照して説明する。

【0111】

まず、基板100上にゲート電極102を形成し、続いて当該ゲート電極102上にゲート絶縁層104を形成する。続いて、ゲート絶縁層104上に酸化物半導体層106とp型シリコン層110を順に積層して形成した後、レジストマスク175を選択的に形成する（図25（A）参照）。ゲート絶縁層104からp型シリコン層110まで、又は酸化物半導体層106からp型シリコン層110までは連続して成膜することが好ましい。

30

【0112】

次に、レジストマスク175を用いて、p型シリコン層110及び酸化物半導体層106の不要な部分をエッチングし、島状の酸化物半導体層108及びp型シリコン層111を形成する（図25（B）参照）。その後、レジストマスク175を除去する。

【0113】

次に、p型シリコン層111上にレジストマスク176を形成し、当該レジストマスク176を用いて、露出したp型シリコン層111をエッチングすることにより、島状のp型シリコン層112を形成する（図25（C）参照）。

40

【0114】

次に、ゲート絶縁層104、酸化物半導体層108及びp型シリコン層112上に導電膜114を形成した後（図25（D）参照）、当該導電膜114をエッチングして、ソース電極層116a、ドレイン電極層116bを形成する（図25（E）参照）。

【0115】

以上の工程により、図26に示すようなトランジスタ124を作製することができる。図26で示すトランジスタ124は、p型シリコン層112の幅（Wb）と酸化物半導体層108の幅（Wc）が等しくなるように設ける場合を示している。なお、図26において、図26（A）は上面図を示しており、図26（B）は図26（A）におけるA1-B1間の断面図を示しており、図26（C）は図26（A）におけるA2-B2間の断面図を

50

示している。

【 0 1 1 6 】

このように、酸化物半導体層 1 0 6 と p 型シリコン層 1 1 0 を連続して形成することにより、酸化物半導体層 1 0 6 の表面にエッチング剤やプラズマ等に起因するダメージが加わることを低減することができる。

【 0 1 1 7 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 1 1 8 】

(実施の形態 2)

本実施の形態では、上記実施の形態 1 と異なるトランジスタの作製方法及び構成について、図面を参照して説明する。

【 0 1 1 9 】

はじめに、トランジスタの作製方法について図 5 を参照して説明する。なお、本実施の形態で示す作製工程（適用できる材料等）は多くの部分で上記実施の形態 1 と共通している。したがって、以下においては、重複する部分の説明は省略し、異なる点について詳細に説明する。

【 0 1 2 0 】

まず、基板 1 0 0 上にゲート電極 1 0 2 を形成し、続いて当該ゲート電極 1 0 2 上にゲート絶縁層 1 0 4 を形成する。続いて、ゲート絶縁層 1 0 4 上に酸化物半導体層 1 0 6 と p 型シリコン層 1 1 0 を順に積層して形成した後、レジストマスク 1 7 1 を選択的に形成する（図 5（A）参照）。ゲート絶縁層 1 0 4 から p 型シリコン層 1 1 0 まで、又は酸化物半導体層 1 0 6 から p 型シリコン層 1 1 0 までは連続して成膜することが好ましい。

【 0 1 2 1 】

次に、レジストマスク 1 7 1 を用いて、p 型シリコン層 1 1 0 をエッチングし、島状の p 型シリコン層 1 1 1 を形成する（図 5（B）参照）。ここでは、アルカリ系のエッチング液を用いたウエットエッチングを行う。アルカリ系のエッチング液を用いることにより、酸化物半導体層 1 0 6 と p 型シリコン層 1 1 0 のエッチング選択比を大きくとることができる。p 型シリコン層 1 1 0 を選択的にエッチングすることができる。なお、アルカリ系のエッチング液としては、例えば、TMAH（Tetra Methyl Ammonium Hydroxide、テトラメチルアンモニウムヒドロキシド）を用いることができる。

【 0 1 2 2 】

次に、レジストマスク 1 7 1 を用いて、酸化物半導体層 1 0 6 をエッチングし、島状の酸化物半導体層 1 0 8 を形成する（図 5（C）参照）。ここでは、酸系のエッチング液を用いたウエットエッチングを行う。酸系のエッチング液を用いることにより、酸化物半導体層 1 0 6 と p 型シリコン層 1 1 1 のエッチング選択比を大きくとることができる。酸化物半導体層 1 0 6 を選択的にエッチングすることができる。なお、酸系のエッチング液としては、例えば、リン酸、酢酸、硝酸及び水の混合液（混酸アルミともいう）を用いることができる。

【 0 1 2 3 】

次に、レジストマスク 1 7 1 を用いて、p 型シリコン層 1 1 1 をエッチングし、島状の p 型シリコン層 1 1 2 を形成する（図 5（D）参照）。ここでは、再度アルカリ系のエッチング液を用いたウエットエッチングを行う。アルカリ系のエッチング液を用いることにより、酸化物半導体層 1 0 8 と p 型シリコン層 1 1 1 のエッチング選択比を大きくとることができる。p 型シリコン層 1 1 1 を選択的にエッチングすることができる。ここでは、エッチングが等方的に進行し、p 型シリコン層 1 1 1 の側面がエッチング（サイドエッチング）される。なお、アルカリ系のエッチング液としては、例えば、TMAH（Tetra Methyl Ammonium Hydroxide、テトラメチルアンモニウムヒドロキシド）を用いることができる。

10

20

30

40

50

【 0 1 2 4 】

このように、酸化物半導体層のエッチング後に続けて p 型シリコン層をエッチングすることで、マスクを追加することなく酸化物半導体層と p 型シリコン層のエッチングを行うことができるため、工程を簡略化することができる。

【 0 1 2 5 】

次に、ゲート絶縁層 1 0 4、酸化物半導体層 1 0 8 及び p 型シリコン層 1 1 2 上に導電膜を形成した後、当該導電膜をエッチングして、ソース電極層 1 1 6 a、ドレイン電極層 1 1 6 b を形成する（図 5（E）参照）。

【 0 1 2 6 】

以上の工程により、図 6 に示すようなトランジスタ 1 3 0 を作製することができる。なお、図 6 において、図 6（A）は上面図を示しており、図 6（B）は図 6（A）における A 1 - B 1 間の断面図を示しており、図 6（C）は図 6（A）における A 2 - B 2 間の断面図を示している。

10

【 0 1 2 7 】

図 5 に示す作製方法を用いた場合には、図 6 に示すように、p 型シリコン層 1 1 2 の幅（W b）が酸化物半導体層 1 0 8 の幅（W c）より小さくなると共に、p 型シリコン層 1 1 2 の長さ（L b）が酸化物半導体層 1 0 8 の長さ（L c）より小さくなる。

【 0 1 2 8 】

図 5 の作製工程において、酸化物半導体層 1 0 6 と p 型シリコン層 1 1 0 を連続して形成することにより、酸化物半導体層 1 0 6 の表面にエッチング剤やプラズマ等に起因するダメージが加わることを低減することができる。酸化物半導体層上に当該酸化物半導体層とエッチング選択比がとれる p 型シリコン層を設けることにより、酸化物半導体層と p 型シリコン層のエッチングを行う場合であっても、マスクを追加することなく、工程を簡略化することができる。

20

【 0 1 2 9 】

なお、トランジスタ 1 3 0 を形成後、当該トランジスタ 1 3 0 を覆うように保護絶縁層を形成してもよい。また、図 5 の工程において、酸化物半導体層 1 0 8 を形成した後、窒素雰囲気下又は大気雰囲気下において、熱処理を行ってもよい。

【 0 1 3 0 】

なお、図 6 に示すトランジスタ 1 3 0 の作製方法は、図 5 に示した方法に限られない。例えば、図 5（C）まで行った後、レジストマスク 1 7 1 に対して、酸素プラズマによるアッシングを行うことにより、レジストマスク 1 7 1 を等方的に縮小させて p 型シリコン層 1 1 1 の一部を露出させた後、p 型シリコン層 1 1 1 の露出した部分をエッチングすることによって、p 型シリコン層 1 1 2 を形成してもよい。

30

【 0 1 3 1 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 1 3 2 】

（実施の形態 3）

本実施の形態では、上記実施の形態 1、2 と異なるトランジスタ及びその作製方法について、図面を参照して説明する。なお、本実施の形態で示す作製工程（適用できる材料等）は多くの部分で上記実施の形態 1 と共通している。したがって、以下においては、重複する部分の説明は省略し、異なる点について詳細に説明する。

40

【 0 1 3 3 】

図 7 に示すトランジスタ 1 4 0 は、基板 1 0 0 上に設けられたゲート電極 1 0 2 と、ゲート電極 1 0 2 上に設けられたゲート絶縁層 1 0 4 と、ゲート絶縁層 1 0 4 上に設けられた酸化物半導体層 1 0 8 と、酸化物半導体層 1 0 8 の表面上に接するように設けられた p 型シリコン層 1 1 2 と、酸化物半導体層 1 0 8 の表面上に接するように設けられたソース電極層 1 1 6 a 及びドレイン電極層 1 1 6 b とを有し、酸化物半導体層 1 0 8 においてソース電極層 1 1 6 a 及びドレイン電極層 1 1 6 b と接する領域に低抵抗領域 1 0 9 a、1 0

50

9 b が設けられている。

【0134】

つまり、本実施の形態で示すトランジスタ140は、上記実施の形態で示した構成において、酸化物半導体層108のp型シリコン層112が設けられていない領域に低抵抗領域109a、109bを追加した構成となっている。なお、図7において、図7(A)は上面図を示しており、図7(B)は図7(A)におけるA1-B1の断面図を示している。

【0135】

低抵抗領域109a、109bは、酸化物半導体層108において、酸素欠損させる(p型シリコン層112が接する領域と比較して酸素欠損状態とする)ことにより設けることができる。酸素欠損は、酸化物半導体層108においてp型シリコン層112が設けられていない領域に選択的に水素、アルゴン等の還元性のガスでプラズマ処理することにより設ければよい。

10

【0136】

他にも、酸化物半導体層108に選択的に水素を添加することにより、低抵抗領域109a、109bを設けてもよい。

【0137】

低抵抗領域109a、109bは、トランジスタ140においてソース領域又はドレイン領域として機能し、低抵抗領域109aにソース電極層116aを接して設け、低抵抗領域109bにドレイン電極層116bを接して設けることによって、酸化物半導体層108とソース電極層116a及びドレイン電極層116bとのコンタクト抵抗を低減することができる。

20

【0138】

次に、図7に示すトランジスタの作製方法の一例に関して図8を参照して説明する。

【0139】

まず、上記図2(A)～図2(D)で示した工程を行い、p型シリコン層112のエッチングに使用したレジストマスク172を残存させる(図8(A)参照)。

【0140】

次に、レジストマスク172を用いて、酸化物半導体層108に水素、アルゴン等の還元性のガスでプラズマ処理し、当該酸化物半導体層108に低抵抗領域109a、109bを形成する(図8(B)参照)。

30

【0141】

次に、ゲート絶縁層104、酸化物半導体層108及びp型シリコン層112上に導電膜114を形成する(図8(C)参照)。なお、導電膜114が酸化物半導体層108の低抵抗領域109a、109bに接するように形成する。

【0142】

次に、導電膜114をエッチングして、ソース電極層116a、ドレイン電極層116bを形成する(図8(D)参照)。

【0143】

以上の工程により、トランジスタ140を作製することができる。

【0144】

なお、トランジスタ140を形成後、当該トランジスタ140を覆うように保護絶縁層を形成してもよい。また、図8の工程において、酸化物半導体層108を形成した後、窒素雰囲気下又は大気雰囲気下において、熱処理を行ってもよい。

40

【0145】

なお、図7、図8では、酸化物半導体層108に低抵抗領域109a、109bを設けることにより、酸化物半導体層108とソース電極層116a及びドレイン電極層116bとのコンタクト抵抗を低減する場合を示したが、これに限られない。

【0146】

図9(A)、(B)に示すトランジスタ141のように、酸化物半導体層108とソース電極層116a及びドレイン電極層116bとの間に、それぞれ第1の金属酸化物層11

50

5 a、第2の金属酸化物層115 bを設けた構成としてもよい。なお、図9において、図9(A)は上面図を示しており、図9(B)は図9(A)におけるA1-B1の断面図を示している。

【0147】

第1の金属酸化物層115 a、第2の金属酸化物層115 bは、少なくとも酸化物半導体層108より抵抗が小さい金属酸化物で設ければよい。

【0148】

また、第1の金属酸化物層115 a、第2の金属酸化物層115 bは、酸化物半導体層108と同じ材料を用い、且つ、異なる成膜条件で設けることができる。例えば、酸化物半導体層108、第1の金属酸化物層115 a、第2の金属酸化物層115 bとしてIn-Ga-Zn-O系非単結晶膜を用いる場合、第1の金属酸化物層115 a、第2の金属酸化物層115 bのIn-Ga-Zn-O系非単結晶膜の成膜条件における酸素ガス流量とアルゴンガス流量の比よりも酸化物半導体層108のIn-Ga-Zn-O系非単結晶膜の成膜条件における酸素ガス流量の占める比率が多い条件とする。具体的には、第1の金属酸化物層115 a、第2の金属酸化物層115 bのIn-Ga-Zn-O系非単結晶膜の成膜条件を、希ガス(アルゴン、又はヘリウムなど)雰囲気下(または酸素ガス10%以下、アルゴンガス90%以上)とし、酸化物半導体層108のIn-Ga-Zn-O系非単結晶膜の成膜条件を、酸素混合雰囲気下(酸素ガス流量は希ガス流量より多い)とすることができる。

【0149】

このように、酸化物半導体層108とソース電極層116 a及びドレイン電極層116 bとの間に第1の金属酸化物層115 a、第2の金属酸化物層115 bをそれぞれ設けることによって、ソース電極層116 a及びドレイン電極層116 bからのキャリアの注入障壁が低減できるため、酸化物半導体層108とソース電極層116 a及びドレイン電極層116 bとのコンタクト抵抗を低減することができる。

【0150】

なお、第1の金属酸化物層115 a、第2の金属酸化物層115 bは、上記図2(A)~(D)までの工程を行った後、p型シリコン層112及び酸化物半導体層108上に金属酸化物層と導電膜114を順に積層して形成し、導電膜114と同様にエッチングすることにより形成することができる。この際、エッチング条件と選択する材料により、導電膜114と金属酸化物層、又は導電膜114と金属酸化物層と酸化物半導体層108が同時にエッチングされる場合がある。

【0151】

また、図9(C)に示すトランジスタ142のように、酸化物半導体層108に低抵抗領域109 a、109 bを設けると共に、第1の金属酸化物層115 a、第2の金属酸化物層115 bを設けた構成としてもよい。

【0152】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0153】

(実施の形態4)

本実施の形態では、上記実施の形態1~3と異なるトランジスタ及びその作製方法について、図面を参照して説明する。なお、本実施の形態で示す作製工程(適用できる材料等)は多くの部分で上記実施の形態1と共通している。したがって、以下においては、重複する部分の説明は省略し、異なる点について詳細に説明する。

【0154】

図10(A)、(B)に示すトランジスタ150は、基板100上に設けられたゲート電極102と、ゲート電極102上に設けられたゲート絶縁層104と、ゲート絶縁層104上に設けられたソース電極層116 a及びドレイン電極層116 bと、ソース電極層116 a及びドレイン電極層116 b上に設けられると共にゲート電極102の上方であっ

10

20

30

40

50

てソース電極層 116a とドレイン電極層 116b の間の領域に位置するゲート絶縁層 104 上に設けられた酸化物半導体層 108 と、酸化物半導体層 108 を覆って設けられた p 型シリコン層 112 を有している。

【0155】

つまり、本実施の形態で示すトランジスタ 150、トランジスタ 151 は、上記実施の形態で示した構成において、ソース電極層 116a 及びドレイン電極層 116b と酸化物半導体層 108 の上下（積層順）を入れ替えた構成となっている。図 10 に示した構造をボトムゲート・ボトムコンタクト型とも呼ぶ。なお、図 10 において、図 10 (A) は上面図を示しており、図 10 (B) は図 10 (A) における A1 - B1 の断面図を示している。

10

【0156】

図 10 (A)、(B) に示すように、酸化物半導体層 108 のバックチャネル側（ゲート電極 102 と反対側の表面）に接するように p 型シリコン層 112 を設けることにより、水素が酸化物半導体層 108 に混入することを抑制することができる。その結果、水素の混入に起因する酸化物半導体層 108 の半導体特性の変動を抑制し、ひいては酸化物半導体層 108 をチャネル層とするトランジスタの特性の変動を抑制することが可能となる。

【0157】

また、図 10 (C) に示すトランジスタ 151 のように、ソース電極層 116a 及びドレイン電極層 116b と酸化物半導体層 108 との間に、金属酸化物層 115a、115b を設けた構成としてもよい。金属酸化物層 115a、115b を設けることにより、酸化物半導体層 108 とソース電極層 116a 及びドレイン電極層 116b とのコンタクト抵抗を低減することができる。

20

【0158】

次に、図 10 (A)、(B) に示すトランジスタの作製方法の一例に関して図 11 を参照して説明する。

【0159】

まず、基板 100 上にゲート電極 102 を形成し、続いて当該ゲート電極 102 上にゲート絶縁層 104 を形成し、その後、ゲート絶縁層 104 上にソース電極層 116a 及びドレイン電極層 116b を形成する（図 11 (A) 参照）。

【0160】

次に、ソース電極層 116a 及びドレイン電極層 116b を覆うように酸化物半導体層 106 を形成する（図 11 (B) 参照）。

30

【0161】

次に、酸化物半導体層 106 をエッチングして島状の酸化物半導体層 108 を形成する（図 11 (C) 参照）。この際、島状の酸化物半導体層 108 を、少なくともゲート電極 102 の上方に残存させるように酸化物半導体層 106 をエッチングする。

【0162】

次に、酸化物半導体層 108 を覆うように p 型シリコン層 110 を形成する（図 11 (D) 参照）。

【0163】

次に、p 型シリコン層 110 をエッチングして島状の p 型シリコン層 112 を形成する（図 11 (E) 参照）。

40

【0164】

以上の工程により、トランジスタ 150 を作製することができる。

【0165】

なお、トランジスタ 150 を形成後、当該トランジスタ 150 を覆うように保護絶縁層を形成してもよい。また、図 11 の工程において、酸化物半導体層 108 を形成した後、窒素雰囲気下又は大気雰囲気下において、熱処理を行ってもよい。

【0166】

また、図 10 (C) に示すトランジスタを作製する場合には、図 11 (A) において、ゲ

50

ート絶縁層 104 上にソース電極層 116a 及びドレイン電極層 116b を構成する導電膜と、金属酸化物層 115a、115b を構成する金属酸化物層を順に積層して形成した後、エッチングすればよい。また、図 10 (C) に示す構造は、酸化物半導体層 106 をエッチングして島状の酸化物半導体層 108 を形成する際に、金属酸化物層 115a、115b も同時にエッチングされる場合を示している。

【0167】

なお、図 11 では、酸化物半導体層 108 を完全に覆うように島状の p 型シリコン層 112 を形成する場合を示しているが、これに限られない。p 型シリコン層 112 は、少なくとも酸化物半導体層 108 においてチャネルが形成される領域に接するように設ければよく、例えば、図 12 に示すトランジスタ 152 のように、酸化物半導体層 108 の一部に接するように p 型シリコン層 112 を設けることができる。図 12 では、p 型シリコン層 112 を酸化物半導体層 108 の一部に接するように形成し（ソース電極層 116a 及びドレイン電極層 116b とは接しないように形成し）、p 型シリコン層 112、酸化物半導体層 108、ソース電極層 116a 及びドレイン電極層 116b 上に保護絶縁層 119 を設ける場合を示している。

10

【0168】

保護絶縁層 119 としては、例えば、CVD 法やスパッタ法等を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。

20

【0169】

なお、図 12 において、図 12 (A) は上面図を示しており、図 12 (B) は図 12 (A) における A1 - B1 の断面図を示している。

【0170】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0171】

(実施の形態 5)

本実施の形態では、上記実施の形態 1 ~ 4 で示したトランジスタを具備する半導体装置の使用形態の一例である表示装置の作製工程について、図面を用いて説明する。なお、本実施の形態で示す作製工程（適用できる材料等）の一部は多くの部分で上記実施の形態 1 と共通している。したがって、以下においては、重複する部分の説明は省略し、異なる点について詳細に説明する。なお、以下の説明において、図 15 ~ 図 19 は上面図を示しており、図 13、図 14 は図 15 ~ 図 19 における A3 - B3、A4 - B4 間の断面図を示している。

30

【0172】

まず、絶縁表面を有する基板 100 上に配線及び電極（ゲート電極 102 を含むゲート配線、容量配線 308、第 1 の端子 321）を形成し、その後、ゲート絶縁層 104 と酸化物半導体層 106 を続けて形成する（図 13 (A)、図 15 参照）。

【0173】

容量配線 308、第 1 の端子 321 はゲート電極 102 と同一の材料を用いて同時に形成することができる。

40

【0174】

次に、酸化物半導体層 106 をエッチングして島状の酸化物半導体層 108 を形成した後（図 16 参照）、酸化物半導体層 108 を覆うように p 型シリコン層 110 を形成する（図 13 (B) 参照）。この際、島状の酸化物半導体層 108 を、少なくともゲート電極 102 の上方に残存させるように酸化物半導体層 106 をエッチングする。

【0175】

次に、p 型シリコン層 110 をエッチングして島状の p 型シリコン層 112 を形成する（図 13 (C)、図 17 参照）。この際、島状の p 型シリコン層 112 を、少なくともゲート

50

ト電極 102 と重なる領域に残存させるように p 型シリコン層 110 をエッチングする。また、酸化物半導体層 108 の少なくとも一部を露出させるように p 型シリコン層 110 をエッチングする。

【0176】

次に、第 1 の端子 321 を露出させるようにゲート絶縁層 104 にコンタクトホール 313 を形成した後、ゲート絶縁層 104、酸化物半導体層 108 及び p 型シリコン層 112 を覆うように導電膜 114 を形成する（図 13（D）参照）。これにより、導電膜 114 と第 1 の端子 321 がコンタクトホール 313 を介して電氣的に接続される。

【0177】

次に、導電膜 114 をエッチングして、ソース電極層 116a、ドレイン電極層 116b、接続電極 320、第 2 の端子 322 を形成する（図 14（A）、図 18 参照）。この際、p 型シリコン層 112 は酸化物半導体層 108 のチャネル保護層として機能する。

【0178】

第 2 の端子 322 は、ソース配線（ソース電極層 116a を含むソース配線）と電氣的に接続する構成とすることができる。また、接続電極 320 は、第 1 の端子 321 と直接接続する構成とすることができる。

【0179】

以上の工程により、トランジスタ 160 を作製することができる。

【0180】

次に、200 以上 600 以下、代表的には 300 以上 500 以下の熱処理を行うことが好ましい。例えば、窒素雰囲気下で 350、1 時間の熱処理を行う。この熱処理により酸化物半導体層 108 を構成する In-Ga-Zn-O 系非単結晶膜の原子レベルの再配列が行われる。この熱処理によりキャリアの移動を阻害する歪が解放されるため、ここでの熱処理（光アニールも含む）は効果的である。なお、熱処理を行うタイミングは、酸化物半導体層 106 の成膜後であれば特に限定されず、例えば、後に形成する画素電極の形成後に行ってもよい。

【0181】

次に、トランジスタ 160 を覆うように保護絶縁層 340 を形成し、当該保護絶縁層 340 を選択的にエッチングしてドレイン電極層 116b に達するコンタクトホール 325、接続電極 320 に達するコンタクトホール 326 及び第 2 の端子 322 に達するコンタクトホール 327 を形成する（図 14（B）参照）。

【0182】

次に、ドレイン電極層 116b と電氣的に接続する透明導電層 310、接続電極 320 に電氣的に接続する透明導電層 328 及び第 2 の端子 322 に電氣的に接続する透明導電層 329 を形成する（図 14（C）、図 19 参照）。

【0183】

透明導電層 310 は画素電極として機能し、透明導電層 328、329 は FPC との接続に用いられる電極または配線となる。より具体的には、接続電極 320 上に形成された透明導電層 328 をゲート配線の入力端子として機能する接続用の端子電極として用い、第 2 の端子 322 上に形成された透明導電層 329 をソース配線の入力端子として機能する接続用の端子電極として用いることができる。

【0184】

また、容量配線 308、ゲート絶縁層 104、保護絶縁層 340 及び透明導電層 310 により保持容量を形成することができる。この場合、容量配線 308 と透明導電層 310 が電極となり、ゲート絶縁層 104 と保護絶縁層 340 が誘電体となる。

【0185】

透明導電層 310、328、329 は、酸化インジウム（ In_2O_3 ）、酸化インジウム酸化スズ合金（ $\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITO と略記する）、酸化インジウム酸化亜鉛合金（ $\text{In}_2\text{O}_3 - \text{ZnO}$ ）等をスパッタ法や真空蒸着法等を用いて形成することができる。例えば、透明導電膜を成膜した後、当該透明導電膜上にレジストマスクを形成し、エッ

10

20

30

40

50

チングにより不要な部分を除去することにより透明導電層 310、328、329を形成することができる。

【0186】

以上の工程により、ボトムゲート型のnチャネル型薄膜トランジスタや保持容量等の素子を完成させることができる。そして、これらの素子を個々の画素に対応してマトリクス状に配置することにより、アクティブマトリクス型の表示装置を作製することができる。

【0187】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0188】

10

(実施の形態6)

本実施の形態では、薄膜トランジスタを具備する半導体装置として液晶表示装置の例を示す。まず、半導体装置の一形態に相当する液晶表示パネルの外観及び断面について、図20を用いて説明する。図20(A1)(A2)は、第1の基板4001上に形成された酸化半導体層を有する薄膜トランジスタ4010、4011、及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止したパネルの上面図であり、図20(B)は、図20(A1)(A2)のM-Nにおける断面図に相当する。

【0189】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上には第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶層4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

20

【0190】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図20(A1)は、COG方法により信号線駆動回路4003を実装する例であり、図20(A2)は、TAB方法により信号線駆動回路4003を実装する例である。

30

【0191】

また、第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図20(B)では、画素部4002に含まれる薄膜トランジスタ4010と、走査線駆動回路4004に含まれる薄膜トランジスタ4011とを例示している。薄膜トランジスタ4010、4011上には絶縁層4020、4021が設けられている。

【0192】

薄膜トランジスタ4010、4011は、上記実施の形態で示した構造を適用することができる。本実施の形態において、薄膜トランジスタ4010、4011はnチャネル型薄膜トランジスタである。

40

【0193】

また、液晶素子4013が有する画素電極層4030は、薄膜トランジスタ4010と電氣的に接続されている。そして液晶素子4013の対向電極層4031は第2の基板4006上に形成されている。画素電極層4030と対向電極層4031と液晶層4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極層4030、対向電極層4031はそれぞれ配向膜として機能する絶縁層4032、4033が設けられ、絶縁層4032、4033を介して液晶層4008を挟持している。

【0194】

第1の基板4001、第2の基板4006としては、ガラス、金属(代表的にはステンレス)、セラミックス、プラスチックを用いることができる。プラスチックとしては、FR

50

P (F i b e r g l a s s - R e i n f o r c e d P l a s t i c s) 板、P V F (ポリビニルフルオライド) フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルを P V F フィルムやポリエステルフィルムで挟んだ構造のシートを用いることもできる。

【 0 1 9 5 】

また、4 0 3 5 は絶縁膜を選択的にエッチングすることで得られる柱状のスペーサであり、画素電極層 4 0 3 0 と対向電極層 4 0 3 1 との間の距離 (セルギャップ) を制御するために設けられている。なお球状のスペーサを用いても良い。また、対向電極層 4 0 3 1 は、薄膜トランジスタ 4 0 1 0 と同一基板上に設けられる共通電位線と電氣的に接続される。共通接続部を用いて、一对の基板間に配置される導電性粒子を介して対向電極層 4 0 3 1 と共通電位線とを電氣的に接続することができる。なお、導電性粒子はシール材 4 0 0 5 に含有させる。

10

【 0 1 9 6 】

また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために 5 重量 % 以上のカイラル剤を混合させた液晶組成物を用いて液晶層 4 0 0 8 に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が $10 \mu s \sim 100 \mu s$ と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。

20

【 0 1 9 7 】

なお、本実施の形態で示す液晶表示装置は透過型液晶表示装置の例であるが、液晶表示装置は反射型液晶表示装置でも半透過型液晶表示装置でも適用できる。

【 0 1 9 8 】

また、本実施の形態で示す液晶表示装置では、基板の外側 (視認側) に偏光板を設け、内側に着色層、表示素子に用いる電極層という順に設ける例を示すが、偏光板は基板の内側に設けてもよい。また、偏光板と着色層の積層構造も本実施の形態に限定されず、偏光板及び着色層の材料や作製工程条件によって適宜設定すればよい。また、ブラックマトリクスとして機能する遮光膜を設けてもよい。

【 0 1 9 9 】

30

また、本実施の形態では、薄膜トランジスタの表面凹凸を低減するため、及び薄膜トランジスタの信頼性を向上させるため、薄膜トランジスタを保護膜や平坦化絶縁膜として機能する絶縁層 (絶縁層 4 0 2 0、絶縁層 4 0 2 1) で覆う構成となっている。なお、保護膜は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。保護膜は、スパッタ法を用いて、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜、窒化酸化シリコン膜、酸化アルミニウム膜、窒化アルミニウム膜、酸化窒化アルミニウム膜、又は窒化酸化アルミニウム膜の単層、又は積層で形成すればよい。本実施の形態では保護膜をスパッタ法で形成する例を示すが、特に限定されず種々の方法で形成すればよい。

【 0 2 0 0 】

40

ここでは、保護膜として積層構造の絶縁層 4 0 2 0 を形成する。ここでは、絶縁層 4 0 2 0 の一層目として、スパッタ法を用いて酸化シリコン膜を形成する。保護膜として酸化シリコン膜を用いると、ソース電極層及びドレイン電極層として用いるアルミニウム膜のヒロック防止に効果がある。

【 0 2 0 1 】

また、保護膜の二層目として絶縁層を形成する。ここでは、絶縁層 4 0 2 0 の二層目として、スパッタ法を用いて窒化シリコン膜を形成する。保護膜として窒化シリコン膜を用いると、ナトリウム等の可動イオンが半導体領域中に侵入して、T F T の電気特性を変化させることを抑制することができる。

【 0 2 0 2 】

50

また、保護膜を形成した後に、半導体層のアニール（200 以上400 以下）を行ってもよい。

【0203】

また、平坦化絶縁膜として絶縁層4021を形成する。絶縁層4021としては、ポリイミド、アクリル、ベンゾシクロブテン、ポリアミド、エポキシ等の、耐熱性を有する有機材料を用いることができる。また上記有機材料の他に、低誘電率材料（low-k材料）、シロキサン系樹脂、PSG（リンガラス）、BPSG（リンボロンガラス）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、絶縁層4021を形成してもよい。

【0204】

なおシロキサン系樹脂とは、シロキサン系材料を出発材料として形成されたSi-O-Si結合を含む樹脂に相当する。シロキサン系樹脂は置換基としては有機基（例えばアルキル基やアリール基）やフルオロ基を用いても良い。また、有機基はフルオロ基を有していても良い。

【0205】

絶縁層4021の形成法は、特に限定されず、その材料に応じて、スパッタ法、SOG法、スピンコート、ディップ、スプレー塗布、液滴吐出法（インクジェット法、スクリーン印刷、オフセット印刷等）、ドクターナイフ、ロールコーター、カーテンコーター、ナイフコーター等を用いることができる。絶縁層4021を材料液を用いて形成する場合、ベークする工程で同時に、半導体層のアニール（200 以上400 以下）を行ってもよい。絶縁層4021の焼成工程と半導体層のアニールを兼ねることで効率よく半導体装置を作製することが可能となる。

【0206】

画素電極層4030、対向電極層4031は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITOと示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

【0207】

また、画素電極層4030、対向電極層4031として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1\Omega\cdot\text{cm}$ 以下であることが好ましい。

【0208】

導電性高分子としては、いわゆる π 電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0209】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、FPC4018から供給されている。

【0210】

本実施の形態では、接続端子電極4015が、液晶素子4013が有する画素電極層4030と同じ導電膜から形成され、端子電極4016は、薄膜トランジスタ4010、4011のソース電極層及びドレイン電極層と同じ導電膜で形成されている。

【0211】

接続端子電極4015は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0212】

また図20においては、信号線駆動回路4003を別途形成し、第1の基板4001に実

10

20

30

40

50

装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0213】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0214】

(実施の形態7)

本実施の形態では、トランジスタを具備する半導体装置の一例として電子ペーパーを示す。

10

【0215】

図21は、半導体装置の一例としてアクティブマトリクス型の電子ペーパーを示す。半導体装置に用いられる薄膜トランジスタ581としては、上記実施の形態1～5で示す薄膜トランジスタと同様に作製できる。

【0216】

図21の電子ペーパーは、ツイストボール表示方式を用いた表示装置の例である。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせることによって、球形粒子の向きを制御し、表示を行う方法である。

20

【0217】

基板580上に設けられた薄膜トランジスタ581はボトムゲート構造の薄膜トランジスタであり、ソース電極層又はドレイン電極層が第1の電極層587と、絶縁層583、584、585に形成されたコンタクトホールを介して電氣的に接続している。第1の電極層587と第2の電極層588との間には、黒色領域590a及び白色領域590bを有し、周りが液体で満たされているキャビティ594を含む球形粒子589が設けられており、球形粒子589の周囲は樹脂等の充填材595が設けられている(図21参照)。図21においては、第1の電極層587が画素電極に相当し、第2の電極層588が共通電極に相当する。第2の電極層588は、薄膜トランジスタ581と同一基板上に設けられる共通電位線と電氣的に接続される。上記実施の形態に示す共通接続部を用いて、一对の基板間に配置される導電性粒子を介して、基板596に設けられた第2の電極層588と共通電位線とを電氣的に接続することができる。

30

【0218】

また、ツイストボールの代わりに、電気泳動素子を用いることも可能である。その場合、透明な液体と、正に帯電した白い微粒子と負に帯電した黒い微粒子とを封入した直径10 μ m～200 μ m程度のマイクロカプセルを用いる。第1の電極層と第2の電極層との間に設けられるマイクロカプセルは、第1の電極層と第2の電極層によって、電場が与えられると、白い微粒子と、黒い微粒子が逆の方向に移動し、白または黒を表示することができる。この原理を応用した表示素子が電気泳動表示素子であり、一般的に電子ペーパーとよばれている。電気泳動表示素子は、液晶表示素子に比べて反射率が高いため、補助ライトは不要であり、また消費電力が小さく、薄暗い場所でも表示部を認識することが可能である。また、表示部に電源が供給されない場合であっても、一度表示した像を保持することが可能であるため、電波発信源から表示機能付き半導体装置(単に表示装置、又は表示装置を具備する半導体装置ともいう)を遠ざけた場合であっても、表示された像を保存しておくことが可能となる。

40

【0219】

以上のように、半導体装置として信頼性の高い電子ペーパーを作製することができる。

【0220】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0221】

50

(実施の形態 8)

本実施の形態では、トランジスタを具備する半導体装置として発光表示装置の例を示す。表示装置が有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機 EL 素子、後者は無機 EL 素子と呼ばれている。

【0222】

有機 EL 素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

10

【0223】

無機 EL 素子は、その素子構成により、分散型無機 EL 素子と薄膜型無機 EL 素子とに分類される。分散型無機 EL 素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー - アクセプター再結合型発光である。薄膜型無機 EL 素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。

【0224】

20

次に、半導体装置の一形態に相当する発光表示パネル（発光パネルともいう）の外観及び断面について、図 22 を用いて説明する。図 22（A）は、第 1 の基板 4501 上に形成された薄膜トランジスタ 4509、4510 及び発光素子 4511 を、第 2 の基板 4506 との間にシール材 4505 によって封止した、パネルの上面図であり、図 22（B）は、図 22（A）の H - I における断面図に相当する。なお、ここでは、発光素子として有機 EL 素子を用いて説明する。

【0225】

第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b を囲むようにして、シール材 4505 が設けられている。また画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b の上に第 2 の基板 4506 が設けられている。よって画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、第 1 の基板 4501 とシール材 4505 と第 2 の基板 4506 とによって、充填材 4507 と共に密封されている。このように外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

30

【0226】

また第 1 の基板 4501 上に設けられた画素部 4502、信号線駆動回路 4503a、4503b、及び走査線駆動回路 4504a、4504b は、薄膜トランジスタを複数有しており、図 22（B）では、画素部 4502 に含まれる薄膜トランジスタ 4510 と、信号線駆動回路 4503a に含まれる薄膜トランジスタ 4509 とを例示している。

40

【0227】

薄膜トランジスタ 4509、4510 は、上記実施の形態で示した構造を適用することができる。本実施の形態において、薄膜トランジスタ 4509、4510 は n チャネル型薄膜トランジスタである。

【0228】

また 4511 は発光素子に相当し、発光素子 4511 が有する画素電極である第 1 の電極層 4517 は、薄膜トランジスタ 4510 のソース電極層またはドレイン電極層と電氣的に接続されている。なお発光素子 4511 の構成は、第 1 の電極層 4517、電界発光層 4512、第 2 の電極層 4513 の積層構造であるが、本実施の形態に示した構成に限定

50

されない。発光素子 4 5 1 1 から取り出す光の方向などに合わせて、発光素子 4 5 1 1 の構成は適宜変えることができる。

【 0 2 2 9 】

隔壁 4 5 2 0 は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、第 1 の電極層 4 5 1 7 上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【 0 2 3 0 】

電界発光層 4 5 1 2 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【 0 2 3 1 】

発光素子 4 5 1 1 に酸素、水素、水分、二酸化炭素等が侵入しないように、第 2 の電極層 4 5 1 3 及び隔壁 4 5 2 0 上に保護膜を形成してもよい。保護膜としては、窒化シリコン膜、窒化酸化シリコン膜、DLC 膜等を形成することができる。

【 0 2 3 2 】

また、信号線駆動回路 4 5 0 3 a、4 5 0 3 b、走査線駆動回路 4 5 0 4 a、4 5 0 4 b、または画素部 4 5 0 2 に与えられる各種信号及び電位は、FPC 4 5 1 8 a、4 5 1 8 b から供給されている。

【 0 2 3 3 】

本実施の形態では、接続端子電極 4 5 1 5 が、発光素子 4 5 1 1 が有する第 1 の電極層 4 5 1 7 と同じ導電膜から形成され、端子電極 4 5 1 6 は、薄膜トランジスタ 4 5 0 9、4 5 1 0 が有するソース電極層及びドレイン電極層と同じ導電膜から形成されている。

【 0 2 3 4 】

接続端子電極 4 5 1 5 は、FPC 4 5 1 8 a が有する端子と、異方性導電膜 4 5 1 9 を介して電氣的に接続されている。

【 0 2 3 5 】

発光素子 4 5 1 1 からの光の取り出し方向に位置する第 2 の基板 4 5 0 6 は透光性でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【 0 2 3 6 】

また、充填材 4 5 0 7 としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコーン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。

【 0 2 3 7 】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【 0 2 3 8 】

信号線駆動回路 4 5 0 3 a、4 5 0 3 b、及び走査線駆動回路 4 5 0 4 a、4 5 0 4 b は、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜によって形成された駆動回路で実装されていてもよい。また、信号線駆動回路のみ、或いは一部、又は走査線駆動回路のみ、或いは一部のみを別途形成して実装しても良く、本実施の形態は図 2 2 の構成に限定されない。

【 0 2 3 9 】

以上の工程により、半導体装置として信頼性の高い発光表示装置（表示パネル）を作製することができる。

【 0 2 4 0 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

10

20

30

40

50

【 0 2 4 1 】

(実施の形態 9)

上記実施の形態で示したトランジスタを具備する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラなどのカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

【 0 2 4 2 】

図 2 3 (A) は、テレビジョン装置 9 6 0 0 の一例を示している。テレビジョン装置 9 6 0 0 は、筐体 9 6 0 1 に表示部 9 6 0 3 が組み込まれている。表示部 9 6 0 3 により、映像を表示することが可能である。また、ここでは、スタンド 9 6 0 5 により筐体 9 6 0 1 を支持した構成を示している。

10

【 0 2 4 3 】

テレビジョン装置 9 6 0 0 の操作は、筐体 9 6 0 1 が備える操作スイッチや、別体のリモコン操作機 9 6 1 0 により行うことができる。リモコン操作機 9 6 1 0 が備える操作キー 9 6 0 9 により、チャンネルや音量の操作を行うことができ、表示部 9 6 0 3 に表示される映像を操作することができる。また、リモコン操作機 9 6 1 0 に、当該リモコン操作機 9 6 1 0 から出力する情報を表示する表示部 9 6 0 7 を設ける構成としてもよい。

【 0 2 4 4 】

なお、テレビジョン装置 9 6 0 0 は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

20

【 0 2 4 5 】

図 2 3 (B) は、デジタルフォトフレーム 9 7 0 0 の一例を示している。例えば、デジタルフォトフレーム 9 7 0 0 は、筐体 9 7 0 1 に表示部 9 7 0 3 が組み込まれている。表示部 9 7 0 3 は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【 0 2 4 6 】

なお、デジタルフォトフレーム 9 7 0 0 は、操作部、外部接続用端子（USB 端子、USB ケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレームの記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部 9 7 0 3 に表示させることができる。

30

【 0 2 4 7 】

また、デジタルフォトフレーム 9 7 0 0 は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

【 0 2 4 8 】

図 2 4 (A) は携帯型遊技機であり、筐体 9 8 8 1 と筐体 9 8 9 1 の 2 つの筐体で構成されており、連結部 9 8 9 3 により、開閉可能に連結されている。筐体 9 8 8 1 には表示部 9 8 8 2 が組み込まれ、筐体 9 8 9 1 には表示部 9 8 8 3 が組み込まれている。また、図 2 4 (A) に示す携帯型遊技機は、その他、スピーカ部 9 8 8 4、記録媒体挿入部 9 8 8 6、LED ランプ 9 8 9 0、入力手段（操作キー 9 8 8 5、接続端子 9 8 8 7、センサ 9 8 8 8（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に お い 又 は 赤 外 線 を 測 定 す る 機 能 を 含 む も の ） 、 マ イ ク ロ フ ォ ン 9 8 8 9 ） 等 を 備 えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる

40

50

。図 2 4 (A) に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図 2 4 (A) に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

【 0 2 4 9 】

図 2 4 (B) は大型遊技機であるスロットマシン 9 9 0 0 の一例を示している。スロットマシン 9 9 0 0 は、筐体 9 9 0 1 に表示部 9 9 0 3 が組み込まれている。また、スロットマシン 9 9 0 0 は、その他、スタートレバーやストップスイッチなどの操作手段、コイン投入口、スピーカなどを備えている。もちろん、スロットマシン 9 9 0 0 の構成は上述のものに限定されず、少なくとも半導体装置を備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。

10

【 0 2 5 0 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【 符号の説明 】

【 0 2 5 1 】

1 0 0	基板
1 0 2	ゲート電極
1 0 4	ゲート絶縁層
1 0 6	酸化物半導体層
1 0 8	酸化物半導体層
1 0 9 a	低抵抗領域
1 0 9 b	低抵抗領域
1 1 0	p 型シリコン層
1 1 1	p 型シリコン層
1 1 2	p 型シリコン層
1 1 4	導電膜
1 1 5 a	金属酸化物層
1 1 5 b	金属酸化物層
1 1 6 a	ソース電極層
1 1 6 b	ドレイン電極層
1 1 9	保護絶縁層
1 2 0	トランジスタ
1 2 1	トランジスタ
1 2 2	トランジスタ
1 2 3	トランジスタ
1 2 4	トランジスタ
1 3 0	トランジスタ
1 4 0	トランジスタ
1 4 1	トランジスタ
1 4 2	トランジスタ
1 5 0	トランジスタ
1 5 1	トランジスタ
1 5 2	トランジスタ
1 6 0	トランジスタ
1 7 1	レジストマスク
1 7 2	レジストマスク
1 7 5	レジストマスク
1 7 6	レジストマスク
3 0 8	容量配線

20

30

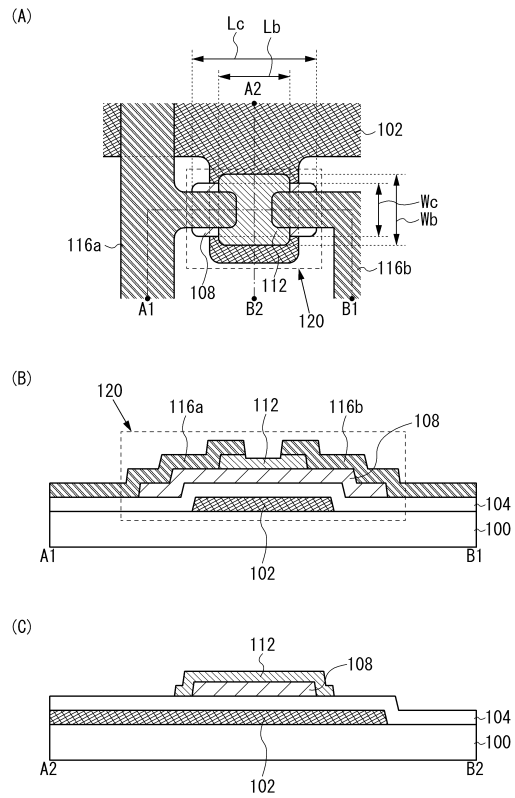
40

50

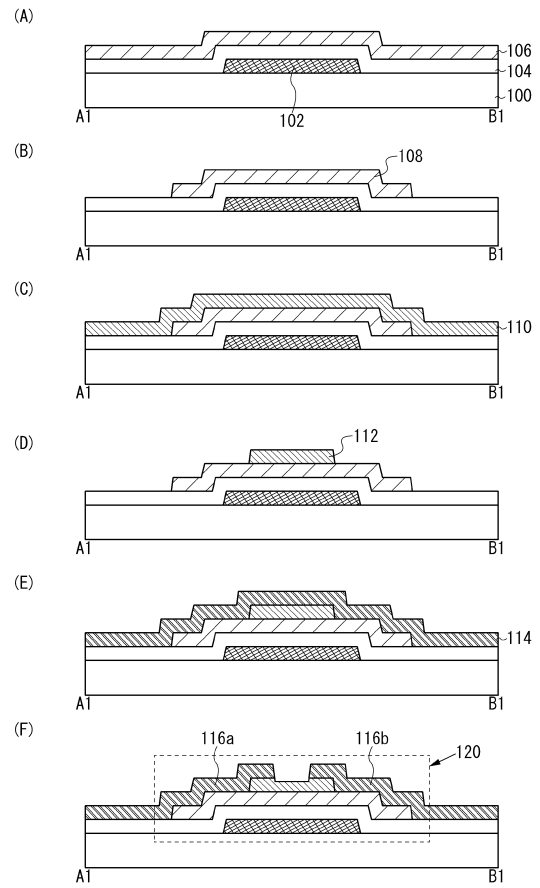
3 1 0	透明導電層	
3 1 3	コンタクトホール	
3 2 0	接続電極	
3 2 1	第 1 の端子	
3 2 2	第 2 の端子	
3 2 5	コンタクトホール	
3 2 6	コンタクトホール	
3 2 7	コンタクトホール	
3 2 8	透明導電層	
3 2 9	透明導電層	10
3 4 0	保護絶縁層	
5 8 0	基板	
5 8 1	薄膜トランジスタ	
5 8 3	絶縁層	
5 8 7	第 1 の電極層	
5 8 8	第 2 の電極層	
5 8 9	球形粒子	
5 9 4	キャビティ	
5 9 5	充填材	
5 9 6	基板	20
9 0 2	ゲート電極	
9 0 4	ゲート絶縁層	
9 0 8	酸化物半導体層	
9 1 2	p 型シリコン層	
9 2 2	n 型シリコン層	
4 0 0 1	第 1 の基板	
4 0 0 2	画素部	
4 0 0 3	信号線駆動回路	
4 0 0 4	走査線駆動回路	
4 0 0 5	シール材	30
4 0 0 6	第 2 の基板	
4 0 0 8	液晶層	
4 0 1 0	薄膜トランジスタ	
4 0 1 1	薄膜トランジスタ	
4 0 1 3	液晶素子	
4 0 1 5	接続端子電極	
4 0 1 6	端子電極	
4 0 1 8	F P C	
4 0 1 9	異方性導電膜	
4 0 2 0	絶縁層	40
4 0 2 1	絶縁層	
4 0 3 0	画素電極層	
4 0 3 1	対向電極層	
4 0 3 2	絶縁層	
4 5 0 1	第 1 の基板	
4 5 0 2	画素部	
4 5 0 3 a	信号線駆動回路	
4 5 0 3 b	信号線駆動回路	
4 5 0 4 a	走査線駆動回路	
4 5 0 4 b	走査線駆動回路	50

4 5 0 5	シール材	
4 5 0 6	第 2 の基板	
4 5 0 7	充填材	
4 5 0 9	薄膜トランジスタ	
4 5 1 0	薄膜トランジスタ	
4 5 1 1	発光素子	
4 5 1 2	電界発光層	
4 5 1 3	第 2 の電極層	
4 5 1 5	接続端子電極	
4 5 1 6	端子電極	10
4 5 1 7	第 1 の電極層	
4 5 1 8 a	F P C	
4 5 1 8 b	F P C	
4 5 1 9	異方性導電膜	
4 5 2 0	隔壁	
5 9 0 a	黒色領域	
5 9 0 b	白色領域	
9 1 6 a	ソース電極層	
9 1 6 b	ドレイン電極層	
9 6 0 0	テレビジョン装置	20
9 6 0 1	筐体	
9 6 0 3	表示部	
9 6 0 5	スタンド	
9 6 0 7	表示部	
9 6 0 9	操作キー	
9 6 1 0	リモコン操作機	
9 7 0 0	デジタルフォトフレーム	
9 7 0 1	筐体	
9 7 0 3	表示部	
9 8 8 1	筐体	30
9 8 8 2	表示部	
9 8 8 3	表示部	
9 8 8 4	スピーカ部	
9 8 8 5	操作キー	
9 8 8 6	記録媒体挿入部	
9 8 8 7	接続端子	
9 8 8 8	センサ	
9 8 8 9	マイクロフォン	
9 8 9 0	L E D ランプ	
9 8 9 1	筐体	40
9 8 9 3	連結部	
9 9 0 0	スロットマシン	
9 9 0 1	筐体	
9 9 0 3	表示部	

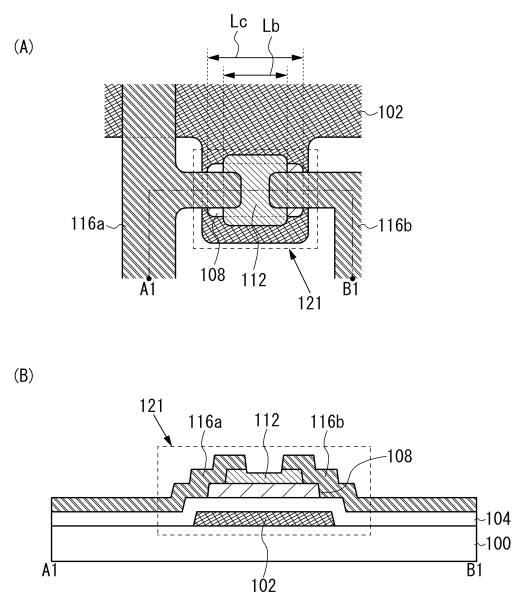
【図 1】



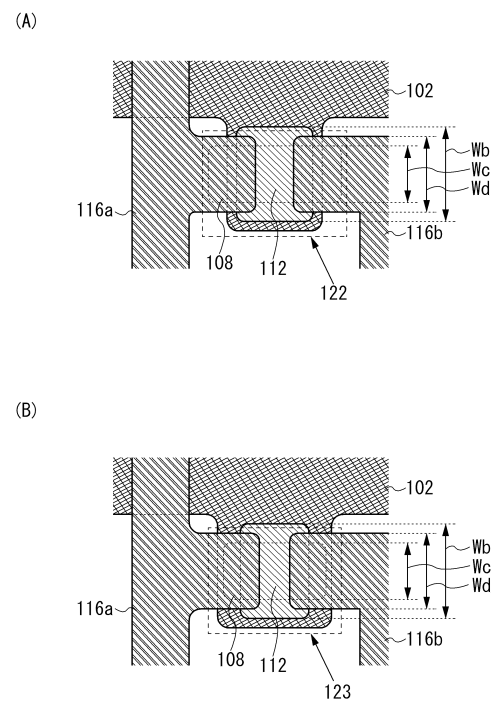
【図 2】



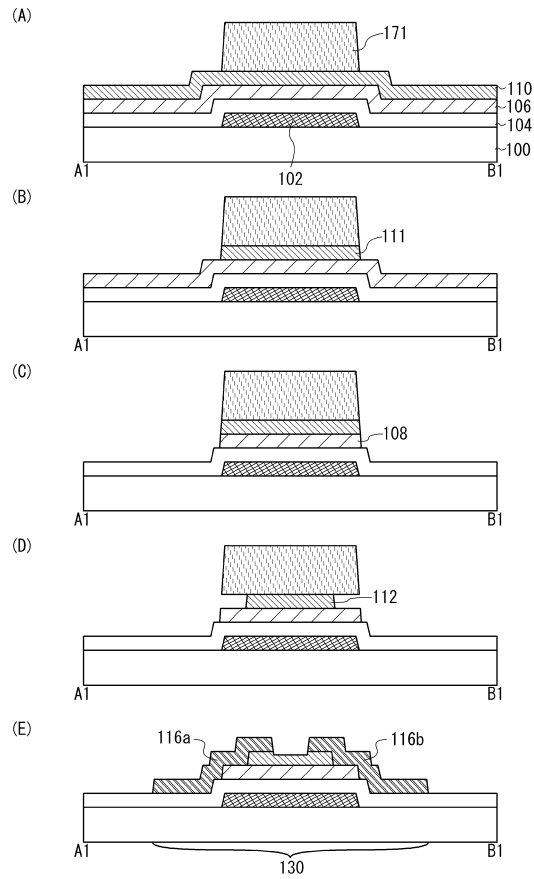
【図 3】



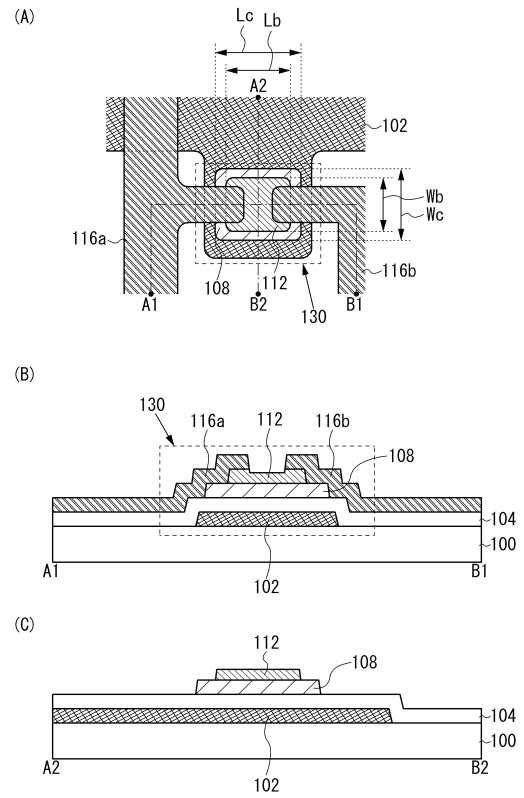
【図 4】



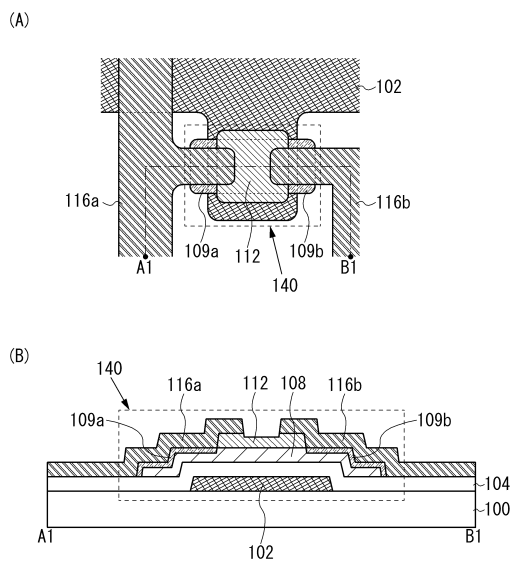
【図 5】



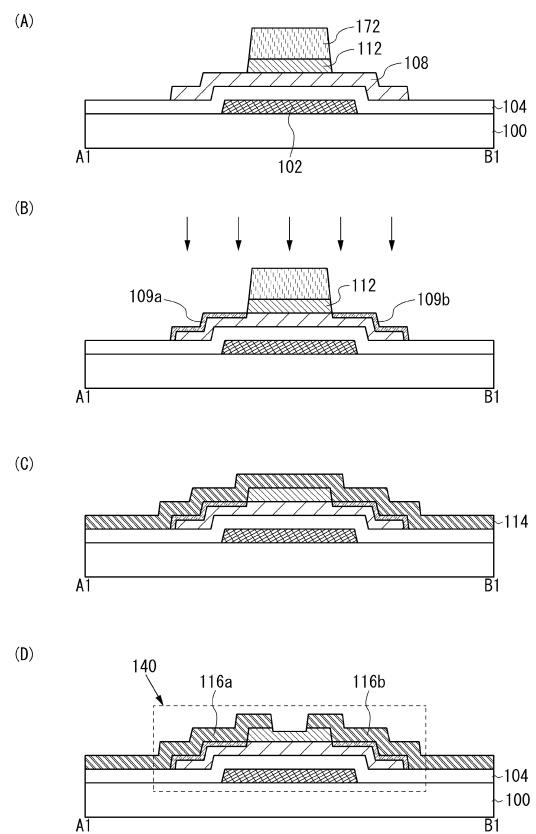
【図 6】



【図 7】

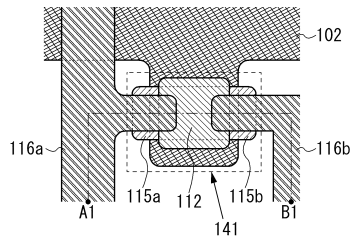


【図 8】

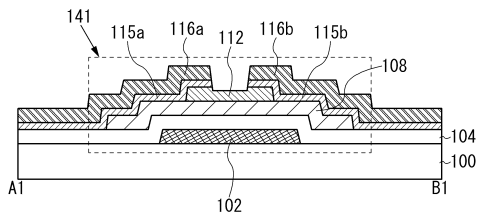


【図 9】

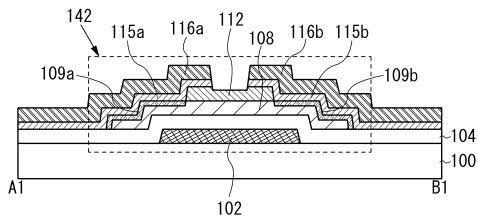
(A)



(B)

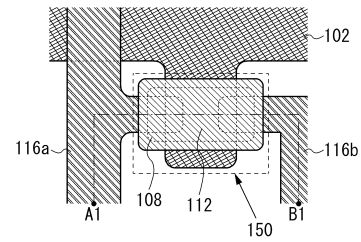


(C)

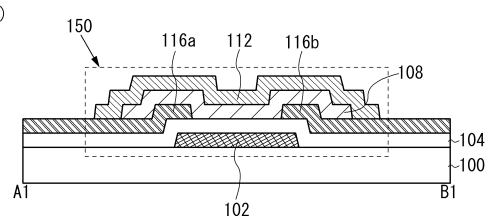


【図 10】

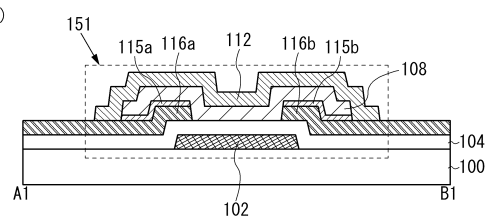
(A)



(B)

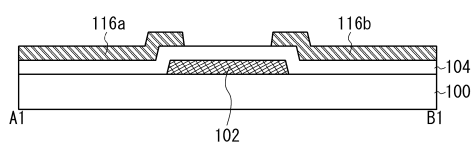


(C)

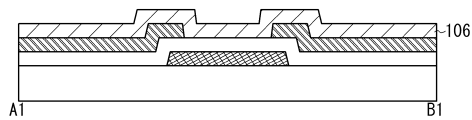


【図 11】

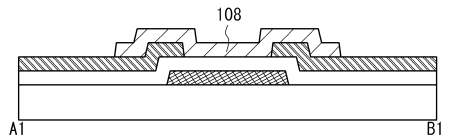
(A)



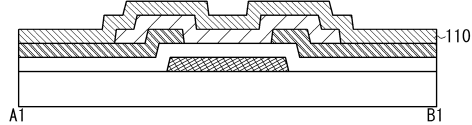
(B)



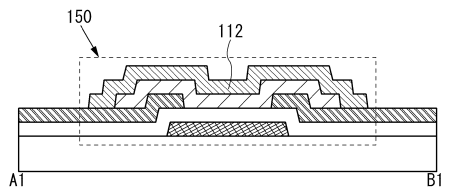
(C)



(D)

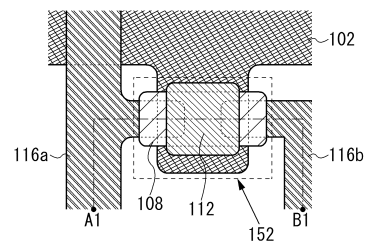


(E)

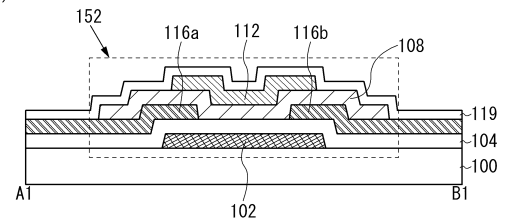


【図 12】

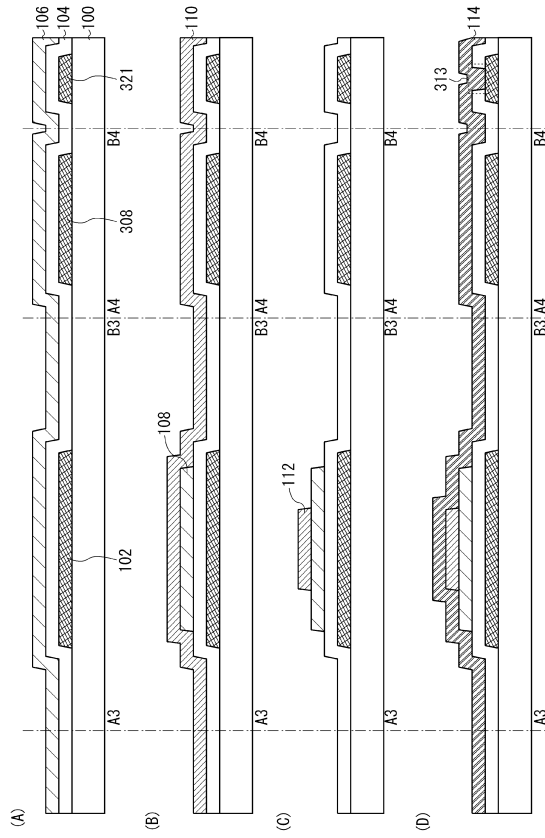
(A)



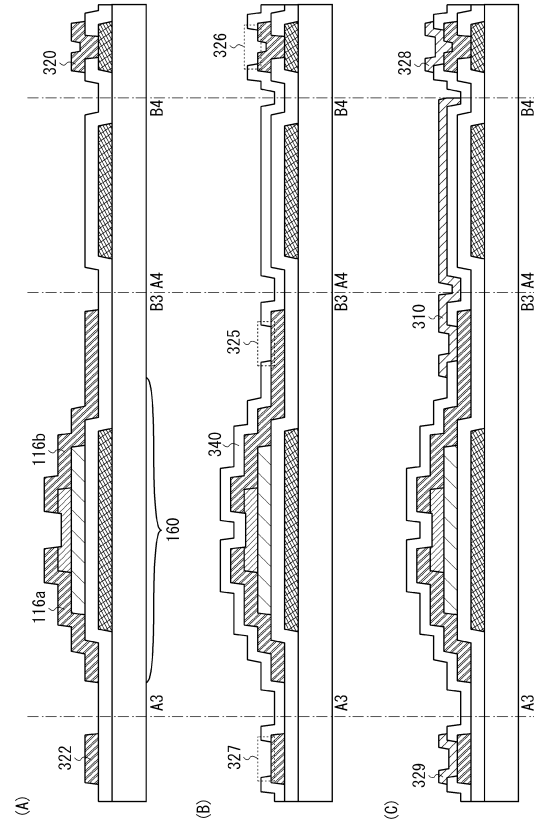
(B)



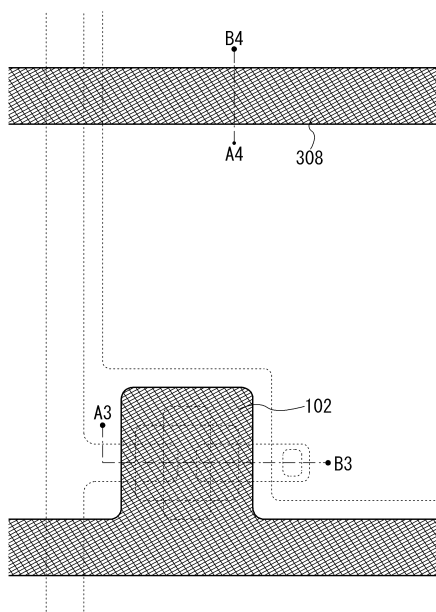
【図 13】



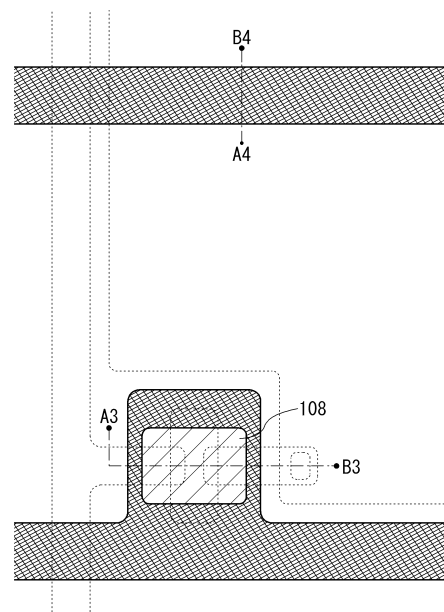
【図 14】



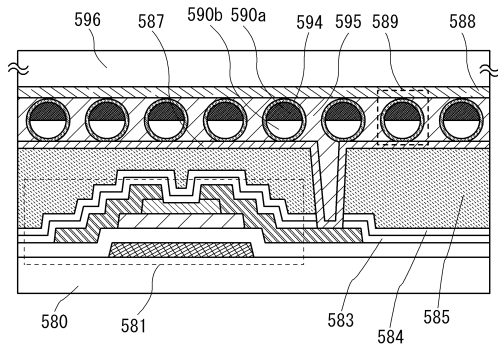
【図 15】



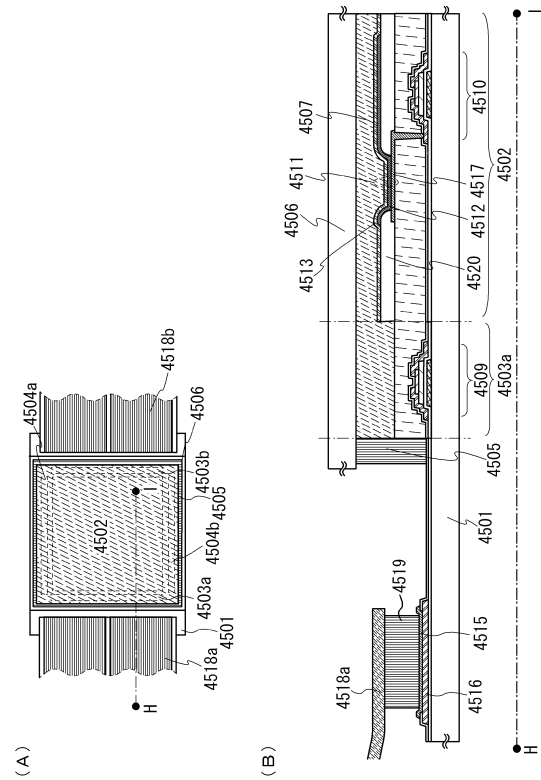
【図 16】



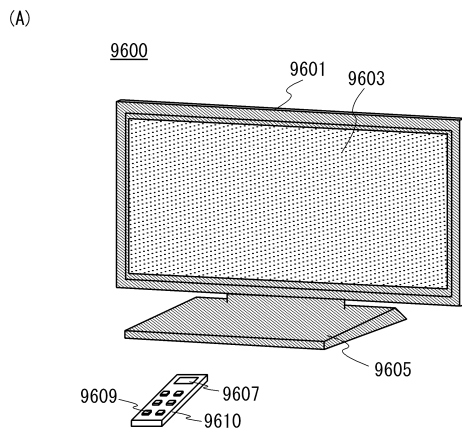
【図 2 1】



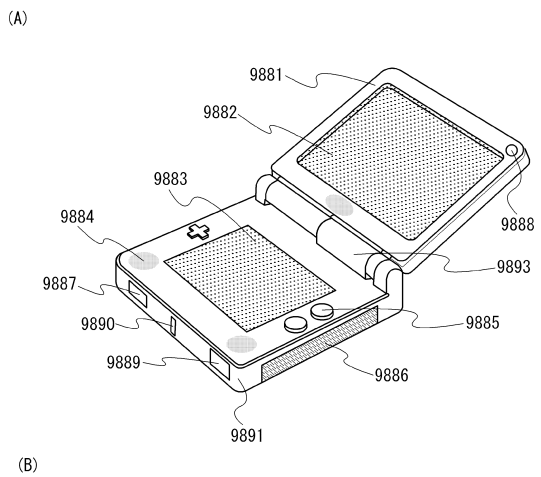
【図 2 2】



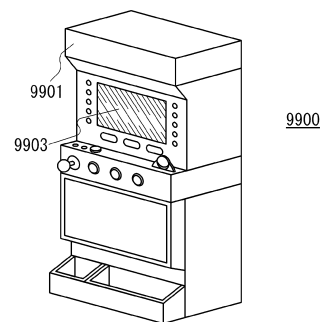
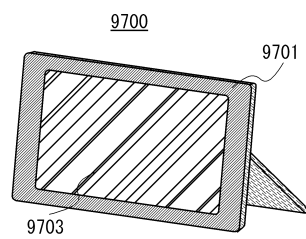
【図 2 3】



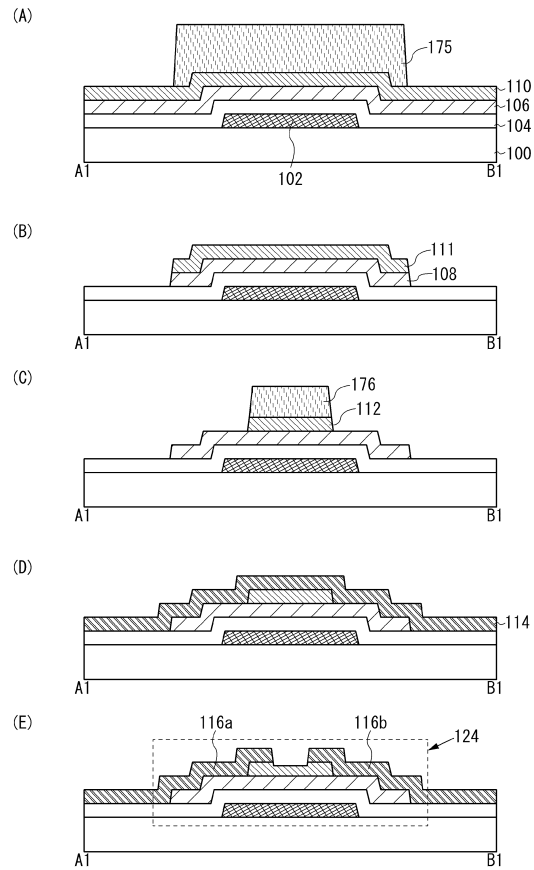
【図 2 4】



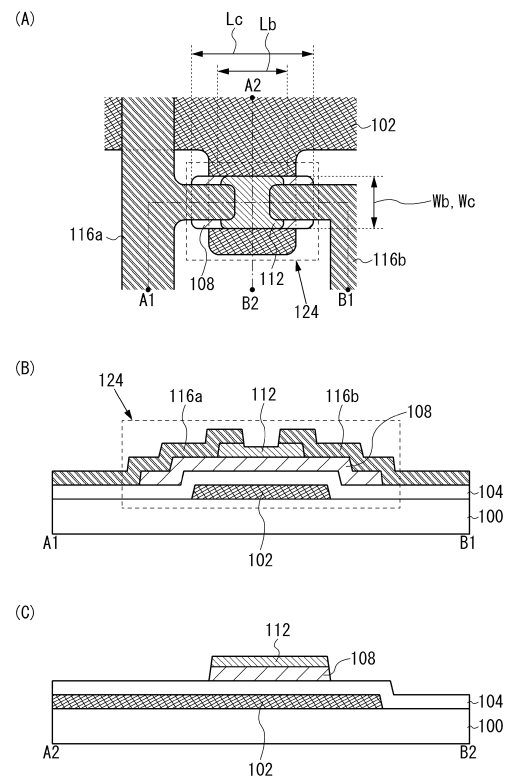
(B)



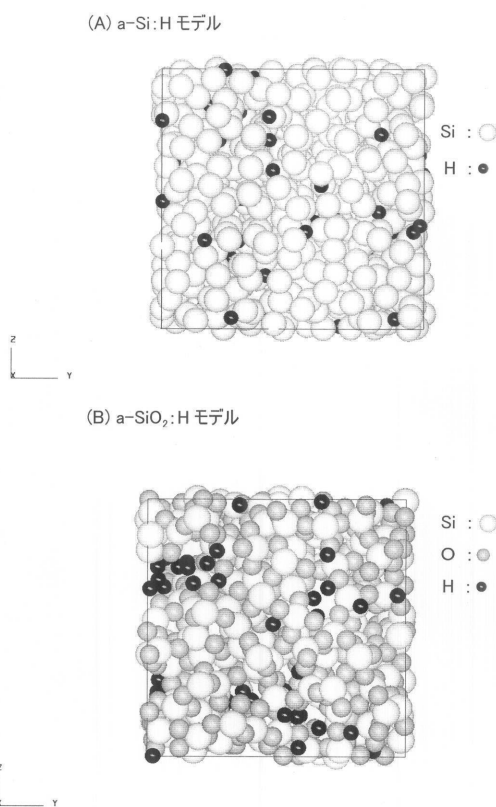
【図 25】



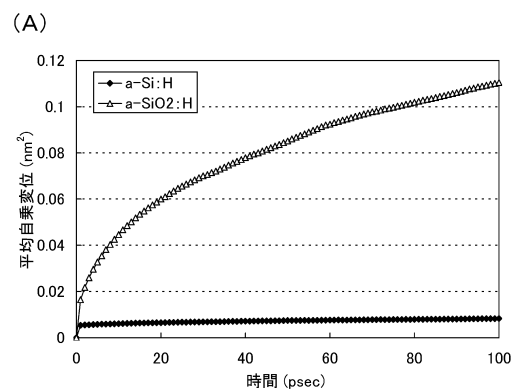
【図 26】



【図 27】



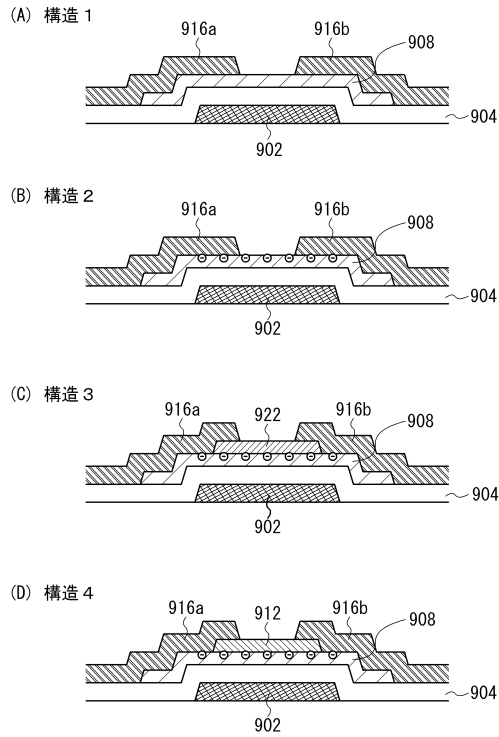
【図 28】



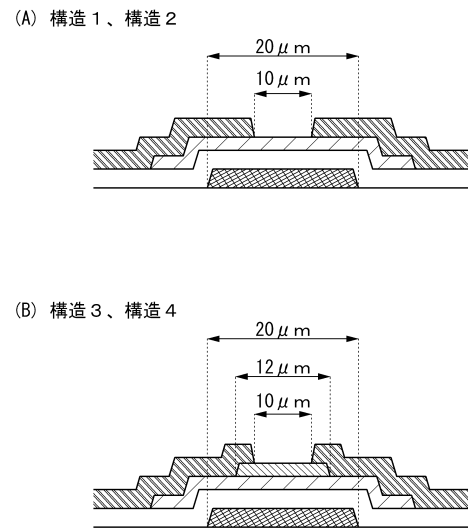
(B) Hの拡散係数

計算モデル	D (cm ² /sec)
a-Si:H	2.7×10^{-8}
a-SiO ₂ :H	7.2×10^{-7}

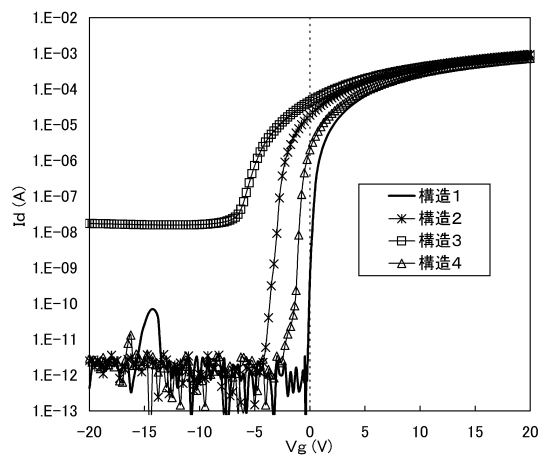
【図 29】



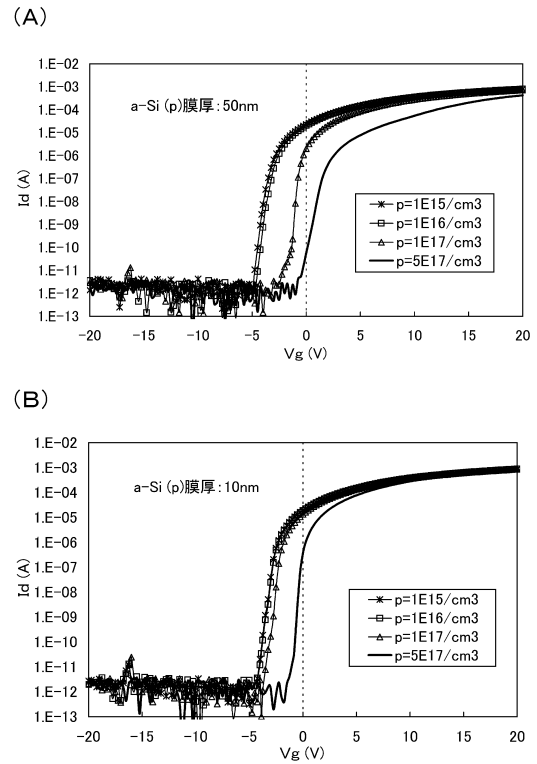
【図 30】



【図 31】



【図 32】



フロントページの続き

(56)参考文献 特開2007-157916(JP,A)
特開平08-008440(JP,A)
特開平09-326493(JP,A)
特開2008-140984(JP,A)
特開2007-310352(JP,A)
米国特許出願公開第2008/0303020(US,A1)
特開2007-250983(JP,A)
特開2008-040343(JP,A)
特開2008-042088(JP,A)

(58)調査した分野(Int.Cl., DB名)

G02F	1/1368
G09F	9/30
H01L	21/336
H01L	29/786