(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 118382900 A
(43)申请公布日 2024.07.23

(21)申请号 202280081952.3
(22)申请日 2022.08.17
(30)优先权数据
2022-013116 2022.01.31 JP
(85)PCT国际申请进入国家阶段日
2024.06.11
(86)PCT国际申请的申请数据
PCT/JP2022/031061 2022.08.17
(87)PCT国际申请的公布数据
WO2023/145111 JA 2023.08.03
(71)申请人 株式会社村田制作所
地址 日本
(72)发明人 小林玄树 增成晃生
(74)专利代理机构 中科专利商标代理有限责任公司 11021
专利代理师 赵琳琳
(51)Int.Cl.
H01G 4/33(2006.01)
H01G 4/30(2006.01)

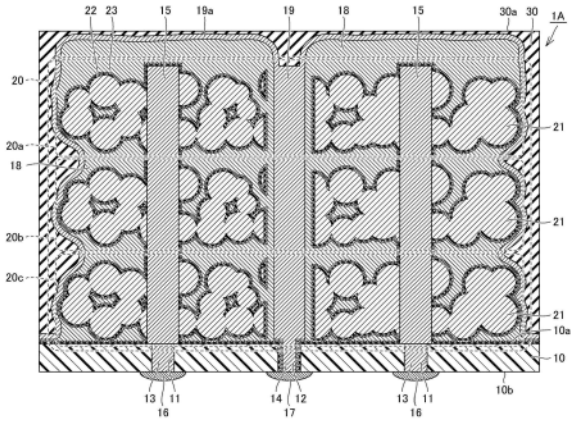
权利要求书3页 说明书25页 附图37页

(54)发明名称

电容器

(57)摘要

电容器(1A)具备绝缘基板(10)、设置为与绝缘基板(10)的第1主面(10a)对置的电容形成部(20)、和与电容形成部(20)连接的第1外部连接布线以及第2外部连接布线。电容形成部(20)包含与第1外部连接布线连接的导电性的金属多孔体(21)、覆盖金属多孔体(21)的表面的电介质膜(22)、和覆盖电介质膜(22)并且与第2外部连接布线连接的导电膜(23)。第1外部连接布线以及第2外部连接布线分别具有贯通绝缘基板的第1过孔导体(13)以及第2过孔导体(14),第2外部连接布线具有覆盖导电膜(23)使得填充电容形成部(20)的内部的空间的内部导体(18)。导电膜(23)和第2过孔导体(14)至少经由内部导体(18)而连接。



CN 118382900 A

1.一种电容器,具备:

绝缘基板,具有第1主面以及位于与该第1主面相反的一侧的第2主面;

电容形成部,设置为与所述第1主面对置;和

第1外部连接布线以及第2外部连接布线,与所述电容形成部连接,

所述电容形成部包含:导电性的金属多孔体,与所述第1外部连接布线连接;电介质膜,覆盖所述金属多孔体的表面;和导电膜,覆盖所述电介质膜并且与所述第2外部连接布线连接,

所述第1外部连接布线具有贯通所述绝缘基板使得从所述第1主面到达所述第2主面的第1过孔导体,

所述第2外部连接布线具有:第2过孔导体,贯通所述绝缘基板使得从所述第1主面到达所述第2主面;和内部导体,覆盖所述导电膜使得填充所述电容形成部的内部的空间,

所述导电膜和所述第2过孔导体至少经由所述内部导体而连接。

2.根据权利要求1所述的电容器,其中,

所述第2外部连接布线具有柱状导体,该柱状导体从所述第1主面朝向所述电容形成部突出并且被所述电容形成部包围,

所述内部导体和所述第2过孔导体至少经由所述柱状导体而连接。

3.根据权利要求2所述的电容器,其中,

所述柱状导体沿着所述第1主面的法线方向延伸,

在沿着所述第1主面的法线方向观察的情况下,所述柱状导体与所述第2过孔导体在至少一部分重叠,由此所述柱状导体与所述第2过孔导体连接。

4.根据权利要求2或3所述的电容器,其中,

所述电容形成部包含在所述第1主面的法线方向上相互分离地层叠的第1电容形成部以及第2电容形成部,

所述第1电容形成部的所述导电膜和所述第2电容形成部的所述导电膜通过所述内部导体以及所述柱状导体而连接。

5.根据权利要求4所述的电容器,其中,

位于所述第1电容形成部与所述第2电容形成部之间的部分的所述内部导体的厚度比所述导电膜的厚度大。

6.根据权利要求5所述的电容器,其中,

位于所述第1电容形成部与所述第2电容形成部之间的部分的所述内部导体的厚度为所述导电膜的厚度的3倍以上。

7.根据权利要求1至3中的任一项所述的电容器,其中,

在所述绝缘基板设置有支承部,该支承部通过从所述第1主面朝向所述电容形成部突出并且被所述电容形成部包围,从而与所述电容形成部接合,由此对所述电容形成部进行支承。

8.根据权利要求7所述的电容器,其中,

所述第1外部连接布线具有构成所述支承部的支承导体,

所述支承导体与所述金属多孔体连接。

9.根据权利要求8所述的电容器,其中,

所述支承导体沿着所述第1主面的法线方向延伸，

在沿着所述第1主面的法线方向观察的情况下，所述支承导体与所述第1过孔导体在至少一部分重叠，由此所述支承导体与所述第1过孔导体连接。

10.根据权利要求3所述的电容器，其中，

在所述绝缘基板设置有支承部，该支承部通过从所述第1主面朝向所述电容形成部突出并且被所述电容形成部包围，从而与所述电容形成部接合，由此对所述电容形成部进行支承，

所述第1外部连接布线具有构成所述支承部的支承导体，

所述支承导体与所述金属多孔体连接，

所述支承导体沿着所述第1主面的法线方向延伸，

在沿着所述第1主面的法线方向观察的情况下，所述支承导体与所述第1过孔导体在至少一部分重叠，由此所述支承导体与所述第1过孔导体连接，

所述电容器还具备密封部，该密封部设置在所述第1主面上，对所述电容形成部进行密封，并且对从所述电容形成部观察时位于与所述绝缘基板侧相反的一侧的外表面进行规定，

所述支承导体贯通所述电容形成部以及所述密封部，由此所述支承导体在所述外表面露出，

所述柱状导体贯通所述电容形成部以及所述密封部，由此所述柱状导体在所述外表面露出。

11.根据权利要求8所述的电容器，其中，

所述支承导体沿着所述第1主面的法线方向延伸，

在沿着所述第1主面的法线方向观察的情况下，所述支承导体不与所述第1过孔导体重叠。

12.根据权利要求8至11中的任一项所述的电容器，其中，

所述支承导体包含与所述金属多孔体所包含的材料之中的至少一部分相同的材料。

13.根据权利要求3所述的电容器，其中，

在所述绝缘基板设置有支承部，该支承部通过从所述第1主面朝向所述电容形成部突出并且被所述电容形成部包围，从而与所述电容形成部接合，由此对所述电容形成部进行支承，

所述第1外部连接布线具有构成所述支承部的支承导体，

所述支承导体沿着所述第1主面的法线方向延伸，并且与所述金属多孔体连接，

在沿着所述第1主面的法线方向观察的情况下，所述支承导体与所述第1过孔导体在至少一部分重叠，由此所述支承导体与所述第1过孔导体连接，

所述电容形成部包含在所述第1主面的法线方向上相互分离地层叠的第1电容形成部以及第2电容形成部，

所述第1电容形成部的所述金属多孔体和所述第2电容形成部的所述金属多孔体通过所述支承导体而连接，

所述第1电容形成部的所述导电膜和所述第2电容形成部的所述导电膜通过所述内部导体以及所述柱状导体而连接。

14.根据权利要求13所述的电容器,其中,

还具备密封部,该密封部设置在所述第1主面上,对所述电容形成部进行密封,并且对从所述电容形成部观察时位于与所述绝缘基板侧相反的一侧的外表面进行规定,

所述支承导体贯通所述电容形成部以及所述密封部,由此所述支承导体在所述外表面露出,

所述柱状导体贯通所述电容形成部以及所述密封部,由此所述柱状导体在所述外表面露出。

15.根据权利要求1至14中的任一项所述的电容器,其中,

在沿着所述第1主面的法线方向观察的情况下,所述第1过孔导体以及所述第2过孔导体均设置在配置了所述电容形成部的区域内。

16.根据权利要求15所述的电容器,其中,

所述第1过孔导体均设置有多个,

所述第2过孔导体均设置有多个。

17.根据权利要求16所述的电容器,其中,

所述第1过孔导体以及所述第2过孔导体在沿着所述第1主面的法线方向观察的情况下配置为阵列状,

一个过孔导体的极性和与该过孔导体以最短距离相邻的过孔导体的极性不同。

18.根据权利要求1至17中的任一项所述的电容器,其中,

所述内部导体包含Ag以及导电性高分子之中的至少任一者作为主要材料。

电容器

技术领域

[0001] 本发明涉及具备包含金属多孔体、电介质膜和导电膜的电容形成部而成的电容器。

背景技术

[0002] 例如,在美国专利公开第2018/0277306号说明书(专利文献1)中,公开了通过金属多孔体、覆盖该金属多孔体的表面的电介质膜和覆盖该电介质膜的导电膜来设置电容形成部而成的电容器。在该电容器中,金属多孔体由金属粒子的烧结体构成,电介质层以及导电膜均通过原子层沉积(ALD:Atomic Layer Deposition)法而形成。

[0003] 在先技术文献

[0004] 专利文献

[0005] 专利文献1:美国专利公开第2018/0277306号说明书

发明内容

[0006] 发明要解决的问题

[0007] 然而,在上述专利文献1公开的电容器中,上述的电容形成部之中的导电膜变得非常薄,因此该导电膜的截面积变小,在该导电膜流过电流从而产生所谓的ESR(等效串联电阻)会变高的问题。

[0008] 因此,本发明正是为了解决上述的问题而完成的,其目的在于,在具备包含金属多孔体、电介质膜和导电膜的电容形成部而成的电容器中谋求低ESR化。

[0009] 用于解决问题的技术方案

[0010] 基于本发明的电容器具备绝缘基板、电容形成部、和第1外部连接布线以及第2外部连接布线。上述绝缘基板具有第1主面以及位于与该第1主面相反的一侧的第2主面,上述电容形成部设置为与上述第1主面对置。上述第1外部连接布线以及第2外部连接布线与上述电容形成部连接。上述电容形成部包含:导电性的金属多孔体,与上述第1外部连接布线连接;电介质膜,覆盖上述金属多孔体的表面;和导电膜,覆盖上述电介质膜并且与上述第2外部连接布线连接。上述第1外部连接布线具有贯通上述绝缘基板使得从上述第1主面到达上述第2主面的第1过孔导体,上述第2外部连接布线具有贯通上述绝缘基板使得从上述第1主面到达上述第2主面的第2过孔导体、和覆盖上述导电膜使得填充上述电容形成部的内部的空间的内部导体。上述导电膜和上述第2过孔导体至少经由上述内部导体而连接。

[0011] 在上述基于本发明的电容器中,上述第2外部连接布线也可以具有柱状导体,该柱状导体从上述第1主面朝向上述电容形成部突出并且被上述电容形成部包围,在该情况下,优选上述内部导体和上述第2过孔导体至少经由上述柱状导体而连接。

[0012] 在上述基于本发明的电容器中,上述柱状导体也可以沿着上述第1主面的法线方向延伸,在该情况下,也可以是,在沿着上述第1主面的法线方向观察的情况下,上述柱状导体与上述第2过孔导体在至少一部分重叠,由此上述柱状导体与上述第2过孔导体连接。

[0013] 在上述基于本发明的电容器中,上述电容形成部也可以包含在上述第1主面的法线方向上相互分离地层叠的第1电容形成部以及第2电容形成部,在该情况下,优选上述第1电容形成部的上述导电膜和上述第2电容形成部的上述导电膜通过上述内部导体以及上述柱状导体而连接。

[0014] 在上述基于本发明的电容器中,优选位于上述第1电容形成部与上述第2电容形成部之间的部分的上述内部导体的厚度比上述导电膜的厚度大。

[0015] 在上述基于本发明的电容器中,位于上述第1电容形成部与上述第2电容形成部之间的部分的上述内部导体的厚度也可以为上述导电膜的厚度的3倍以上。

[0016] 在上述基于本发明的电容器中,也可以在上述绝缘基板设置有支承部,该支承部通过从上述第1主面朝向上述电容形成部突出并且被上述电容形成部包围,从而与上述电容形成部接合,由此对上述电容形成部进行支承。

[0017] 在上述基于本发明的电容器中,上述第1外部连接布线也可以具有构成上述支承部的支承导体,在该情况下,优选上述支承导体与上述金属多孔体连接。

[0018] 在上述基于本发明的电容器中,上述支承导体也可以沿着上述第1主面的法线方向延伸,在该情况下,也可以是,在沿着上述第1主面的法线方向观察的情况下,上述支承导体与上述第1过孔导体在至少一部分重叠,由此上述支承导体与上述第1过孔导体连接。

[0019] 在上述基于本发明的电容器中,也可以在上述绝缘基板设置有支承部,该支承部通过从上述第1主面朝向上述电容形成部突出并且被上述电容形成部包围,从而与上述电容形成部接合,由此对上述电容形成部进行支承。而且,上述第1外部连接布线也可以具有构成上述支承部的支承导体,在该情况下,优选上述支承导体与上述金属多孔体连接。而且,上述支承导体也可以沿着上述第1主面的法线方向延伸,在该情况下,也可以是,在沿着上述第1主面的法线方向观察的情况下,上述支承导体与上述第1过孔导体在至少一部分重叠,由此上述支承导体与上述第1过孔导体连接。此外,在上述基于本发明的电容器中,也可以还具备密封部,该密封部设置在上述第1主面上,对上述电容形成部进行密封,并且对从上述电容形成部观察时位于与上述绝缘基板侧相反的一侧的外表面进行规定。在该情况下,也可以是,上述支承导体贯通上述电容形成部以及上述密封部,由此上述支承导体在上述外表面露出,此外,也可以是,上述柱状导体贯通上述电容形成部以及上述密封部,由此上述柱状导体在上述外表面露出。

[0020] 在上述基于本发明的电容器中,上述支承导体也可以沿着上述第1主面的法线方向延伸,在该情况下,也可以是,在沿着上述第1主面的法线方向观察的情况下,上述支承导体不与上述第1过孔导体重叠。

[0021] 在上述基于本发明的电容器中,优选上述支承导体包含与上述金属多孔体所包含的材料之中的至少一部分相同的材料。

[0022] 在上述基于本发明的电容器中,也可以在上述绝缘基板设置有支承部,该支承部通过从上述第1主面朝向上述电容形成部突出并且被上述电容形成部包围,从而与上述电容形成部接合,由此对上述电容形成部进行支承,在该情况下,上述第1外部连接布线也可以具有构成上述支承部的支承导体。上述支承导体也可以沿着上述第1主面的法线方向延伸,并且与上述金属多孔体连接,进而,也可以是,在沿着上述第1主面的法线方向观察的情况下,上述支承导体与上述第1过孔导体在至少一部分重叠,由此上述支承导体与上述第1

过孔导体连接。而且,上述电容形成部也可以包含在上述第1主面的法线方向上相互分离地层叠的第1电容形成部以及第2电容形成部。在该情况下,上述第1电容形成部的上述金属多孔体和上述第2电容形成部的上述金属多孔体也可以通过上述支承导体而连接,此外,上述第1电容形成部的上述导电膜和上述第2电容形成部的上述导电膜也可以通过上述内部导体以及上述柱状导体而连接。

[0023] 在上述基于本发明的电容器中,也可以还具备密封部,该密封部设置在上述第1主面上,对上述电容形成部进行密封,并且对从上述电容形成部观察时位于与上述绝缘基板侧相反的一侧的外表面进行规定。在该情况下,也可以是,上述支承导体贯通上述电容形成部以及上述密封部,由此上述支承导体在上述外表面露出,此外,也可以是,上述柱状导体贯通上述电容形成部以及上述密封部,由此上述柱状导体在上述外表面露出。

[0024] 在上述基于本发明的电容器中,优选的是,在沿着上述第1主面的法线方向观察的情况下,上述第1过孔导体以及上述第2过孔导体均设置在配置了上述电容形成部的区域内。

[0025] 在上述基于本发明的电容器中,上述第1过孔导体也可以均设置有多个,此外,上述第2过孔导体也可以均设置有多个。

[0026] 在上述基于本发明的电容器中,上述第1过孔导体以及上述第2过孔导体也可以在沿着上述第1主面的法线方向观察的情况下配置为阵列状,在该情况下,优选一个过孔导体的极性和与该过孔导体以最短距离相邻的过孔导体的极性不同。

[0027] 在上述基于本发明的电容器中,优选上述内部导体包含Ag以及导电性高分子之中的至少任一者作为主要材料。

[0028] 发明效果

[0029] 根据本发明,在具备包含金属多孔体、电介质膜和导电膜的电容形成部而成的电容器中,可谋求低ESR化。

附图说明

[0030] 图1是实施方式1涉及的电容器的示意主视图。

[0031] 图2是图1所示的电容器的示意仰视图。

[0032] 图3是图1所示的电容器的示意剖视图。

[0033] 图4是将图3所示的第2过孔导体的附近进行了放大的示意剖视图。

[0034] 图5是将图3所示的内部导体的一部分进行了放大的示意剖视图。

[0035] 图6是将图3所示的绝缘基板的第1主面的附近进行了放大的示意剖视图。

[0036] 图7是将图3所示的密封部的一部分进行了放大的示意剖视图。

[0037] 图8是示出实施方式1涉及的电容器的制造方法的流程图。

[0038] 图9是示出图8所示的制造流程的步骤S4完成后的状态的示意剖视图。

[0039] 图10是用于说明图8所示的制造流程的步骤S5的示意剖视图。

[0040] 图11是用于说明图8所示的制造流程的步骤S6的示意剖视图。

[0041] 图12是用于说明图8所示的制造流程的步骤S7的示意剖视图。

[0042] 图13是用于说明图8所示的制造流程的步骤S8的示意剖视图。

[0043] 图14是用于说明图8所示的制造流程的步骤S9的示意剖视图。

[0044] 图15是用于说明图8所示的制造流程的步骤S10的示意剖视图。

[0045] 图16是用于说明图8所示的制造流程的步骤S11的示意剖视图。

[0046] 图17是用于说明图8所示的制造流程的步骤S12的示意剖视图。

[0047] 图18是用于说明图8所示的制造流程的步骤S13的示意剖视图。

[0048] 图19是用于说明图8所示的制造流程的步骤S14的示意剖视图。

[0049] 图20是用于说明图8所示的制造流程的步骤S15的示意剖视图。

[0050] 图21是用于说明图8所示的制造流程的步骤S16的示意剖视图。

[0051] 图22是用于说明图8所示的制造流程的步骤S17的示意剖视图。

[0052] 图23是用于说明图8所示的制造流程的步骤S18的示意剖视图。

[0053] 图24是示出图3所示的电容器涉及的柱状导体的一个方式的示意剖视图。

[0054] 图25是第1变形例涉及的电容器的示意剖视图。

[0055] 图26是第2变形例涉及的电容器的示意剖视图。

[0056] 图27是第3变形例涉及的电容器的示意剖视图。

[0057] 图28是第4变形例涉及的电容器的示意剖视图。

[0058] 图29是实施方式2涉及的电容器的示意剖视图。

[0059] 图30是示出实施方式2涉及的电容器的制造方法的流程图。

[0060] 图31是用于说明图30所示的制造流程的步骤S7的示意剖视图。

[0061] 图32是用于说明图30所示的制造流程的步骤S9的示意剖视图。

[0062] 图33是用于说明图30所示的制造流程的步骤S15B的示意剖视图。

[0063] 图34是用于说明图30所示的制造流程的步骤S16的示意剖视图。

[0064] 图35是用于说明图30所示的制造流程的步骤S17的示意剖视图。

[0065] 图36是实施方式3涉及的电容器的示意剖视图。

[0066] 图37是示出实施方式3涉及的电容器的制造方法的流程图。

[0067] 图38是第5变形例涉及的电容器的示意剖视图。

[0068] 图39是将图38所示的第2过孔导体的附近进行了放大的示意剖视图。

具体实施方式

[0069] 以下,参照图对本发明的实施方式详细地进行说明。另外,在以下所示的实施方式中,在图中对于相同的或共同的部分标注相同的附图标记,不重复其说明。此外,在以下所示的实施方式中,为了说明的方便起见,使用“阳极”以及“阴极”的用语,但以下所示的实施方式中的电容器的电极性并非由这些用语唯一地决定,其电极性可配合该电容器的使用环境来适当决定。

[0070] (实施方式1)

[0071] 图1是实施方式1涉及的电容器的示意主视图,图2是从图1中所示的箭头II方向观察的电容器的示意仰视图。图3是沿着图2中所示的III-III线的电容器的示意剖视图,图4是将图3所示的第2过孔导体的附近进行了放大的示意剖视图。图5是将图3所示的内部导体的一部分进行了放大的示意剖视图,图6是将图3所示的绝缘基板的第1主面的附近进行了放大的示意剖视图。图7是将图3所示的密封部的一部分进行了放大的示意剖视图。首先,参照这些图1至图7,对本实施方式涉及的电容器1A的结构进行说明。

[0072] 如图1至图3所示,电容器1A具有扁平的大致长方体形状的外形,是其底面构成为相对于布线基板等的安装面的所谓的表面安装型电子部件。电容器1A主要具备绝缘基板10、电容形成部20、和密封部30。其中,电容形成部20设置为与绝缘基板10对置。电容形成部20被绝缘基板10和设置在该绝缘基板10上的密封部30密封,由此位于电容器1A的内部。

[0073] 此外,在绝缘基板10设置有第1过孔导体13以及第2过孔导体14、支承导体15、第1凸块16以及第2凸块17、内部导体18、和柱状导体19。这些第1过孔导体13、第2过孔导体14、支承导体15、第1凸块16、第2凸块17、内部导体18、以及柱状导体19构成了作为用于将位于电容器1A的内部的电容形成部20与外部的电路电连接的引出布线的一对外部连接布线。一对外部连接布线包含作为阳极的第1外部连接布线和作为阴极的第2外部连接布线。

[0074] 如图1至图4以及图6所示,绝缘基板10由具有第1主面10a和位于与该第1主面10a相反侧的第2主面10b的平板状的构件构成。作为绝缘基板10,优选使用具有电绝缘性的基板,能够适宜地利用以无机材料为主成分的基板。更具体地,作为绝缘基板10,能够使用例如以Si、Al_2O_3、ZrO_2、BN、Si_3N_4、AlN、MgO、Mg_2SiO_4、$BaTiO_3$、$SrTiO_3$以及$CaTiO_3$中的任一者为主要材料的基板。

[0075] 关于绝缘基板10的厚度以及大小,对其没有特别限制,但优选使用例如厚度为5μm以上且50μm以下并且一边的长度为500μm以上且2000μm以下的俯视矩形形状的矾土基板。

[0076] 在绝缘基板10设置有多个第1贯通孔11,这些多个第1贯通孔11各自贯通绝缘基板10,使得从第1主面10a到达第2主面10b。这些多个第1贯通孔11各自被第1过孔导体13填埋(参照图3)。多个第1过孔导体13各自的形状例如为大致圆柱状。

[0077] 在绝缘基板10设置有多个第2贯通孔12,这些多个第2贯通孔12各自贯通绝缘基板10,使得从第1主面10a到达第2主面10b。这些多个第2贯通孔12各自被第2过孔导体14填埋(参照图3)。多个第2过孔导体14各自的形状例如为大致圆柱状。

[0078] 多个第1过孔导体13各自构成了上述的第1外部连接布线的一部分。多个第2过孔导体14各自构成了上述的第2外部连接布线的一部分。即,多个第1过孔导体13和多个第2过孔导体14分别构成了为不同极性的第1外部连接布线以及第2外部连接布线。

[0079] 在此,在本实施方式中,在沿着绝缘基板10的第1主面10a的法线方向观察的情况下,第1过孔导体13以及第2过孔导体14均设置在配置了电容形成部20的区域(即,图2中虚线所示的区域)内。

[0080] 此外,在本实施方式中,在绝缘基板10设置有4个第1过孔导体13和5个第2过孔导体14,由此合计9个过孔导体贯通了绝缘基板10。这9个过孔导体以3行3列的布局配置为阵列状。在此,一个过孔导体的极性和与该过孔导体以最短距离相邻的过孔导体的极性不同。另外,这些第1过孔导体13以及第2过孔导体14的个数以及配置并不特别限定于此。

[0081] 作为第1过孔导体13以及第2过孔导体14,能够由各种布线材料构成其,但特别优选由导电率高的金属材料构成其。第1过孔导体13以及第2过孔导体14的材质能够采用例如以Ni、Ag、Cu、Au、Pt、Mo以及W中的任一者为主要材料的金属材料,但优选为Cu。在此,这些第1过孔导体13以及第2过孔导体14的材质能够配合本实施方式涉及的电容器1A的安装环境而适当变更,此外,第1过孔导体13的材质和第2过孔导体14的材质不需要一定相同。在本实施方式中,作为第1过孔导体13以及第2过孔导体14而使用了包含Ni的材料。

[0082] 另外,第2过孔导体14也可以通过例如电解镀敷、丝网印刷法等厚膜形成方法,与

后述的柱状导体19一起形成。在该情况下,第2过孔导体14的材质成为与后述的柱状导体19的材质相同的。

[0083] 第1过孔导体13以及第2过孔导体14的轴向长度以及大小没有特别限制,可根据绝缘基板10的厚度、大小来适当设定。在此,第1过孔导体13以及第2过孔导体14的轴向长度优选设为例如5μm以上且50μm以下,它们的直径优选设为例如15μm以上且150μm以下。

[0084] 如图3所示,在绝缘基板10设置有从第1主面10a朝向电容形成部20突出并且被电容形成部20包围的多个大致圆柱状的支承导体15。像这样构成的多个支承导体15通过各自与电容形成部20接合从而作为对电容形成部20进行支承的支承部发挥功能。即,通过设置这些作为支承部的多个支承导体15,从而变得能够抑制由于在电容器1A的制造过程中产生的应力而在绝缘基板10产生翘曲,但设为关于这一点将在后面叙述。

[0085] 此外,多个支承导体15各自沿着第1主面10a的法线方向延伸,在沿着该法线方向观察的情况下,与多个第1过孔导体13各自重叠地配置。由此,支承导体15与第1过孔导体13连接。

[0086] 在此,优选的是,多个支承导体15各自配置为与多个第1过孔导体13各自成为大致同轴。此外,优选的是,多个支承导体15的与第1主面10a的法线方向正交的它们各自的剖面构成得比与之对应的第1过孔导体13的剖面大。因此,优选的是,多个支承导体15各自的直径设为例如15μm以上且100μm以下。

[0087] 如果像这样构成,则即使在由于多个支承导体15各自的形成位置偏移从而变得不再与多个第1过孔导体13各自完全配置在同轴上的情况下,也能够使得多个支承导体15各自在沿着第1主面10a的法线方向观察的情况下与多个第1过孔导体13各自在至少一部分重叠地配置。因此,这样一来,能够将多个支承导体15各自与多个第1过孔导体13各自可靠地连接。

[0088] 支承导体15的轴向长度没有特别限制,可根据电容形成部20的厚度来适当设定,但优选具有只要能够将电容形成部20在其厚度方向上贯通的轴向长度。另外,如后述那样,当电容形成部20包含在第1主面10a的法线方向上相互分离地层叠的多个电容形成部的情况下,需要具有与位于最远离第1主面10a的位置的层(即,图3中为第1电容形成部20a)的至少一部分接合的程度的轴向长度。多个支承导体15的轴向长度优选例如下限为15μm,上限为电容器1A的厚度减去20μm的长度。

[0089] 作为支承导体15,优选包含与后述的金属多孔体21所包含的材料之中的至少一部分相同的材料而构成。支承导体15的材质能够采用例如以Ni、Mo、W、Al、Ti、Ta、Nb、Cu、Pt、Au以及Ag中的任一者为主要材料的金属材料。此外,也可以设为由以从这些金属材料之中选择的2种以上为主要成分的合金材料来构成支承导体15。在本实施方式中,作为支承导体15,使用了包含Ni的材料。

[0090] 另外,关于俯视支承导体15的情况下的外形,其并不限定于大致圆形状,例如也可以为大致椭圆形状等。此外,支承导体15也可以在相对于第1主面10a的法线方向附上相当程度的斜度的方向上延伸。

[0091] 内部导体18连续地形成,使得覆盖构成电容形成部20的后述的导电膜23。更具体地,内部导体18覆盖对电容形成部20的内部的空间进行规定的导电膜23使得填充该内部的空间,并且对覆盖电容形成部20的外表面和支承导体15的前端部的导电膜23进行覆盖。此

外,内部导体18对覆盖绝缘基板10的第1主面10a的导电膜23进行覆盖。

[0092] 进而,如图4所示,内部导体18覆盖如下的导电膜23,即,该导电膜23覆盖对设置于绝缘基板10的第2贯通孔12进行规定的部分的绝缘基板10的表面。更具体地,在第2过孔导体14和绝缘基板10的基材的边界部,绝缘基板10的基材被后述的电介质膜22覆盖,并且电介质膜22被导电膜23覆盖,进而导电膜23被内部导体18覆盖。进而该内部导体18被第2过孔导体14覆盖,由此,内部导体18与第2过孔导体14直接连接。

[0093] 此外,如图3所示,内部导体18还覆盖后述的多个柱状导体19各自的表面,由此,导电膜23与内部导体18一起经由柱状导体19而与第2过孔导体14连接。

[0094] 关于内部导体18的厚度,只要比导电膜23厚就对其没有特别限制,但优选为30μm以上,更适宜设为200μm以上。另外,为了制图的方便起见,在图3至图6等中,描绘为包含内部导体18的厚度极其不同的部分,因此,虽然内部导体18的一部分(例如,第2过孔导体14的附近等)的厚度与导电膜23的厚度成为同等程度,但是实际上导电膜23以及内部导体18的厚度如上所述具有相当程度的差异而构成(在后述的图19至图29、图33至图36、图38以及图39中也是同样的)。

[0095] 在如以上那样构成的情况下,导电膜23和第2过孔导体14变得经由内部导体18而连接。由此,变得可谋求电容器1A的低ESR化,但设为关于其详情将在后面叙述。

[0096] 进而,内部导体18形成为填补在第1主面10a的法线方向上相互分离地层叠的多个电容形成部的层间所设置的空间,由此,变得也可谋求电容器1A的低ESR化,但设为关于其详情也将在后面叙述。

[0097] 此外,通过像这样形成内部导体18,从而电容形成部20的各层变得被填补于层间的内部导体18保持。由此,能够使电容形成部20的机械强度提高。

[0098] 作为内部导体18,例如能够以Ag等金属材料以及导电性高分子之中的至少任一者为主要材料。此外,也可以设为由以从这些金属材料之中选择的2种以上为主要成分的合金材料来构成内部导体18。在本实施方式中,作为内部导体18,使用了包含Ag的材料。

[0099] 内部导体18例如能够通过化学蒸镀(CVD:Chemical Vapor Deposition,化学气相沉积)法、原子层沉积(ALD)法、脉冲激光沉积(PLD:Pulsed Laser Deposition)法、镀敷法、偏压溅射法(Bias Sputtering Method)、溶胶凝胶法、使用导电性高分子填充的方法、或者使用超临界流体的方法来形成。

[0100] 另外,关于上述的内部导体18的厚度的测定,例如,通过利用扫描型电子显微镜观察与绝缘基板10的第1主面10a的延伸方向正交的剖面来进行。

[0101] 具体地,在将俯视电容器1A的情况下的该电容器1A的长边方向设为Lx,将短边方向设为Ly,将该电容器1A的厚度方向(即,第1主面10a的法线方向)设为Lz时,首先,对电容器1A进行研磨处理,使得位于Ly方向上的中央的部分的电容器1A的Lx-Lz剖面露出。进行该研磨处理,使得露出的剖面位于以上述中央位置为基准在Ly方向上±100μm的误差范围内。

[0102] 接着,进行露出的剖面的观察。该剖面的Lx方向的观察范围是以Lx方向上的该剖面的中央位置为基准±50μm的范围,该剖面的Lz方向的观察范围是在Lz方向上相互分离地层叠的多个电容形成部之中的、位于最靠近第1主面10a的位置的层和与其相邻的层之间的范围。

[0103] 在测定内部导体18的厚度时,首先,在通过扫描型电子显微镜而得到的倍率为10

万倍的剖面图像中,通过能量色散型X射线光谱法对规定内部导体18的材料的元素进行映射,并对其进行拍摄。接着,对映射图像实施二值化处理。接着,在进行了二值化处理的图像中,在Lx方向上以10nm间距在100个部位测量内部导体18的Lz方向的厚度,算出它们的平均值。像这样算出的平均值成为内部导体18的厚度。在此,在图5中,将在这100个部位测定的内部导体18的Lz方向的厚度之中的3个例示为线段长度a1、a2、a3。另外,图5是为了说明内部导体18的厚度的测定而将内部导体18的一部分进行了放大的示意图,并不是对上述的映射图像或者进行了二值化处理的图像进行例示的图。

[0104] 在绝缘基板10中,还设置有从第1主面10a朝向电容形成部20突出并且隔着内部导体18被电容形成部20包围的多个大致圆柱状的柱状导体19。

[0105] 如上所述,关于多个柱状导体19,其各自的表面被内部导体18覆盖,由此与该内部导体18连接。

[0106] 此外,多个柱状导体19各自沿着第1主面10a的法线方向延伸,在沿着第1主面10a的法线方向观察的情况下,与多个第2过孔导体14各自重叠地配置。由此,多个柱状导体19各自在其绝缘基板10侧的端部与第2过孔导体14连接。

[0107] 在像这样构成的情况下,导电膜23和第2过孔导体14变得不仅如上述那样仅经由内部导体18而连接,还与内部导体18一起经由柱状导体19而连接。即,内部导体18和第2过孔导体14不仅直接连接,还经由柱状导体19而连接。

[0108] 因此,上述的作为阴极的第2外部连接布线经由第2过孔导体14、内部导体18以及柱状导体19而与电容形成部20连接。由此,变得可谋求电容器1A的低ESR化,但设为关于其详情将在后面叙述。

[0109] 在此,优选的是,多个柱状导体19各自配置为与多个第2过孔导体14各自成为大致同轴。此外,优选的是,多个柱状导体19的与第1主面10a的法线方向正交的它们各自的剖面构成得比与之对应的第2过孔导体14的剖面大。因此,优选的是,多个柱状导体19各自的直径设为例如15μm以上且150μm以下。

[0110] 如果像这样构成,则即使在由于多个柱状导体19各自的形成位置偏移从而变得不再与多个第2过孔导体14各自完全配置在同轴上的情况下,也能够使得多个柱状导体19各自在沿着第1主面10a的法线方向观察的情况下与多个第2过孔导体14各自在至少一部分重叠地配置。因此,这样一来,能够将多个柱状导体19各自与多个第2过孔导体14各自可靠地连接。

[0111] 柱状导体19的轴向长度没有特别限制,可根据电容形成部20的厚度来适当设定,但优选具有只要能够将电容形成部20在其厚度方向上贯通的轴向长度。另外,如后述那样,当电容形成部20包含在第1主面10a的法线方向上相互分离地层叠的多个电容形成部的情况下,需要具有与位于最远离第1主面10a的位置的层(即,图3中为第1电容形成部20a)的至少一部分接合的程度的轴向长度。多个柱状导体19的轴向长度优选例如下限为15μm,上限为电容器1A的厚度减去20μm的长度。

[0112] 作为柱状导体19,优选包含与后述的金属多孔体21所包含的材料之中的至少一部分相同的材料而构成。柱状导体19的材质能够采用例如以Ni、Mo、W、Al、Ti、Ta、Nb、Cu、Pt、Au以及Ag中的任一者为主要材料的金属材料。此外,也可以设为由以从这些金属材料之中选择的2种以上为主要成分的合金材料来构成柱状导体19。

[0113] 另外,柱状导体19也可以通过例如电解镀敷、丝网印刷法等厚膜形成方法,与第2过孔导体14一起形成。在该情况下,柱状导体19的材质变得与第2过孔导体14的材质相同。在本实施方式中,通过电解镀敷,一起形成包含Ni的第2过孔导体14以及柱状导体19。

[0114] 另外,关于俯视柱状导体19的情况下的外形,其并不限定于大致圆形状,例如也可以为大致椭圆形状等。此外,柱状导体19也可以在相对于第1主面10a的法线方向附上相当程度的斜度的方向上延伸。

[0115] 以上说明的支承导体15构成了上述的第1外部连接布线的一部分,内部导体18以及柱状导体19构成了上述的第2外部连接布线的一部分。即,支承导体15和内部导体18以及柱状导体19分别构成了为不同极性的第1外部连接布线以及第2外部连接布线。

[0116] 如图1至图3所示,在绝缘基板10的第2主面10b上设置有多个第1凸块16,使得覆盖多个第1过孔导体13。多个第1凸块16成为用于将作为表面安装型电子部件的电容器1A安装于布线基板等并且将该电容器1A的电容形成部20与外部的电路电连接的接合材料,设置为从绝缘基板10的第2主面10b突出。多个第1凸块16各自的形状为大致半圆球状。

[0117] 在绝缘基板10的第2主面10b上设置有多个第2凸块17,使得覆盖多个第2过孔导体14。多个第2凸块17成为用于将作为表面安装型电子部件的电容器1A安装于布线基板等并且将该电容器1A的电容形成部20与外部的电路电连接的接合材料,设置为从绝缘基板10的第2主面10b突出。多个第2凸块17各自的形状为大致半圆球状。

[0118] 多个第1凸块16各自构成了上述的第1外部连接布线的一部分。多个第2凸块17各自构成了上述的第2外部连接布线的一部分。即,多个第1凸块16和多个第2凸块17分别构成了为不同极性的第1外部连接布线以及第2外部连接布线。

[0119] 作为第1凸块16以及第2凸块17,能够由各种布线材料构成其,但特别优选由导电率高的金属材料构成其。第1凸块16的材质以及第2凸块17的材质能够采用例如以Ni、Ag、Cu、Au以及Sn中的任一者为主要材料的金属材料。在本实施方式中,作为第1凸块16以及第2凸块17,使用了包含Au的材料。

[0120] 第I凸块16以及第2凸块17的大小没有特别限制,可根据第1过孔导体13以及第2过孔导体14的大小来适当设定。

[0121] 根据以上,一对外部连接布线之中的作为阳极的第1外部连接布线由第1过孔导体13、支承导体15以及第1凸块16构成,一对外部连接布线之中的作为阴极的第2外部连接布线由第2过孔导体14、内部导体18、柱状导体19以及第2凸块17构成。

[0122] 如图3所示,电容形成部20设置为与绝缘基板10对置,包含在内部具有多个微细的孔的金属多孔体21、对该金属多孔体21的表面进行覆盖的电介质膜22、和进一步对该电介质膜22的表面进行覆盖的导电膜23。

[0123] 另外,电容形成部20虽然设置为与绝缘基板10对置,但是与绝缘基板10实质上不直接接合,或者,即使直接接合也仅接合一点点。在此,所谓电容形成部20与绝缘基板10仅接合一点点的状态,意味着电容形成部20的一部分以给定的比率以下与绝缘基板10接合的状态。即,所谓电容形成部20与绝缘基板10仅接合一点点的状态,如图6所示,意味着在与绝缘基板10的第1主面10a的延伸方向正交的剖面中,在观察绝缘基板10的第1主面10a上的任意的区域的情况下,在该任意的区域中,金属多孔体21相对于绝缘基板10直接接合或者经由电介质膜22或导电膜23而间接接合的部分的与第1主面10a平行的线段长度的合计(即,

在图6所示的例子中为线段长度d1+d2)为第1主面的该任意的区域中的全部线段长度(即,在图6所示的例子中为线段长度c)的30％以下。

[0124] 此外,如图3所示,电容形成部20包含在第1主面10a的法线方向上相互分离地层叠的多个电容形成部。另外,该层叠的电容形成部的层数没有特别限制,可根据希望的电容来适当设定。本实施方式中的电容形成部20由3层构成,为了说明的方便起见,设为从位于最远离第1主面10a的位置的层起,依次称为第1电容形成部20a、第2电容形成部20b、第3电容形成部20c。

[0125] 关于金属多孔体21,设置在其内部的多个微细的孔的至少一部分未被该金属多孔体自身封闭,优选地,设置在其内部的多个微细的孔的大部分或全部未被该金属多孔体自身封闭。这样的金属多孔体例如由金属粒子的烧结体构成。

[0126] 金属多孔体21在绝缘基板10的第1主面10a的除了缘部的部分上,位于包围支承导体15这样的位置。像这样构成的金属多孔体21在其形成工序中与支承导体15一起被烧成,该支承导体15包含与金属多孔体21所包含的材料之中的至少一部分相同的材料。

[0127] 由此,金属多孔体21变得与支承导体15接合。即,在本实施方式涉及的电容器1A中,变得第1电容形成部20a的金属多孔体21、第2电容形成部20b的金属多孔体21和第3电容形成部20c的金属多孔体21通过支承导体15而连接。因此,上述的作为阳极的第1外部连接布线经由该支承导体15而与电容形成部20连接。

[0128] 作为金属多孔体21,能够由各种导电性金属材料构成其,但优选由以Ni、Mo、W、Al、Ti、Ta、Nb、Cu、Pt、Au以及Ag中的任一者为主要材料的金属材料构成其。此外,也可以设为由以从这些金属材料之中选择的2种以上为主要成分的合金材料构成金属多孔体21。在本实施方式中,作为金属多孔体21,使用了包含Ni的材料。

[0129] 关于金属多孔体21的厚度以及大小,对其没有特别限制,特别是其大小可根据绝缘基板10的大小来适当设定。

[0130] 在此,如上所述,金属多孔体21优选由金属粒子的烧结体构成。在该情况下,作为金属粒子,能够利用球状、椭圆球状、扁平状、板状、针状等各种各样的形状的金属粒子。此外,金属粒子的粒径没有特别限制,但其平均粒径优选为600nm以下,更优选为20nm以上且500nm以下。

[0131] 电介质膜22如上所述覆盖金属多孔体21的表面。更具体地,电介质膜22不仅覆盖位于电容形成部20的最外侧的部分的金属多孔体21的表面,还覆盖位于电容形成部20的内部的部分的金属多孔体21的表面之中、未被该金属多孔体自身封闭的上述的微细的孔所规定的表面。此外,电介质膜22还覆盖支承导体15的表面。

[0132] 作为电介质膜22,能够由各种绝缘材料构成其,例如能够由AlO_x、SiO_x、HfO_x、TiO_x、TaO_x、ZrO_x、$SiAlO_x$、$HfAlO_x$、$ZrAlO_x$、$AlTiO_x$、$SrTiO_x$、$HfSiO_x$、$ZrSiO_x$、$TiZrO_x$、$TiZrO_x$、$TiZrWO_x$、$SrTiO_x$、$BaTiO_x$、$PbTiO_x$、$BaSrTiO_x$、$BaCaTiO_x$等金属氧化物、AlN_x、SiN_x、$AlScN_x$等金属氮化物、AlO_xN_y、SiO_xN_y、HfO_xN_y、$SiC_xO_yN_z$等金属氮氧化物构成其。其中,尤为优选由AlO_x(例如,Al_2O_3)、SiO_x(例如,SiO_2)、HfO_x、TiO_x、$SiAlO_x$、$HfAlO_x$、$ZrAlO_x$、$HfSiO_x$以及$ZrSiO_x$中的任一者构成电介质膜22。另外,上述的化学式仅示出材料的结构,并没有对组成进行限定。即,对O以及N附加的x、y以及z可以是大于0的任意的值,包含金属元素的各元素的存在比率是任意的。此外,电介质膜22也可以由包含材质不同的多个电介质层的层叠膜构成。在本实施方式

中,作为电介质膜22,使用了包含AlSiO的材料。

[0133] 电介质膜22优选能够通过气相法例如真空蒸镀法、CVD法、溅射法、ALD法、PLD法等、或者使用超临界流体的方法来形成,尤其适宜通过ALD法来形成。

[0134] 电介质膜22的厚度没有特别限制,但优选为3nm以上且100nm以下,更适宜设为5nm以上且50nm以下。

[0135] 导电膜23如上所述覆盖电介质膜22的表面。更具体地,导电膜23不仅覆盖位于电容形成部20的最外侧的部分的电介质膜22的表面,还覆盖位于电容形成部20的内部的部分的电介质膜22的表面。此外,导电膜23还对覆盖支承导体15的表面的电介质膜22的表面进行覆盖。

[0136] 作为导电膜23,能够由各种导电材料构成其,能够由以Ni、Cu、Ru、Al、W、Ti、Ag、Au、Zn、Ta以及Nb中的任一者为主要材料的金属材料、以从这些金属材料之中选择的2种以上为主要成分的合金材料、TiN、TiAlN、TiSiN、TaN、NbN、WN等金属氮化物、TiON、TiAlON等金属氮氧化物、PEDOT(聚(3,4-乙烯二氧噻吩))、聚吡咯、聚苯胺等导电性高分子、RuO_2、ZnO、(Zn,Al)O、NiO等导电性氧化膜构成其。其中,尤为优选由TiN或者TiON或ZnO、RuO等氧化物半导体构成导电膜23。在本实施方式中,作为导电膜23,使用了包含TiN的材料。

[0137] 导电膜23优选能够通过CVD法、ALD法、PLD法、镀敷法、偏压溅射法、溶胶凝胶法、使用导电性高分子填充的方法、或者使用超临界流体的方法来形成,尤其适宜通过ALD法来形成。此外,导电膜23也可以由包含材质不同的多个导电层的层叠膜构成。在该情况下,能够在通过ALD法进行了成膜之后通过其他方法进行成膜。

[0138] 导电膜23的厚度没有特别限制,但优选为3nm以上,更适宜设为10nm以上。

[0139] 在此,电容形成部20如上所述包含在第1主面10a的法线方向上相互分离地层叠的多个电容形成部,并形成有内部导体18使得填补设置在这些层间的空间。

[0140] 通过像这样形成内部导体18,从而第1电容形成部20a的导电膜23、第2电容形成部20b的导电膜23和第3电容形成部20c的导电膜23变得通过该内部导体18而连接。

[0141] 位于第1电容形成部20a与第2电容形成部20b之间的部分的内部导体18的厚度优选构成得比导电膜23的厚度大,更适宜地,上述内部导体18的厚度优选构成为上述导电膜的厚度的2倍以上,更适宜设为上述厚度的3倍以上,更适宜设为上述厚度的10倍以上,更适宜设为100倍以上。另外,该结构在位于第2电容形成部20b与第3电容形成部20c之间的部分的内部导体18的厚度上也是同样的。

[0142] 通过像这样构成,从而变得可谋求电容器1A的低ESR化,但设为关于其详情将在后面叙述。

[0143] 如图1以及图3所示,密封部30设置在绝缘基板10的第1主面10a上,与该绝缘基板10一起对电容形成部20进行密封,并且对从电容形成部20观察时位于与绝缘基板10侧相反的一侧的外表面30a进行规定。更具体地,密封部30位于覆盖设置为与绝缘基板10的第1主面10a对置的电容形成部20的上方、侧方以及下方这样的位置,进而,在电容形成部20的内部的空间未被内部导体18完全填充的情况下,密封部30位于填埋该空间之中的未被内部导体18填充的空间这样的位置。

[0144] 作为密封部30,能够由各种绝缘材料构成其,但特别优选由耐候性优异的绝缘材料构成其。密封部30的材质例如能够采用聚酰亚胺树脂、聚苯并恶唑树脂、聚对苯二甲酸乙

二醇酯树脂、苯并环丁烯树脂、或者环氧树脂等树脂材料。此外，在该树脂材料中，能够包含各种添加物，例如为了调整热膨胀系数，也可以含有SiO_2填料、Al_2O_3填料等。在本实施方式中，作为密封部30，使用了包含环氧树脂的材料。

[0145] 另外，在仅通过密封部30难以确保耐湿性的情况下，也可以在电容形成部20与密封部30之间形成耐湿保护膜。该耐湿保护膜例如能够通过在形成密封部30之前利用CVD法、ALD法等将包含SiN、SiO_2、Al_2O_3、HfO_2、ZrO_2等的无机绝缘体设置为覆盖电容形成部20，或者，将氟系树脂、硅烷偶联剂树脂等具有防水性的有机物绝缘体设置为覆盖电容形成部20而形成。在此，该耐湿保护膜不需要一定形成至电容形成部20的内部，只要形成为仅覆盖外侧表面便足够。

[0146] 密封部30能够通过各种涂敷方法来成膜，例如，能够利用使用了真空层压机的方法、使用了空气式分配器的方法、使用了喷射分配器的方法、丝网印刷法、真空印刷法、静电涂敷法、喷墨法、光刻法等。

[0147] 密封部30的厚度以及大小没有特别限制，其大小可根据绝缘基板10的大小来适当设定。在此，密封部30的厚度优选设为例如5μm以上且50μm以下，其大小优选为例如覆盖绝缘基板10的第1主面10a的整面的程度。

[0148] 关于上述的密封部30的厚度的测定，例如，通过利用光学显微镜观察与绝缘基板10的第1主面10a的延伸方向正交的剖面来进行。

[0149] 具体地，在将俯视电容器1A的情况下的该电容器1A的长边方向设为Lx，将短边方向设为Ly，将该电容器1A的厚度方向(即，第1主面10a的法线方向)设为Lz时，首先，对电容器1A进行研磨处理，使得位于Ly方向上的中央的部分的电容器1A的Lx-Lz剖面露出。进行该研磨处理，使得露出的剖面位于以上述中央位置为基准在Ly方向上±100μm的误差范围内。

[0150] 接着，使用光学显微镜以倍率1000倍对露出的剖面之中的外表面30a附近的部分进行观察。该剖面的Lx方向的观察范围是以Lx方向上的该剖面的中央位置为基准±50μm的范围，并且是支承导体15以及柱状导体19均未被设置的范围。

[0151] 接着，在上述剖面的观察范围中，在Lx方向上等间隔地在10个部位对密封部30的Lz方向的厚度进行测量，算出它们的平均值。像这样算出的平均值成为密封部30的厚度。在此，在图7中，将在这10个部位测定的密封部30的Lz方向的厚度之中的3个例示为线段长度e1、e2、e3。

[0152] 通过具有以上的结构，从而在本实施方式涉及的电容器1A中，变得包含金属多孔体21、电介质膜22以及导电膜23的电容形成部20被绝缘基板10和密封部30密封，并且变得该电容形成部20的电引出通过一对外部连接布线来实现。

[0153] 图8是示出本实施方式涉及的电容器的制造方法的流程图。图9至图23分别是用于说明图8所示的制造流程的各步骤的示意剖视图。接着，参照这些图8至图23，对用于制造上述的本实施方式涉及的电容器1A的具体的制造方法的一个例子进行说明。

[0154] 以下所示的电容器1A的制造方法是如下的方法，即，通过直到制造工序的中途阶段为止一并进行加工处理来制作在制中途的电容器的集合体，然后通过将该集合体分断来单片化，对单片化后的在制品进一步实施加工处理，由此同时大量生产多个电容器1A。

[0155] 首先，如图8所示，在步骤S1中，制作生片。具体地，称量Al_2O_3粉末和玻璃粉末，将这些Al_2O_3粉末以及玻璃粉末、甲苯、乙醇等有机溶剂、和聚乙烯醇缩丁醛等粘合剂进行混合。

然后,将该混合物成型为片状,由此制作成为绝缘基板的基础的生片。另外,在生片制作后,通过将其裁断来准备多个生片。

[0156] 接着,如图8所示,在步骤S2中,在多个生片之中的一部分形成第1贯通孔以及第2贯通孔。具体地,在生片的给定位置,设置后续会被作为阳极的一部分的第1过孔导体填埋的第1贯通孔,并且设置后续会被作为阴极的一部分的第2过孔导体填埋的第2贯通孔。

[0157] 在此,关于第1贯通孔以及第2贯通孔的形成方法,对其没有特别限制,例如能够通过对生片照射激光来形成这些第1贯通孔以及第2贯通孔。此外,除此之外,还可以通过使用了机械穿孔机的加工、喷砂加工来形成这些第1贯通孔以及第2贯通孔。

[0158] 接着,如图8所示,在步骤S3中,在形成了第1贯通孔以及第2贯通孔的生片形成第1过孔导体。具体地,对生片涂敷导电性膏,使得填埋第1贯通孔。另外,此时,使得第2贯通孔不被导电性膏填埋。

[0159] 在此,关于导电性膏的涂敷方法,对其没有特别限制,例如能够利用丝网印刷法。

[0160] 接着,如图8所示,在步骤S4中,对生片进行烧成。具体地,在步骤S3中涂敷了导电性膏后的生片上叠加未设置第1贯通孔以及第2贯通孔等的生片,对这些被叠加的生片进行压接。然后,对该压接后的生片的层叠体进行脱脂处理,再然后,对脱脂处理后的生片的层叠体进行烧成。

[0161] 在此,在对生片进行层叠时,在涂敷了导电性膏的生片的与上述一个主面对置的另一个主面层叠未设置第1贯通孔以及第2贯通孔等的生片。此外,在对生片进行压接时,例如能够使用单轴压制机。进而,生片的烧成例如在大气气氛下以700℃～1000℃的温度条件来进行。

[0162] 经由以上说明的步骤S1～S4,由此变得可得到如图9所示的绝缘基板。在此,该绝缘基板是最终会包含于多个电容器各自中的绝缘基板被连接为行列状的所谓的多连片式基板,但在图9中,设为仅着眼于其中的1个绝缘基板10,关于其周围部分,用虚线省略示出该部分。

[0163] 此外,在上述中,例示了在步骤S2中形成第1贯通孔以及第2贯通孔,然后在步骤S3中设置第1过孔导体的情况,但也可以使得先仅形成第1贯通孔,并在形成了第1过孔导体后形成第2贯通孔。

[0164] 此外,在上述中,例示将生片和导电性膏同时烧成的情况来进行了说明,但是也可以使得在对未设置贯通孔等的绝缘基板进行烧成之后设置第1过孔导体以及第2贯通孔。在该情况下,只要使得例如通过喷砂法、湿式蚀刻法、干式蚀刻法等在烧成后的绝缘基板设置第1贯通孔以及第2贯通孔,再然后,涂敷导电性膏并对其进行烧成即可。此外,除此之外,还可以通过溅射、蒸镀、镀敷等来形成第1过孔导体。

[0165] 接着,如图8所示,在步骤S5中,涂敷用于形成金属多孔体21的导电性膏层。更具体地,如图10所示,在绝缘基板10的第1主面10a上涂敷用于形成后述的金属多孔体21的导电性膏层21p。

[0166] 在此,优选在涂敷用于形成金属多孔体21的导电性膏之前,通过对设置于绝缘基板10的第2贯通孔12涂敷未图示的环氧树脂等来设置堵塞该第2贯通孔12的堵塞部。这是为了防止导电性膏会侵入到该第2贯通孔12的内部。

[0167] 接着,对导电性的金属粒子21a和包含萜品醇等有机溶剂以及乙基纤维素的清漆

的粘合剂21b进行称量并混合,通过使用辊轧机从而以其混合物为基础来制作导电性膏。将像这样制作的导电性膏涂敷在绝缘基板10的第1主面10a上使得作为整体具有俯视矩形形状的图案形状,并使其干燥。在本实施方式中,使用包含含有Ni的金属粒子21a的导电性膏。

[0168] 此时,导电性膏分多次被重叠涂布,由此在绝缘基板10上被涂敷为具有给定厚度的层状。涂敷在该绝缘基板10上的各个导电性膏经由后述的烧成工序从而成为上述的金属多孔体21。在此,在以下的说明中,将像这样形成的包含金属粒子21a以及粘合剂21b的层状的导电性膏称为导电性膏层21p。

[0169] 接着,如图8所示,在步骤S6中,涂敷树脂膏层。更具体地,如图11所示,在绝缘基板10的第1主面10a上成型为片状的导电性膏层21p之上,进一步涂敷树脂膏层21c使得作为整体成为俯视矩形形状,并使其干燥。

[0170] 树脂膏层21c对后述的多个导电性膏层21p彼此进行划分,并且在后述的烧成工序中消失,例如包含丙烯酸树脂、聚乙烯醇缩丁醛(PVB)等。在本实施方式中,使用包含丙烯酸树脂的树脂膏层21c。

[0171] 接着,如图8所示,在步骤S7中,进一步层叠导电性膏层以及树脂膏层。更具体地,如图12所示,在绝缘基板10上已经涂敷的导电性膏层21p以及树脂膏层21c之上,进一步层叠导电性膏层21p以及树脂膏层21c,使得在第1主面10a的法线方向上交替地配置。由此,在绝缘基板10上形成包含多个导电性膏层21p以及树脂膏层21c的层叠体。

[0172] 在此,在本实施方式中,上述的层叠体由共计3层的导电性膏层21p和共计2层的树脂膏层21c构成,但这些导电性膏层21p以及树脂膏层21c的数量没有特别限制,可根据希望的电容来适当设定。

[0173] 此外,在本实施方式中,构成为位于最远离绝缘基板10的第1主面10a的位置的层成为导电性膏层21p,但也可以构成为树脂膏层21c成为该位于最远离的位置的层。

[0174] 接着,如图8所示,在步骤S8中,形成支承导体用孔。更具体地,如图13所示,在沿着第1主面10a的法线方向观察的情况下位于与第1过孔导体13重叠的位置的部分的层叠体,形成贯通该层叠体的多个支承导体用孔15h。该多个支承导体用孔15h在后述的支承导体的形成工序中会被支承导体填埋。此外,在本实施方式中,该多个支承导体用孔15h各自的剖面构成得比第1过孔导体13各自的剖面大。

[0175] 在此,关于支承导体用孔15h的形成方法,对其没有特别限制,例如能够通过对层叠体照射激光来形成该支承导体用孔15h。此外,除此之外,还可以通过使用了机械穿孔机的加工、喷砂加工来形成支承导体用孔15h。

[0176] 接着,如图8所示,在步骤S9中,形成支承导体。更具体地,如图14所示,在多个支承导体用孔15h中填充导电性膏,使得填埋该支承导体用孔15h。像这样形成的多个支承导体15变得从第1主面10a朝向层叠体突出,并且被层叠体包围。此外,像这样形成的多个支承导体15各自变得与多个第1过孔导体13各自连接。

[0177] 在本实施方式中,作为填埋于支承导体用孔15h的导电性膏,使用Ni膏。在像这样构成的情况下,能够形成包含与金属粒子21a所包含的材料(即,金属多孔体21所包含的材料)相同的材料的支承导体15,由此,经由后述的烧成工序,支承导体15和金属多孔体21会被牢固地金属接合。

[0178] 在此,关于填埋于支承导体用孔15h的导电性膏的涂敷方法,对其没有特别限制,

例如能够利用丝网印刷法。

[0179] 接着,如图8所示,在步骤S10中,形成柱状导体用孔。更具体地,如图15所示,在沿着第1主面10a的法线方向观察的情况下位于与第2贯通孔12重叠的位置的部分的层叠体,形成多个柱状导体用孔19h使得贯通该层叠体并到达第2贯通孔12。该多个柱状导体用孔19h在后述的柱状导体的形成工序中会被柱状导体填埋。此外,在本实施方式中,该多个柱状导体用孔19h各自的剖面构成得比第2贯通孔12各自的剖面大。

[0180] 在此,关于柱状导体用孔19h的形成方法,对其没有特别限制,例如能够通过对层叠体照射激光来形成该柱状导体用孔19h。此外,除此之外,还可以通过使用了机械穿孔机的加工、喷砂加工来形成柱状导体用孔19h。

[0181] 接着,如图8所示,在步骤S11中,对层叠体以及支承导体进行烧成。更具体地,如图16所示,对层叠体以及支承导体15进行烧成,由此,导电性膏层21p中包含的相邻的金属粒子21a彼此烧结而进行金属接合,并且金属粒子21a和与该金属粒子21a相邻的支承导体15被接合。此外,层叠体所包含的树脂膏层21c由于该烧成时的热而消失,由此,会形成在第1主面10a的法线方向上相互分离地层叠的多个金属多孔体21。

[0182] 另外,在上述的烧成时,堵塞了第2贯通孔12的包含环氧树脂等的堵塞部亦会由于该热而烧掉。

[0183] 在进行上述的烧成时,在其之前进行绝缘基板10的脱脂处理,然后,例如在混合了氮和氢的还原气氛下,以400℃～900℃的温度条件来进行上述的层叠体以及支承导体15的烧成。

[0184] 另外,烧成时的气氛优选如上所述设为还原气氛,但能够设定为作为金属粒子21a的主要成分而选择的金属的平衡氧分压以下的气氛。

[0185] 在此,如上所述,支承导体15包含与导电性膏层21p中的金属粒子21a所包含的材料相同的材料即Ni而构成。在像这样构成的情况下,该金属粒子21a和支承导体15通过上述的烧成而烧结从而会进行金属接合,由此,该金属粒子21a和支承导体15的接合部的机械强度会提高。

[0186] 此外,在假设电容形成部20的全部或其大部分与绝缘基板10直接接合的情况下,起因于上述的烧成时的热负荷,在绝缘基板10产生无法容许的翘曲,而在本实施方式中,为了抑制该翘曲,设置上述的支承导体15,但设为关于这一点将在后面叙述。

[0187] 接着,如图8所示,在步骤S12中,形成电介质膜。更具体地,如图17所示,形成电介质膜22,使得覆盖第1主面10a、金属多孔体21以及支承导体15的表面,并且覆盖对设置于绝缘基板10的第2贯通孔12进行规定的部分的绝缘基板10的表面。

[0188] 在此,电介质膜22的形成方法如前所述没有特别限制,但优选使用ALD法。如果使用ALD法,则能够用气体来供给电介质膜22的原料,因此能够进行材质的选择和原子层级下的膜厚的调整。因此,即使在设置于金属多孔体21的内部的微细的孔极其小的情况下,也能够形成均质且致密的电介质膜22。此外,如果使用该ALD法,则还能够容易地用电介质膜22覆盖对设置于绝缘基板10的第2贯通孔12进行规定的部分的绝缘基板10的表面。

[0189] 在使用该ALD法来形成电介质膜22的情况下,作为原料气体,优选使用除了蒸气压高且容易气化之外,热稳定性高,进而具有反应性高的特征的原料气体,使得原料气体遍布设置于金属多孔体21的内部的微细的孔和设置于绝缘基板10的第2贯通孔12的内部。从该

观点出发,例如在形成AlO_x膜的情况下,优选使用TMA(三甲基铝)作为原料,在形成SiO_x膜的情况下,优选使用TDMAS(三二甲氨基硅烷)作为原料。在本实施方式中,使用ALD法来形成电介质膜22。

[0190] 此外,关于电介质膜22的形成,虽然根据成膜方法、成膜材料而不同,但例如以150℃以上且400℃以下的温度条件来进行。在假设电容形成部20的全部或其大部分与绝缘基板10直接接合的情况下,起因于形成该电介质膜22时的热负荷,在绝缘基板10产生无法容许的翘曲,而在本实施方式中,为了抑制该翘曲,设置上述的支承导体15,但设为关于这一点将在后面叙述。

[0191] 接着,如图8所示,在步骤S13中,形成导电膜。更具体地,如图18所示,形成导电膜23,使得覆盖在步骤S12中形成的电介质膜22。

[0192] 在此,导电膜23的形成方法如前所述没有特别限制,但优选使用ALD法。如果使用ALD法,则能够用气体来供给导电膜23的原料,因此能够进行材质的选择和原子层级下的膜厚的调整。因此,即使在设置于金属多孔体21的内部的微细的孔极其小的情况下,也能够形成均质且致密的导电膜23。此外,如果使用该ALD法,则还能够容易地用导电膜23覆盖设置于绝缘基板10的第2贯通孔12的内部的电介质膜22。

[0193] 此外,关于导电膜23的形成,虽然根据成膜方法、成膜材料而不同,但例如以200℃以上且600以下的温度条件来进行。在假设电容形成部20的全部或其大部分与绝缘基板10直接接合的情况下,起因于形成该导电膜23时的热负荷,在绝缘基板10产生无法容许的翘曲,而在本实施方式中,为了抑制该翘曲,设置上述的支承导体15,但设为关于这一点将在后面叙述。

[0194] 通过经由以上说明的步骤S5～S13,从而如图18所示,包含金属多孔体21、电介质膜22以及导电膜23的电容形成部20设置为与绝缘基板10的第1主面10a对置,进而,该电容形成部20变得包含在第1主面10a的法线方向上相互分离地层叠的多个电容形成部而构成。

[0195] 接着,如图8所示,在步骤S14中,形成内部导体。具体地,如图19所示,内部导体18形成为对覆盖电容形成部20的外表面和支承导体15的前端部的导电膜23进行覆盖,并且内部导体18形成为还覆盖对电容形成部20的内部的空间进行规定的导电膜23使得填充该内部的空间。

[0196] 更具体地,内部导体18形成为填补在第1主面10a的法线方向上相互分离地层叠的多个电容形成部各自的内部的空间,并且形成为填补设置于这些多个电容形成部的层间的空间(即,设置在第1电容形成部20a与第2电容形成部20b之间的空间、以及设置在第2电容形成部20b与第3电容形成部20c之间的空间)。

[0197] 进而,内部导体18形成为覆盖设置于电容形成部20的上述的多个柱状导体用孔19h的表面。此外,内部导体18形成为还对覆盖绝缘基板10的第1主面10a侧的给定的部分的导电膜23进行覆盖,并且还对覆盖对设置于绝缘基板10的多个第2贯通孔12进行规定的部分的绝缘基板10的表面的导电膜23进行覆盖。

[0198] 在此,如上所述,内部导体18也可以通过例如CVD法、ALD法、PLD法、镀敷法、偏压溅射法、溶胶凝胶法、使用导电性高分子填充的方法、或者使用超临界流体的方法来形成。在本实施方式中,通过使用了Ag纳米膏的浸渍方法来形成包含Ag的内部导体18。

[0199] 接着,如图8所示,在步骤S15中,形成第2过孔导体以及柱状导体。更具体地,如图

20所示,形成多个第2过孔导体14以及柱状导体19,使得填埋在步骤S14中被内部导体18覆盖了表面的多个第2贯通孔12以及柱状导体用孔19h。

[0200] 在此,如上所述,第2过孔导体14以及柱状导体19例如也可以通过电解镀敷、丝网印刷法等厚膜形成方法来形成。在本实施方式中,通过电解镀敷,一起形成包含Ni的第2过孔导体14以及柱状导体19。

[0201] 像这样形成的第2过孔导体14与覆盖其侧面的内部导体18接合。此外,像这样形成的多个柱状导体19变得从第1主面10a朝向电容形成部20突出,并且隔着内部导体18被电容形成部20的导电膜23包围,由此与该导电膜23连接。

[0202] 如上述那样形成的第2过孔导体14变得在该第2过孔导体14的电容形成部20侧的端部与柱状导体19接合。由此,第2过孔导体14变得不仅经由对其进行覆盖的内部导体18而与导电膜23连接,还与内部导体18一起经由柱状导体19而与导电膜23连接。

[0203] 另外,在通过电解镀敷与第2过孔导体14一起形成柱状导体19的情况下,如图20所示,不仅形成该柱状导体19,还同时形成膜状部19a使得覆盖内部导体18的外侧表面。因此,柱状导体19和膜状部19a变得由相同的材质一体地连续形成。

[0204] 接着,如图8所示,在步骤S16中,形成密封部。更具体地,如图21所示,在设置有电容形成部20的绝缘基板10的第1主面10a上,设置密封部30使得覆盖该电容形成部20。

[0205] 密封部30例如通过所谓的压缩成型来形成。更具体地,在绝缘基板10的第1主面10a上盖上树脂片,在该状态下使用真空层压机进行抽真空,由此使树脂片与绝缘基板10的第1主面10a密接。然后,在该状态下将树脂片加热到50℃~100℃,由此电容形成部20被层压,再然后,通过加热至100℃~200℃从而进行正式固化,由此形成密封部30。另外,密封部30的形成方法不限于上述的压缩成型,也可以通过所谓的传递成型来进行。

[0206] 由此,电容形成部20变得被绝缘基板10和密封部30密封,能够防止水分从外部向电容形成部20侵入,能够确保耐湿性。此外,电容形成部20变得被密封部30覆盖,电容形成部20还变得在物理上被该密封部30保护。另外,在上述中示出的固化条件终究只不过是一个例子,能够对其进行各种变更。

[0207] 接着,如图8所示,在步骤S17中,对绝缘基板实施磨削加工。更具体地,如图22所示,进行位于与设置了电容形成部20的一侧相反侧的绝缘基板10的第2主面10b侧的平面切削。

[0208] 在此,在进行磨削加工时,在电容形成部20侧粘贴未图示的磨削带,通过对堵塞第1过孔导体13以及第2贯通孔12的部分的绝缘基板10进行平面切削从而会被分别除去。由此,第1过孔导体13以及第2过孔导体14的端部变得在第2主面10b侧露出。

[0209] 接着,如图8所示,在步骤S18中,在绝缘基板形成第1凸块以及第2凸块。更具体地,如图23所示,在绝缘基板10的第2主面10b上形成第1凸块16以及第2凸块17,使得覆盖设置于绝缘基板10的第1过孔导体13以及第2过孔导体14。

[0210] 关于第1凸块16以及第2凸块17,例如能够通过电解镀敷来同时形成它们。在该情况下,用未图示的作为掩模的紫外线固化性树脂薄膜覆盖第1过孔导体13以及第2过孔导体14露出的部分附近以外的部分,在该状态下进行电解镀敷,由此能够从第2主面10b突出地形成第1凸块16以及第2凸块17,另外,在电解镀敷完成后,除去作为掩模的紫外线固化性树脂薄膜。

[0211] 另外,关于上述的第2过孔导体14、第1凸块16以及第2凸块17的形成方法,不仅能够利用上述的使用了电解镀敷的方法,除此之外,还能够利用使用了导电性膏的丝网印刷法、喷墨法、分配器法等和烧成的组合。在该情况下,优选在导电性膏中包含能够以低温烧成的金属、烧结助剂,使得可在不对构成密封部30的树脂造成影响的温度条件下进行烧成。

[0212] 接着,如图8所示,在步骤S19中,将绝缘基板单片化。更具体地,通过将绝缘基板10分断,从而将处于彼此相连的状态的多个电容器1A单片化。

[0213] 在此,在进行单片化时,在绝缘基板10以及密封部30的至少一者形成槽,对绝缘基板10以及密封部30施力使得以该槽为起点而折弯,由此使绝缘基板10以及密封部30断裂。另外,作为形成槽的方法,能够利用金刚石刻划、激光刻划、切割等。此外,也可以通过刻划、切割而直接将绝缘基板10以及密封部30切断来进行单片化。

[0214] 经由以上说明的步骤S1～S19的工序,由此变得可制造上述的实施方式1涉及的电容器1A。

[0215] 另外,在上述的本实施方式涉及的电容器1A的制造方法中,例示了设为在形成了密封部之后进行磨削加工的情况,但也可以设为在进行了磨削加工之后形成密封部。此外,也可以在实施了磨削加工之后立即进行单片化,还可以在进行了单片化之后立即实施磨削加工。

[0216] 在此,在本实施方式涉及的电容器1A中,通过具有上述那样的结构,从而可谋求低ESR化。

[0217] 一般地,在电容器中,为了将形成在其内部的电容形成部与位于电容器的外部的电路电连接而设置引出布线,但为了谋求该电容器的低ESR化,增大电容形成部和引出布线的接触面积,并且,增大该引出布线的与通电方向正交的截面积并提高其连续性变得重要。

[0218] 关于这一点,在本实施方式涉及的电容器1A中,如上所述,作为该引出布线的第2外部连接布线包含设置于绝缘基板10的第2过孔导体14以及柱状导体19、和被绝缘基板10以及密封部30密封的内部导体18,电容形成部20之中的导电膜23经由内部导体18或者与内部导体18一起经由柱状导体19而与第2过孔导体14连接。

[0219] 在此,内部导体18不仅覆盖对电容形成部20的外表面进行规定的部分的导电膜23,还覆盖在电容形成部20的内部露出的部分的导电膜23。因此,内部导体18变得与导电膜23的大部分连接,由此,能够增大导电膜23和内部导体18的接触面积。此外,内部导体18还覆盖从第1主面10a朝向电容形成部20突出的多个柱状导体19的每一个。因此,还能够增大内部导体18和柱状导体19的接触面积。因此,通过像这样构成,从而在由导电膜23、内部导体18以及柱状导体19形成的各个界面,能够增大其接触面积。

[0220] 此外,在本实施方式涉及的电容器1A中,如上所述,导电膜23的厚度即使大也为数百nm程度,相对于此,内部导体18的厚度为导电膜23的厚度的至少2倍以上,多个柱状导体19的直径都小,为数十μm程度。因此,通过像这样构成,从而内部导体18的截面积以及柱状导体19的截面积变得大于导电膜23的截面积,并且能够确保其连续性。

[0221] 因此,通过如以上那样构成,从而不仅能够增大导电膜23和第2外部连接布线的接触面积,还能够增大该第2外部连接布线的与通电方向正交的截面积并且提高其连续性,作为结果,能够谋求低ESR化。

[0222] 而且,在本实施方式涉及的电容器1A中,如上所述,优选在设置于层叠的多个电容

形成部的层间的空间中形成的内部导体18的厚度构成得比导电膜23的厚度大,更适宜地,优选构成为上述内部导体18的厚度为上述导电膜23的厚度的2倍以上,更适宜设为上述厚度的3倍以上,更适宜设为上述厚度的10倍以上,更适宜设为100倍以上。

[0223] 在像这样构成的情况下,位于该层间的部分的内部导体18变得具有比位于其他部分的内部导体18(例如,对覆盖对第2贯通孔12进行规定的部分的绝缘基板10的表面的导电膜23进行覆盖的部分的内部导体18)更大的截面积,因此能够进一步增大第2外部连接布线的截面积,由此,变得可谋求进一步的低ESR化。

[0224] 此外,在本实施方式涉及的电容器1A中,如上所述,作为引出布线的第1外部连接布线包含设置于绝缘基板10的第1过孔导体13以及支承导体15,电容形成部20之中的金属多孔体21经由支承导体15而与第1过孔导体13连接。

[0225] 在此,支承导体15从第1主面10a朝向电容形成部20突出地设置,由像这样设置的支承导体15以及金属多孔体21形成的界面处的接触面积变得比在金属多孔体21直接连接于第1过孔导体13的情况下由它们形成的界面处的接触面积大。因此,通过像这样构成,从而在由金属多孔体21以及支承导体15形成的界面,能够增大其接触面积。

[0226] 进而,如上所述,支承导体15的直径小,为数十μm程度。因此,通过金属多孔体21经由支承导体15而与第1过孔导体13连接,从而与金属多孔体21直接连接于第1过孔导体13的情况相比较,能够增大第1外部连接布线的截面积,由此,变得可谋求低ESR化。

[0227] 因此,通过设为本实施方式涉及的电容器1A,从而在具备包含金属多孔体21、电介质膜22和导电膜23的电容形成部20而成的电容器中,变得可谋求低ESR化。

[0228] 在此,在本实施方式涉及的电容器1A中,虽然电容形成部20与多个支承导体15各自接合,但另一方面,如上所述,电容形成部20与绝缘基板10实质上不直接接合,或者,即使直接接合也仅接合一点点。

[0229] 在像这样构成的情况下,在伴随电容器1A的热处理的制造工序(即,烧成工序、电介质膜22的形成工序、以及导电膜23的形成工序)中能够使起因于绝缘基板10以及电容形成部20的热膨胀系数差而产生的应力降低。由此,能够有效地抑制由于该应力而在绝缘基板10产生翘曲,并且还能够有效地抑制起因于绝缘基板10的翘曲而产生的电介质膜22以及导电膜23从绝缘基板10上的剥离。

[0230] 此外,在本实施方式涉及的电容器1A中,如上所述,多个支承导体15从第1主面10a朝向电容形成部20突出并且被电容形成部20包围。由此,多个支承导体15各自与电容形成部20接合。

[0231] 在像这样构成的情况下,变得可得到由多个支承导体15引起的所谓的锚固效应,能够进一步抑制在上述的绝缘基板10产生的翘曲。

[0232] 此外,在假设电容形成部的全部或其大部分与绝缘基板直接接合的情况下,由于在安装后从外部施加的热、在内部产生的热的影响,起因于绝缘基板以及电容形成部的热膨胀系数差而产生应力,有可能由于该应力而在电容器1A产生翘曲从而在绝缘基板和金属多孔体的接合部产生破损,而通过设为本实施方式涉及的电容器1A,从而能够有效地抑制这种问题的产生。

[0233] 因此,通过设为本实施方式涉及的电容器1A,从而变得可谋求安装稳定性以及安装后的可靠性的提高。

[0234] 此外,在本实施方式涉及的电容器1A中,如上所述,在沿着绝缘基板10的第1主面10a的法线方向观察的情况下,第1过孔导体13以及第2过孔导体14均设置在配置了电容形成部20的区域(即,图2中虚线所示的区域)内。

[0235] 在像这样构成的情况下,第1外部连接布线以及第2外部连接布线均变得不配置在电容形成部20的侧方的位置,因此能够将位于电容形成部20的侧方的部分的密封部30最小化。因此,不仅能够将电容器1A与以往相比构成为小型,还由于电容器1A中的电容形成部20以外的部分的占有体积变小从而变得可谋求高电容化。

[0236] 此外,在如上述那样构成的情况下,第1过孔导体13以及第2过孔导体14变得位于将绝缘基板10在其厚度方向上贯通这样的位置,因此这些极性不同的过孔导体彼此变得以相互的电流路径朝向相反方向的状态接近配置。因此,通过流过电流从而会发挥作用使得在这些过孔导体产生的磁场相互抵消,因此能够减小所谓的ESL(等效串联电感)。

[0237] 进而,在本实施方式涉及的电容器1A中,如上所述,第1过孔导体13和第2过孔导体14配置为阵列状,并且一个过孔导体的极性和与该过孔导体以最短距离相邻的过孔导体的极性相互不同。通过像这样构成,从而能够最大限度地得到上述的低ESL化的效果。

[0238] 此外,在本实施方式涉及的电容器1A中,如上所述,进行电容形成部20的电引出的一对外部连接布线各自构成为分别包含多个过孔导体。通过像这样构成,从而与由单一的过孔导体构成一对外部连接布线的每一个的情况相比,能够增大电流路径的截面积,因此变得可谋求低ESR化。

[0239] 此外,在本实施方式涉及的电容器1A中,如上所述,在第2过孔导体14与绝缘基板10的基材的边界部,绝缘基板10的基材被电介质膜22覆盖,并且电介质膜22被导电膜23覆盖,进而导电膜23被第2过孔导体14覆盖。

[0240] 通过像这样构成,从而与绝缘基板10的基材和第2过孔导体14直接接合的情况相比,这些绝缘基板10的基材与第2过孔导体14之间的密接性会提高,因此变得可谋求抑制水分经由该部分侵入。因此,能够做成为耐湿性优异的电容器。

[0241] 此外,在本实施方式涉及的电容器1A中,如上所述,金属多孔体21由金属粒子的烧结体构成。在像这样构成的情况下,金属粒子彼此进行金属接合从而电容形成部20的机械强度会提高,并且金属粒子彼此的接合面积也变大,因此能够谋求低ESR化。进而,还可得到能够比较容易地形成具有开气孔(open pores)的金属多孔体的效果。

[0242] 图24是示出图3所示的电容器涉及的柱状导体的一个方式的示意剖视图。在该一个方式涉及的电容器1A'中,关于柱状导体19,例如,如图24所示,该柱状导体19的一对端部之中的从电容形成部20观察时位于与绝缘基板10侧相反的一侧的端部形成为中空状,有时密封部30进入并形成在该中空部分。在包含像这样形成的柱状导体19的电容器1A'中,也能够得到以上说明的效果。

[0243] (第1变形例)

[0244] 图25是第1变形例涉及的电容器的示意剖视图。以下,参照该图25,对基于上述的实施方式1的第1变形例涉及的电容器1A1进行说明。

[0245] 如图25所示,在第1变形例涉及的电容器1A1与上述的实施方式1涉及的电容器1A相比较的情况下,仅支承导体15的形成位置不同。

[0246] 具体地,在第1变形例涉及的电容器1A1中,在沿着绝缘基板10的第1主面10a的法

线方向观察的情况下,多个支承导体15a各自形成在与第1过孔导体13以及第2过孔导体14均不重叠的位置。在此,为了便于说明,为了与形成在与第1过孔导体13重叠的位置的支承导体15进行区分,用附图标记15a来表示形成在与该第1过孔导体13以及第2过孔导体14均不重叠的位置的支承导体。另外,关于支承导体15a的数量,对其没有特别限制,可根据绝缘基板10的大小或者希望的电容来适当设定。

[0247] 在像这样构成的电容器1A1中,支承导体15a不与第1过孔导体13直接接合。因此,第1过孔导体13在其电容形成部20侧的端面的至少一部分与第3电容形成部20c的金属多孔体21接合,由此与该金属多孔体21电连接。此外,层叠的多个电容形成部的金属多孔体21彼此经由与它们全部接合的支承导体15a而连接。

[0248] 在像这样构成的情况下,也与上述的实施方式1涉及的电容器1A同样地,第2过孔导体14经由内部导体18或者与内部导体18一起经由柱状导体19而与电容形成部20的导电膜23连接,因此能够增大第2外部连接布线的电流路径的截面积。因此,变得可得到遵循在上述的实施方式1中说明的效果的效果,在具备包含金属多孔体21、电介质膜22和导电膜23的电容形成部20而成的电容器中变得可谋求低ESR化。

[0249] 而且,通过像这样构成,从而电容形成部20被多个支承导体15a支承,由此电容形成部20变得与绝缘基板10实质上不直接接合,或者,即使直接接合也仅接合一点点。因此,在具备包含金属多孔体21、电介质膜22和导电膜23的电容形成部20而成的电容器中,还变得可谋求安装稳定性以及安装后的可靠性的提高。

[0250] (第2变形例)

[0251] 图26是第2变形例涉及的电容器的示意剖视图。以下,参照该图26,对基于上述的实施方式1的第2变形例涉及的电容器1A2进行说明。

[0252] 如图26所示,在第2变形例涉及的电容器1A2与上述的实施方式1涉及的电容器1A相比较的情况下,仅支承导体15的结构不同。

[0253] 具体地,在第2变形例涉及的电容器1A2中,在沿着绝缘基板10的第1主面10a的法线方向观察的情况下,多个支承导体由形成在与第1过孔导体13重叠的位置的支承导体15、和形成在与第1过孔导体13以及第2过孔导体14均不重叠的位置的支承导体15a构成。另外,关于支承导体15a的数量,对其没有特别限制,可根据绝缘基板10的大小或者希望的电容来适当设定。

[0254] 在像这样构成的情况,也变得可得到与在上述的实施方式1中说明的效果同样的效果,在具备包含金属多孔体21、电介质膜22和导电膜23的电容形成部20而成的电容器中变得可谋求低ESR化。

[0255] 而且,通过像这样构成,从而电容形成部20被多个支承导体15、15a支承,由此电容形成部20变得与绝缘基板10实质上不直接接合,或者,即使直接接合也仅接合一点点。因此,在具备包含金属多孔体21、电介质膜22和导电膜23的电容形成部20而成的电容器中,变得可谋求安装稳定性以及安装后的可靠性的进一步的提高。

[0256] (第3变形例)

[0257] 图27是第3变形例涉及的电容器的示意剖视图。以下,参照该图27,对基于上述的实施方式1的第3变形例涉及的电容器1A3进行说明。

[0258] 如图27所示,在第3变形例涉及的电容器1A3与上述的实施方式1涉及的电容器1A

相比较的情况下,其结构的不同点仅在于,在绝缘基板10的第1主面10a上并且位于电容形成部20与密封部30之间的部分,进一步形成有耐湿保护膜40。

[0259] 耐湿保护膜40例如能够通过在形成密封部30之前利用CVD法、ALD法等将包含SiN、SiO_2、Al_2O_3、HfO_2、ZrO_2等的无机绝缘体设置为覆盖电容形成部20,或者,将氟系树脂、硅烷偶联剂树脂等具有防水性的有机物绝缘体设置为覆盖电容形成部20而形成。在此,该耐湿保护膜不需要一定形成至电容形成部20的内部,只要形成为仅覆盖外侧表面便足够。

[0260] 在像这样构成的情况下,不仅可得到在上述的实施方式1中说明的效果,由于除了密封部30之外通过耐湿保护膜40也能够防止水分从外部向电容形成部20侵入,因此还能够使耐湿性进一步提高。

[0261] (第4变形例)

[0262] 图28是第4变形例涉及的电容器的示意剖视图。以下,参照该图28,对基于上述的实施方式1的第4变形例涉及的电容器1A4进行说明。

[0263] 如图28所示,在第4变形例涉及的电容器1A4与上述的实施方式1涉及的电容器1A相比较的情况下,其结构的不同点仅在于,还形成有位于包围绝缘基板10以及电容形成部20的侧方这样的位置的侧方密封部50。

[0264] 侧方密封部50例如能够通过利用喷墨法等将由以Si、Al_2O_3、ZrO_2、BN、Si_3N_4、AlN、MgO、Mg_2SiO_4、$BaTiO_3$、$SrTiO_3$以及$CaTiO_3$中的任一者为主要材料的材料、玻璃等无机材料构成的密封构件设置为覆盖绝缘基板10以及电容形成部20的侧方而形成。

[0265] 在形成了这样的侧方密封部50的电容器1A4的制造方法与电容器1A的制造方法相比较的情况下,其制造方法的不同点在于如下等,即,继图8所示的步骤S4(即,生片的烧成)之后,进行步骤S19(即,单片化),接着,形成侧方密封部50,接着,进行步骤S5(即,导电性膏层向绝缘基板上的涂敷)。

[0266] 在像这样构成的情况下,在图8所示的步骤S5至步骤S13中在绝缘基板10的第1主面10a上形成电容形成部20时,在沿着第1主面10a的法线方向观察的情况下,电容形成部20变得形成在被侧方密封部50包围的范围内。由此,变得不仅可得到在上述的实施方式1中说明的效果,还能够有效地防止沿着该法线方向观察的情况下的电容形成部20的位置偏移(即,图2中的上下方向或者左右方向上的偏移),作为结果,能够制造品质稳定的电容器。

[0267] 此外,通过其侧面被侧方密封部50包围,从而变得不仅可提高耐冲击性,还可提高对在电容器1A4加工时产生的应力的耐性。因此,在电容器1A4中,可有效地防止侧方密封部50附近的电介质膜22以及导电膜23的破损,由此,能够抑制电容器1A4的耐压性的下降。

[0268] (实施方式2)

[0269] 图29是实施方式2涉及的电容器的示意剖视图。以下,参照该图29,对本实施方式涉及的电容器1B进行说明。

[0270] 在本实施方式涉及的电容器1B与上述的实施方式1涉及的电容器1A相比较的情况下,其结构的不同点在于,表面以及背面双方作为相对于布线基板等的安装面而构成。

[0271] 具体地,在本实施方式涉及的电容器1B中,构成第1外部连接布线的一部分的多个支承导体15、和构成第2外部连接布线的一部分的多个柱状导体19均形成为贯通电容形成部20以及密封部30。由此,多个支承导体15以及柱状导体19变得构成为在从电容形成部20观察时位于与绝缘基板10侧相反的一侧的密封部30的外表面30a露出。

[0272] 进而,在外表面30a上,设置有构成第1外部连接布线的一部分的多个第1凸块16,使得覆盖在该外表面30a露出的多个支承导体15的端面。同样地,在外表面30a上,设置有构成第2外部连接布线的一部分的多个第2凸块17,使得覆盖在该外表面30a露出的多个柱状导体19的端面。

[0273] 图30是示出本实施方式涉及的电容器的制造方法的流程图,图31至图35分别是用于说明图30所示的制造流程的各步骤的示意剖视图。接着,参照这些图30至图35,对用于制造上述的本实施方式涉及的电容器1B的具体的制造方法的一个例子进行说明。

[0274] 如图30所示,电容器1B的制造方法的大部分遵循电容器1A的制造方法。因此,以下,设为关于电容器1B的制造方法之中内容与电容器1A的制造方法共同的工序而省略其说明,仅对内容与电容器1A的制造方法不同的工序进行说明。

[0275] 如图30所示,在步骤S7中,将导电性膏层21p以及树脂膏层21c层叠在绝缘基板上,但此时,如图31所示,层叠的导电性膏层21p之中位于最远离第1主面10a的位置的层所包含的粘合剂21b的上清液部分所对应的部分有意地形成得较厚而设置。

[0276] 此外,如图30所示,在步骤S9中,形成支承导体。如图32所示,这里形成的支承导体15会在其轴向上有意地形成得长,相应与在步骤S7中有意地形成得较厚的上述上清液部分对应的量。

[0277] 此外,如图30所示,在步骤S1 5B中,除去在步骤S15中形成的膜状部的一部分、和在步骤S13中形成的覆盖支承导体的前端部的导电膜。更具体地,首先,选择性地除去从电容形成部20观察时位于与绝缘基板10侧相反的一侧的部分的膜状部19a,接着,如图33所示,选择性地除去对多个支承导体15各自的一对端部之中的从电容形成部20观察时位于与绝缘基板10侧相反的一侧的端部进行覆盖的导电膜23。

[0278] 这样的膜状部19a的除去例如可通过仅将从电容形成部20观察时位于与绝缘基板10侧相反的一侧的部分的膜状部19a浸渍于蚀刻液从而仅将该部分的膜状部19a除去的、所谓的浸渍方法等来进行。导电膜23的除去亦可通过浸渍方法等同样地进行。

[0279] 通过像这样除去覆盖支承导体15的前端部的导电膜23,从而在后述的支承导体15的前端部的磨削加工时,能够有效地防止导电膜23一起被磨削加工从而该导电膜23的一部分无意中与支承导体15接合,由此在支承导体15与导电膜23之间产生短路。

[0280] 如图30所示,在步骤S16中,形成密封部。如图34所示,这里形成的密封部30形成为覆盖在步骤S9中有意地形成得较长的支承导体15的前端部。

[0281] 此外,如图30所示,在步骤S17中,实施磨削加工。这里进行的磨削加工不仅对绝缘基板10进行,还对密封部、支承导体、以及柱状导体进行。更具体地,如图35所示,通过不仅对位于与设置了电容形成部20的一侧相反的一侧的绝缘基板10的第2主面10b侧进行平面切削,还对密封部30的外表面30a侧、该外表面30a侧的支承导体15的端部、以及该外表面30a侧的柱状导体19的端部进行平面切削,从而会被分别除去。由此,支承导体15以及柱状导体19的端面变得构成为在外表面30a分别露出。

[0282] 在图30所示的步骤S18中,在外表面30a上形成第1凸块16以及第2凸块17,使得覆盖像这样在外表面30a露出的支承导体15的端面以及柱状导体19的端面。

[0283] 经由包括以上单独说明的各步骤的全部步骤S1～S19、S15B的工序,由此变得可制造上述的实施方式2涉及的电容器1B。

[0284] 在如以上那样构成的本实施方式涉及的电容器1B中,不仅可得到在上述的实施方式1中说明的效果,还能够在表面(即,外表面30a)以及背面(即,绝缘基板10的第2主面10b)均进行电容形成部20的电引出,由此,能够做成为构成为在表面或者背面均能够安装的电容器。

[0285] (实施方式3)

[0286] 图36是实施方式3涉及的电容器的示意剖视图,图37是示出本实施方式涉及的电容器的制造方法的流程图。以下,参照这些图36以及图37,对本实施方式涉及的电容器1C进行说明。

[0287] 如图36所示,在本实施方式涉及的电容器1C与上述的实施方式1涉及的电容器1A相比较的情况下,不同点仅在于,电容形成部由单层构成。

[0288] 像这样构成的电容器1C的制造方法与电容器1A的制造方法的不同点仅在于,如图37所示,不需要导电性膏层21p以及树脂膏层21c的层叠工序。另外,伴随于此,在电容器1C的制造方法中,如图37所示,不进行图8所示的步骤S7以及步骤S8(即,树脂膏层向导电性膏层上的涂敷、和导电性膏层以及树脂膏层的层叠),此外,在图37所示的步骤S11C中,与图8所示的步骤S11(即,层叠体以及支承导体的烧成)不同,进行导电性膏层以及支承导体的烧成。

[0289] 在像这样构成的情况下,也与上述的实施方式1涉及的电容器1A同样地,第2过孔导体14经由内部导体18或者与内部导体18一起经由柱状导体19而与电容形成部20的导电膜23连接,因此能够增大第2外部连接布线的电流路径的截面积,此外,第1过孔导体13经由多个支承导体15而与电容形成部20的金属多孔体21连接,因此能够增大第1外部连接布线的电流路径的截面积。因此,变得可得到与在上述的实施方式1中说明的效果同样的效果,在具备包含金属多孔体21、电介质膜22和导电膜23的电容形成部20而成的电容器中,变得可实现低ESR化。

[0290] 另外,当对本实施方式涉及的电容器1C应用了在上述的实施方式2涉及的电容器1B中示出的特征性结构(即,表面以及背面双方设为相对于布线基板等的安装面的结构)的情况下,除了上述的效果之外,还能够在表面(即,外表面30a)以及背面(即,绝缘基板10的第2主面10b)均进行电容形成部20的电引出。

[0291] (第5变形例)

[0292] 图38是第5变形例涉及的电容器的示意剖视图,图39是将图38所示的第2过孔导体的附近进行了放大的示意剖视图。以下,参照这些图38以及图39,基于上述的实施方式3的第4变形例涉及的电容器1C1进行说明。

[0293] 如图38所示,在第5变形例涉及的电容器1C1与上述的实施方式3涉及的电容器1C相比较的情况下,不同点在于,未设置支承导体15以及柱状导体19(参照图36)。

[0294] 即,在电容器1C1中,第1外部连接布线由第1过孔导体13和第1凸块16构成,第2外部连接布线由第2过孔导体14、第2凸块17以及内部导体18构成。

[0295] 在像这样构成的电容器1C1中,第1过孔导体13在其电容形成部20侧的端部的至少一部分与电容形成部20的金属多孔体21接合,由此与该金属多孔体21电连接。

[0296] 此外,在电容器1C1中,第2过孔导体14的侧面被覆盖对设置于绝缘基板10的多个第2贯通孔12进行规定的部分的绝缘基板10的表面的内部导体18所覆盖,第2过孔导体14的

第1主面10a侧的端部被覆盖电容形成部20的内部导体18所覆盖。由此,第2过孔导体14变得与内部导体18连接,上述的第2外部连接布线经由该第2过孔导体14以及内部导体18而与电容形成部20连接。

[0297] 在此,如上所述,为了制图的方便起见,在图38以及图39中,与第2过孔导体14连接的部分的内部导体18的厚度成为与导电膜23的厚度同等程度,但实际上内部导体18的厚度构成得比导电膜23的厚度厚相当程度(例如,设为3倍以上)。

[0298] 在像这样构成的情况下,第2过孔导体14经由内部导体18而与电容形成部20的导电膜23连接,因此能够增大第2外部连接布线的电流路径的截面积。因此,变得可得到遵循在上述的实施方式3中说明的效果的效果,在具备包含金属多孔体21、电介质膜22和导电膜23的电容形成部20而成的电容器中,变得可谋求低ESR化。

[0299] 另外,在本变形例涉及的电容器1C1的制造方法与电容器1C的制造方法相比较的情况下,其制造方法的不同点在于如下等,即,不进行图37所示的步骤S10(即,柱状导体用孔的形成)和步骤S15中的柱状导体的形成,此外,继步骤S17(即,磨削加工)之后进行步骤S15中的第2过孔导体的形成。通过像这样继步骤S17之后进行步骤S15中的第2过孔导体的形成,从而能够从绝缘基板10的第2主面10b侧形成第2过孔导体14。

[0300] (其他方式等)

[0301] 在上述的本发明的实施方式及其变形例中示出的各部分的形状、结构、大小、数量、材质等只要不脱离本发明的主旨就能够进行各种变更。

[0302] 此外,在上述的本发明的实施方式及其变形例中示出的特征性结构在按照本发明的主旨而容许的范围内当然能够相互组合。

[0303] 像这样,本次公开的上述实施方式及其变形例在所有方面均为例示,而不是限制性的。本发明的技术范围通过权利要求书来划定,此外包含与权利要求书的记载均等的含义以及范围内的所有变更。

[0304] 附图标记说明

[0305] 1A～1C、1A1～1A4、1C1、1A'电容器,10绝缘基板,10a第1主面,10b第2主面,11第1贯通孔,12第2贯通孔,13第1过孔导体,14第2过孔导体,15、15a支承导体,15h支承导体用孔,16第1凸块,17第2凸块,18内部导体,19柱状导体,19a膜状部,19h柱状导体用孔,20电容形成部,20a第1电容形成部,20b第2电容形成部,20c第3电容形成部,21金属多孔体,21a金属粒子,21b粘合剂,21c树脂膏层,21p导电性膏层,22电介质膜,23导电膜,30密封部,30a外表面,40耐湿保护膜,50侧方密封部。

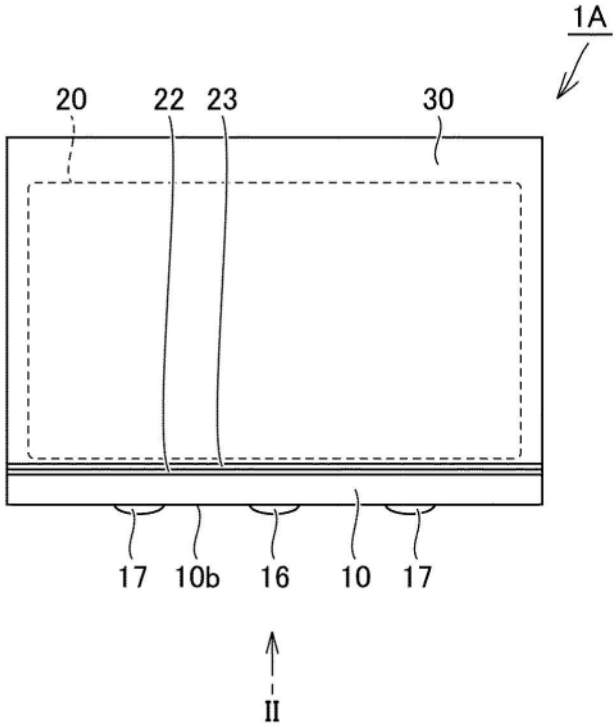

1A
20
22
23
30
17
10b
16
10
17
II

图1

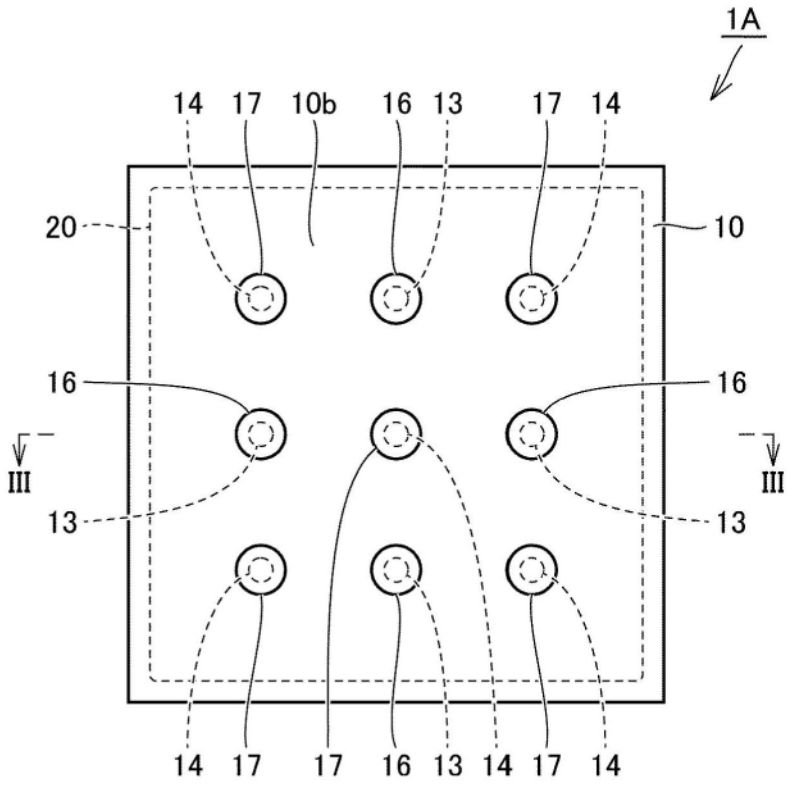

1A
14
17
10b
16
13
17
14
20
10
16
16
III
III
13
13
14
17
17
16
13
14
17
14

图2

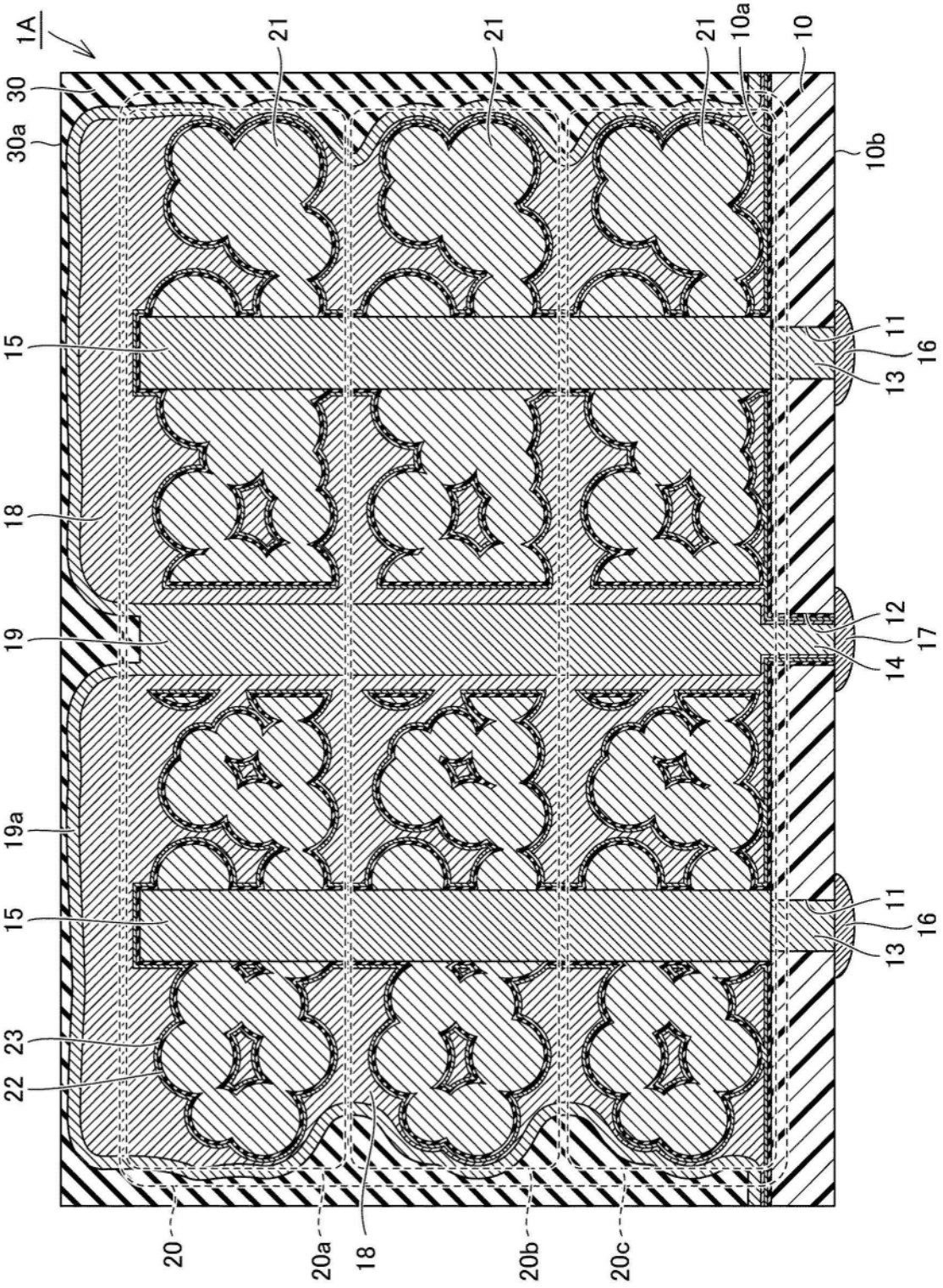

1A
21
21
21
10a
10
30
30a
10b
15
11
16
13
18
12
17
19
14
19a
15
11
16
13
23
22
20
20a
18
20b
20c

图3

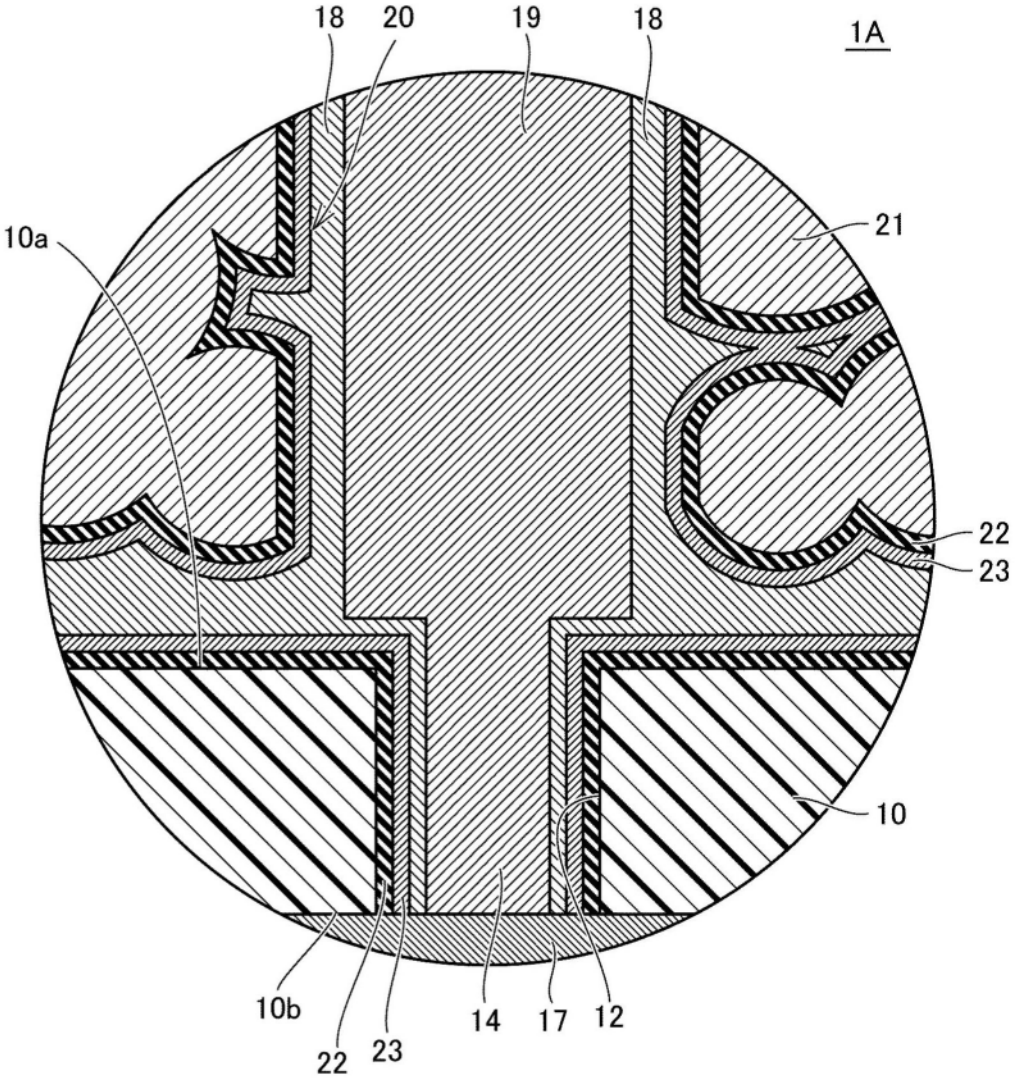


图4

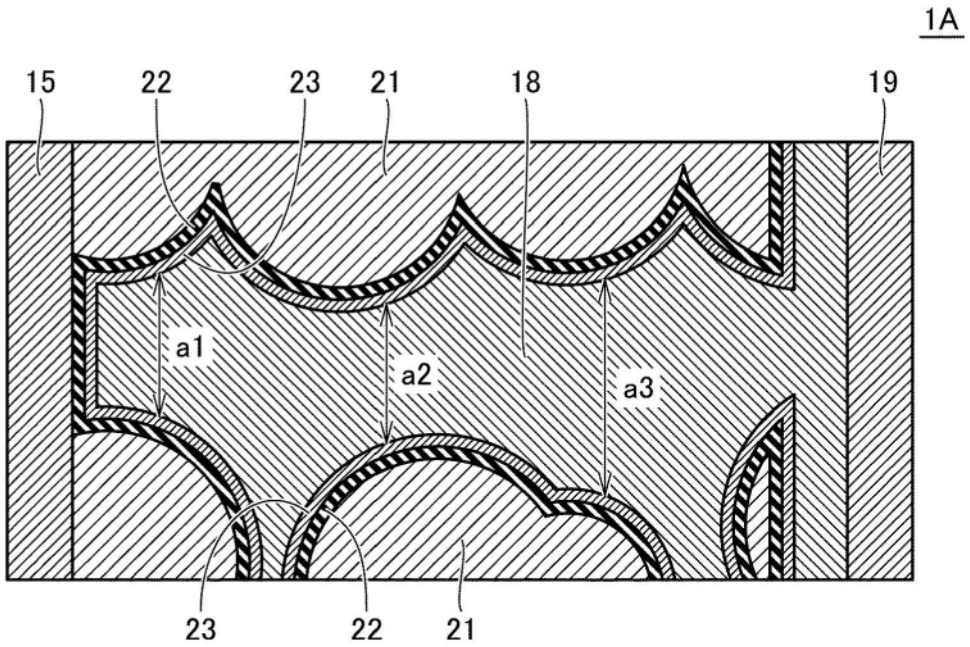

1A
15
22
23
21
18
19
a1
a2
a3
23
22
21

图5

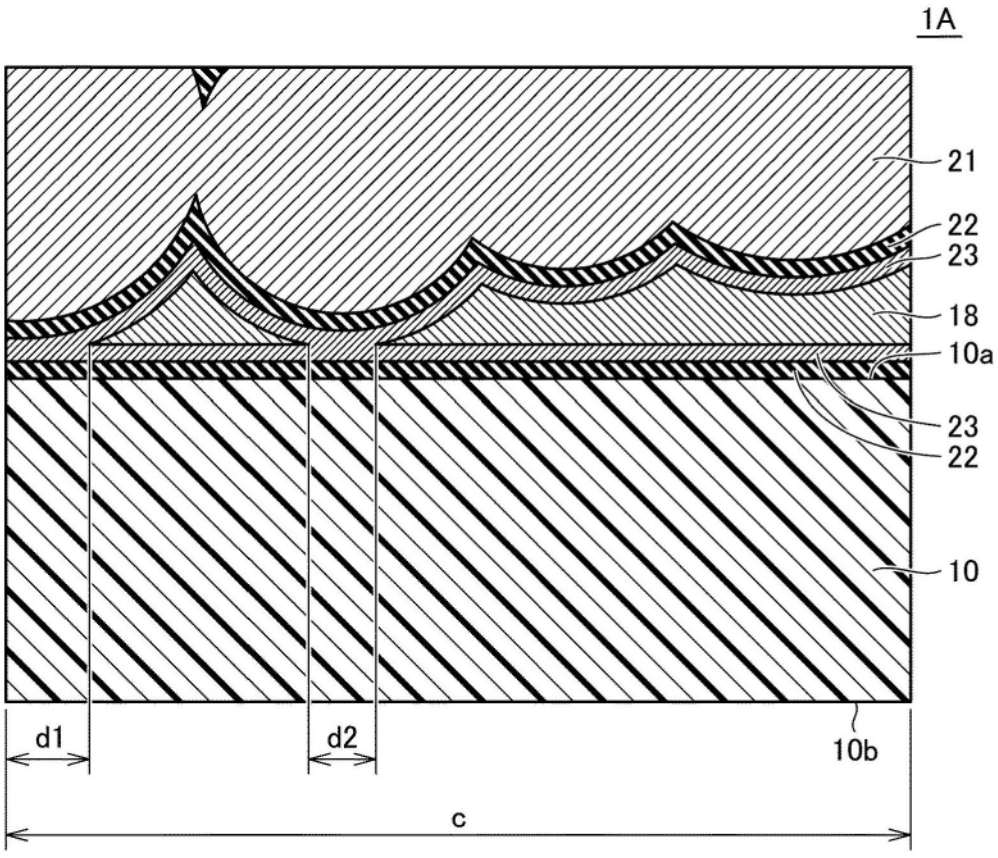

1A
21
22
23
18
10a
23
22
10
d1
d2
10b
c

图6

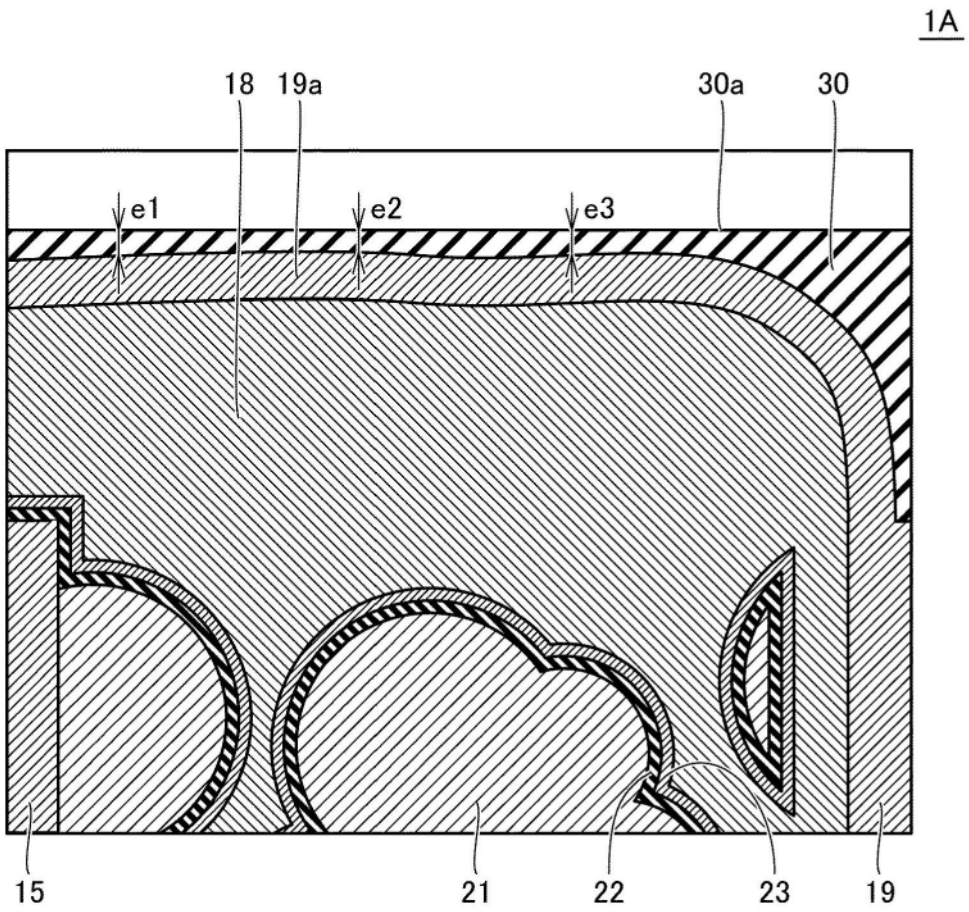


图7

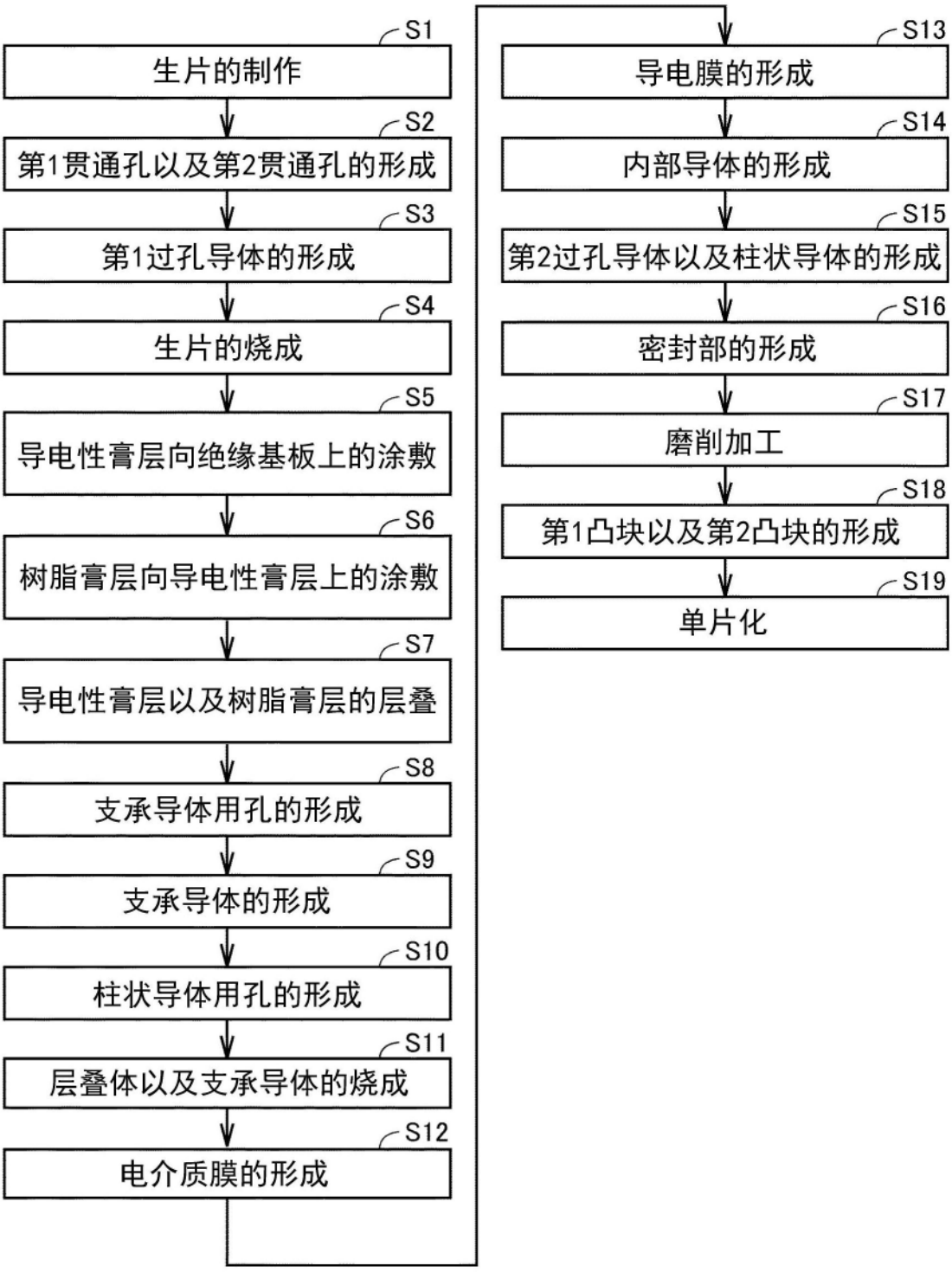

S1
生片的制作
S2
第1贯通孔以及第2贯通孔的形成
S3
第1过孔导体的形成
S4
生片的烧成
S5
导电性膏层向绝缘基板上的涂敷
S6
树脂膏层向导电性膏层上的涂敷
S7
导电性膏层以及树脂膏层的层叠
S8
支承导体用孔的形成
S9
支承导体的形成
S10
柱状导体用孔的形成
S11
层叠体以及支承导体的烧成
S12
电介质膜的形成
S13
导电膜的形成
S14
内部导体的形成
S15
第2过孔导体以及柱状导体的形成
S16
密封部的形成
S17
磨削加工
S18
第1凸块以及第2凸块的形成
S19
单片化

图8

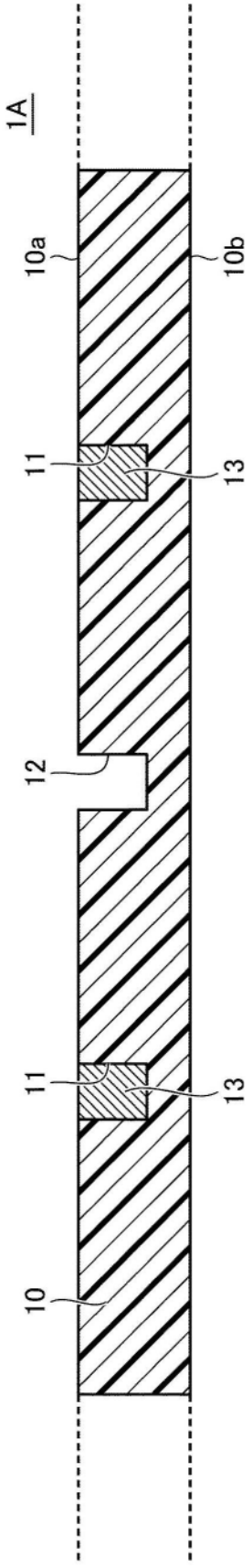


图9

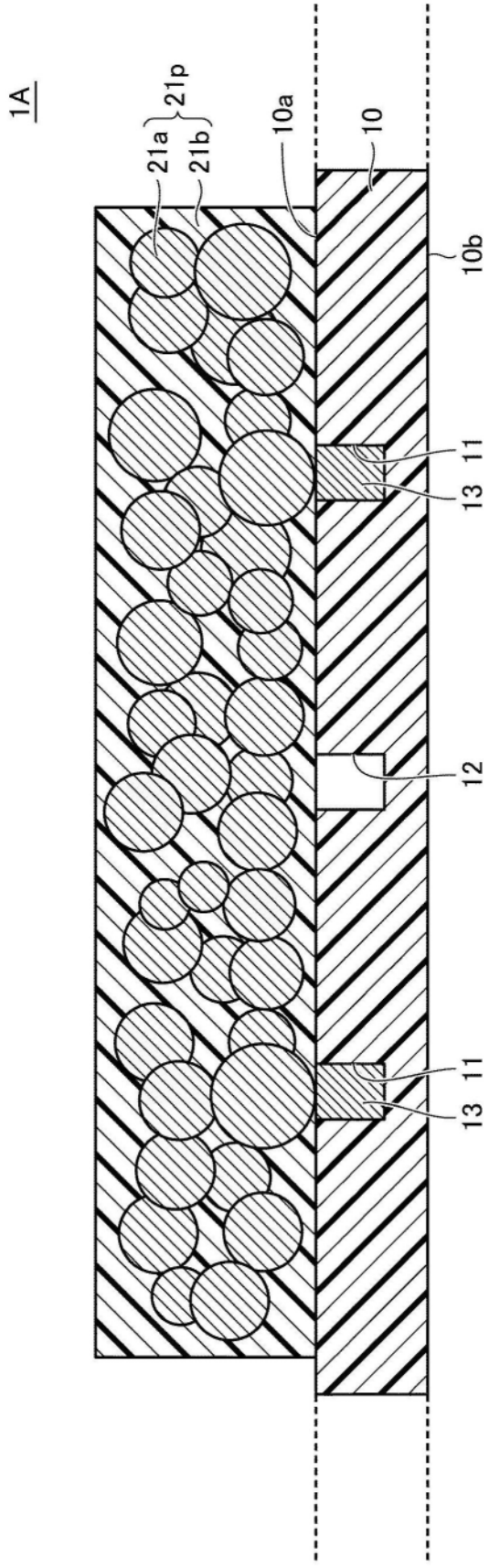


图10

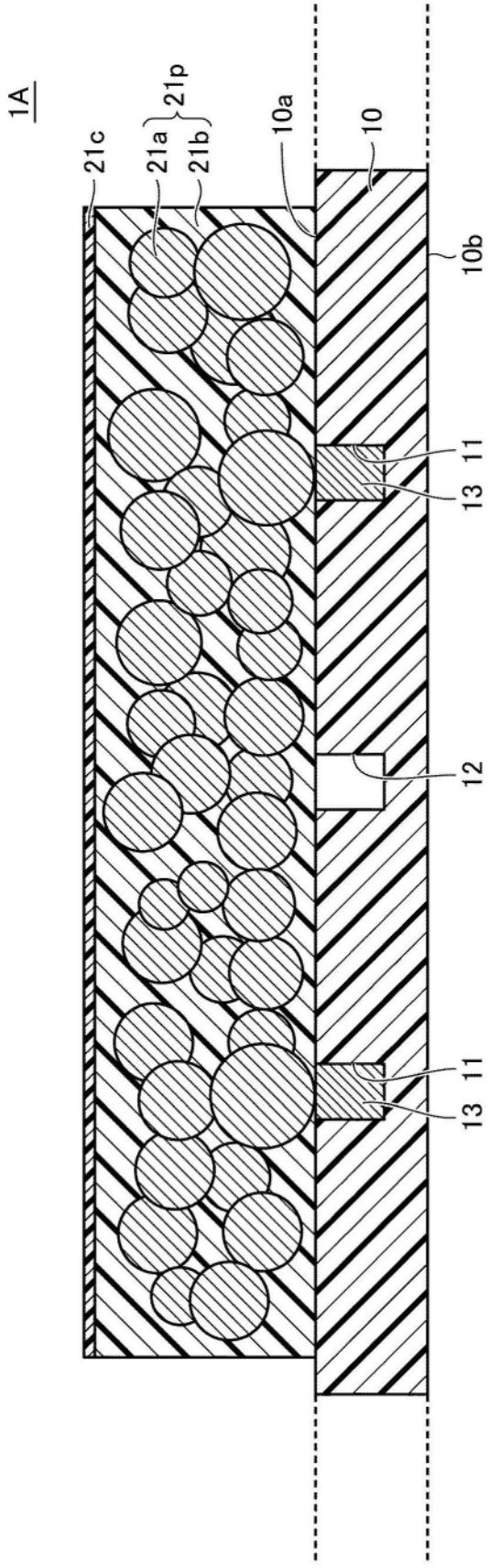


图11

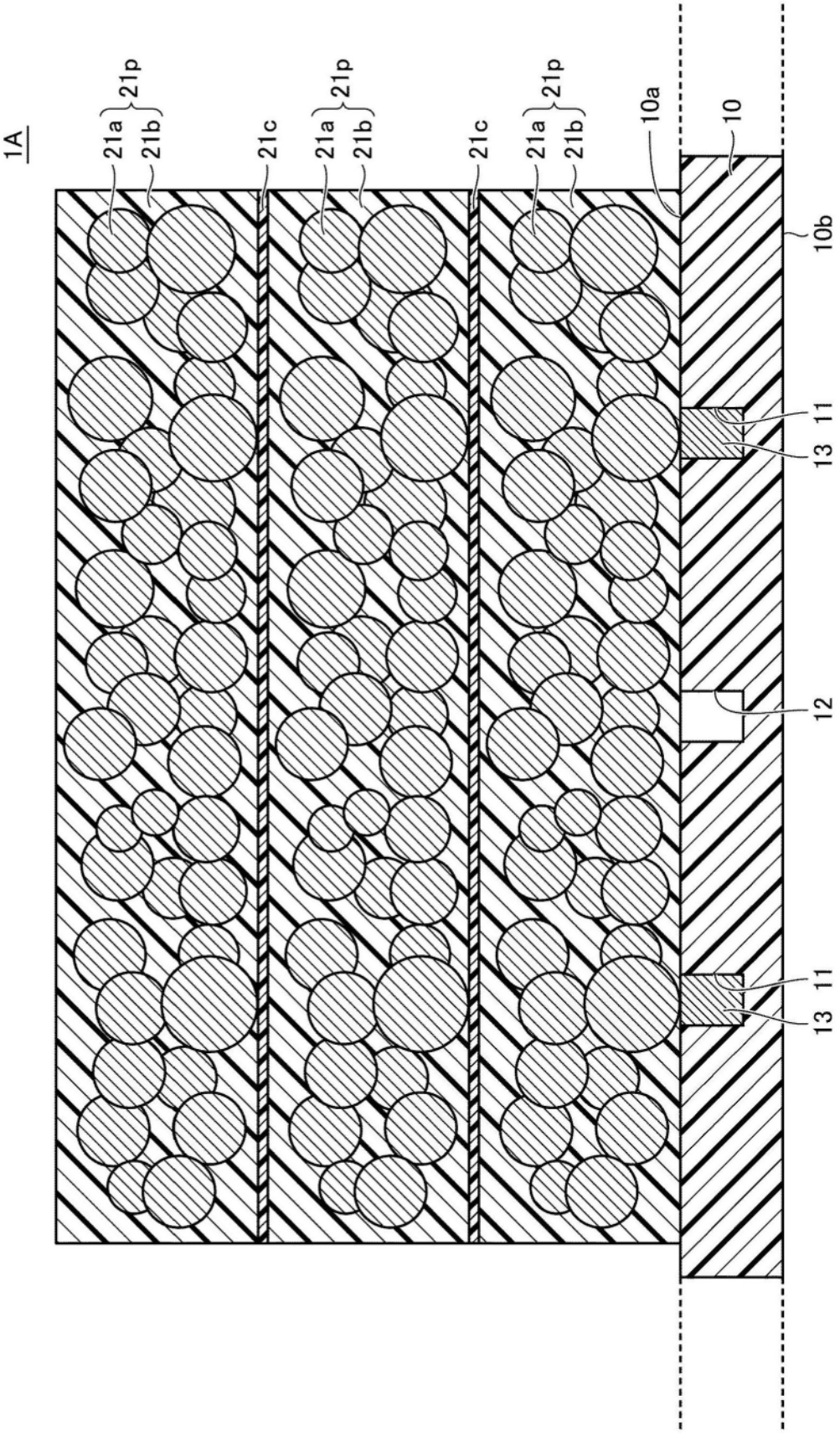


图12

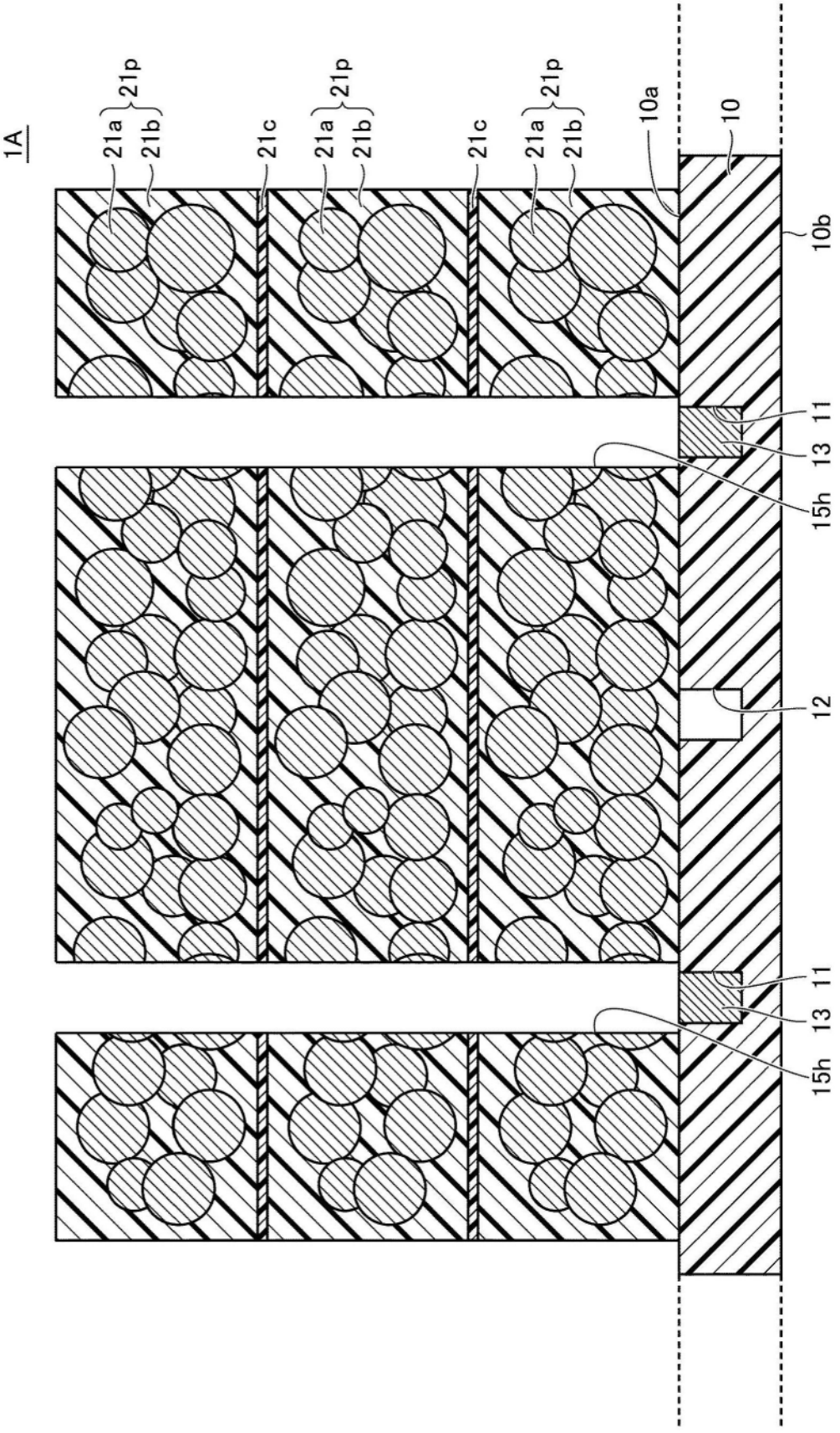

1A
21a
21p
21b
21c
21a
21p
21b
21c
21a
21p
21b
10a
10
10b
11
13
15h
12
11
13
15h

图13

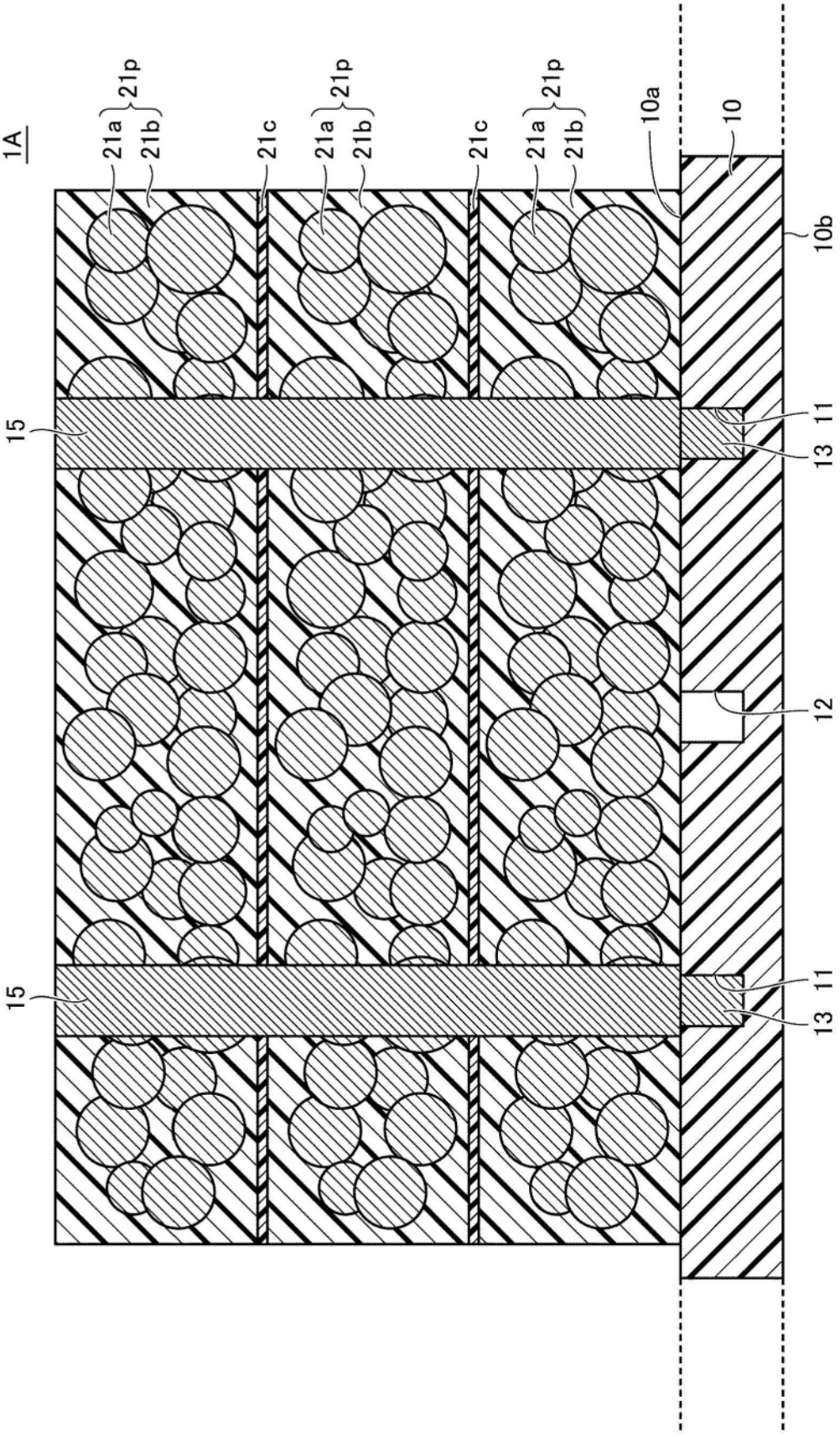


图14

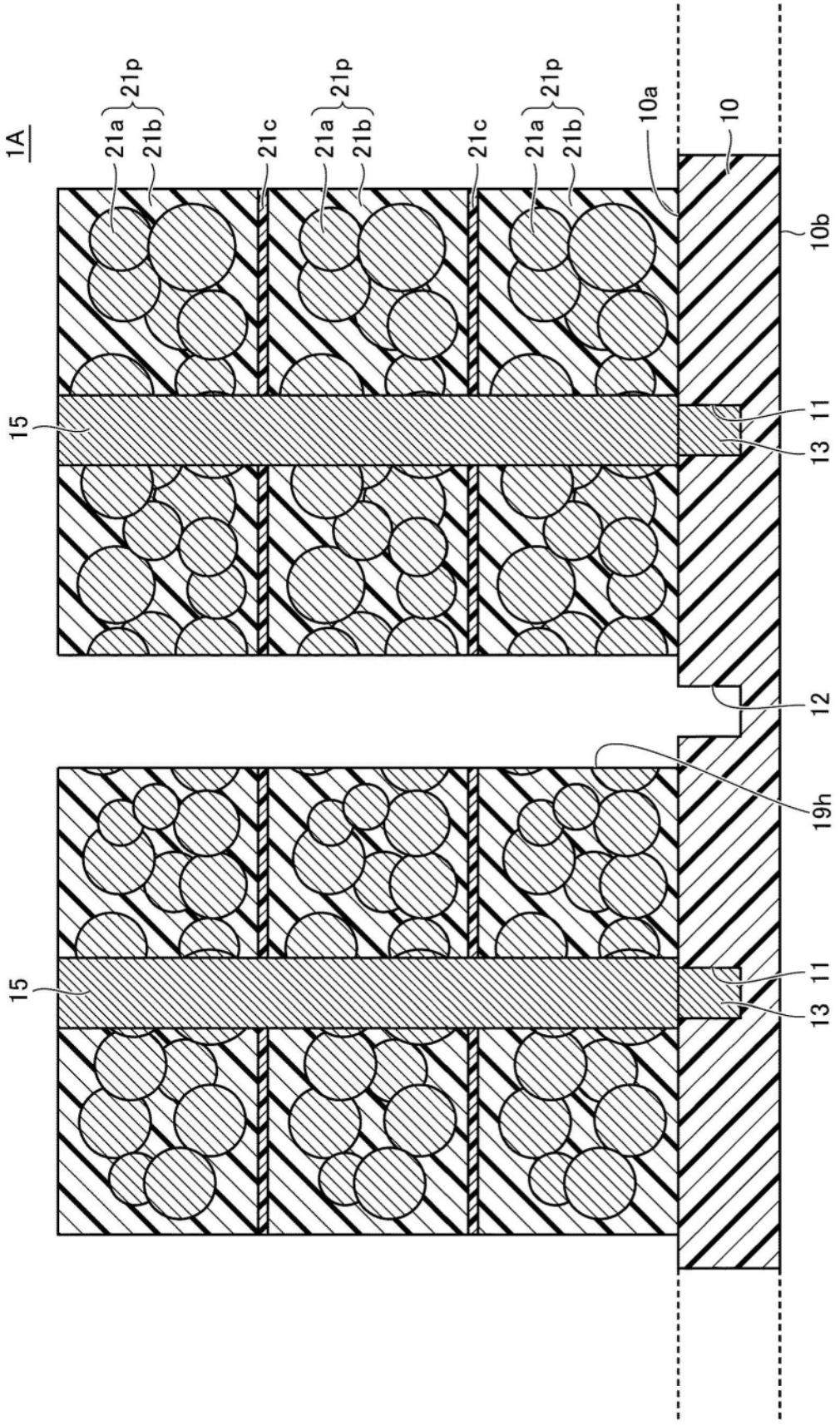


图15

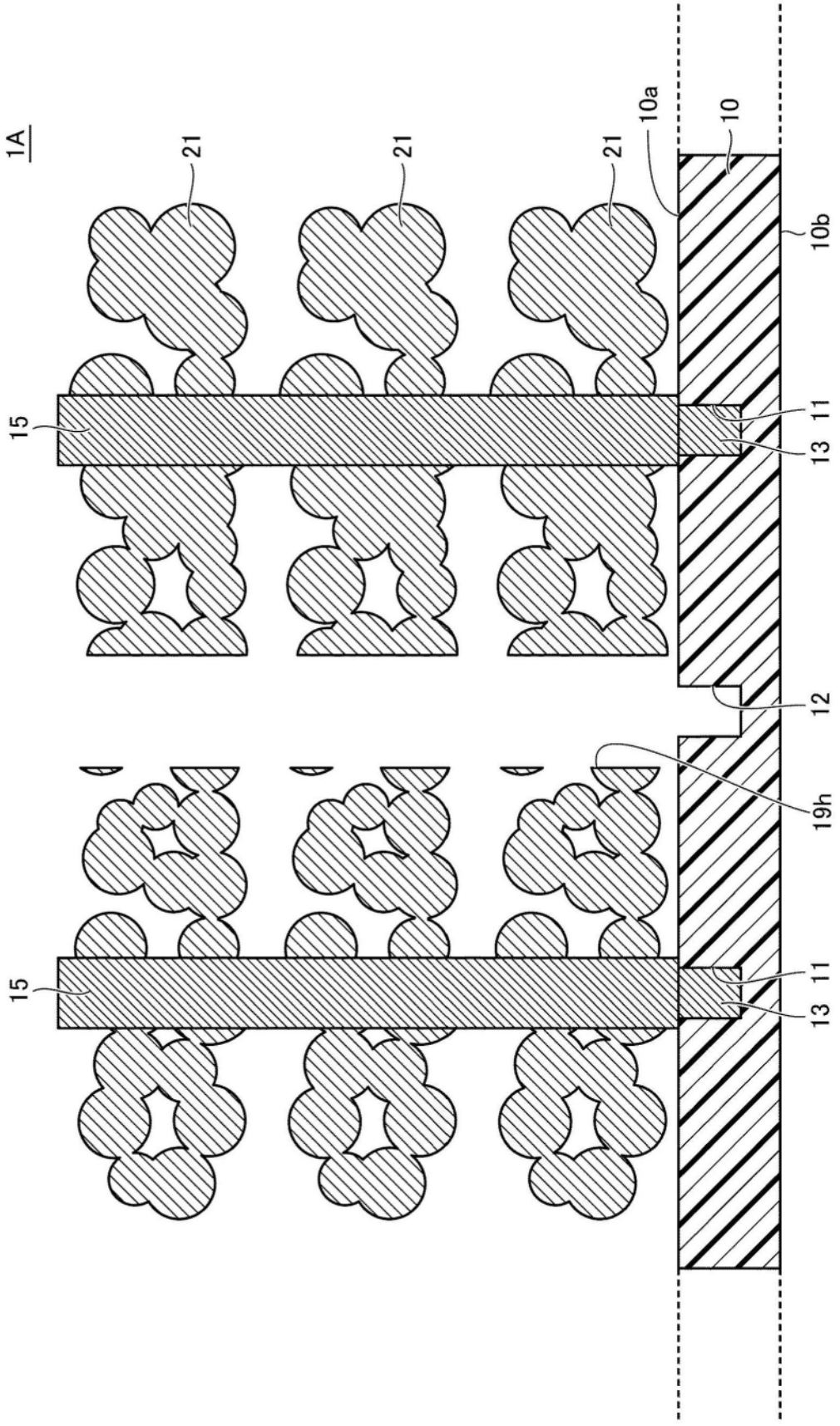


图16

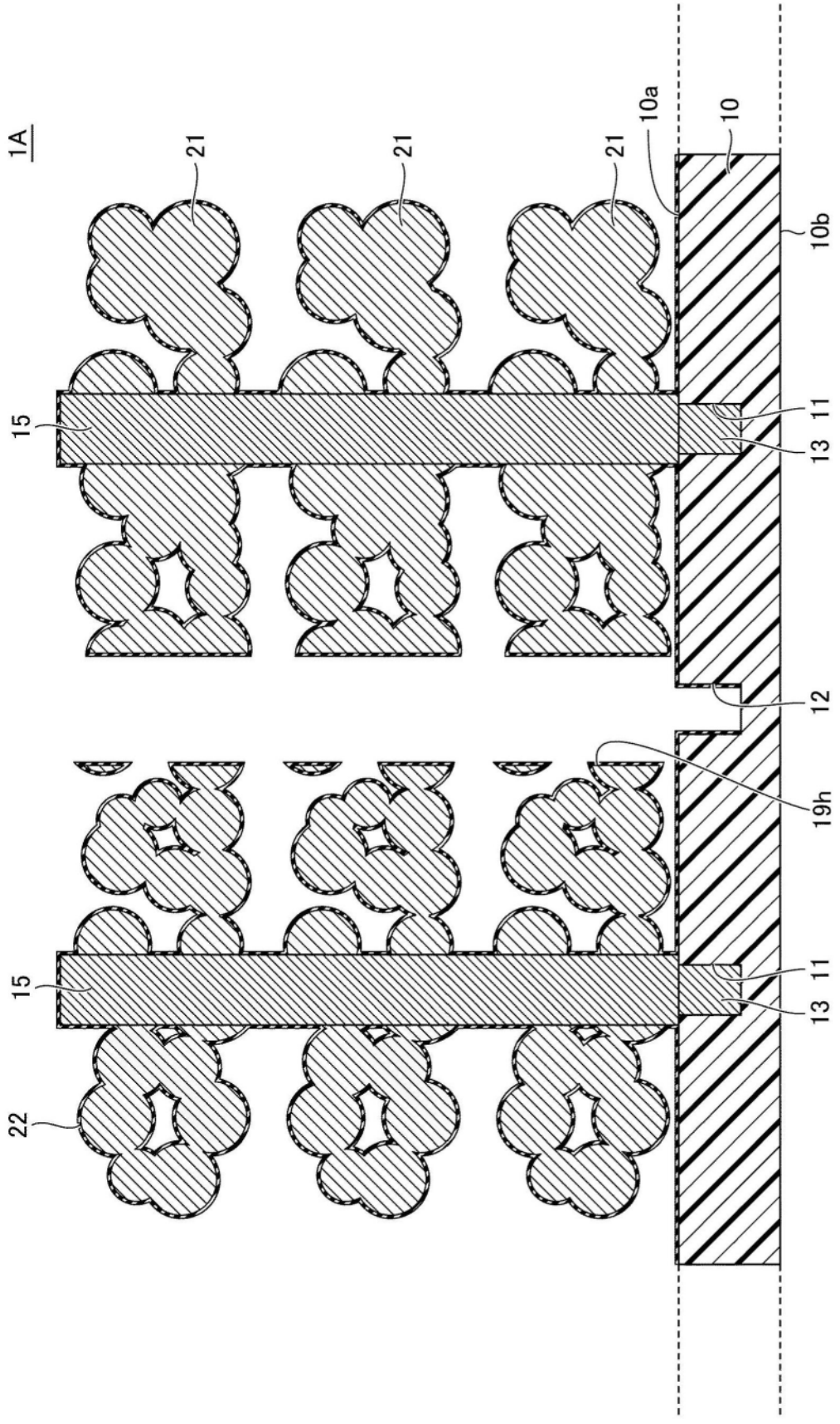


图17

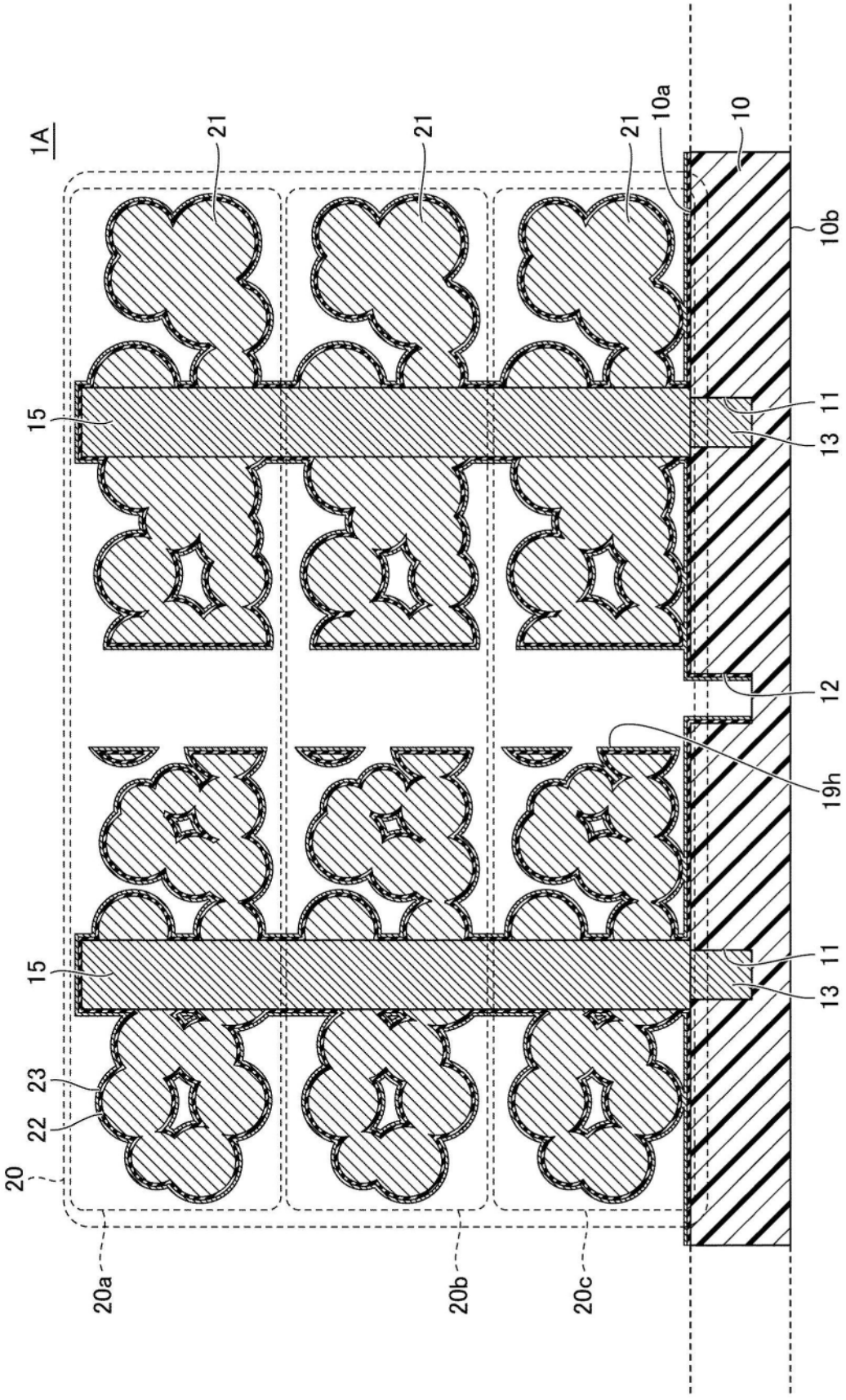


图18

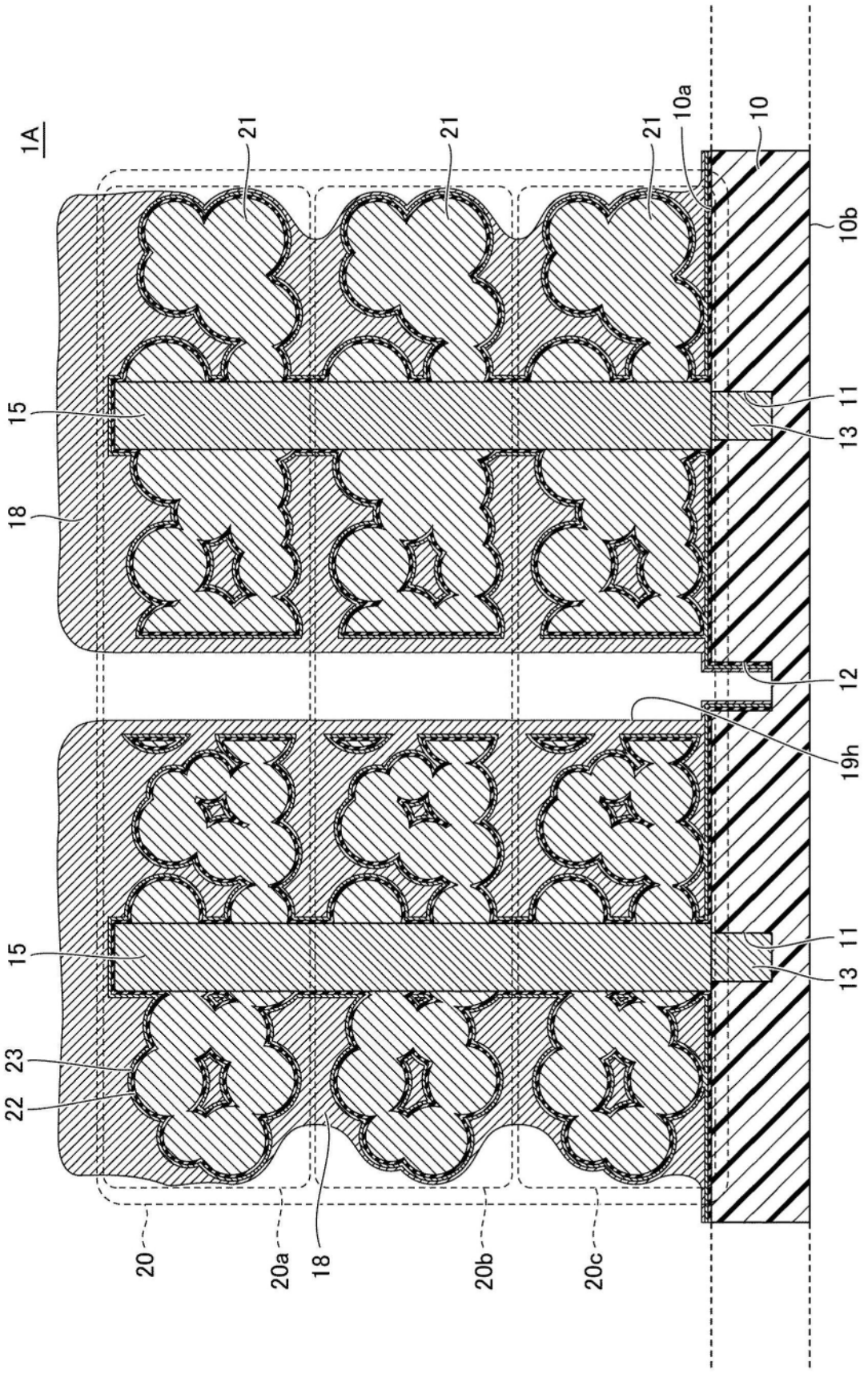

1A
21
21
21
10a
10
10b
15
11
13
18
12
19h
15
11
13
23
22
20
20a
18
20b
20c

图19

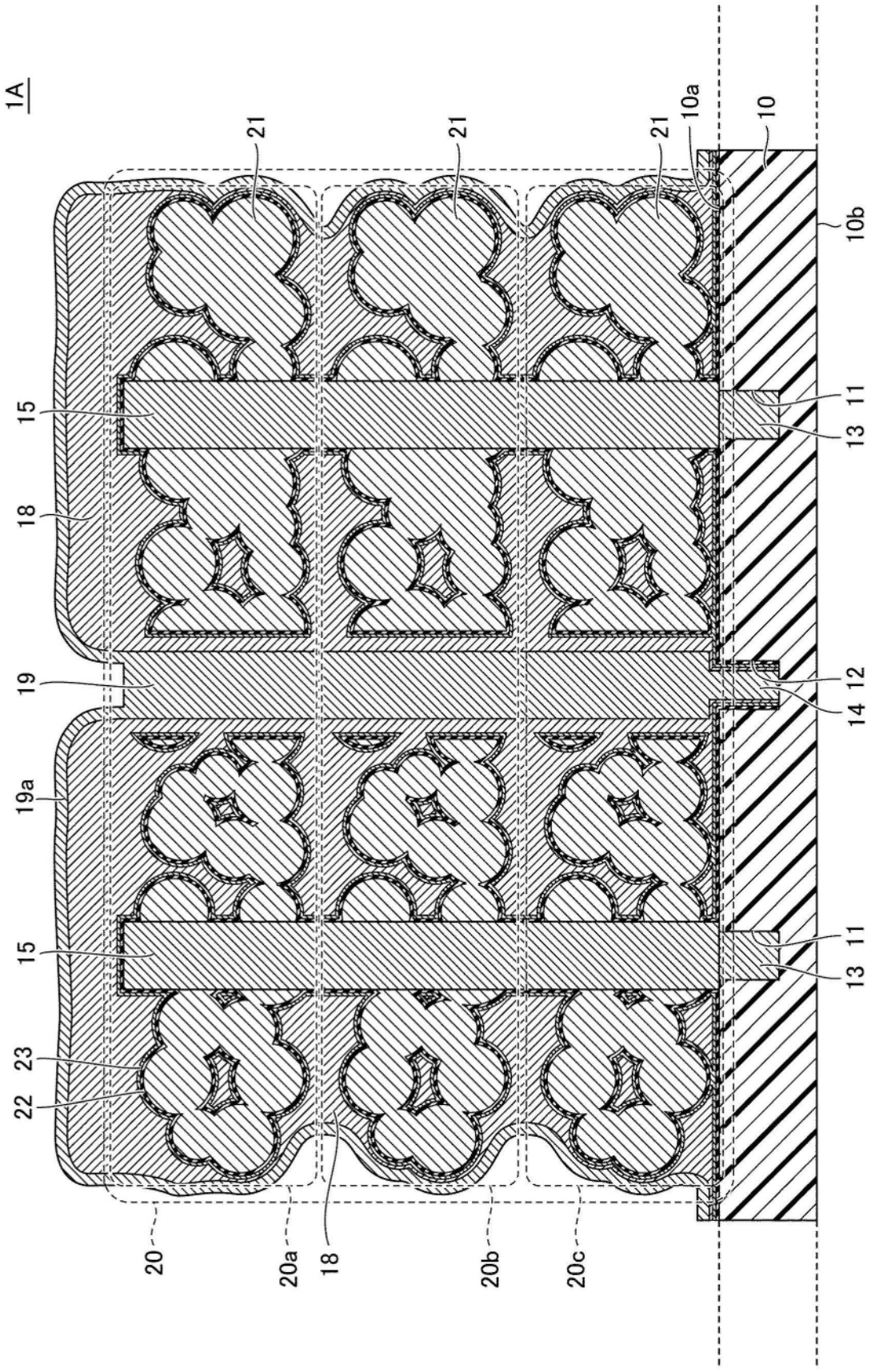

1A
21
21
21
10a
10
10b
15
11
13
18
19
12
14
19a
15
11
13
23
22
20
20a
18
20b
20c

图20

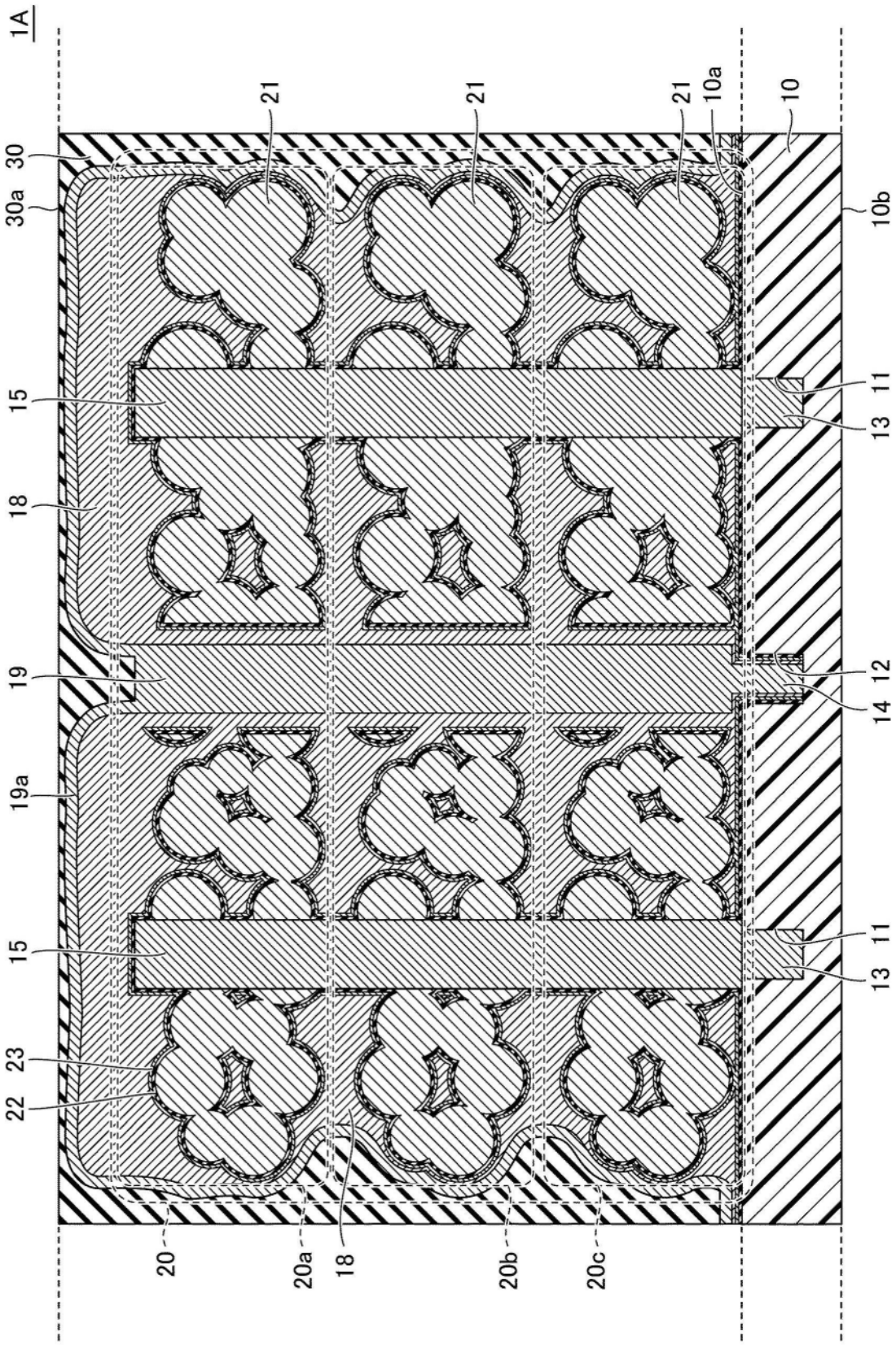

1A
21
21
21
10a
10
30
30a
10b
15
11
13
18
19
12
14
19a
15
11
13
23
22
20
20a
18
20b
20c

图21

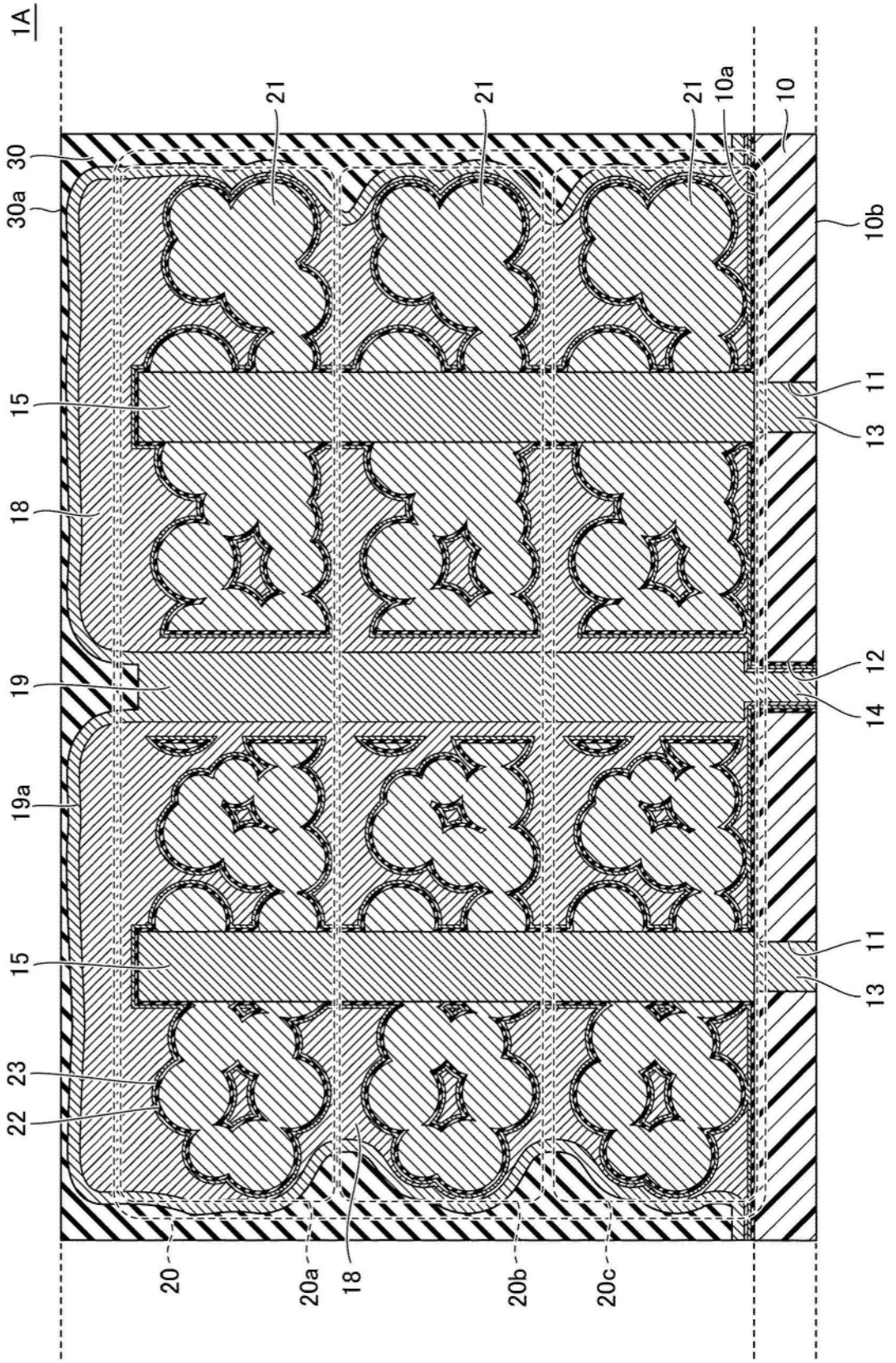

1A
21
21
21
10a
10
30
30a
10b
15
11
13
18
19
12
14
19a
15
11
13
23
22
20
20a
18
20b
20c

图22

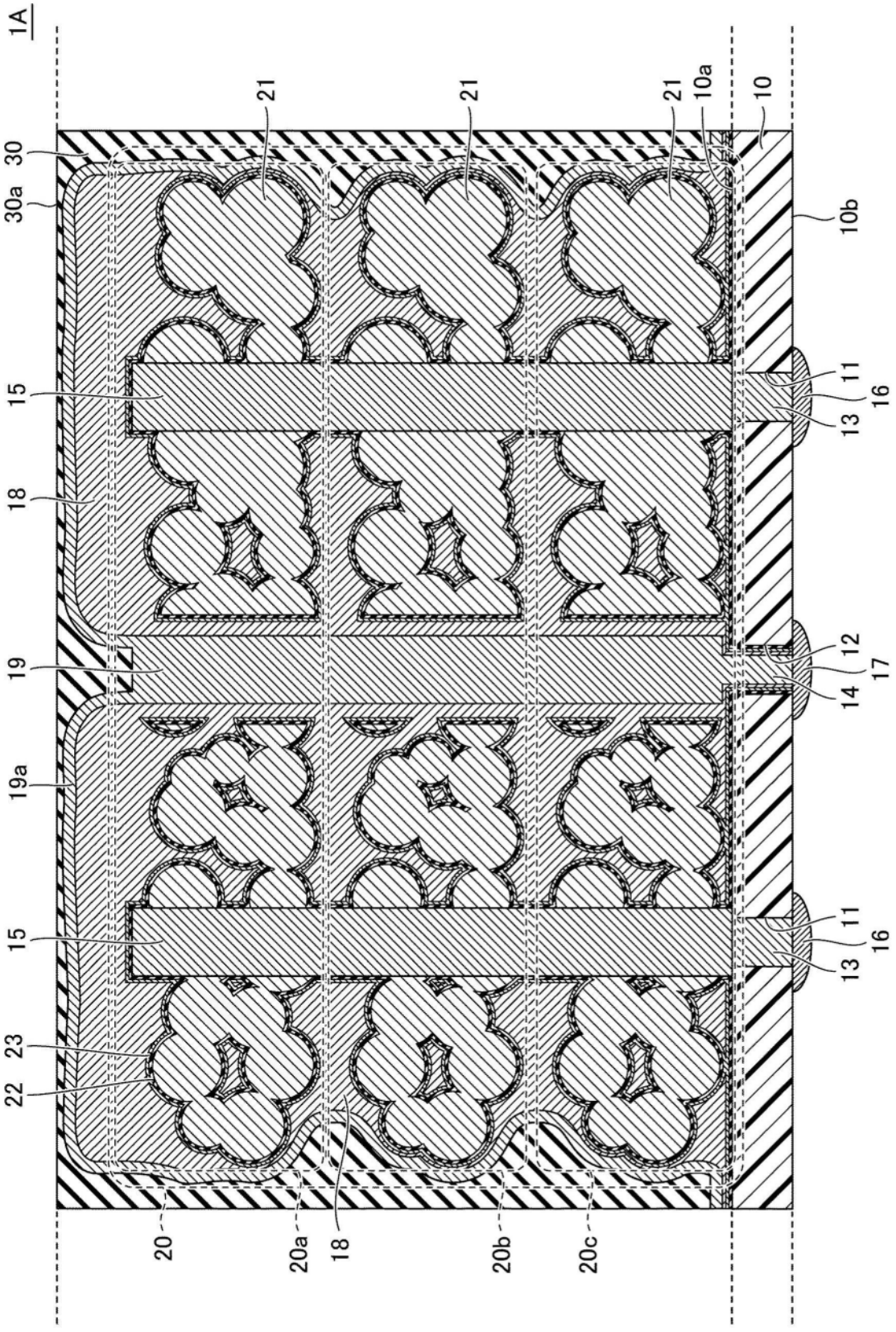

1A
21
21
21
10a
10
30
30a
10b
15
11
16
13
18
19
12
17
14
19a
15
11
16
13
23
22
20
20a
18
20b
20c

图23

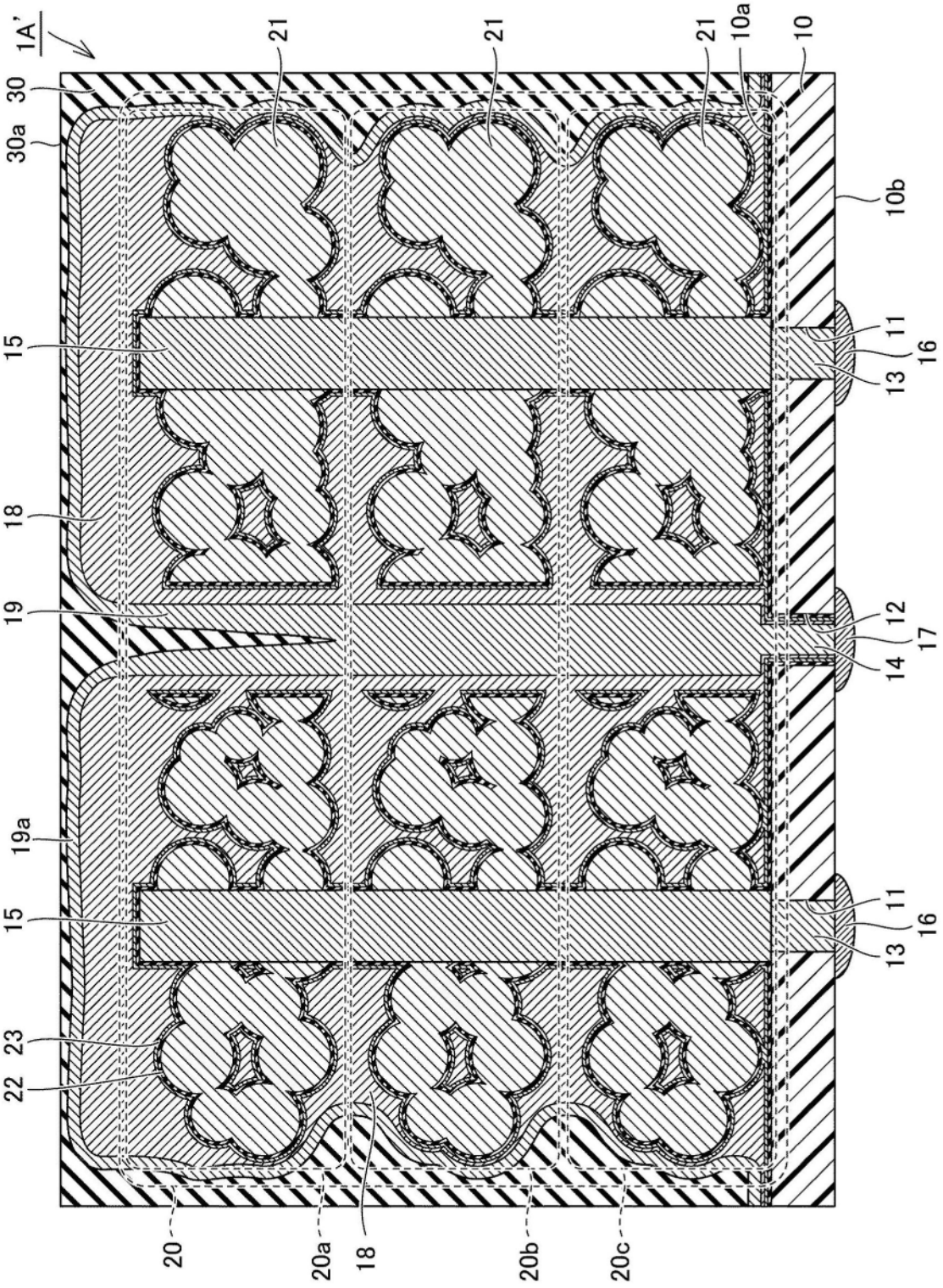

1A'
21
21
21
10a
10
30
30a
10b
11
16
13
15
18
19
12
17
14
19a
15
11
16
13
23
22
20
20a
18
20b
20c

图24

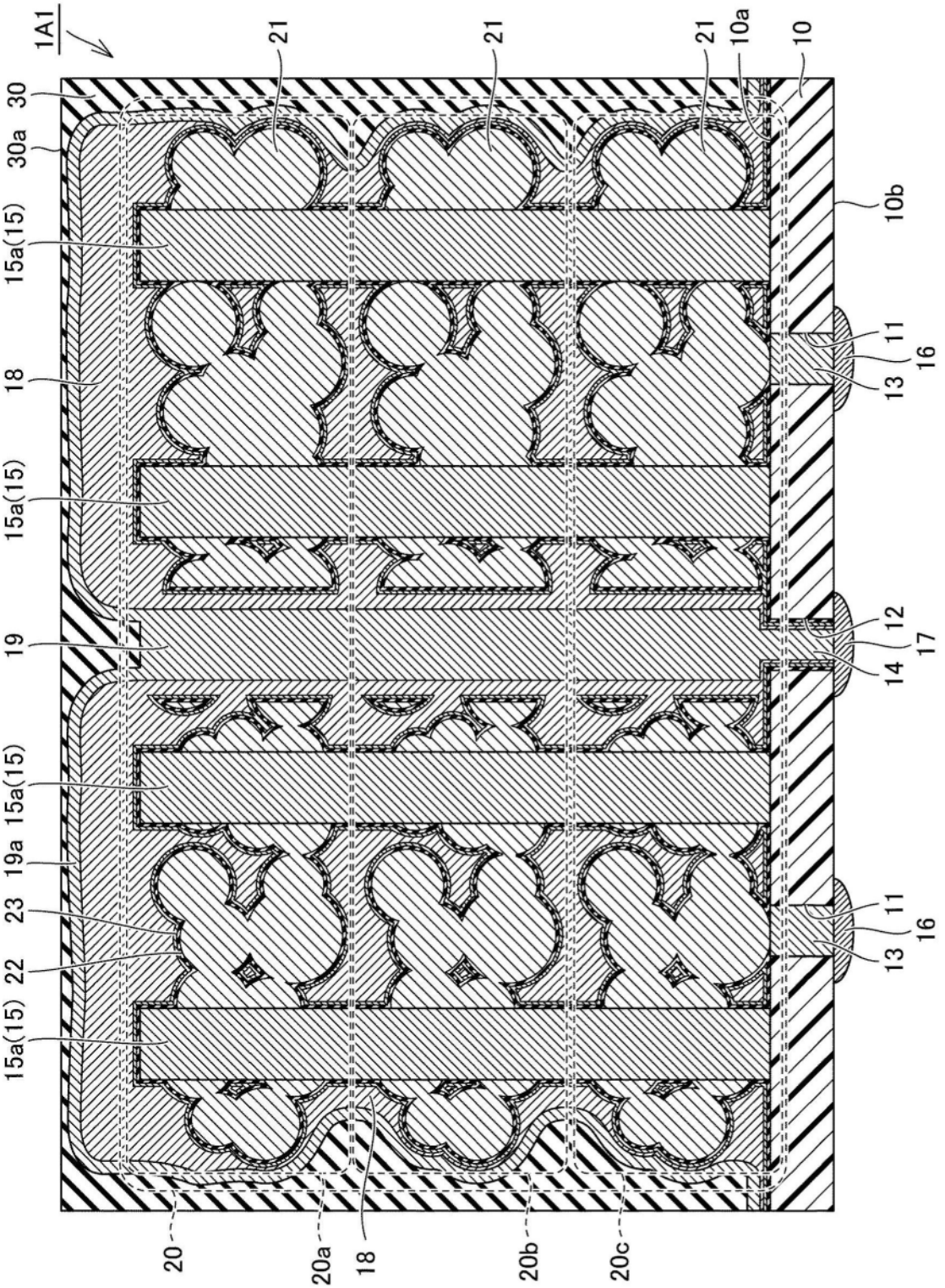

1A1
21
21
21
10a
10
30
30a
15a(15)
10b
11
16
13
18
15a(15)
12
17
14
19
15a(15)
19a
23
11
16
13
22
15a(15)
20
20a
18
20b
20c

图25

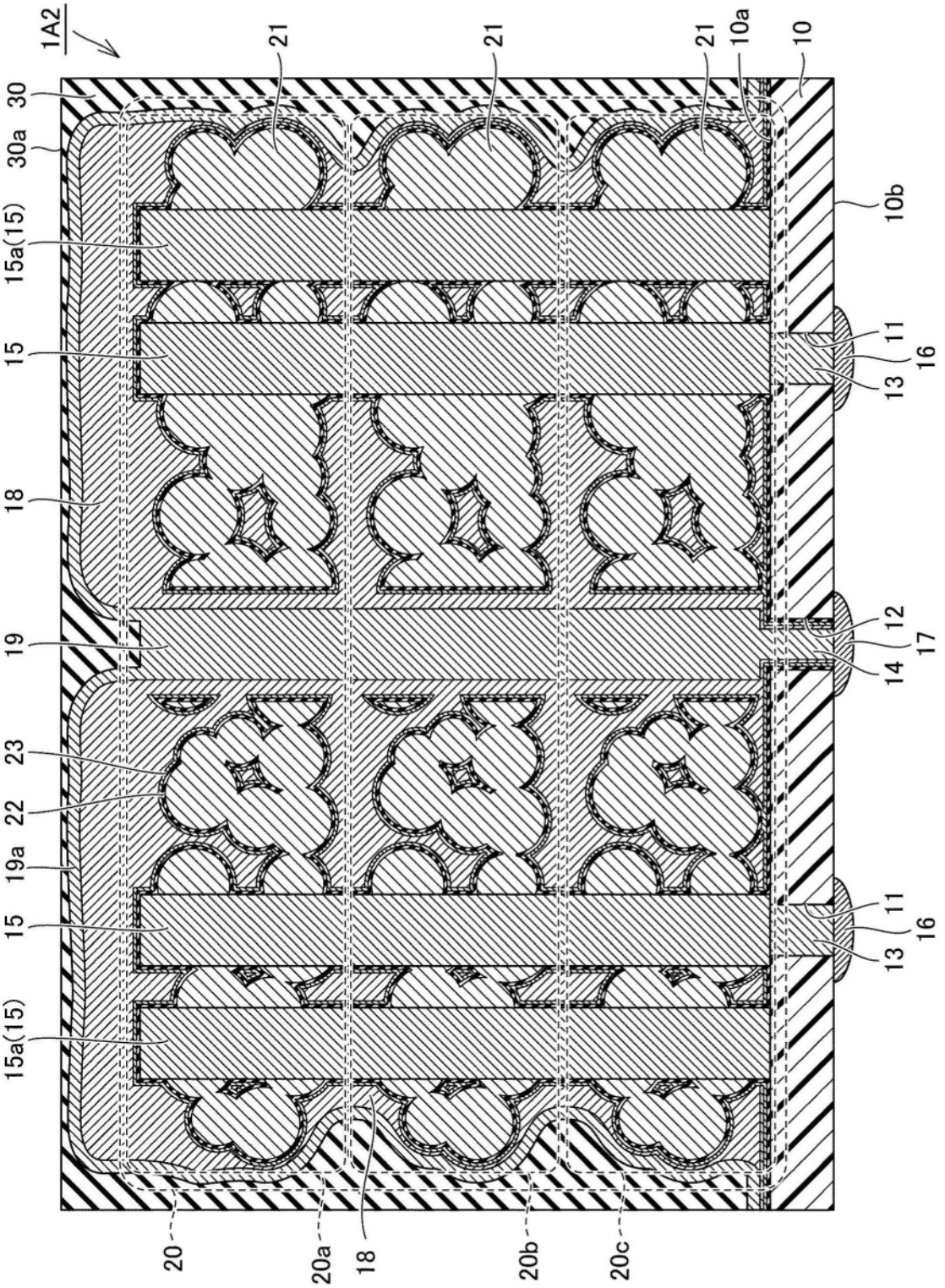

1A2
21
21
21
10a
10
30
30a
15a(15)
15
18
19
23
22
19a
15
15a(15)
10b
11
16
13
12
17
14
11
16
13
20
20a
18
20b
20c

图26

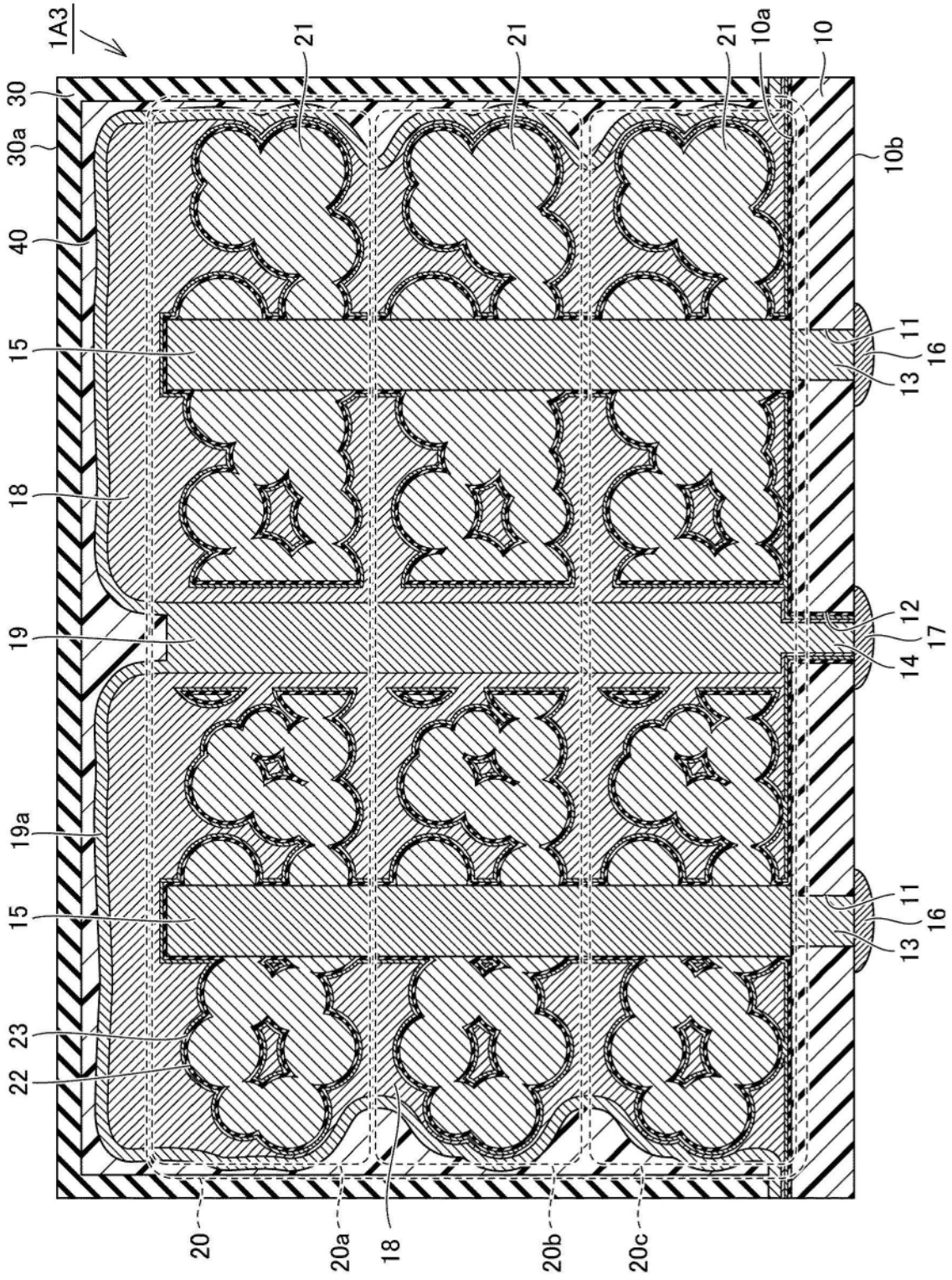

1A3
21
21
21
10a
10
30
30a
40
15
18
19
19a
15
23
22
10b
11
16
13
12
17
14
11
16
13
20
20a
18
20b
20c

图27

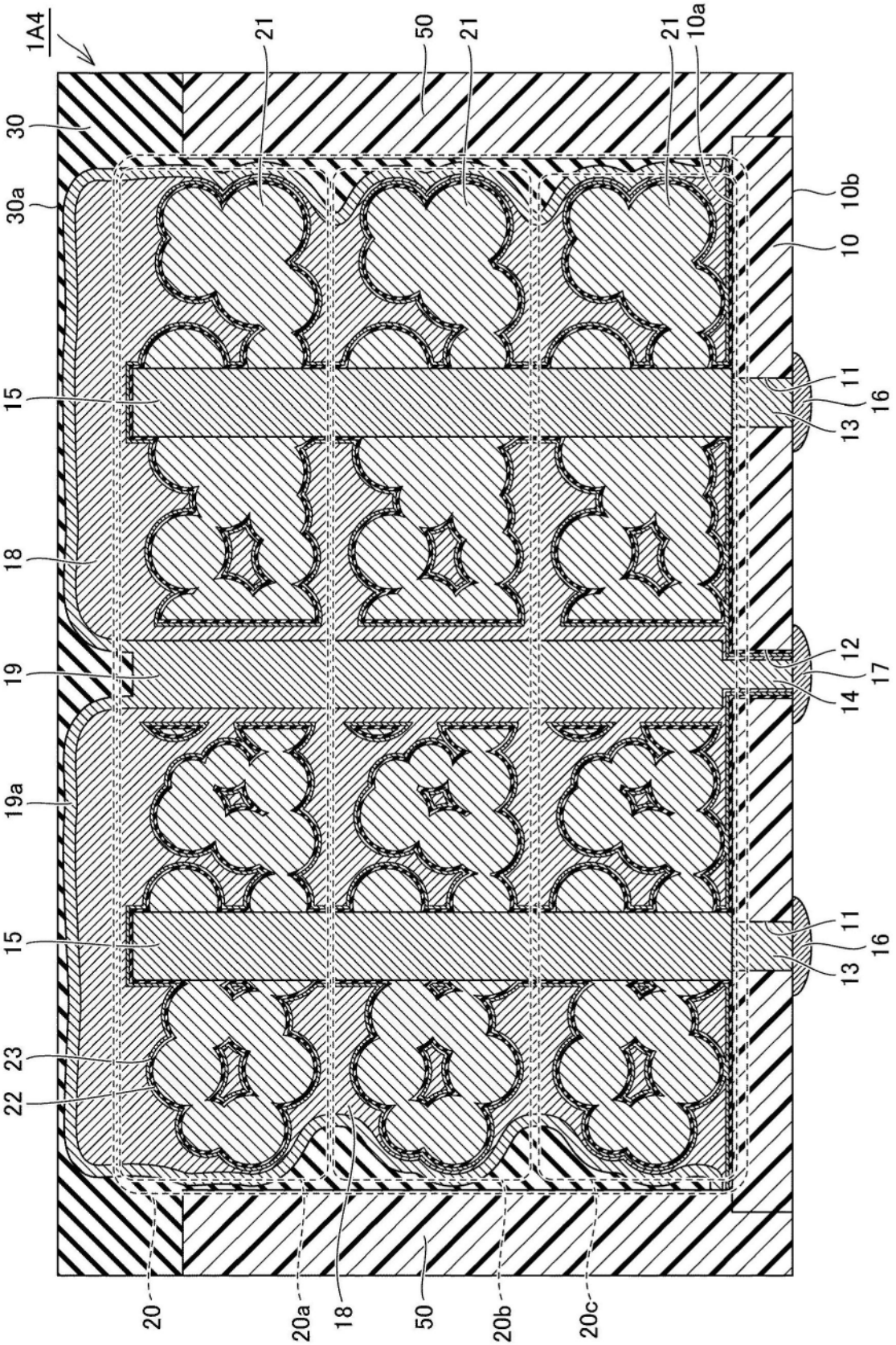

1A4
21
50
21
21
10a
30
30a
10b
10
15
11
16
13
18
19
12
17
14
19a
15
11
16
13
23
22
20
20a
18
50
20b
20c

图28

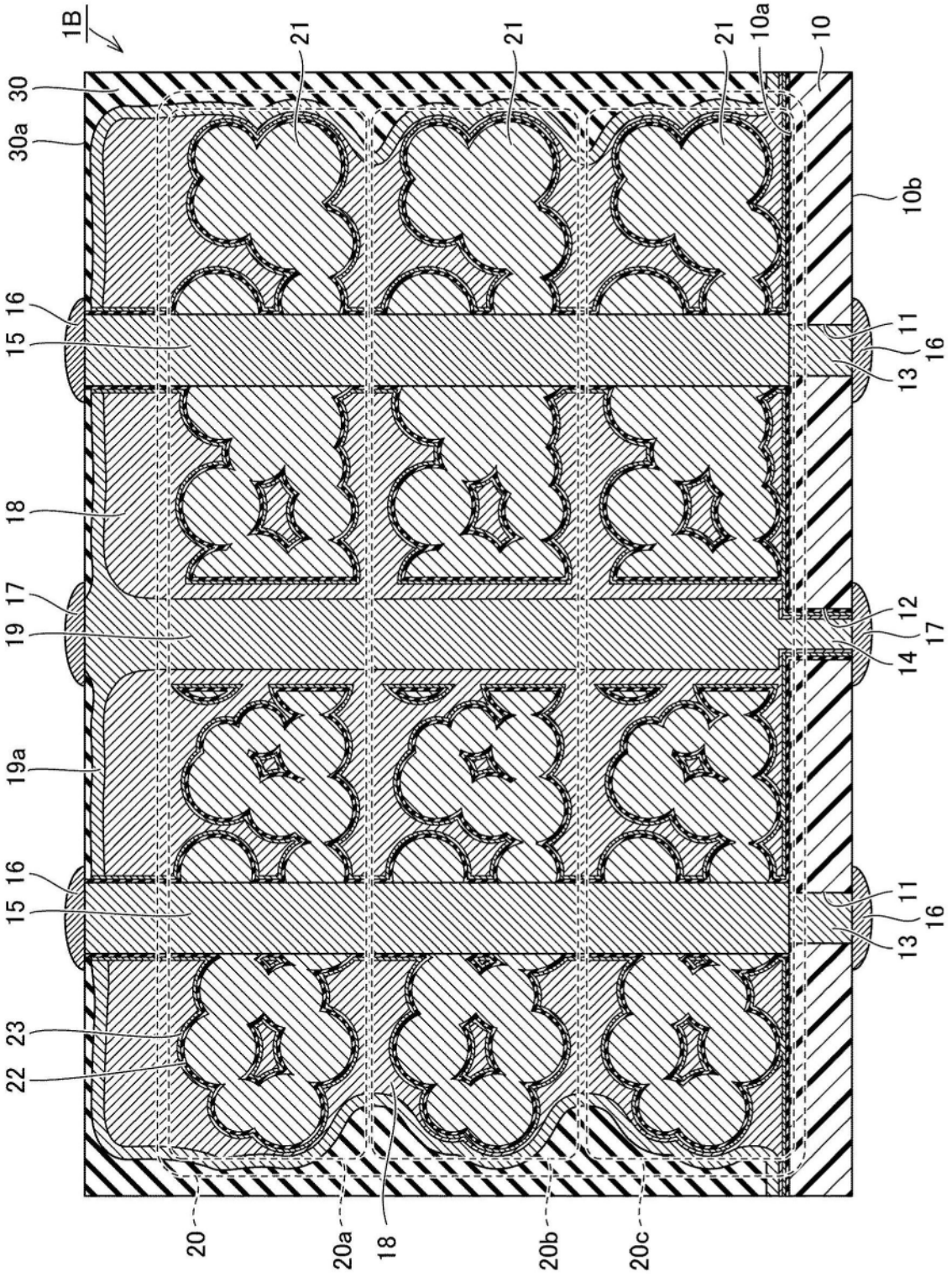

1B
21
21
21
10a
10
30
30a
10b
16
15
11
16
13
18
17
19
12
17
14
19a
16
15
11
16
13
23
22
20
20a
18
20b
20c

图29

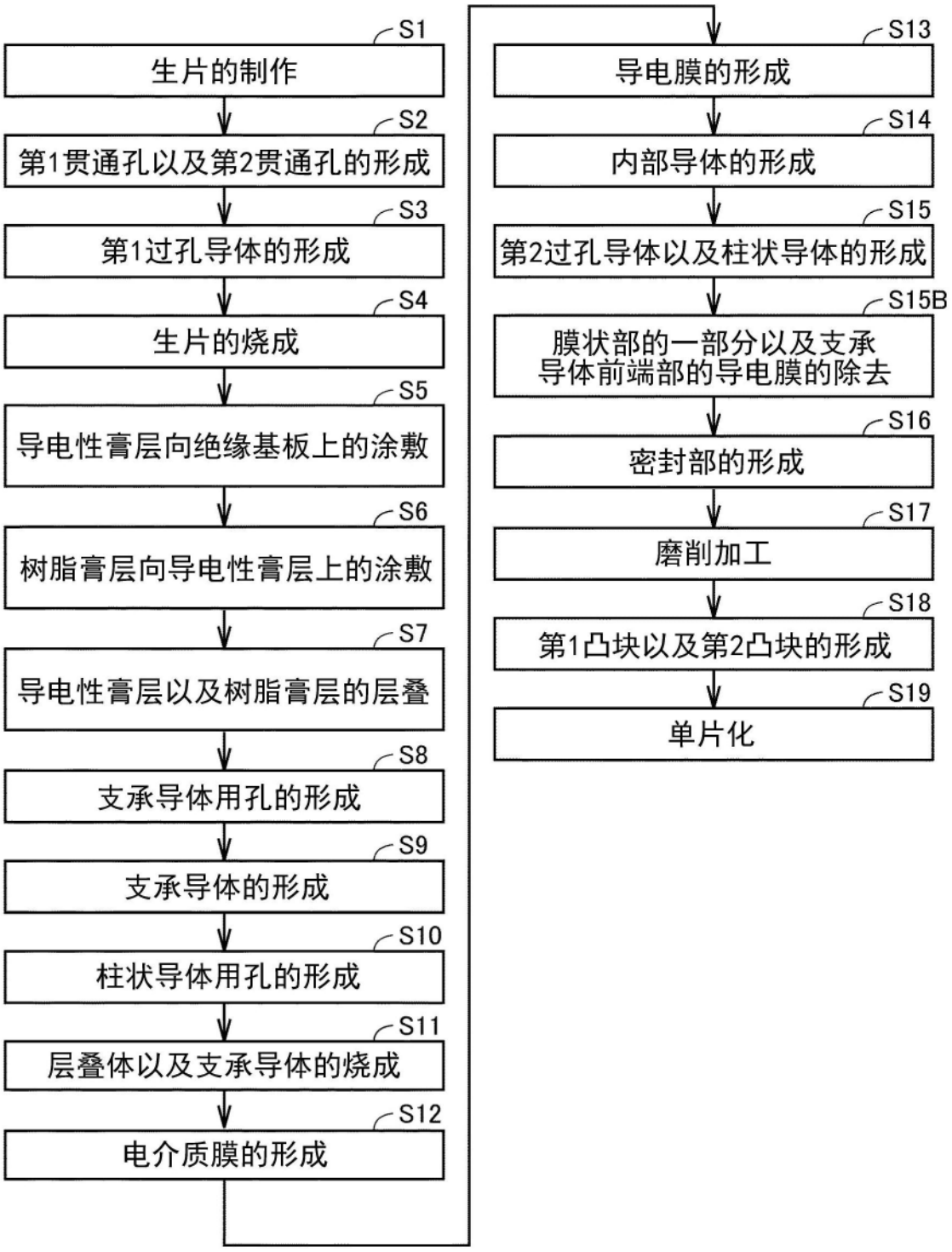

S1
生片的制作
S2
第1贯通孔以及第2贯通孔的形成
S3
第1过孔导体的形成
S4
生片的烧成
S5
导电性膏层向绝缘基板上的涂敷
S6
树脂膏层向导电性膏层上的涂敷
S7
导电性膏层以及树脂膏层的层叠
S8
支承导体用孔的形成
S9
支承导体的形成
S10
柱状导体用孔的形成
S11
层叠体以及支承导体的烧成
S12
电介质膜的形成
S13
导电膜的形成
S14
内部导体的形成
S15
第2过孔导体以及柱状导体的形成
S15B
膜状部的一部分以及支承导体前端部的导电膜的除去
S16
密封部的形成
S17
磨削加工
S18
第1凸块以及第2凸块的形成
S19
单片化

图30

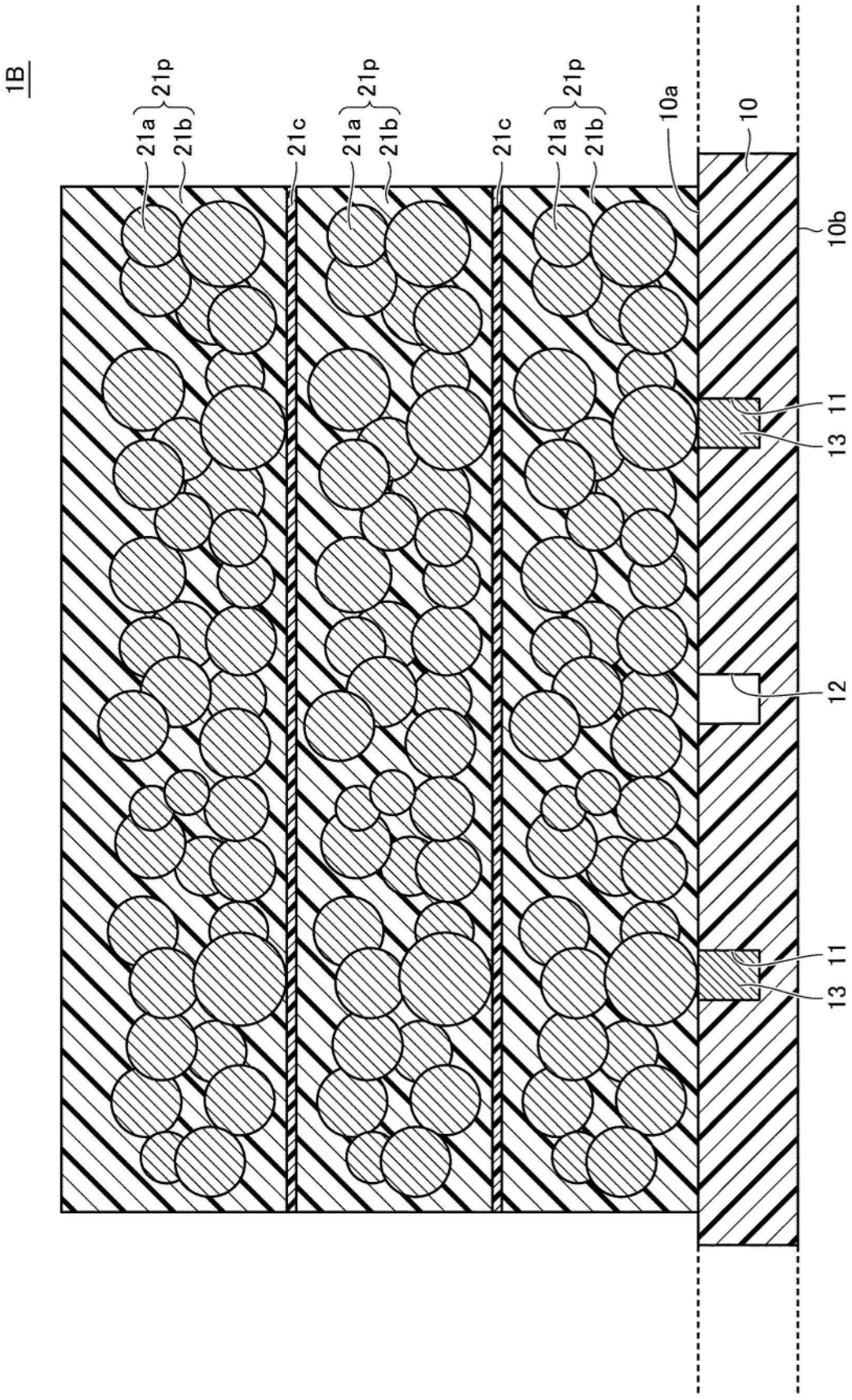


图31

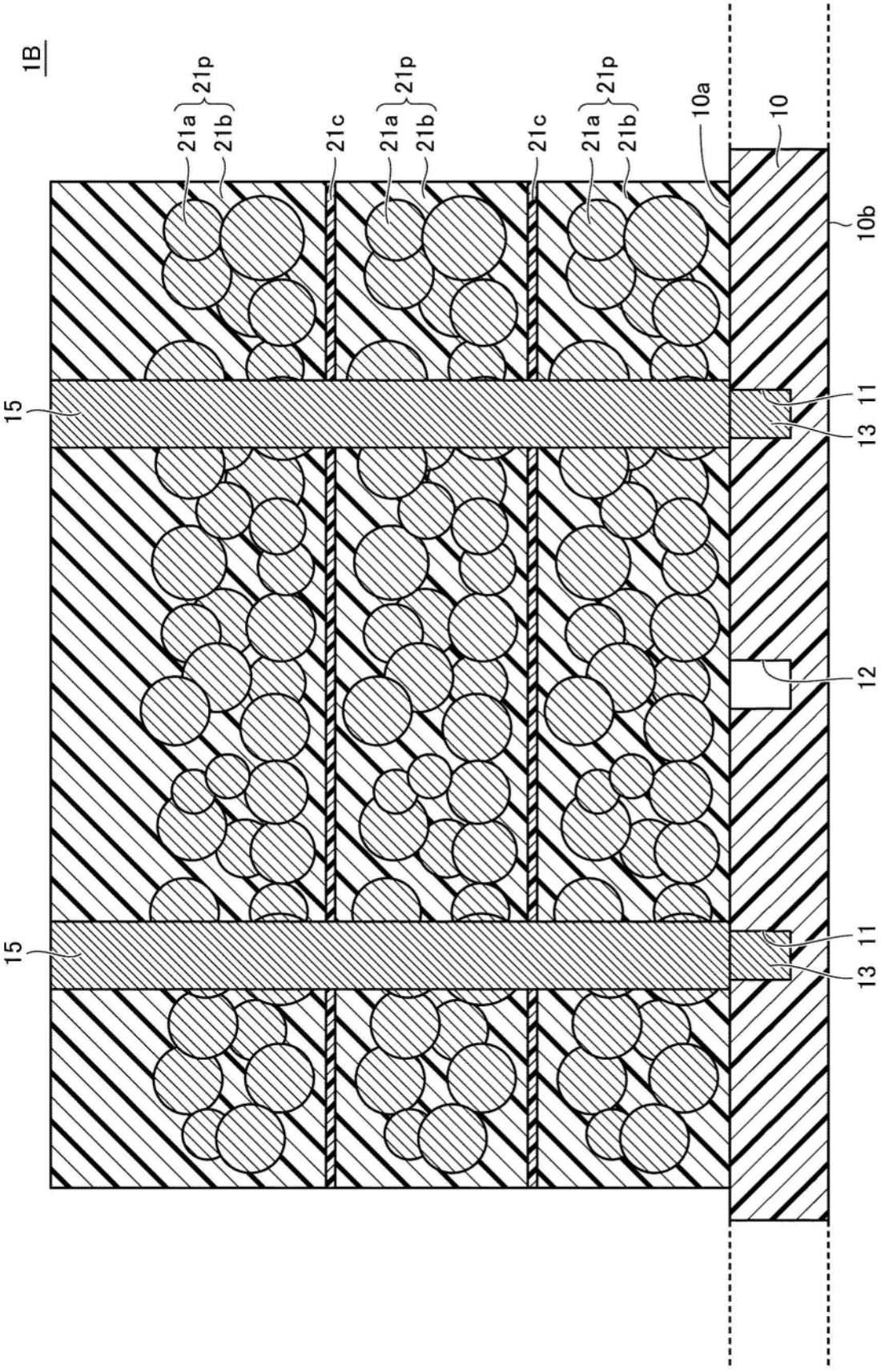

1B
21a
21p
21b
21c
21a
21p
21b
21c
21a
21p
21b
10a
10
10b
15
11
13
12
15
11
13

图32

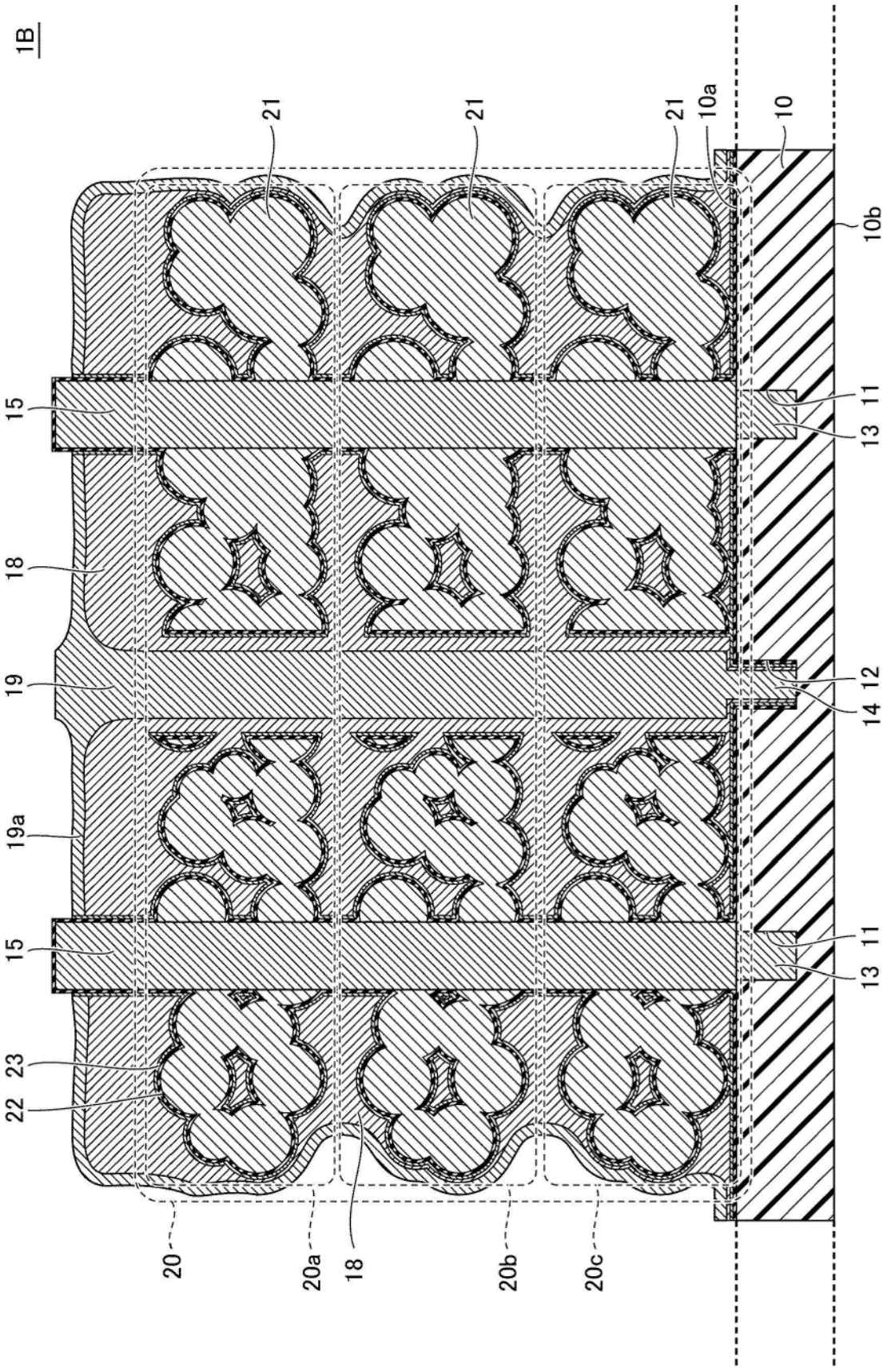

1B
21
21
21
10a
10
10b
15
11
13
18
19
12
14
19a
15
11
13
23
22
20
20a
18
20b
20c

图33

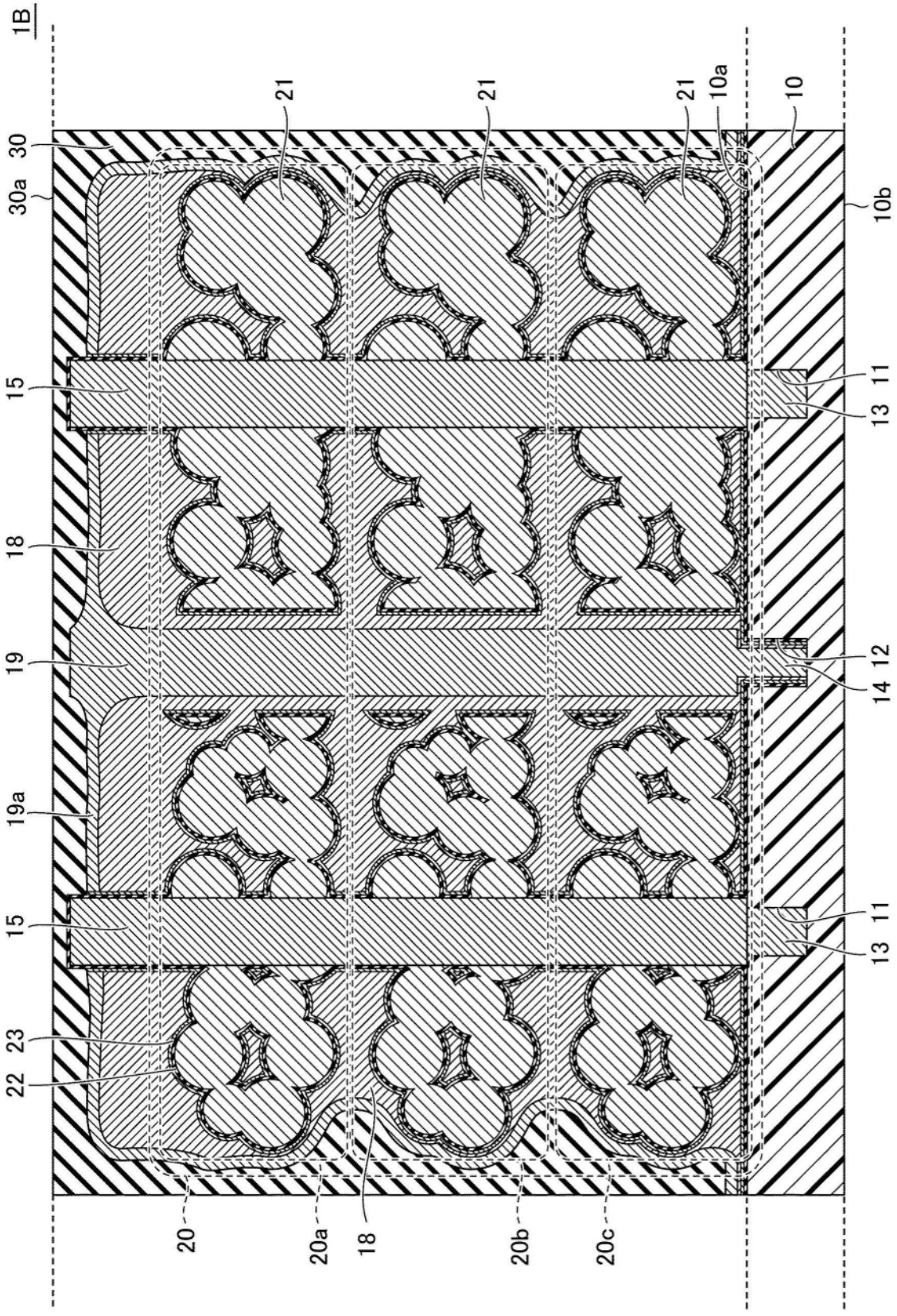

1B
21
21
21
10a
10
30
30a
10b
15
11
13
18
19
12
14
19a
15
11
13
23
22
20
20a
18
20b
20c

图34

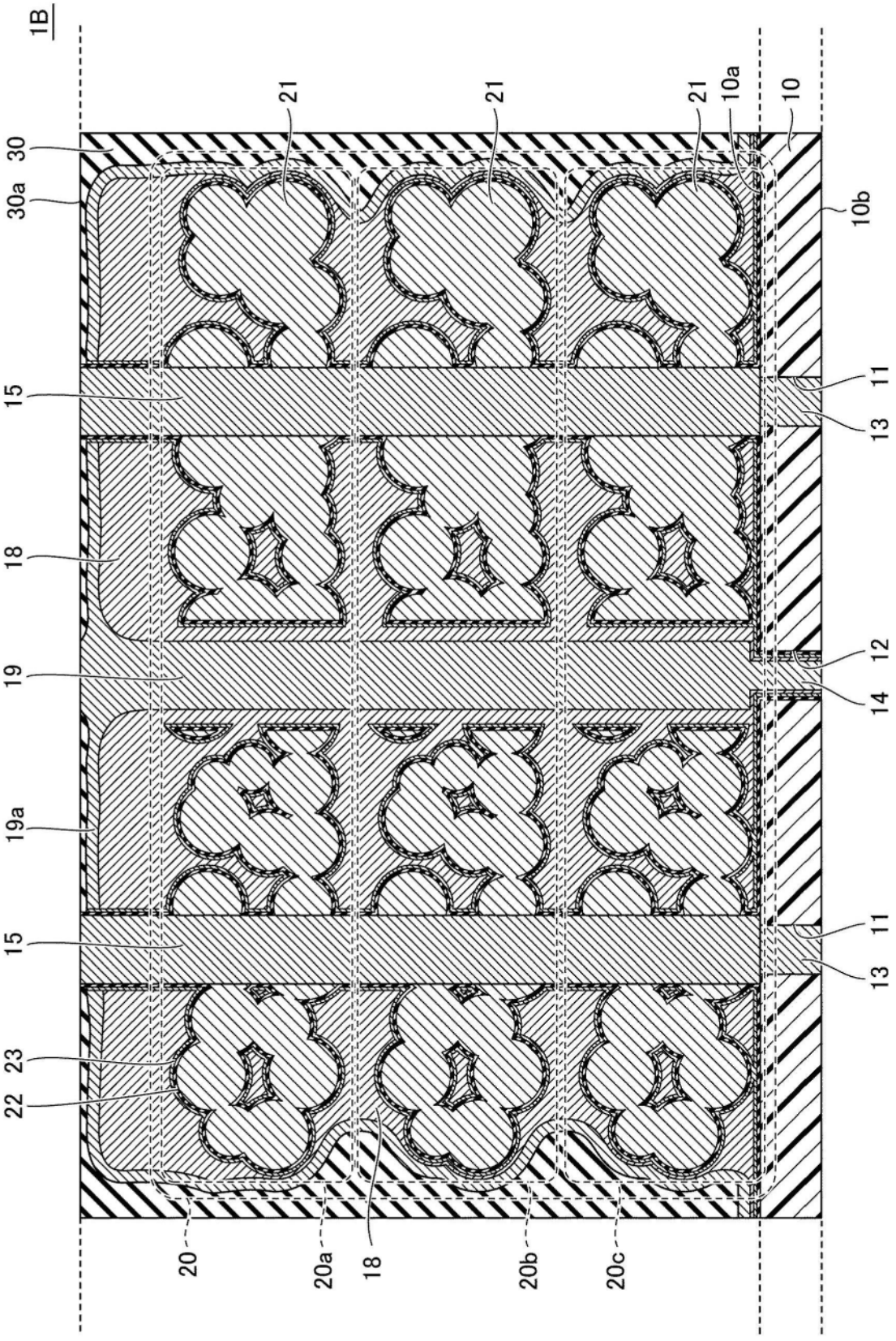

1B
21
21
21
10a
10
30
30a
10b
15
11
13
18
19
12
14
19a
15
11
13
23
22
20
20a
18
20b
20c

图35

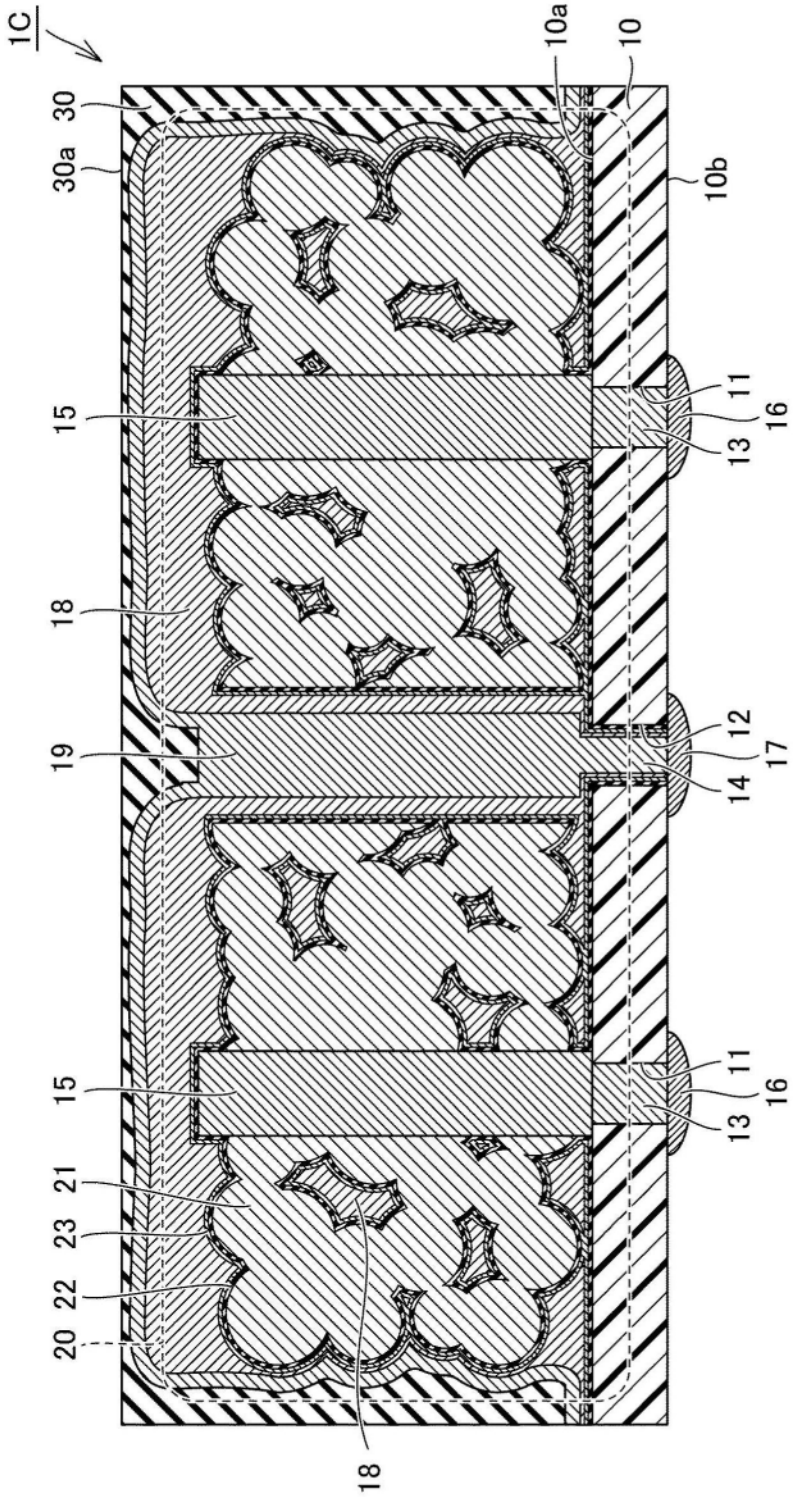

1C
10a
10
30
30a
10b
15
11
16
13
18
19
12
17
14
15
11
16
13
21
23
22
20
18

图36

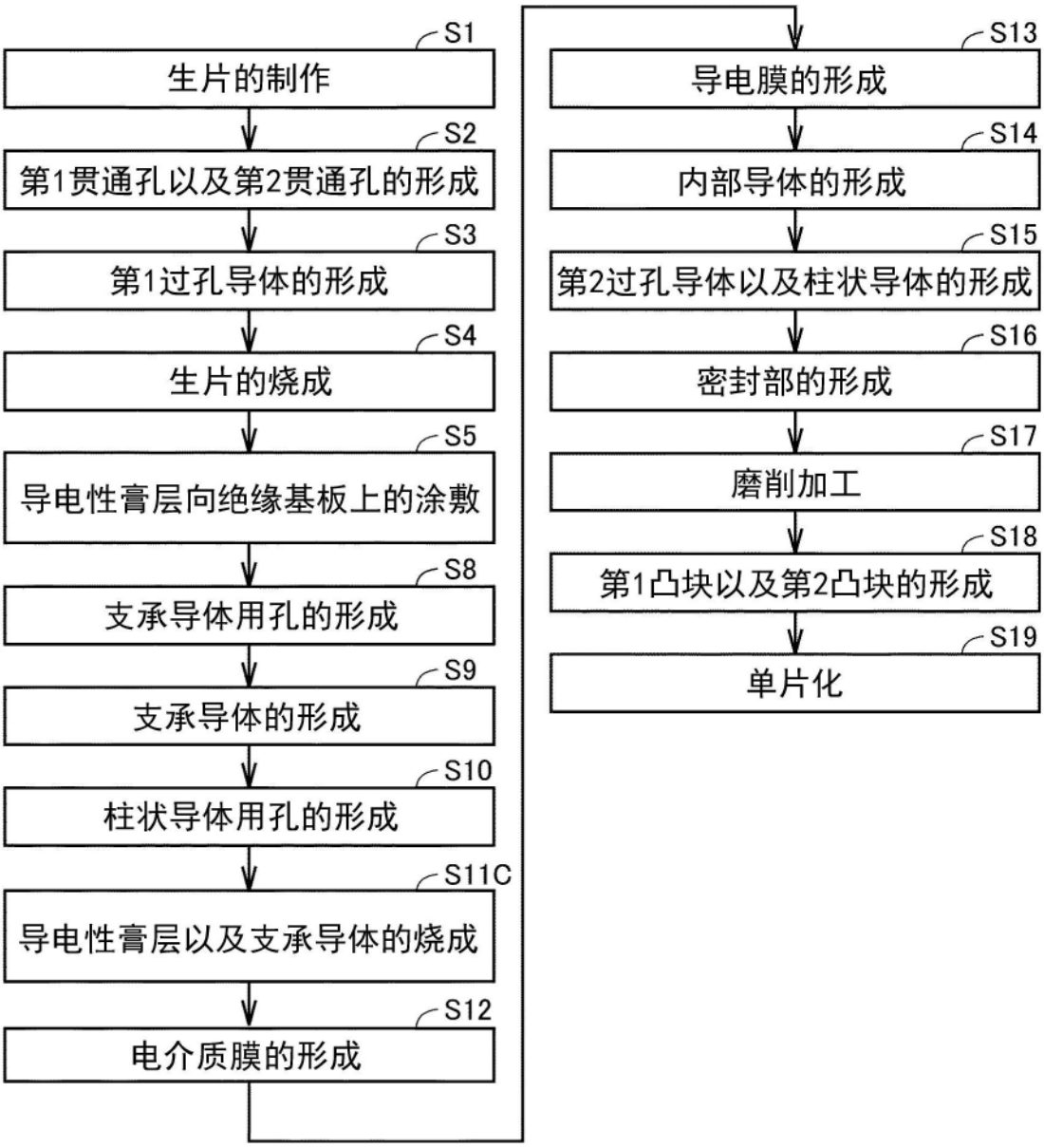

S1
生片的制作
S2
第1贯通孔以及第2贯通孔的形成
S3
第1过孔导体的形成
S4
生片的烧成
S5
导电性膏层向绝缘基板上的涂敷
S8
支承导体用孔的形成
S9
支承导体的形成
S10
柱状导体用孔的形成
S11C
导电性膏层以及支承导体的烧成
S12
电介质膜的形成
S13
导电膜的形成
S14
内部导体的形成
S15
第2过孔导体以及柱状导体的形成
S16
密封部的形成
S17
磨削加工
S18
第1凸块以及第2凸块的形成
S19
单片化

图37

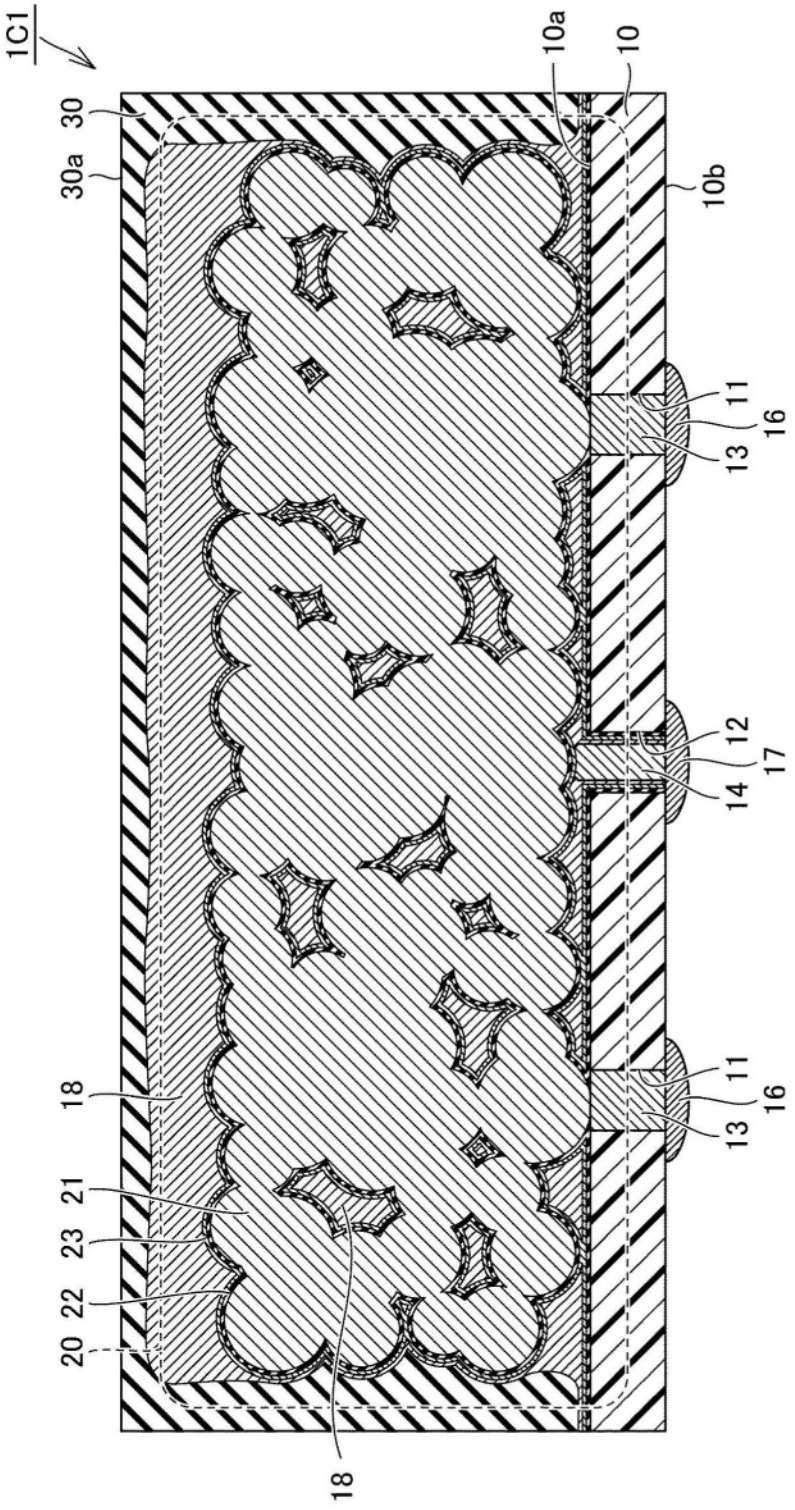


图38

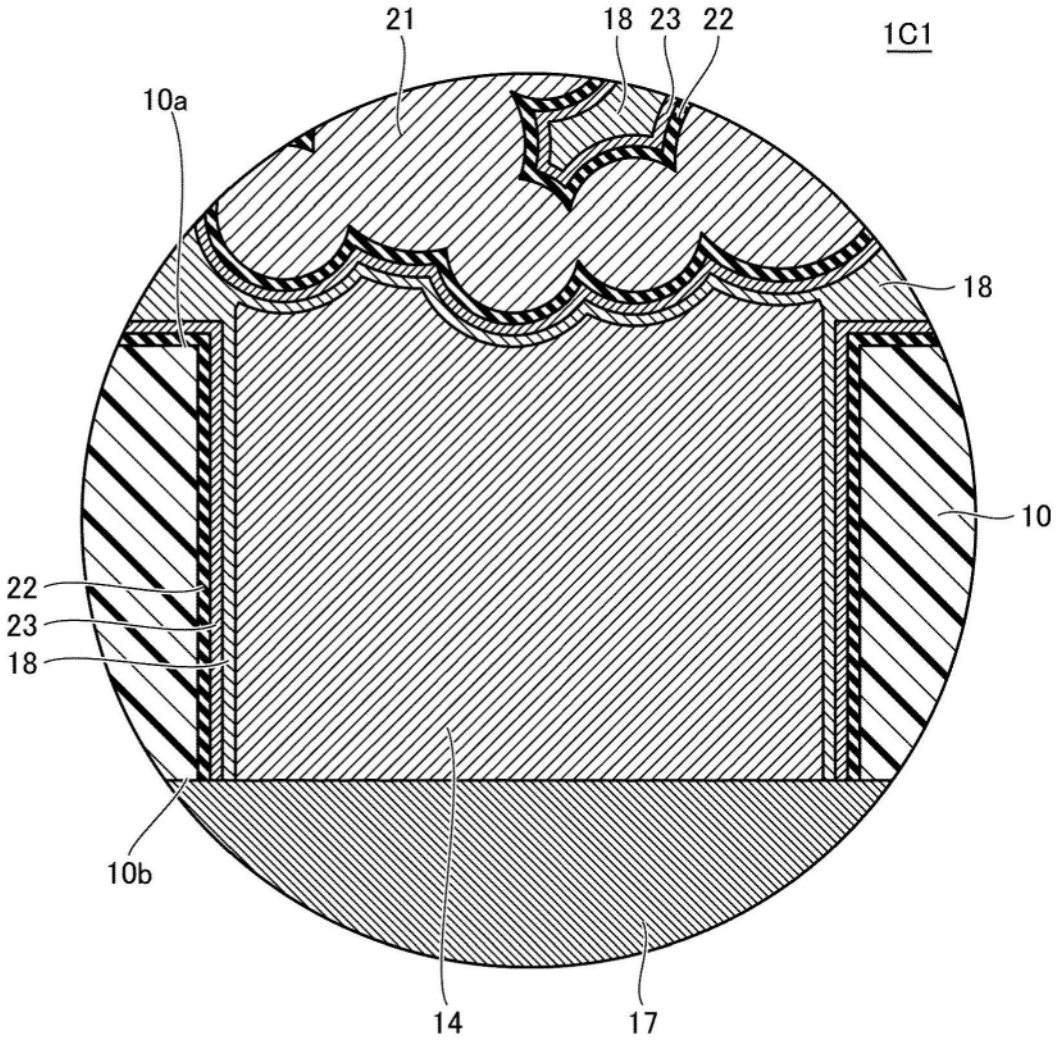


图39