

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 2 月 4 日(04.02.2016)



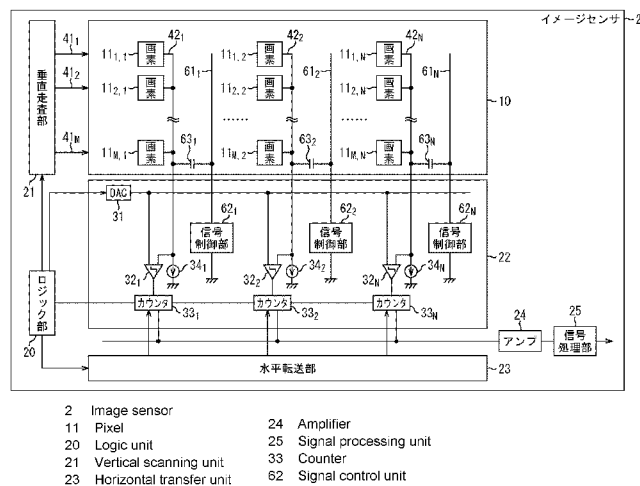
(10) 国際公開番号
WO 2016/017449 A1

- (51) 国際特許分類:
H04N 5/374 (2011.01) H04N 5/357 (2011.01)
H04B 3/04 (2006.01)
- (21) 国際出願番号: PCT/JP2015/070496
- (22) 国際出願日: 2015 年 7 月 17 日(17.07.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-153561 2014 年 7 月 29 日(29.07.2014) JP
- (71) 出願人: ソニー株式会社 (SONY CORPORATION)
[JP/JP]; 〒1080075 東京都港区港南 1 丁目 7 番 1 号 Tokyo (JP).
- (72) 発明者: 金子 和明(KANEKO Kazuaki); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 高木 芳徳(TAKAGI Yoshinori); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP). 嶋村 延幸(SHIMAMURA Nobutaka); 〒1080075 東京都港区港南 1 丁目 7 番 1 号 ソニー株式会社内 Tokyo (JP).
- (74) 代理人: 西川 孝, 外(NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿 7 丁目 5 番 2 5 号 西新宿木村屋ビルディング 9 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: IMAGE SENSOR, ELECTRONIC DEVICE, SIGNAL TRANSMISSION SYSTEM, AND CONTROL METHOD

(54) 発明の名称: イメージセンサ、電子機器、信号伝送システム、及び、制御方法



(57) Abstract: The present technology pertains to an image sensor capable of easily reducing the adverse effects of parasitic capacitance, an electronic device, a signal transmission system, and a control method. An assist signal line is laid out adjacent to and along a vertical signal line (VSL), through which a signal output from a pixel flows, and a signal control unit causes an analogous signal to flow in the assist signal line, said analogous signal being analogous to the signal flowing in the VSL. The present technology can be applied to, for example, an image sensor that has VSLs in which signals output from pixels flow, a signal transmission system that has transmission paths in which signals flow, and so forth.

(57) 要約: 本技術は、寄生容量の悪影響を、容易に低減することができるようにするイメージセンサ、電子機器、信号伝送システム、及び、制御方法に関する。アシスト信号線は、画素が出力する信号が流れる VSL に隣接し、VSL に沿って配線されており、信号制御部は、VSL に流れる信号と類似性のある類似信号を、アシスト信号線に流す。本技術は、例えば、画素が出力する信号が流れる VSL を有するイメージセンサや、信号が流れる伝送路を有する信号伝送システム等に適用することができる。



WO 2016/017449 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：

イメージセンサ、電子機器、信号伝送システム、及び、制御方法

技術分野

[0001] 本技術は、イメージセンサ、電子機器、信号伝送システム、及び、制御方法に関し、特に、例えば、寄生容量の悪影響を、容易に低減することができるようにするイメージセンサ、電子機器、信号伝送システム、及び、制御方法に関する。

背景技術

[0002] イメージセンサにおいては、画素が出力する信号（画素から読み出された信号）が、VSL(Vertical Signal Line)（垂直信号線）を流れることで変動するVSLの電圧（以下、VSL電圧ともいう）が、画素値として取得される。

[0003] イメージセンサを高速化するには、VSL電圧の整定時間を短くする必要がある。しかしながら、VSLには、寄生容量があり、その寄生容量の悪影響により、VSL電圧の整定時間の短縮が妨げられる。

[0004] すなわち、寄生容量からVSLに電流が流れ込むことにより、画素を構成する増幅トランジスタとともにSF(Source Follower)を構成する負荷回路としての電流源によって流される電流が、寄生容量から流れ込む電流分だけ減少する。この電流源によって流される電流の減少により、VSL電圧の整定時間の短縮が妨げられる。

[0005] そこで、本件出願人は、寄生容量からVSLに流れ込む電流だけ、電流源によって流される電流を増加するレプリカ回路をVSLに接続し、レプリカ回路からVSLに、VSLのスルーレートに応じた電流を流すことで、寄生容量の悪影響を低減し、VSL電圧の整定時間の短縮（ひいては、イメージセンサ（固体撮像素子）の高速化）を図る技術を先に提案している（例えば、特許文献1を参照）。

先行技術文献

特許文献

[0006] 特許文献1：特開2011-234243号公報

発明の概要

発明が解決しようとする課題

[0007] 特許文献1に記載の技術では、レプリカ回路からVSLに対して、信号がフィードバックされる。そのため、フィードバックされる信号の収束性に問題が生じないように回路設計を行う必要がある。

[0008] したがって、寄生容量の悪影響を、フィードバックなしで、容易に低減することができる技術の提案が要請されている。

[0009] 本技術は、このような状況に鑑みてなされたものであり、寄生容量の悪影響を、容易に低減することができるようにするものである。

課題を解決するための手段

[0010] 本技術のイメージセンサは、画素が出力する信号が流れるVSL(Vertical Signal Line)と、前記VSLに隣接し、前記VSLに沿って配線されたアシスト信号線と、前記VSLに流れる信号と類似性のある類似信号を、前記アシスト信号線に流す信号制御部とを含むイメージセンサである。

[0011] 本技術の第1の制御方法は、画素が出力する信号が流れるVSL(Vertical Signal Line)と、前記VSLに隣接し、前記VSLに沿って配線されたアシスト信号線とを有するイメージセンサが、前記VSLに流れる信号と類似性のある類似信号を、前記アシスト信号線に流す制御方法である。

[0012] 本技術の電子機器は、光を集光する光学系と、光を受光し、画像を撮像するイメージセンサとを含み、前記イメージセンサは、画素が出力する信号が流れるVSL(Vertical Signal Line)と、前記VSLに隣接し、前記VSLに沿って配線されたアシスト信号線と、前記VSLに流れる信号と類似性のある類似信号を、前記アシスト信号線に流す信号制御部とを含む電子機器である。

[0013] 以上のようなイメージセンサ、電子機器、及び、第1の制御方法においては、画素が出力する信号が流れるVSLに隣接し、前記VSLに沿って配線された

アシスト信号線に、前記VSLに流れる信号と類似性のある類似信号が流される。

[0014] 本技術の信号伝送システムは、トランスミッタが出力する信号が流れる有線の信号伝送路に隣接し、前記信号伝送路に沿って配線された有線のアシスト伝送路と、前記信号伝送路に流れる信号と類似性のある類似信号を、前記アシスト伝送路に流す信号制御部とを含む信号伝送システムである。

[0015] 本技術の第2の制御方法は、トランスミッタが出力する信号が流れる信号伝送路に隣接し、前記信号伝送路に沿って配線されたアシスト伝送路を有する信号伝送システムが、前記信号伝送路に流れる信号と類似性のある類似信号を、前記アシスト伝送路に流す制御方法である。

[0016] 以上の信号伝送システム、及び、第2の制御方法においては、トランスミッタが出力する信号が流れる信号伝送路に隣接し、前記信号伝送路に沿って配線されたアシスト伝送路に、前記信号伝送路に流れる信号と類似性のある類似信号が流される。

[0017] なお、イメージセンサは、独立した装置であっても良いし、1つの装置を構成している内部ブロックであっても良い。

発明の効果

[0018] 本技術によれば、寄生容量の悪影響を、容易に低減することができる。

[0019] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

図面の簡単な説明

[0020] [図1]本技術を適用したデジタルカメラの一実施の形態の構成例を示すブロック図である。

[図2]イメージセンサ2の第1の構成例を示すブロック図である。

[図3]画素11_{m, n}の構成例を示す回路図である。

[図4]イメージセンサ2の第2の構成例を示すブロック図である。

[図5]イメージセンサ2の第2の構成例の詳細を示す回路図である。

[図6]イメージセンサ2の動作の例を説明する波形図である。

[図7]イメージセンサ2の第3の構成例の詳細を示す回路図である。

[図8]イメージセンサ2の第4の構成例の詳細を示す回路図である。

[図9]イメージセンサ2の第5の構成例を示すブロック図である。

[図10]イメージセンサ2の第6の構成例を示すブロック図である。

[図11]本技術を適用した信号伝送システムの第1実施の形態の構成例を示すブロック図である。

[図12]信号伝送システムの動作の第1の例を説明する波形図である。

[図13]信号伝送システムの動作の第2の例を説明する波形図である。

[図14]本技術を適用した信号伝送システムの第2実施の形態の構成例を示すブロック図である。

[図15]本技術を適用した信号伝送システムの第3実施の形態の構成例を示すブロック図である。

[図16]本技術を適用した信号伝送システムの第4実施の形態の構成例を示すブロック図である。

[図17]本技術を適用した信号伝送システムの第5実施の形態の構成例を示すブロック図である。

発明を実施するための形態

[0021] <本技術を適用したデジタルカメラの一実施の形態>

[0022] 図1は、本技術を適用したデジタルカメラの一実施の形態の構成例を示すブロック図である。

[0023] なお、デジタルカメラは、静止画、及び、動画のいずれも撮像することができる。

[0024] 図1において、デジタルカメラは、光学系1、イメージセンサ2、メモリ3、信号処理部4、出力部5、及び、制御部6を有する。

[0025] 光学系1は、例えば、図示せぬズームレンズや、フォーカスレンズ、絞り等を有し、外部からの光を、イメージセンサ2に入射させる。

[0026] イメージセンサ2は、例えば、CMOS(Complementary Metal Oxide Semiconductor)イメージセンサであり、光学系1からの入射光を受光し、光電変換を

行って、光学系 1 からの入射光に対応する画像データを出力する。

[0027] メモリ 3 は、イメージセンサ 2 が出力する画像データを一時記憶する。

[0028] 信号処理部 4 は、メモリ 3 に記憶された画像データを用いた信号処理としての、例えば、ノイズの除去や、ホワイトバランスの調整等の処理を行い、出力部 5 に供給する。

[0029] 出力部 5 は、信号処理部 4 からの画像データを出力する。

[0030] すなわち、出力部 5 は、例えば、液晶等で構成されるディスプレイ（図示せず）を有し、信号処理部 4 からの画像データに対応する画像を、いわゆるスルー画として表示する。

[0031] また、出力部 5 は、例えば、半導体メモリや、磁気ディスク、光ディスク等の記録媒体を駆動するドライバ（図示せず）を有し、信号処理部 4 からの画像データを記録媒体に記録する。

[0032] さらに、出力部 5 は、通信インターフェースを有し、信号処理部 4 からの画像データを、無線又は有線の通信により送信する。

[0033] 制御部 6 は、ユーザの操作等に従い、デジタルカメラを構成する各ブロックを制御する。

[0034] 以上のように構成されるデジタルカメラでは、イメージセンサ 2 が、光学系 1 からの入射光を受光し、その入射光に応じて、画像データを出力する。

[0035] イメージセンサ 2 が出力する画像データは、メモリ 3 に供給されて記憶される。メモリ 3 に記憶された画像データについては、信号処理部 4 による信号処理が施され、その結果得られる画像データは、出力部 5 に供給されて出力される。

[0036] <イメージセンサ 2 の第 1 の構成例>

[0037] 図 2 は、図 1 のイメージセンサ 2 の第 1 の構成例を示すブロック図である。

[0038] 図 2 において、イメージセンサ 2 は、画素部 10、ロジック部 20、垂直走査部 21、カラム処理部 22、水平転送部 23、アンプ 24、信号処理部

25、画素制御線 $4\ 1_1$ ないし $4\ 1_M$ 、及び、VSL $4\ 2_1$ ないし $4\ 2_N$ を有する。

[0039] 画素部10は、光電変換を行う $M \times N$ 個（ M 及び N は、1以上の整数（1又は2以上の整数））の画素 $1\ 1_{1,1}$ 、 $1\ 1_{1,2}$ 、 $\dots$ 、 $1\ 1_{1,N}$ 、 $1\ 1_{2,1}$ 、 $1\ 1_{2,2}$ 、 $\dots$ 、 $1\ 1_{2,N}$ 、 $\dots$ 、 $1\ 1_{M,1}$ 、 $1\ 1_{M,2}$ 、 $\dots$ 、 $1\ 1_{M,N}$ を有し、画像を撮像する撮像部（撮像素子）として機能する。

[0040] $M \times N$ 個の画素 $1\ 1_{1,1}$ ないし $1\ 1_{M,N}$ は、2次元平面上に、 M 行 N 列の行列（格子）状に配置されている。

[0041] 画素部10の、（上から） m 行目（ $m=1,2,\dots,M$ ）の行方向（横方向）に並ぶ N 個の画素 $1\ 1_{m,1}$ ないし $1\ 1_{m,N}$ には、行方向に延びる画素制御線 $4\ 1_m$ が接続されている。

[0042] また、（左から） n 列目（ $n=1,2,\dots,N$ ）の列方向（縦方向）に並ぶ M 個の画素 $1\ 1_{1,n}$ ないし $1\ 1_{M,n}$ には、列方向に延びるVSL $4\ 2_n$ が接続されている。

[0043] 画素 $1\ 1_{m,n}$ は、そこに入射する光（入射光）の光電変換を行う。さらに、画素 $1\ 1_{m,n}$ は、光電変換によって得られる電荷に対応する電圧（電気信号）を、垂直走査部21からの、画素制御線 $4\ 1_m$ を介しての制御に従い、電流源 $3\ 4_n$ が接続されたVSL $4\ 2_n$ 上に出力する。

[0044] なお、画素 $1\ 1_{m,n}$ は、例えば、ベイヤ配列等の色フィルタ（図示せず）を介して入射する所定の色の光の光電変換を行うことができる。

[0045] ロジック部20は、垂直走査部21や、カラム処理部22（を構成するDAC $3\ 1$ やカウンタ $3\ 3_n$ 等）、水平転送部23を、所定のロジック等に従って制御する。

[0046] 垂直走査部21は、ロジック部20の制御に従い、画素制御線 $4\ 1_m$ を介して、その画素制御線 $4\ 1_m$ に接続されている画素 $1\ 1_{m,1}$ ないし $1\ 1_{m,N}$ を制御（駆動）する。垂直走査部21は、画素部10の第1行ないし第 M 行の各行の N 個の画素 $1\ 1_{m,1}$ ないし $1\ 1_{m,N}$ を、第1行から順次駆動し、行単位で、画素 $1\ 1_{m,1}$ ないし $1\ 1_{m,N}$ から信号を、VSL $4\ 2_1$ ないし $4\ 2_N$ 上に出力させる。

- [0047] カラム処理部22は、1行に並ぶN列の画素11_{m,1}ないし11_{m,N}それぞれと、VSL42₁ないし42_Nそれぞれを介して接続されており、したがって、画素11_{m,n}がVSL42_n上に出力する電気信号（電圧）（以下、VSL信号ともいう）は、カラム処理部22に供給される。
- [0048] カラム処理部22は、1行に並ぶN列の画素11_{m,1}ないし11_{m,N}それぞれから、VSL42₁ないし42_Nそれぞれを介して供給されるN個のVSL信号のAD変換を、並列で行い、その結果得られるデジタルデータを、画素11_{m,1}ないし11_{m,N}の画素値（画素データ）として、水平転送部23に供給する。
- [0049] ここで、カラム処理部22は、1行に並ぶN個の画素11_{m,1}ないし11_{m,N}すべての電気信号のAD変換を、並列で行う他、そのN個の画素11_{m,1}ないし11_{m,N}のうちの、N個未満の1個以上の画素の電気信号のAD変換を、並列で行うことができる。
- [0050] 但し、以下では、説明を簡単にするため、カラム処理部22は、1行に並ぶN個の画素11_{m,1}ないし11_{m,N}すべてのVSL信号のAD変換を、並列で行うこととする。
- [0051] カラム処理部22は、1行に並ぶN個の画素11_{m,1}ないし11_{m,N}すべてのVSL信号のAD変換を、並列で行うために、N個の比較器32₁ないし32_N、及び、N個のカウンタ33₁ないし33_Nを有する。
- [0052] さらに、カラム処理部22は、DAC(Digital to Analog Converter)31、及び、N個の電流源34₁ないし34_Nを有する。
- [0053] DAC31は、DA(Digital to Analog)変換を行うことにより、ランプ(ramp)信号のような一定の傾きで、所定の初期値から所定の最終値までレベル（電圧）が変化する期間を有する参照信号を、比較器32₁ないし32_Nに供給（出力）する。
- [0054] 比較器32_nは、VSL41_nに接続されており、したがって、比較器32_nには、画素11_{m,n}がVSL41_n上に出力するVSL信号（電気信号）が供給される。
- [0055] 比較器32_nは、画素11_{m,n}からのVSL信号と、DAC31からの参照信号と

を比較し、その比較結果を表す比較結果信号をカウンタ 33_nに供給する。

[0056] カウンタ 33_nは、比較器 32_nからの比較結果信号に基づいて、画素 11_{m, n}のVSL信号と参照信号とのレベルが一致するまでの（VSL信号と参照信号との大小関係が逆転するまでの）、参照信号のレベルの変化に要する時間をカウントすることにより、画素 11_{m, n}のVSL信号のAD(Analog to Digital)変換を行い、さらには、CDS(Correlated Double Sampling)を行って、画素値としてのデジタルデータを求める。

[0057] なお、ロジック部 20からカウンタ 33_nには、クロックが供給される。カウンタ 33_nにおいて、画素 11_{m, n}のVSL信号と参照信号とのレベルが一致するまでの、参照信号のレベルの変化に要する時間のカウントは、ロジック部 20から供給されるクロックをカウントすることにより行われる。

[0058] また、垂直走査部 21により、画素 11_{m, n}が駆動されることにより、N個の比較器 32₁ないし 32_Nには、画素部 10の第1行ないし第M行の各行のN個の画素 11_{m, 1}ないし 11_{m, N}のVSL信号が、例えば、第1行から順次供給され、そのVSL信号のAD変換、及び、CDSが、行単位で行われる。

[0059] ここで、比較器 32_n及びカウンタ 33_nでは、以上のように、VSL信号がAD変換されるので、比較器 32_n及びカウンタ 33_nは、ADC(Analog to Digital Converter)を構成している、ということができる。

[0060] 電流源 34_nは、VSL 42_nとグランド(ground)との間に接続され、VSL 42_nに一定電流を流す。電流源 34_nは、画素 11_{m, n}を構成する後述する増幅トランジスタであるFET 55とともに、SFを構成し、そのSFの負荷になっている。

[0061] 水平転送部 23は、ロジック部 20の制御に従って、カウンタ 33_nからカウント値、すなわち、画素値としてのデジタルデータを読み出し、アンプ 24に転送させる転送制御を行う。

[0062] アンプ 24は、カウンタ 33_nから転送されてくる画素値を増幅し、信号処理部 25に供給する。

[0063] 信号処理部 25は、アンプ 24からの画素値に、必要な信号処理を施し、

外部（本実施の形態では、メモリ 3（図 1））に出力する。

[0064] なお、ここでは、比較器 32_n及びカウンタ 33_nにおいて、AD変換の他、CDSを行うこととしたが、比較器 32_n及びカウンタ 33_nでは、AD変換のみを行い、CDSは、信号処理部 25で行うことが可能である。

[0065] <画素 11_{m, n}の構成例>

[0066] 図 3 は、図 2 の画素 11_{m, n}の構成例を示す回路図である。

[0067] 図 3 において、画素 11_{m, n}は、PD 51、並びに、4 個のNMOS(negative channel MOS)のFET(Field Effect Transistor) 52, 54, 55、及び、56を有する。

[0068] また、画素 11_{m, n}においては、FET 52のドレイン、FET 54のソース、及び、FET 55のゲートが接続されており、その接続点には、電荷を電圧に変換するためのFD(Floating Diffusion)（容量）53が形成されている。

[0069] PD 51 は、光電変換を行う光電変換素子の一例であり、入射光を受光して、その入射光に対応する電荷を蓄積することにより、光電変換を行う。

[0070] PD 51 のアノードはグラウンド(ground)に接続され（接地され）、PD 51 のカソードは、FET 52 のソースに接続されている。

[0071] FET 52 は、PD 51 に蓄積された電荷を、PD 51 からFD 53 に転送するためのFETであり、以下、転送Tr 52ともいう。

[0072] 転送Tr 52のソースは、PD 51 のカソードに接続され、転送Tr 52のドレインは、FD 53 を介して、FET 54 のソースに接続されている。

[0073] また、転送Tr 52のゲートは、画素制御線 41_mに接続されており、転送Tr 52のゲートには、画素制御線 41_mを介して、転送パルスTRGが供給される。

[0074] ここで、垂直走査部 21（図 2）が、画素制御線 41_mを介して、画素 11_{m, n}を駆動（制御）するために、画素制御線 41_mに流す制御信号には、転送パルスTRGの他、後述するリセットパルスRST、及び、選択パルスSELがある。

[0075] FD 53 は、転送Tr 52のドレイン、FET 54のソース、及び、FET 55のゲートの接続点に形成された、コンデンサの如く電荷を電圧に変換する領域で

ある。

[0076] FET 5 4 は、FD 5 3 に蓄積された電荷（電圧（電位））をリセットするためのFETであり、以下、リセットTr 5 4 ともいう。

[0077] リセットTr 5 4 のドレインは、電源Vddに接続されている。

[0078] また、リセットTr 5 4 のゲートは、画素制御線 4 1_mに接続されており、リセットTr 5 4 のゲートには、画素制御線 4 1_mを介して、リセットパルスRSTが供給される。

[0079] FET 5 5 は、FD 5 3 の電圧をバッファするためのFETであり、以下、増幅Tr 5 5 ともいう。

[0080] 増幅Tr 5 5 のゲートは、FD 5 3 に接続され、増幅Tr 5 5 のドレインは、電源Vddに接続されている。また、増幅Tr 5 5 のソースは、FET 5 6 のドレインに接続されている。

[0081] FET 5 6 は、VSL 4 2_nへの電気信号（VSL信号）の出力を選択するためのFETであり、以下、選択Tr 5 6 ともいう。

[0082] 選択Tr 5 6 のソースは、VSL 4 2_nに接続されている。

[0083] また、選択Tr 5 6 のゲートは、画素制御線 4 1_mに接続されており、選択Tr 5 6 のゲートには、画素制御線 4 1_mを介して、選択パルスSELが供給される。

[0084] ここで、増幅Tr 5 5 のソースは、選択Tr 5 6、及び、VSL 4 2_nを介して電流源 3 4_n（図 2）に接続されるので、増幅Tr 5 5 及び電流源 3 4_nによって、SF（の回路）が構成される。したがって、FD 5 3 は、SFを介して、VSL 4 2_nに接続される。

[0085] なお、画素 1 1_{m, n}は、選択Tr 5 6 なしで構成することができる。

[0086] また、画素 1 1_{m, n}の構成としては、FD 5 3 ないし選択Tr 5 6 を、複数のPD 5 1 及び転送Tr 5 2 のセットで共有する共有画素の構成を採用することができる。

[0087] 以上のように構成される画素 1 1_{m, n}では、PD 5 1 は、そこに入射する光を受光し、光電変換を行うことにより、受光した入射光の光量に応じた電荷の

蓄積を開始する。なお、ここでは、説明を簡単にするために、選択パルスSELはHレベルになっており、選択Tr 5 6はオン状態であることとする。

[0088] PD 5 1での電荷の蓄積が開始されてから、所定の時間（露光時間）が経過すると、垂直走査部 2 1（図 2）は、転送パルスTRGを、一時的に、（L(Low)レベルから）H(High)レベルにする。

[0089] 転送パルスTRGが一時的にHレベルになることにより、転送Tr 5 2は、一時的に、オン状態になる。

[0090] 転送Tr 5 2がオン状態になると、PD 5 1に蓄積された電荷は、転送Tr 5 2を介して、FD 5 3に転送されて蓄積される。

[0091] 垂直走査部 2 1は、転送パルスTRGを一時的にHレベルにする前に、リセットパルスRSTを、一時的に、Hレベルにし、これにより、リセットTr 5 4を、一時的に、オン状態にする。

[0092] リセットTr 5 4がオン状態になることにより、FD 5 3は、リセットTr 5 4を介して、電源Vddに接続され、FD 5 3にある電荷は、リセットTr 5 4を介して、電源Vddに掃き出されてリセットされる。

[0093] ここで、以上のように、FD 5 3が、電源Vddに接続され、FD 5 3にある電荷がリセットされることが、画素 1 1_{m, n}のリセットである。

[0094] FD 5 3の電荷のリセット後、垂直走査部 2 1は、上述のように、転送パルスTRGを、一時的に、Hレベルにし、これにより、転送Tr 5 2は、一時的に、オン状態になる。

[0095] 転送Tr 5 2がオン状態になることにより、PD 5 1に蓄積された電荷は、転送Tr 5 2を介して、リセット後のFD 5 3に転送されて蓄積される。

[0096] FD 5 3に蓄積された電荷に対応する電圧（電位）は、増幅Tr 5 5及び選択Tr 5 6を介して、VSL信号として、VSL 4 2_n上に出力される。

[0097] VSL 4 2_nに接続されている比較器 3 2_n及びカウンタ 3 3_n（図 2）では、画素 1 1_{m, n}のリセットが行われた直後のVSL信号であるリセットレベルがAD変換される。

[0098] さらに、比較器 3 2_n及びカウンタ 3 3_nでは、転送Tr 5 2が一時的にオン

状態になった後のVSL信号（PD 5 1 に蓄積され、FD 5 3 に転送された電荷に対応する電圧）である信号レベル（リセットレベルと、画素値となるレベルを含む）がAD変換される。

[0099] そして、比較器 3 2_n 及びカウンタ 3 3_n では、例えば、リセットレベルのAD変換結果（以下、リセットレベルAD値ともいう）と、信号レベルのAD変換結果（以下、信号レベルAD値ともいう）との差分を、画素値として求めるCDSが行われる。

[0100] CDSは、例えば、リセットレベルのAD変換時に、カウンタ 3 3_n において、カウント値をデクリメントし（又はインクリメントし）、信号レベルのAD変換時に、カウント値をインクリメントする（又はデクリメントする）ことにより行うことができる。

[0101] ここで、図 2 のイメージセンサ 2 の第 1 の構成例では、VSL 4 2_n の寄生容量の悪影響を低減することは困難である。

[0102] <イメージセンサ 2 の第 2 の構成例>

[0103] 図 4 は、図 1 のイメージセンサ 2 の第 2 の構成例を示すブロック図である。

[0104] なお、図中、図 2 の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0105] 図 4 において、イメージセンサ 2 は、画素部 1 0、ロジック部 2 0、垂直走査部 2 1、カラム処理部 2 2、水平転送部 2 3、アンプ 2 4、信号処理部 2 5、画素制御線 4 1₁ ないし 4 1_M、及び、VSL 4 2₁ ないし 4 2_N を有する点で、図 2 の場合と共通する。

[0106] 但し、図 4 において、イメージセンサ 2 は、アシストVSL 6 1₁ ないし 6 1_N、信号制御部 6 2₁ ないし 6 2_N、及び、容量 6 3₁ ないし 6 3_N を有する点で、図 2 の場合と相違する。

[0107] アシストVSL 6 1_n は、VSL 4 2_n に（導体を挟まない形で）隣接し、そのVSL 4 2_n に沿って配線されたアシスト信号線としての線状の導体であり、容量 6 3_n によって、VSL 4 2_n と容量結合している。

- [0108] 信号制御部 6 2_n は、VSL 4 2_n に流れる VSL 信号と類似性のある類似信号（VSL 信号と（ほぼ）同様の信号）を、アシスト VSL 6 1_n に流す信号制御を行う。
- [0109] ここで、VSL 信号と類似性のある類似信号には、VSL 信号に類似する信号の他、VSL 信号と同一の信号も含まれる。
- [0110] 容量 6 3_n は、VSL 4 2_n とアシスト VSL 6 1_n とを容量結合する容量である。容量 6 3_n は、VSL 4 2_n とアシスト VSL 6 1_n との間の寄生容量であっても良いし、実容量、すなわち、VSL 4 2_n とアシスト VSL 6 1_n との間に接続された実際のコンデンサであっても良い。
- [0111] 以上のように構成されるイメージセンサ 2 では、信号制御部 6 2_n が、VSL 4 2_n に流れる VSL 信号と類似性のある類似信号を、アシスト VSL 6 1_n に流す。
- [0112] その結果、VSL 4 2_n とアシスト VSL 6 1_n については、等ポテンシャルにより、VSL 4 2_n の寄生容量の（悪）影響が、信号のフィードバックなしに容易に軽減され、電流が、VSL 4 2_n の寄生容量から VSL 4 2_n に流れ込むことに起因して、VSL 4 2_n の VSL 電圧の整定時間の短縮が妨げられる程度を低減することができる。
- [0113] なお、図 4 では、信号制御部 6 2_n が、カラム処理部 2 2 に設けられているが、信号制御部 6 2_n は、その他、例えば、画素部 1 0 に設けることができる。また、信号制御部 6 2_n は、画素部 1 0 とカラム処理部 2 2 とに分割して設けることや、画素部 1 0 やカラム処理部 2 2 とは別に設けることができる。
- [0114] 図 5 は、図 4 のイメージセンサ 2 の第 2 の構成例の詳細を示す回路図である。
- [0115] なお、図 5 では、図 4 のイメージセンサ 2 の一部分、すなわち、画素 1 1_m,_n（を構成する FD53、増幅 Tr 5 5、及び、選択 Tr 5 6）、電流源 3 4_n、VSL 4 2_n、アシスト VSL 6 1_n、並びに、信号制御部 6 2_n の部分だけを図示してある。
- [0116] 図 5 において、容量 7 1 は、VSL 4 2_n の寄生容量である。

- [0117] また、図5において、信号制御部62_nは、信号出力部81と負荷部84とから構成される。
- [0118] 信号出力部81は、FET82及び83を有する。
- [0119] FET82は、増幅Tr55と同様に構成され、ドレインは、電源Vddに、ゲートは、画素11_{m, n}のFD53に、ソースは、FET83のドレインに、それぞれ接続されている。
- [0120] FET83は、選択Tr56と同様に構成され、ドレインは、FET82のソースに、ゲートは、選択パルスSELが供給される画素制御線41_nに、ソースは、アシストVSL61_nに、それぞれ接続されている。
- [0121] したがって、FET82及び83は、それぞれ、増幅Tr55及び選択Tr56と同様に動作する。
- [0122] 負荷部84は、電流源85、及び、容量86を有する。
- [0123] 電流源85は、電流源34_nと同様に構成され、アシストVSL61_nに一定電流を流す。電流源85は、電流源34_nと同様に、FET83とともに、SFを構成しており、そのSFの負荷になっている。
- [0124] 容量86は、アシストVSL61_nの寄生容量である。
- [0125] なお、信号出力部81は、画素11_{m, n}の行ごとに存在し、したがって、M個だけ存在する。但し、図5では（後述する図でも同様）、ある1行の信号出力部81を図示してあり、他の行の信号出力部の図示は、省略してある。
- [0126] 以上のように構成されるイメージセンサ2においては、FET82及び83は、増幅Tr55及び選択Tr56と同様に動作する。
- [0127] したがって、容量63_nによって容量結合しているVSL42_nとアシストVSL61_nとは、同様の信号が流れる。その結果、VSL42_nの寄生容量71の（悪）影響が軽減され、電流が、VSL42_nの寄生容量71からVSL42_nに流れ込むことに起因して、VSL42_nのVSL電圧の整定時間の短縮が妨げられる程度を低減することができる。
- [0128] 図6は、図5のイメージセンサ2の動作の例を説明する波形図である。
- [0129] 図6は、信号出力部81が機能しないケースA1と、信号出力部81が機能

するケースA2とのそれぞれについて、信号出力部81がアシストVSL61_nに流す（類似）信号、増幅Tr55のソース電圧、及び、VSL42_nのVSL電圧（VSL42_nを流れるVSL信号）の例を示している。

[0130] 図6において、信号出力部81が機能しないケースA1では、増幅Tr55のソース電圧が変化したときに、アシストVSL61_nには、VSL42_nに流れるVSL信号と同様の信号（類似信号）は流れない。

[0131] そのため、VSL42_nの寄生容量71の悪影響によって、VSL42_nのVSL電圧のスルーレートが低下し、VSL電圧の整定時間が長くなる。

[0132] 一方、信号出力部81が機能するケースA2では、増幅Tr55のソース電圧が変化したときに、アシストVSL61_nには、VSL42_nに流れるVSL信号と同様の信号（類似信号）が流れる。

[0133] その結果、アシストVSL61_nと容量結合しているVSL42_nの寄生容量71の悪影響が軽減され、寄生容量71からVSL42_nに電流が流れ込むことに起因する、VSL42_nのVSL電圧のスルーレートの低下が抑制される。したがって、VSL電圧の整定時間の短縮が妨げられる程度を抑制することができる。

[0134] <イメージセンサ2の第3の構成例>

[0135] 図7は、イメージセンサ2の第3の構成例の詳細を示す回路図である。

[0136] なお、図7では、図5と同様に、イメージセンサ2の一部分を図示している。

[0137] また、図7において、図5の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0138] 図7のイメージセンサ2は、電流源34_n、VSL42_n、FD53、増幅Tr55、選択Tr56、アシストVSL61_n、信号制御部62_n、容量63_n、並びに、容量71を有する点で、図5の場合と共通する。

[0139] 但し、図7のイメージセンサ2は、アシストVSL91_n、信号制御部92_n、及び、容量93_nを有する点で、図5の場合と相違する。

[0140] すなわち、図5では、VSL42_nの右側にのみ、アシストVSL61_nが配線されているが、図7では、VSL42_nの右側に、アシストVSL61_nが配線されて

いるとともに、VSL 4 2_nの左側に、アシストVSL 9 1_nが配線されている。

[0141] アシストVSL 9 1_nは、アシストVSL 6 1_nと同様に、VSL 4 2_nに（導体を挟まない形で）隣接し、そのVSL 4 2_nに沿って配線されたアシスト信号線であり、容量 9 3_nによって、VSL 4 2_nと容量結合している。

[0142] アシストVSL 6 1_n及び 9 1_nは、アシストVSL 6 1_nが、VSL 4 2_nの右側に配線されているのに対して、アシストVSL 9 1_nが、VSL 4 2_nの左側に配線されている点で異なる。

[0143] 信号制御部 9 2_nは、信号制御部 6 2_nと同様に、VSL 4 2_nに流れるVSL信号と類似性のある類似信号を、アシストVSL 9 1_nに流す信号制御を行う。

[0144] すなわち、信号制御部 9 2_nは、信号出力部 1 0 1と負荷部 1 0 4とから構成される。

[0145] 信号出力部 1 0 1は、信号出力部 8 1と同様に構成され、負荷部 1 0 4は、負荷部 8 4と同様に構成される。

[0146] すなわち、信号処理部 1 0 1は、FET 8 2及び 8 3とそれぞれ同様のFET 1 0 2及び 1 0 3を有し、FET 1 0 2及び 1 0 3は、それぞれ、増幅Tr 5 5及び選択Tr 5 6と同様に動作する。

[0147] 負荷部 1 0 4は、電流源 8 5、及び、容量 8 6とそれぞれ同様の電流源 1 0 5、及び、容量 1 0 6を有する。

[0148] したがって、電流源 1 0 5は、電流源 8 5と同様に、アシストVSL 9 1_nに一定電流を流す。さらに、電流源 1 0 5は、電流源 8 5と同様に、FET 1 0 3とともに、SFを構成し、そのSFの負荷になっている。

[0149] また、容量 1 0 6は、アシストVSL 9 1_nの寄生容量である。

[0150] 以上のように構成されるイメージセンサ 2においては、FET 8 2及び 8 3が、増幅Tr 5 5及び選択Tr 5 6と同様に動作するとともに、FET 1 0 2及び 1 0 3が、増幅Tr 5 5及び選択Tr 5 6と同様に動作する。

[0151] したがって、容量 6 3_nによってVSL 4 2_nと容量結合しているアシストVSL 6 1_nと、容量 9 3_nによってVSL 4 2_nと容量結合しているアシストVSL 9 1_nとは、VSL 4 2_nに流れるVSL信号と同様の信号が流れる。

[0152] その結果、VSL 4 2_nの寄生容量 7 1 の（悪）影響がより軽減され、電流が、VSL 4 2_nの寄生容量 7 1 からVSL 4 2_nに流れ込むことに起因して、VSL 4 2_nのVSL電圧の整定時間の短縮が妨げられる程度をより低減することができる。

[0153] なお、図 7 では、VSL 4 2_nの右側に、アシストVSL 6 1_nを設けるとともに、VSL 4 2_nの左側に、アシストVSL 9 1_nを設けたが、さらに、VSL 4 2_nに対して、図面の手前側や奥側に隣接するように、アシストVSL 6 1_nと同様のアシストVSLを設けることができる。

[0154] <イメージセンサ 2 の第 4 の構成例>

[0155] 図 8 は、イメージセンサ 2 の第 4 の構成例の詳細を示す回路図である。

[0156] なお、図 8 では、図 5 と同様に、イメージセンサ 2 の一部分を図示してある。

[0157] また、図 8 において、図 5 の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0158] 図 8 のイメージセンサ 2 は、電流源 3 4_n、VSL 4 2_n、FD 5 3、増幅Tr 5 5、選択Tr 5 6、アシストVSL 6 1_n、信号制御部 6 2_n、容量 6 3_n、並びに、容量 7 1 を有する点で、図 5 の場合と共通する。

[0159] 但し、図 8 のイメージセンサ 2 は、アシストVSL 6 1_nが、筒状の導体で構成され、VSL 4 2_nを囲むように配線されている点で、アシストVSL 6 1_nが線状の導体で構成される図 5 の場合と相違する。

[0160] 以上のように構成されるイメージセンサ 2 においては、図 5 の場合と同様に、FET 8 2 及び 8 3 は、増幅Tr 5 5 及び選択Tr 5 6 と同様に動作し、容量 6 3_nによって容量結合しているVSL 4 2_nとアシストVSL 6 1_nとは、同様の信号が流れる。

[0161] その結果、VSL 4 2_nの寄生容量 7 1 の（悪）影響が軽減され、電流が、VSL 4 2_nの寄生容量 7 1 からVSL 4 2_nに流れ込むことに起因して、VSL 4 2_nのVSL電圧の整定時間の短縮が妨げられる程度を低減することができる。

[0162] なお、図 8 では、アシストVSL 6 1_nが、VSL 4 2_nを囲むように配線されて

おり、したがって、VSL 4 2_nについては、その周囲全体が、アシストVSL 6 1_nによって、いわばシールドされているので、図5や図7の場合よりも、VSL 4 2_nの寄生容量 7 1の（悪）影響をより軽減することができる。

[0163] <イメージセンサ2の第5の構成例>

[0164] 図9は、イメージセンサ2の第5の構成例を示すブロック図である。

[0165] なお、図9では、画素部10のある4行×4列の画素 1 1_{m, n}ないし 1 1_{m+3, n+3}と、その4行4列の画素 1 1_{m, n}ないし 1 1_{m+3, n+3}に対する4本のVSL 4 2_nないし 4 2_{n+3}だけを図示してあり、他の部分については、図示を省略してある。

[0166] また、図9において、図2の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜、省略する。

[0167] 図9では、2行×2列の4画素 1 1_{m, n}ないし 1 1_{m+1, n+1}を、ベイヤ配列の配列単位として、その配列単位が、水平及び垂直方向に並んでおり、かかる点を除いて、図9のイメージセンサ2は、図2の場合と同様に構成されている。

[0168] 配列単位において、左上の画素 1 1_{m, n}は、図示せぬカラーフィルタを介して入射する赤の光を受光し、赤(R(Red))の画素値となる信号を出力する。右上の画素 1 1_{m, n+1}及び左下の画素 1 1_{m+1, n}は、図示せぬカラーフィルタを介して入射する緑の光を受光し、緑(G(Green))の画素値となる信号を出力する。右下の画素 1 1_{m+1, n+1}は、図示せぬカラーフィルタを介して入射する青の光を受光し、青(B(Blue))の画素値となる信号を出力する。

[0169] なお、図9において、Rは、配列単位において、赤の画素値となるR信号を出力する左上の画素 1 1_{m, n}を表し、Grは、配列単位において、緑の画素値となるGr信号を出力する右上の画素 1 1_{m, n+1}を表す。また、Gbは、配列単位において、緑の画素値となるGb信号を出力する左下の画素 1 1_{m+1, n}を表し、Bは、配列単位において、青の画素値となるB信号を出力する右下の画素 1 1_{m+1, n+1}を表す。

[0170] 以上のように構成されるイメージセンサ2では、図2で説明したように、

垂直走査部 21 は、画素部 10 の第1行ないし第M行の各行のN個の画素 $11_{m,1}$ ないし $11_{m,N}$ を、第1行から順次駆動し、行単位で、画素 $11_{m,1}$ ないし $11_{m,N}$ から信号を、VSL 42₁ ないし 42_N 上に出力させる。

[0171] したがって、図9では、R信号、Gr信号、R信号、Gr信号、・・・のm行目のN個の画素値が読み出され、次の行のGb信号、B信号、Gb信号、B信号、・・・のm+1行目のN個の画素値が読み出され、以下同様に、行単位で、画素値が読み出される。

[0172] 図9では、アシストVSL 61_n ような、VSL 42_n に隣接し、VSL 42_n に沿って配線されたアシスト信号線が存在しない。そのため、VSL 42_n の寄生容量 71 の悪影響は軽減されず、VSL 42_n のVSL電圧のスルーレートが低下し、VSL電圧の整定時間が長くなる。

[0173] <イメージセンサ2の第6の構成例>

[0174] 図10は、イメージセンサ2の第6の構成例を示すブロック図である。

[0175] なお、図10では、図9の場合と同様に、画素部10のある4行×4列の画素 $11_{m,n}$ ないし $11_{m+3,n+3}$ と、その4行4列の画素 $11_{m,n}$ ないし $11_{m+3,n+3}$ に対する4本のVSL 42_n ないし 42_{n+3} だけを図示しており、他の部分については、図示を省略してある。

[0176] また、図10において、図9の場合と対応する部分については、同一の符号を付しており、以下では、その説明は、適宜、省略する。

[0177] 図10では、図9の場合と同様に、2行×2列の4画素 $11_{m,n}$ ないし $11_{m+1,n+1}$ を、ベイア配列の配列単位として、その配列単位が、水平及び垂直方向に並んでおり、かかる点で、図10のイメージセンサ2は、図9の場合と共通する。

[0178] 但し、図10のイメージセンサ2は、ある1列（第n列）の画素 $11_{1,n}$ ないし $11_{M,n}$ の画素に注目した場合に、その注目した画素 $11_{1,n}$ ないし $11_{M,n}$ の注目画素列のVSL 42_n と、注目画素列から2列だけ左に並ぶ画素列のVSL 42_{n-2}、又は、右に並ぶ画素列のVSL 42_{n+2} とが隣接する点で、図9の場合と相違する。

- [0179] ここで、以下では、説明を簡単にするため、注目画素列のVSL 4 2_nについて、その注目画素列から2列だけ右に並ぶ画素列のVSL 4 2_{n+2}を考えることとする。
- [0180] 図10のイメージセンサ2は、さらに、注目画素列のVSL 4 2_nと、その注目画素列から2列だけ右に並ぶ画素列のVSL 4 2_{n+2}とが、容量Cによって容量結合されている点で、図9の場合と相違する。
- [0181] ここで、容量Cは、図4の容量6 3_nと同様に、VSL 4 2_nとVSL 4 2_{n+2}との間の寄生容量であっても良いし、実容量であっても良い。
- [0182] また、以下、適宜、注目画素列を、第1注目画素列ともいい、注目画素列から2列だけ右に並ぶ画素列を、第2注目画素列ともいう。
- [0183] 以上のように構成される図10のイメージセンサ2においては、第1注目画素列と第2注目画素列との同一行の画素からは、同一の色の（画素値となる）信号が出力される。
- [0184] また、第1注目画素列と第2注目画素列とは、2列しか離れていないので、第1注目画素列と第2注目画素列との同一行の画素から出力される同一の色の信号は、（ほぼ）同様の信号となる。
- [0185] さらに、図10において、第1注目画素列のVSL 4 2_nと、第2注目画素列のVSL 4 2_{n+2}とは、隣接して配線されており、いずれもVSLであるから、VSL 4 2_n及び4 2_{n+2}のそれぞれは、他方に沿って配線される。
- [0186] そして、VSL 4 2_n及び4 2_{n+2}は、容量Cによって容量結合されている。
- [0187] 以上のように、容量Cによって容量結合しているVSL 4 2_nと4 2_{n+2}とは、同様の信号が流れる。その結果、VSL 4 2_nの寄生容量、及び、VSL 4 2_{n+2}の寄生容量の（悪）影響が軽減され、電流が、VSL 4 2_nの寄生容量からVSL 4 2_nに流れ込むこと、及び、VSL 4 2_{n+2}の寄生容量からVSL 4 2_{n+2}に流れ込むことに起因して、VSL 4 2_n及び4 2_{n+2}のVSL電圧の整定時間の短縮が妨げられる程度を低減することができる。
- [0188] すなわち、VSL 4 2_nについては、他のVSLであるVSL 4 2_{n+2}が、VSL 4 2_nに隣接し、VSL 4 2_nに沿って配線されたアシスト信号線となる。

- [0189] そして、第1注目画素列と第2注目画素列との同一行の画素からは、同一の色の信号が出力されるので、第2注目画素列の画素は、第1注目画素列の画素がVSL 4 2_nに流すVSL信号と類似性のある類似信号を、VSL 4 2_{n+2}に流すことができる。したがって、第1注目画素列に対して、第2注目画素列の画素は、VSL 4 2_nに流れる信号と類似性のある類似信号を、アシスト信号線としてのVSL 4 2_{n+2}に流す信号制御を行う信号制御部として機能する。
- [0190] 一方、VSL 4 2_{n+2}については、他のVSLであるVSL 4 2_nが、VSL 4 2_{n+2}に隣接し、VSL 4 2_{n+2}に沿って配線されたアシスト信号線となる。
- [0191] そして、第1注目画素列と第2注目画素列との同一行の画素からは、同一の色の信号が出力されるので、第1注目画素列の画素は、第2注目画素列の画素がVSL 4 2_{n+2}に流すVSL信号と類似性のある類似信号を、VSL 4 2_nに流すことができる。したがって、第2注目画素列に対して、第1注目画素列の画素は、VSL 4 2_{n+2}に流れる信号と類似性のある類似信号を、アシスト信号線としてのVSL 4 2_nに流す信号制御を行う信号制御部として機能する。
- [0192] 以上のように、例えば、VSL 4 2_nについて、他のVSL 4 2_{n+2}を、VSL 4 2_nに隣接し、VSL 4 2_nに沿って配線されたアシスト信号線として利用する場合には、VSL 4 2₁ないし4 2_nとは別に、アシスト信号線としてのアシストVSL 6 1_nや9 1_nを設ける図5や図7等の場合に比較して、イメージセンサ2の大型化を抑制することができる。
- [0193] なお、イメージセンサ2は、デジタルカメラの他、イメージセンサを搭載して画像を撮影する機能を有するスマートフォン等の携帯端末その他の、画像を撮影する機能が搭載されるあらゆる電子機器に適用可能である。
- [0194] <本技術を適用した信号伝送システムの第1実施の形態>
- [0195] 図11は、本技術を適用した信号伝送システムの第1実施の形態の構成例を示すブロック図である。
- [0196] 上述したように、VSL 4 2_nに沿って、VSL 4 2_nに隣接するアシスト信号線を配線し、そのアシスト信号線とVSL 4 2_nとを容量結合して、アシスト信号線に、VSL 4 2_nに流れるVSL信号と類似性のある類似信号を流すことで、VSL

4 2_nの寄生容量の悪影響を、容易に低減することができる。

[0197] このように、寄生容量の悪影響を低減する方法は、イメージセンサ2の他、信号を、有線の伝送路を介して伝送する信号伝送システムに適用することができる。

[0198] 図11は、そのような信号伝送システムの第1実施の形態の構成例を示している。

[0199] 図11において、信号伝送システムは、トランスミッタ201、レシーバ202、信号伝送路203、アシスト伝送路211、信号制御部212、及び、容量213を有する。

[0200] トランスミッタ201は、例えば、信号伝送路203で伝送するのに適した伝送信号を、信号伝送路203に出力し、これにより、伝送信号を、信号伝送路203を介して送信（伝送）する。

[0201] レシーバ202は、トランスミッタ202から送信され、信号伝送路203を流れてくる伝送信号を受信する。

[0202] 信号伝送路203は、有線の伝送路で、信号伝送路203には、トランスミッタ201が出力する伝送信号が流れる。

[0203] アシスト伝送路211は、信号伝送路203に隣接し、その信号伝送路203に沿って配線されている有線の伝送路である。

[0204] 信号制御部212は、トランスミッタ201を監視し、トランスミッタ201が信号伝送路203に出力する伝送信号と類似性のある類似信号を、アシスト伝送路211に流す信号制御を行う。

[0205] 容量213は、信号伝送路203とアシスト伝送路211とを容量結合する容量である。容量213は、信号伝送路203とアシスト伝送路211との間の寄生容量であっても良いし、実容量であっても良い。

[0206] 以上のように構成される信号伝送システムでは、信号制御部212が、トランスミッタ201を監視し、そのトランスミッタ201が信号伝送路203に流す伝送信号と類似性のある類似信号を、容量213によって信号伝送路203と容量結合しているアシスト伝送路211に流す。

[0207] その結果、信号伝送路 203 とアシスト伝送路 211 とについては、等ポテンシャルにより、信号伝送路 203 の寄生容量の（悪）影響が、信号のフィードバックなしに容易に軽減され、信号伝送路 203 の寄生容量に起因する、信号伝送路 203 を流れる伝送信号の信号品質の劣化を抑制することができる。

[0208] 図 12 は、図 11 の信号伝送システムの動作の第 1 の例を説明する波形図である。

[0209] すなわち、図 12 は、信号制御部 212 を機能させない場合の、信号伝送システムの動作の例を示している。

[0210] 図 12 においては、信号伝送路 203 とは容量結合していない他の信号伝送路に流れる信号 W11 の波形、トランスミッタ 201 が信号伝送路 203 に出力する伝送信号 W12 の波形、及び、レシーバ 202 が信号伝送路 203 を流れる伝送信号 W12 を受信することにより得られる受信信号 W13 の波形の例が示されている。

[0211] 図 12 では、信号伝送路 203 を流れる伝送信号 W12 は、他の信号伝送路に流れる信号 W11 に関係なく、信号伝送路 203 の寄生容量の影響を受け、その結果、受信信号 W13 は、伝送信号 W12 との比較で信号品質が大きく劣化した信号（スルーレートが大きく低下した信号）となる。

[0212] 図 13 は、図 11 の信号伝送システムの動作の第 2 の例を説明する波形図である。

[0213] すなわち、図 13 は、信号制御部 212 を機能させた場合の、信号伝送システムの動作の例を示している。

[0214] 図 13 においては、容量 213 によって信号伝送路 203 と容量結合しているアシスト伝送路 211 に流れる類似信号 W21 の波形、トランスミッタ 201 が信号伝送路 203 に出力する伝送信号 W22 の波形、及び、レシーバ 202 が信号伝送路 203 を流れる伝送信号 W22 を受信することにより得られる受信信号 W23 の波形の例が示されている。

[0215] 図 13 では、信号伝送路 203 を流れる伝送信号 W22 と類似性のある類似信

号W21が、信号伝送路203と容量213によって容量結合しているアシスト伝送路211に流れることにより、信号伝送路203の寄生容量の影響が軽減される。

[0216] その結果、受信信号W23は、図12の受信信号W13と比較して、信号品質の劣化が抑制された信号、すなわち、例えば、スルーレートの低下が抑制された信号となる。

[0217] <信号伝送システムの第2実施の形態>

[0218] 図14は、本技術を適用した信号伝送システムの第2実施の形態の構成例を示すブロック図である。

[0219] なお、図14において、図11の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0220] 図14の信号伝送システムは、トランスミッタ201、レシーバ202、信号伝送路203、信号制御部212、及び、容量213を有する点で、図11の場合と共通する。

[0221] 但し、図14の信号伝送システムは、アシスト伝送路211に代えて、アシスト伝送路221が設けられている点で、図11の場合と相違する。

[0222] 図11のアシスト伝送路211は、(直)線状の導体(伝送路)であるのに対して、図14のアシスト伝送路221は、筒状の導体であり、信号伝送路203を囲むように配線されている点が、図11の場合と異なる。

[0223] 以上のように構成される信号伝送システムにおいては、図11の場合と同様に、容量213によって容量結合している信号伝送路203とアシスト伝送路221とは、同様の信号が流れる。

[0224] その結果、信号伝送路203の寄生容量の(悪)影響が軽減され、その信号伝送路203の寄生容量に起因する、レシーバ202で信号伝送路203を介して受信される伝送信号の品質の劣化を抑制することができる。

[0225] <信号伝送システムの第3実施の形態>

[0226] 図15は、本技術を適用した信号伝送システムの第3実施の形態の構成例を示すブロック図である。

- [0227] なお、図 1 5 において、図 1 1 の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜、省略する。
- [0228] 図 1 5 の信号伝送システムは、トランスミッタ 2 0 1、レシーバ 2 0 2、及び、信号伝送路 2 0 3 を有する点で、図 1 1 の場合と共通する。
- [0229] 但し、図 1 5 の信号伝送システムは、アシスト伝送路 2 1 1、信号制御部 2 1 2、及び、容量 2 1 3 が設けられておらず、トランスミッタ 2 3 1、レシーバ 2 3 2、信号伝送路 2 3 3、及び、容量 2 4 1 を有する点で、図 1 1 の場合と相違する。
- [0230] トランスミッタ 2 3 1、レシーバ 2 3 2、及び、信号伝送路 2 3 3 は、トランスミッタ 2 0 1、レシーバ 2 0 2、及び、信号伝送路 2 0 3 と、それぞれ同様に構成される。
- [0231] したがって、トランスミッタ 2 3 1 は、伝送信号を、信号伝送路 2 3 3 に出力し、これにより、伝送信号を、信号伝送路 2 3 3 を介して送信（伝送）する。
- [0232] そして、レシーバ 2 3 2 は、トランスミッタ 2 3 2 から送信され、信号伝送路 2 3 3 を流れてくる伝送信号を受信する。
- [0233] なお、信号伝送路 2 0 3 及び 2 3 3 は、それぞれ、他方に隣接し、他方に沿って配線されている。
- [0234] 容量 2 4 1 は、信号伝送路 2 0 3 と 2 3 3 とを容量結合する容量である。容量 2 1 3 は、信号伝送路 2 0 3 と 2 3 3 との間の寄生容量であっても良いし、実容量であっても良い。
- [0235] 以上のように構成される信号伝送システムでは、トランスミッタ 2 0 1 と 2 3 1 とは、例えば、同一の信号等の、互いに類似性のある類似信号を、伝送信号として出力する。
- [0236] したがって、容量 2 4 1 によって容量結合している信号伝送路 2 0 3 と 2 3 3 とには、同様の信号が流れる。その結果、信号伝送路 2 0 3 の寄生容量、及び、信号伝送路 2 3 3 の寄生容量の（悪）影響が軽減され、信号伝送路 2 0 3 の寄生容量に起因する、レシーバ 2 0 2 で信号伝送路 2 0 3 を介して

受信される伝送信号の品質の劣化を抑制するとともに、信号伝送路 2 3 3 の寄生容量に起因する、レシーバ 2 3 2 で信号伝送路 2 3 3 を介して受信される伝送信号の品質の劣化を抑制することができる。

[0237] ここで、信号伝送路 2 0 3 については、他の信号伝送路である信号伝送路 2 3 3 が、信号伝送路 2 0 3 に隣接し、信号伝送路 2 0 3 に沿って配線されたアシスト伝送路となる。

[0238] そして、トランスミッタ 2 0 1 とトランスミッタ 2 3 1 とからは、例えば、同一の伝送信号が出力されるので、トランスミッタ 2 3 1 は、トランスミッタ 2 0 1 が信号伝送路 2 0 3 に流す伝送信号と類似性のある類似信号を、信号伝送路 2 3 3 に流すということができる。したがって、トランスミッタ 2 0 1 に対して、トランスミッタ 2 3 1 は、信号伝送路 2 0 3 に流れる信号と類似性のある類似信号を、アシスト伝送路としての信号伝送路 2 3 3 に流す信号制御を行う信号制御部として機能する。

[0239] 一方、信号伝送路 2 3 3 については、他の信号伝送路である信号伝送路 2 0 3 が、信号伝送路 2 3 3 に隣接し、信号伝送路 2 3 3 に沿って配線されたアシスト伝送路となる。

[0240] そして、トランスミッタ 2 0 1 とトランスミッタ 2 3 1 とからは、例えば、同一の伝送信号が出力されるので、トランスミッタ 2 0 1 は、トランスミッタ 2 3 1 が信号伝送路 2 3 3 に流す伝送信号と類似性のある類似信号を、信号伝送路 2 0 3 に流すということができる。したがって、トランスミッタ 2 3 1 に対して、トランスミッタ 2 0 1 は、信号伝送路 2 3 3 に流れる信号と類似性のある類似信号を、アシスト伝送路としての信号伝送路 2 0 3 に流す信号制御を行う信号制御部として機能する。

[0241] なお、図 1 5 においては、トランスミッタ 2 0 1 及び 2 3 1 は、1 個のトランスミッタで代用することができる。レシーバ 2 0 2 及び 2 3 2 も、1 個のレシーバで代用することができる。

[0242] <信号伝送システムの第 4 実施の形態>

[0243] 図 1 6 は、本技術を適用した信号伝送システムの第 4 実施の形態の構成例

を示すブロック図である。

[0244] なお、図 1 6 において、図 1 1 の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0245] 図 1 6 の信号伝送システムは、トランスミッタ 2 0 1、レシーバ 2 0 2、信号伝送路 2 0 3、アシスト伝送路 2 1 1、信号制御部 2 1 2、及び、容量 2 1 3 を有する点で、図 1 1 の場合と共通する。

[0246] 但し、図 1 6 の信号伝送システムは、アシスト伝送路 2 5 1、信号制御部 2 5 2、及び、容量 2 5 3 を有する点で、図 1 1 の場合と相違する。

[0247] アシスト伝送路 2 5 1、信号制御部 2 5 2、及び、容量 2 5 3 は、アシスト伝送路 2 1 1、信号制御部 2 1 2、及び、容量 2 1 3 と、それぞれ同様に構成される。

[0248] すなわち、アシスト伝送路 2 5 1 は、信号伝送路 2 0 3 に隣接し、その信号伝送路 2 0 3 に沿って配線されている。

[0249] なお、図 1 6 では、アシスト伝送路 2 1 1 は、信号伝送路 2 0 3 の右隣に配線されているが、アシスト伝送路 2 5 1 は、信号伝送路 2 0 3 の左隣に配線されている。

[0250] 信号制御部 2 5 2 は、トランスミッタ 2 0 1 を監視し、トランスミッタ 2 0 1 が信号伝送路 2 0 3 に出力する伝送信号と類似性のある類似信号を、アシスト伝送路 2 5 1 に流す信号制御を行う。

[0251] 容量 2 5 3 は、信号伝送路 2 0 3 とアシスト伝送路 2 5 1 とを容量結合する容量である。容量 2 5 3 は、信号伝送路 2 0 3 とアシスト伝送路 2 5 1 との間の寄生容量であっても良いし、実容量であっても良い。

[0252] 以上のように構成される信号伝送システムにおいては、容量 2 1 3 によって信号伝送路 2 0 3 と容量結合しているアシスト伝送路 2 1 1 と、容量 2 5 3 によって信号伝送路 2 0 3 と容量結合しているアシスト伝送路 2 5 1 とには、信号伝送路 2 0 3 に流れる伝送信号と同様の信号が流れる。

[0253] その結果、信号伝送路 2 0 3 の寄生容量の（悪）影響がより軽減され、その信号伝送路 2 0 3 の寄生容量に起因する、レシーバ 2 0 2 で信号伝送路 2

03を介して受信される伝送信号の品質の劣化を抑制することができる。

[0254] なお、図16では、信号伝送路203の右側に、アシスト伝送路211を設けるとともに、信号伝送路203の左側に、アシスト伝送路251を設けたが、さらに、信号伝送路203に対しては、図面の手前側や奥側に隣接するように、アシスト伝送路211と同様のアシスト伝送路を設けることができる。

[0255] <信号伝送システムの第5実施の形態>

[0256] 図17は、本技術を適用した信号伝送システムの第5実施の形態の構成例を示すブロック図である。

[0257] なお、図17において、図11の場合と対応する部分については、同一の符号を付してあり、以下では、その説明は、適宜省略する。

[0258] 図17の信号伝送システムは、トランスミッタ201、レシーバ202、信号伝送路203、アシスト伝送路211、信号制御部212、及び、容量213を有する点で、図11の場合と共通する。

[0259] 但し、図17の信号伝送システムは、信号伝送路204、アシスト伝送路271、信号制御部272、及び、容量273を有する点で、図11の場合と相違する。

[0260] 信号伝送路204は、信号伝送路203と同様に構成される。信号伝送路204には、トランスミッタ201が出力する伝送信号が流れる。

[0261] ここで、図17では、トランスミッタ201は、信号伝送路203及び204のうちのいずれを介することによっても、伝送信号を、レシーバ202に送信することができる。

[0262] トランスミッタ201が、信号伝送路203を介して送信する伝送信号と、信号伝送路204を介して送信する伝送信号とは、同一の信号であっても良いし、異なる信号であっても良い。

[0263] アシスト伝送路271、信号制御部272、及び、容量273は、アシスト伝送路211、信号制御部212、及び、容量213と、それぞれ同様に構成される。

- [0264] すなわち、アシスト伝送路 271 は、信号伝送路 204 に隣接し、その信号伝送路 204 に沿って配線されている。
- [0265] 信号制御部 272 は、トランスミッタ 201 を監視し、トランスミッタ 201 が信号伝送路 204 に出力する伝送信号と類似性のある類似信号を、アシスト伝送路 271 に流す信号制御を行う。
- [0266] 容量 273 は、信号伝送路 204 とアシスト伝送路 271 とを容量結合する容量である。容量 273 は、信号伝送路 204 とアシスト伝送路 271 との間の寄生容量であっても良いし、実容量であっても良い。
- [0267] 以上のように構成される図 17 の信号伝送システムにおいては、信号制御部 212 が、トランスミッタ 201 を監視し、そのトランスミッタ 201 が信号伝送路 203 に流す伝送信号と類似性のある類似信号を、容量 213 によって信号伝送路 203 と容量結合しているアシスト伝送路 211 に流す。
- [0268] その結果、信号伝送路 203 とアシスト伝送路 211 とについては、等ポテンシャルにより、信号伝送路 203 の寄生容量の（悪）影響が、信号のフィードバックなしに容易に軽減され、信号伝送路 203 の寄生容量に起因する、信号伝送路 203 を流れる伝送信号の信号品質の劣化を抑制することができる。
- [0269] さらに、図 17 の信号伝送システムにおいては、信号制御部 272 が、トランスミッタ 201 を監視し、そのトランスミッタ 201 が信号伝送路 204 に流す伝送信号と類似性のある類似信号を、容量 273 によって信号伝送路 204 と容量結合しているアシスト伝送路 271 に流す。
- [0270] その結果、信号伝送路 204 とアシスト伝送路 271 とについては、等ポテンシャルにより、信号伝送路 204 の寄生容量の（悪）影響が、信号のフィードバックなしに容易に軽減され、信号伝送路 204 の寄生容量に起因する、信号伝送路 204 を流れる伝送信号の信号品質の劣化を抑制することができる。
- [0271] ここで、本明細書において、システムとは、複数の構成要素（装置、モジュール（部品）等）の集合を意味し、すべての構成要素が同一筐体中にある

か否かは問わない。したがって、別個の筐体に収納され、ネットワークを介して接続されている複数の装置、及び、1つの筐体の中に複数のモジュールが収納されている1つの装置は、いずれも、システムである。

[0272] なお、本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0273] また、本明細書に記載された効果はあくまで例示であって限定されるものではなく、他の効果があってもよい。

[0274] なお、本技術は、以下の構成をとることができる。

[0275] <1>

画素が出力する信号が流れるVSL(Vertical Signal Line)と、
前記VSLに隣接し、前記VSLに沿って配線されたアシスト信号線と、
前記VSLに流れる信号と類似性のある類似信号を、前記アシスト信号線に流す信号制御部と

を含むイメージセンサ。

<2>

複数の前記VSLを含む

<1>に記載のイメージセンサ。

<3>

前記アシスト信号線は、前記VSLと容量結合するように配線されている

<1>又は<2>に記載のイメージセンサ。

<4>

前記アシスト信号線と、前記VSLとは、寄生容量によって容量結合している

<3>に記載のイメージセンサ。

<5>

1本の前記VSLに対して、複数本の前記アシスト信号線が配線されている

<1>ないし<4>のいずれかに記載のイメージセンサ。

<6>

前記アシスト信号線は、前記VSLを囲むように配線されている

< 1 >ないし< 4 >のいずれかに記載のイメージセンサ。

< 7 >

前記アシスト信号線は、前記VSLに流れる信号と同一色の信号が流れる他のVSLである

< 1 >ないし< 4 >のいずれかに記載のイメージセンサ。

< 8 >

ベイヤ配列の画素が出力する信号が流れる前記VSLの前記アシスト信号線は、前記画素から2列だけ左又は右に並ぶ画素が出力する信号が流れるVSLである

< 7 >に記載のイメージセンサ。

< 9 >

画素が出力する信号が流れるVSL(Vertical Signal Line)と、
前記VSLに隣接し、前記VSLに沿って配線されたアシスト信号線と
を有するイメージセンサが、
前記VSLに流れる信号と類似性のある類似信号を、前記アシスト信号線に流す

制御方法。

< 10 >

光を集光する光学系と、
光を受光し、画像を撮像するイメージセンサと
を含み、
前記イメージセンサは、
画素が出力する信号が流れるVSL(Vertical Signal Line)と、
前記VSLに隣接し、前記VSLに沿って配線されたアシスト信号線と、
前記VSLに流れる信号と類似性のある類似信号を、前記アシスト信号線に流す信号制御部と
を含む
電子機器。

< 1 1 >

トランスミッタが出力する信号が流れる有線の信号伝送路に隣接し、前記信号伝送路に沿って配線された有線のアシスト伝送路と、

前記信号伝送路に流れる信号と類似性のある類似信号を、前記アシスト伝送路に流す信号制御部と

を含む信号伝送システム。

< 1 2 >

複数の前記信号伝送路を含む

< 1 1 >に記載の信号伝送システム。

< 1 3 >

前記アシスト伝送路は、前記信号伝送路と容量結合するように配線されている

< 1 1 >又は< 1 2 >に記載の信号伝送システム。

< 1 4 >

前記アシスト伝送路と、前記信号伝送路とは、寄生容量によって容量結合している

< 1 3 >に記載の信号伝送システム。

< 1 5 >

1本の前記信号伝送路に対して、複数本の前記アシスト伝送路が配線されている

< 1 1 >ないし< 1 4 >のいずれかに記載の信号伝送システム。

< 1 6 >

前記アシスト伝送路は、前記信号伝送路を囲むように配線されている

< 1 1 >ないし< 1 4 >のいずれかに記載の信号伝送システム。

< 1 7 >

前記アシスト伝送路は、他の信号伝送路である

< 1 1 >ないし< 1 4 >のいずれかに記載の信号伝送システム。

< 1 8 >

トランスミッタが出力する信号が流れる信号伝送路に隣接し、前記信号伝送路に沿って配線されたアシスト伝送路を有する信号伝送システムが、

前記信号伝送路に流れる信号と類似性のある類似信号を、前記アシスト伝送路に流す

制御方法。

符号の説明

[0276] 1 光学系, 2 イメージセンサ, 3 メモリ, 4 信号処理部,
5 出力部, 6 制御部, 10 画素アレイ, 11₁, 11_N 画素, 20 ロジック部, 21 垂直走査部, 22 カラム処理部,
23 水平転送部, 24 アンプ24, 25 信号処理部, 31
DAC, 32₁ないし32_N 比較器, 33₁ないし33_N カウンタ, 34₁ないし34_N 電流源, 41₁ないし41_M 画素制御線, 42₁ないし42_N VSL, 51 PD, 52 転送Tr, 53 FD, 54 リセットTr,
55 増幅Tr, 56 選択Tr, 61₁ないし61_N アシストVSL,
62₁ないし62_N 信号制御部, 63₁ないし63_N, 71 容量, 8
1 信号出力部, 82, 83 FET, 84 負荷部, 85 電流源,
86 容量, 91₁ないし91_N アシストVSL, 92₁ないし92_N 信号
制御部, 93₁ないし93_N, 101 信号出力部, 102, 103 F
ET, 104 負荷部, 105 電流源, 106 容量, 201 ト
ランスミッタ, 202 レシーバ, 203, 204 信号伝送路, 2
11 アシスト伝送路, 212 信号制御部, 213 容量, 221
アシスト伝送路, 231 トランスミッタ, 232 レシーバ, 2
33 信号伝送路, 241 容量, 251 アシスト伝送路, 252
信号制御部, 253 容量, 271 アシスト伝送路, 272 信
号制御部, 273 容量

請求の範囲

- [請求項1] 画素が出力する信号が流れるVSL(Vertical Signal Line)と、
前記VSLに隣接し、前記VSLに沿って配線されたアシスト信号線と、
前記VSLに流れる信号と類似性のある類似信号を、前記アシスト信号線に流す信号制御部と
を含むイメージセンサ。
- [請求項2] 複数の前記VSLを含む
請求項1に記載のイメージセンサ。
- [請求項3] 前記アシスト信号線は、前記VSLと容量結合するように配線されている
請求項2に記載のイメージセンサ。
- [請求項4] 前記アシスト信号線と、前記VSLとは、寄生容量によって容量結合している
請求項3に記載のイメージセンサ。
- [請求項5] 1本の前記VSLに対して、複数本の前記アシスト信号線が配線されている
請求項3に記載のイメージセンサ。
- [請求項6] 前記アシスト信号線は、前記VSLを囲むように配線されている
請求項3に記載のイメージセンサ。
- [請求項7] 前記アシスト信号線は、前記VSLに流れる信号と同一色の信号が流れる他のVSLである
請求項3に記載のイメージセンサ。
- [請求項8] ベイヤ配列の画素が出力する信号が流れる前記VSLの前記アシスト信号線は、前記画素から2列だけ左又は右に並ぶ画素が出力する信号が流れるVSLである
請求項7に記載のイメージセンサ。
- [請求項9] 画素が出力する信号が流れるVSL(Vertical Signal Line)と、
前記VSLに隣接し、前記VSLに沿って配線されたアシスト信号線と

を有するイメージセンサが、
前記VSLに流れる信号と類似性のある類似信号を、前記アシスト信号線に流す
制御方法。

[請求項10] 光を集光する光学系と、
光を受光し、画像を撮像するイメージセンサと
を含み、
前記イメージセンサは、
画素が出力する信号が流れるVSL (Vertical Signal Line) と、
前記VSLに隣接し、前記VSLに沿って配線されたアシスト信号線と
、
前記VSLに流れる信号と類似性のある類似信号を、前記アシスト信号線に流す信号制御部と
を含む
電子機器。

[請求項11] トランスミッタが出力する信号が流れる有線の信号伝送路に隣接し
、前記信号伝送路に沿って配線された有線のアシスト伝送路と、
前記信号伝送路に流れる信号と類似性のある類似信号を、前記アシスト伝送路に流す信号制御部と
を含む信号伝送システム。

[請求項12] 複数の前記信号伝送路を含む
請求項 1 1 に記載の信号伝送システム。

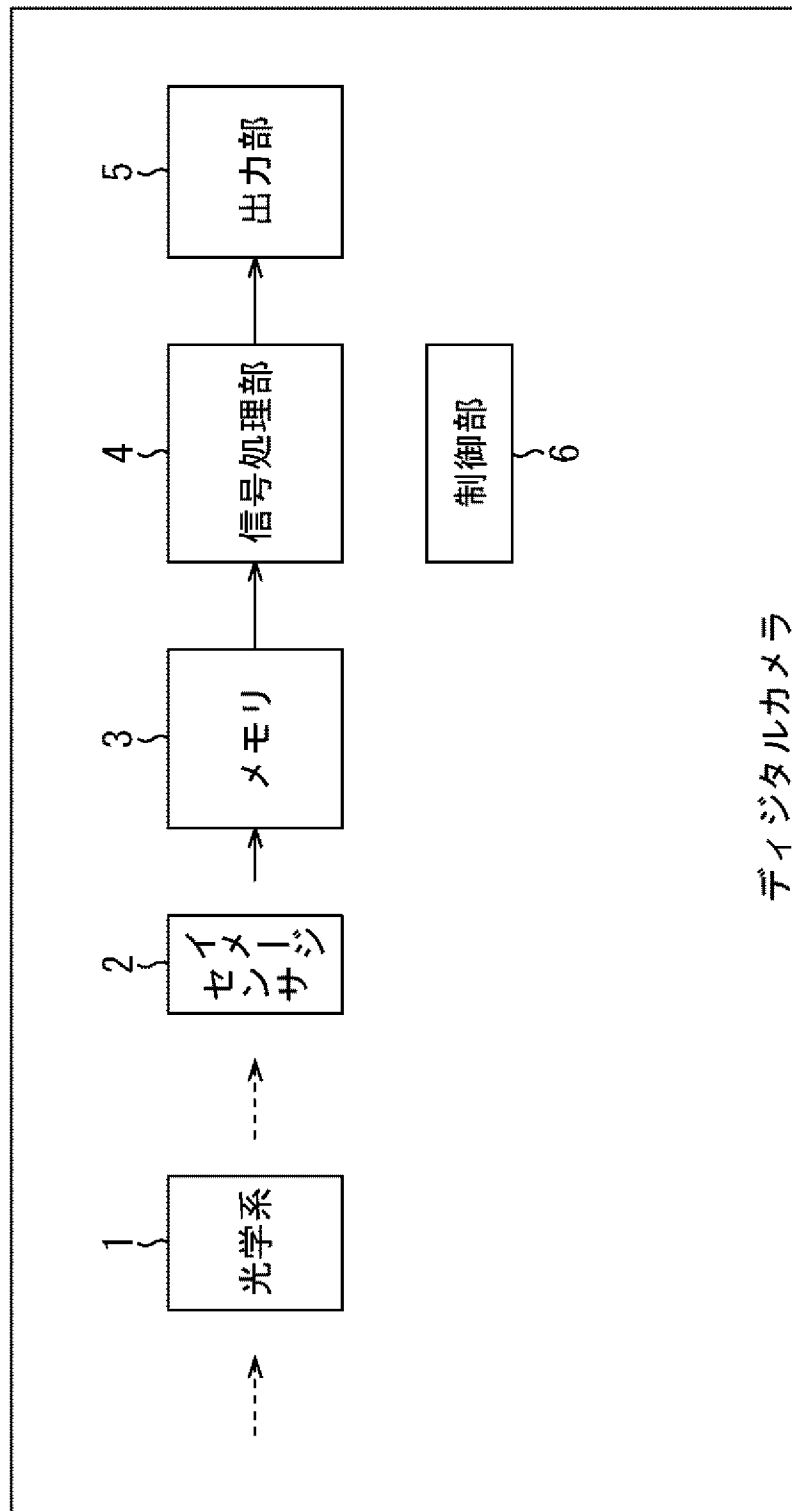
[請求項13] 前記アシスト伝送路は、前記信号伝送路と容量結合するように配線
されている
請求項 1 2 に記載の信号伝送システム。

[請求項14] 前記アシスト伝送路と、前記信号伝送路とは、寄生容量によって容量結合している
請求項 1 3 に記載の信号伝送システム。

- [請求項15] 1本の前記信号伝送路に対して、複数本の前記アシスト伝送路が配線されている
- 請求項13に記載の信号伝送システム。
- [請求項16] 前記アシスト伝送路は、前記信号伝送路を囲むように配線されている
- 請求項13に記載の信号伝送システム。
- [請求項17] 前記アシスト伝送路は、他の信号伝送路である
- 請求項13に記載の信号伝送システム。
- [請求項18] トランスミッタが出力する信号が流れる信号伝送路に隣接し、前記信号伝送路に沿って配線されたアシスト伝送路を有する信号伝送システムが、
- 前記信号伝送路に流れる信号と類似性のある類似信号を、前記アシスト伝送路に流す
- 制御方法。

[図1]

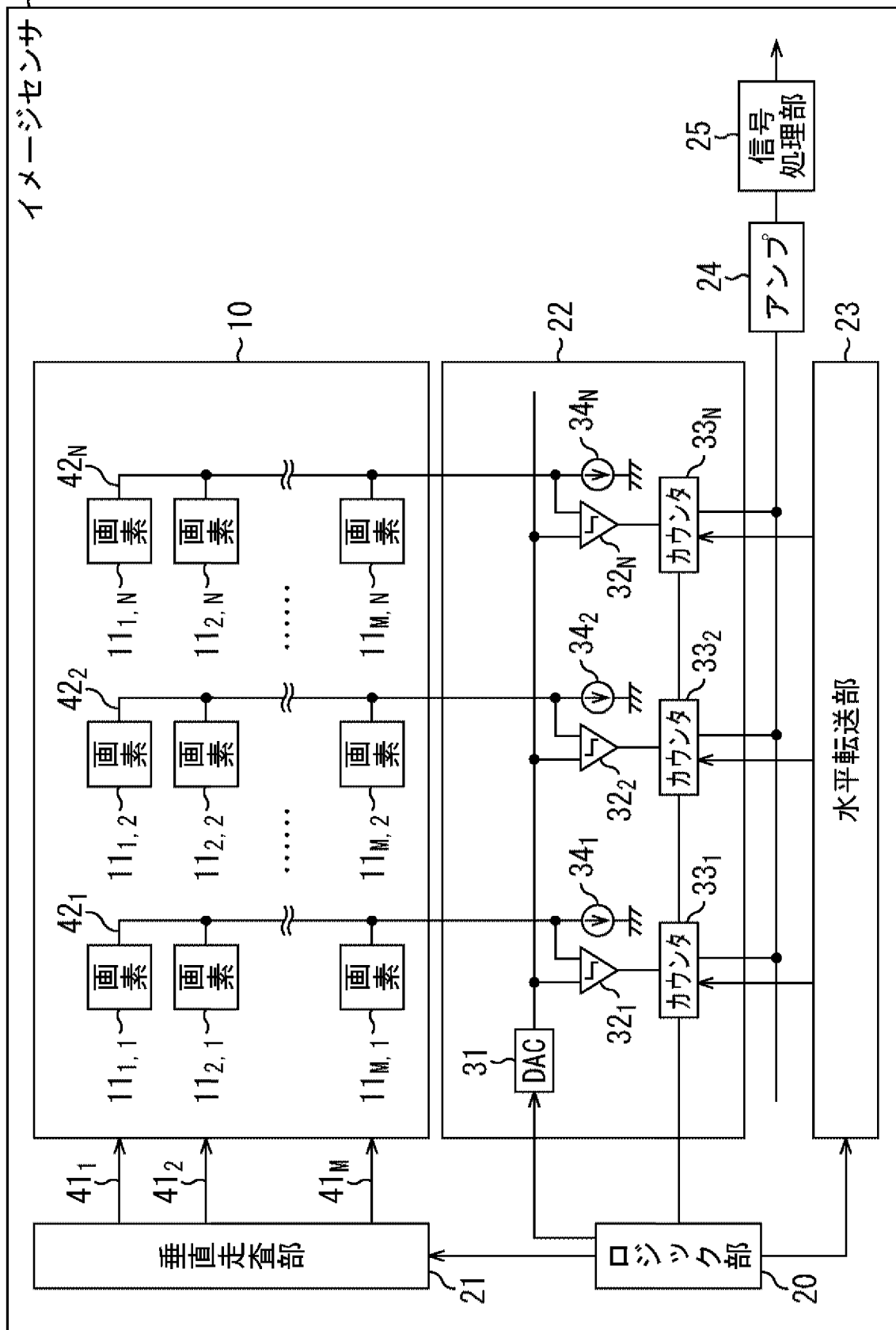
図1



[図2]

イメージセンサ～2

図2



[図3]

図3

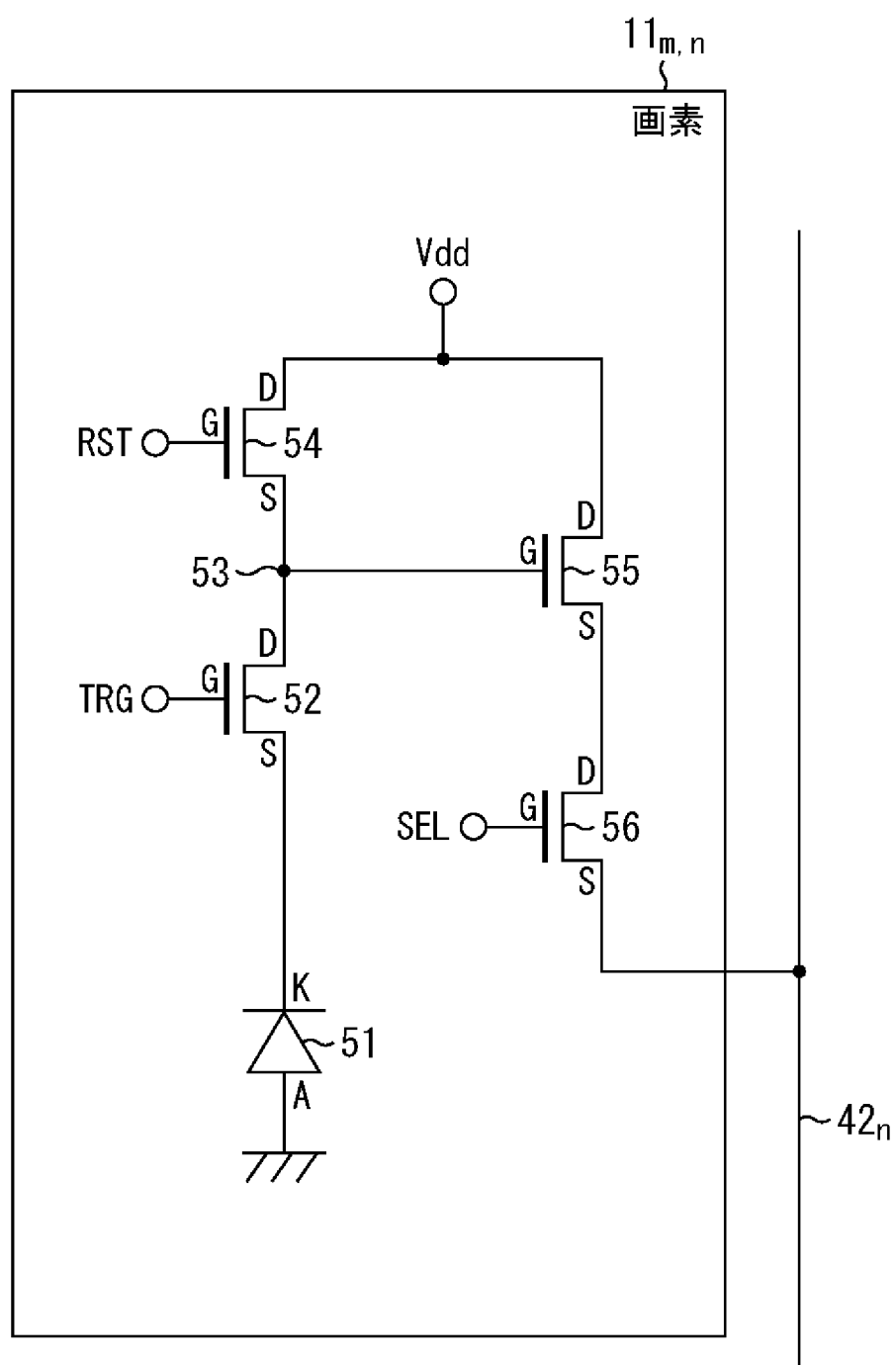
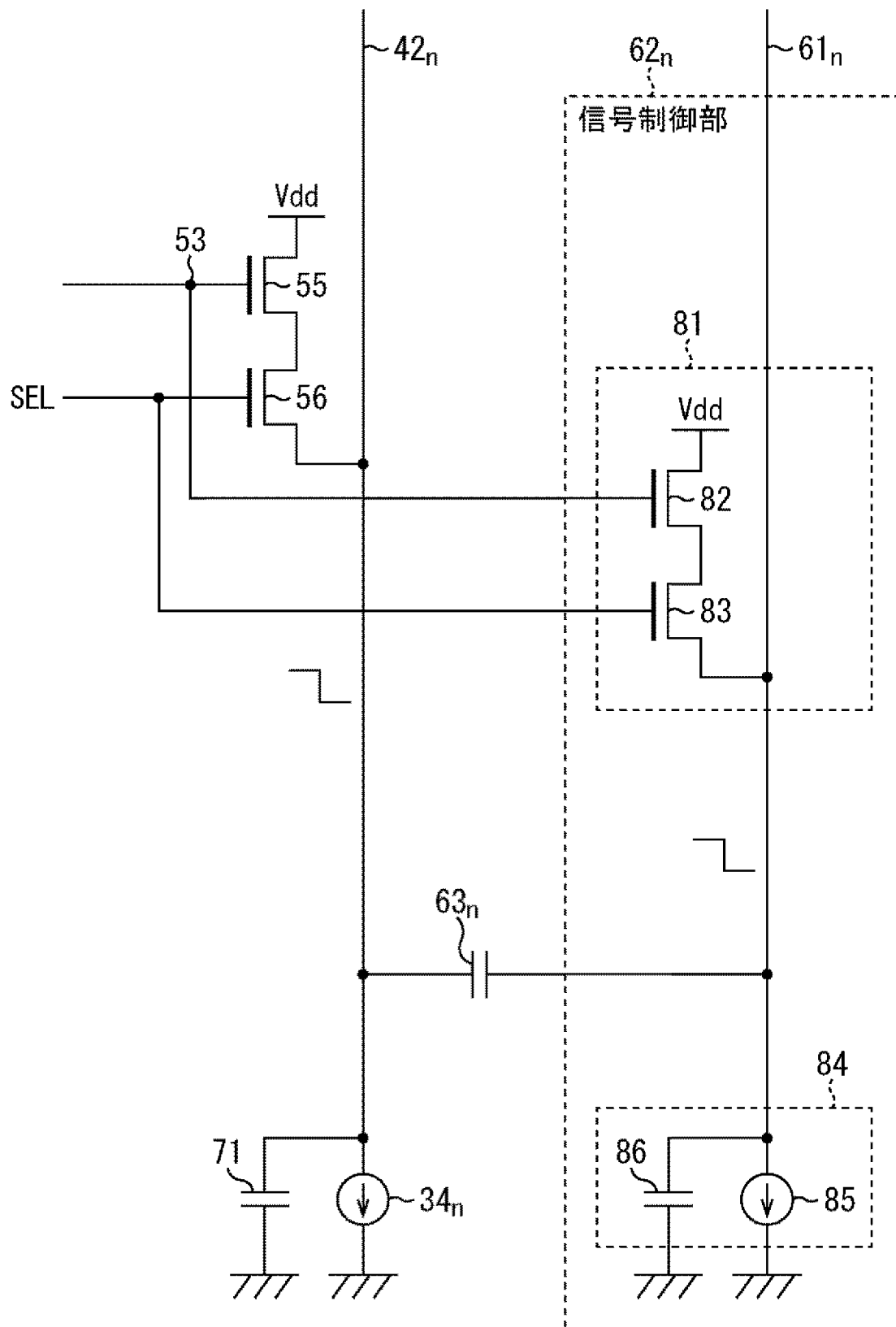
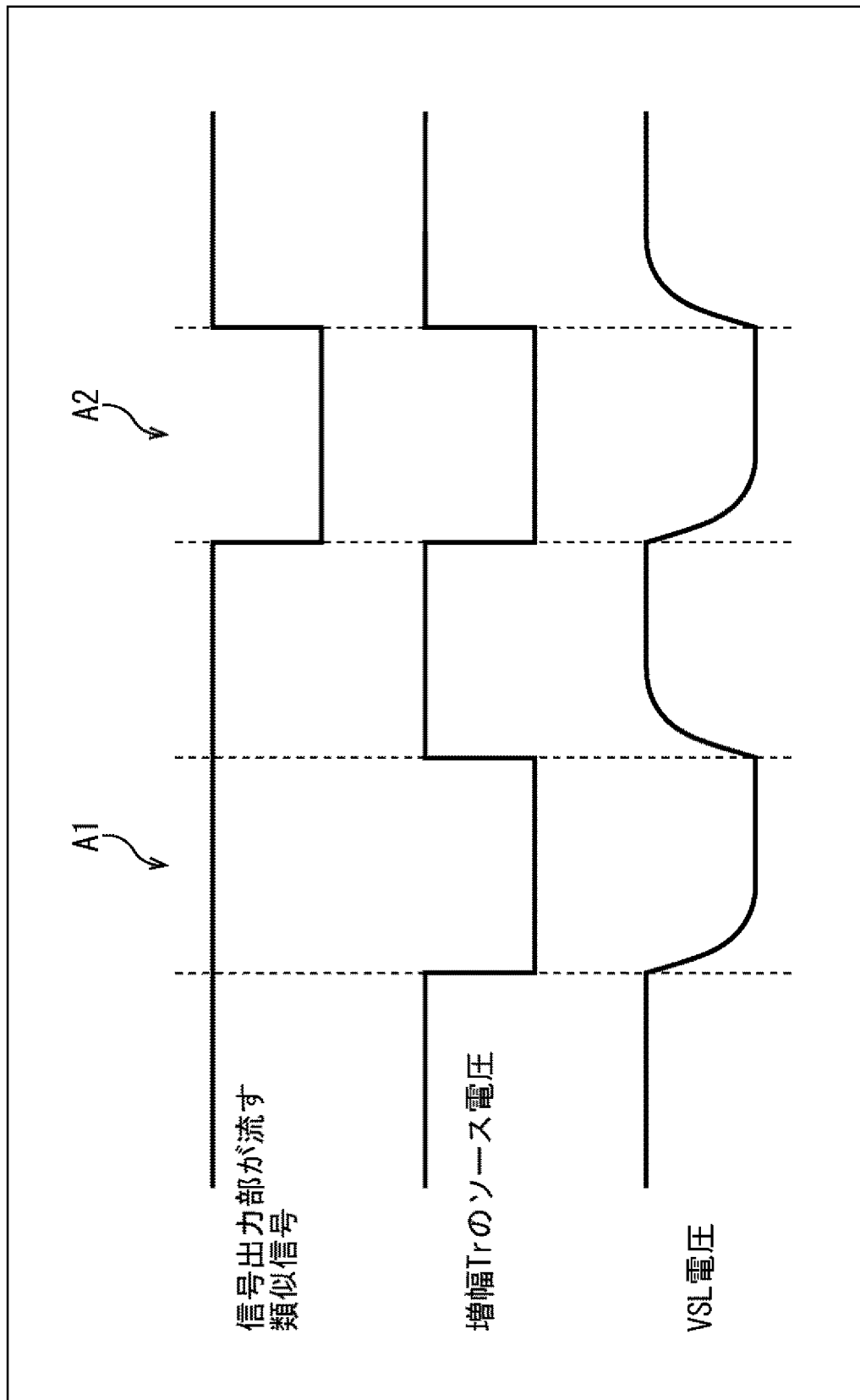


図5



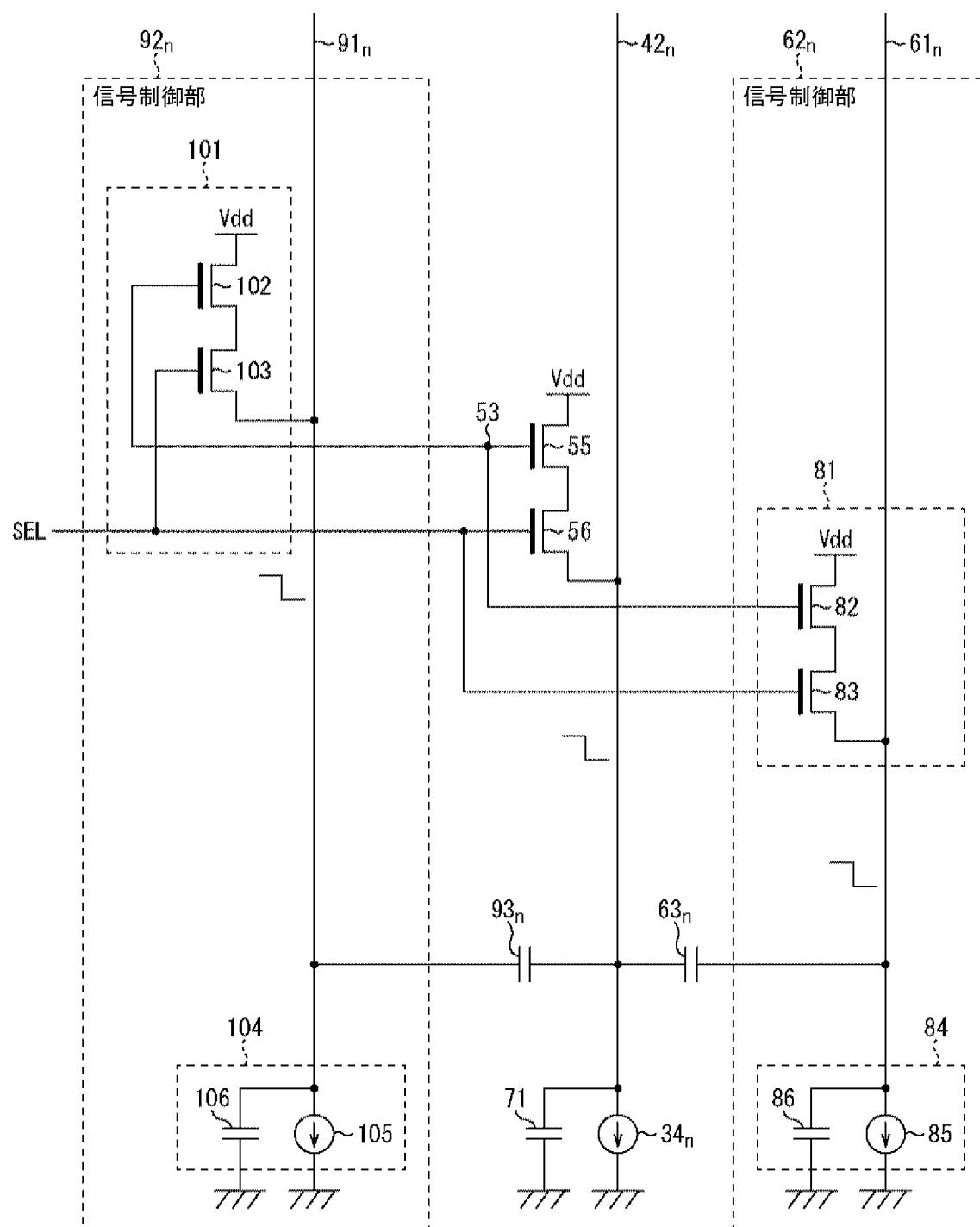
[図6]

図6



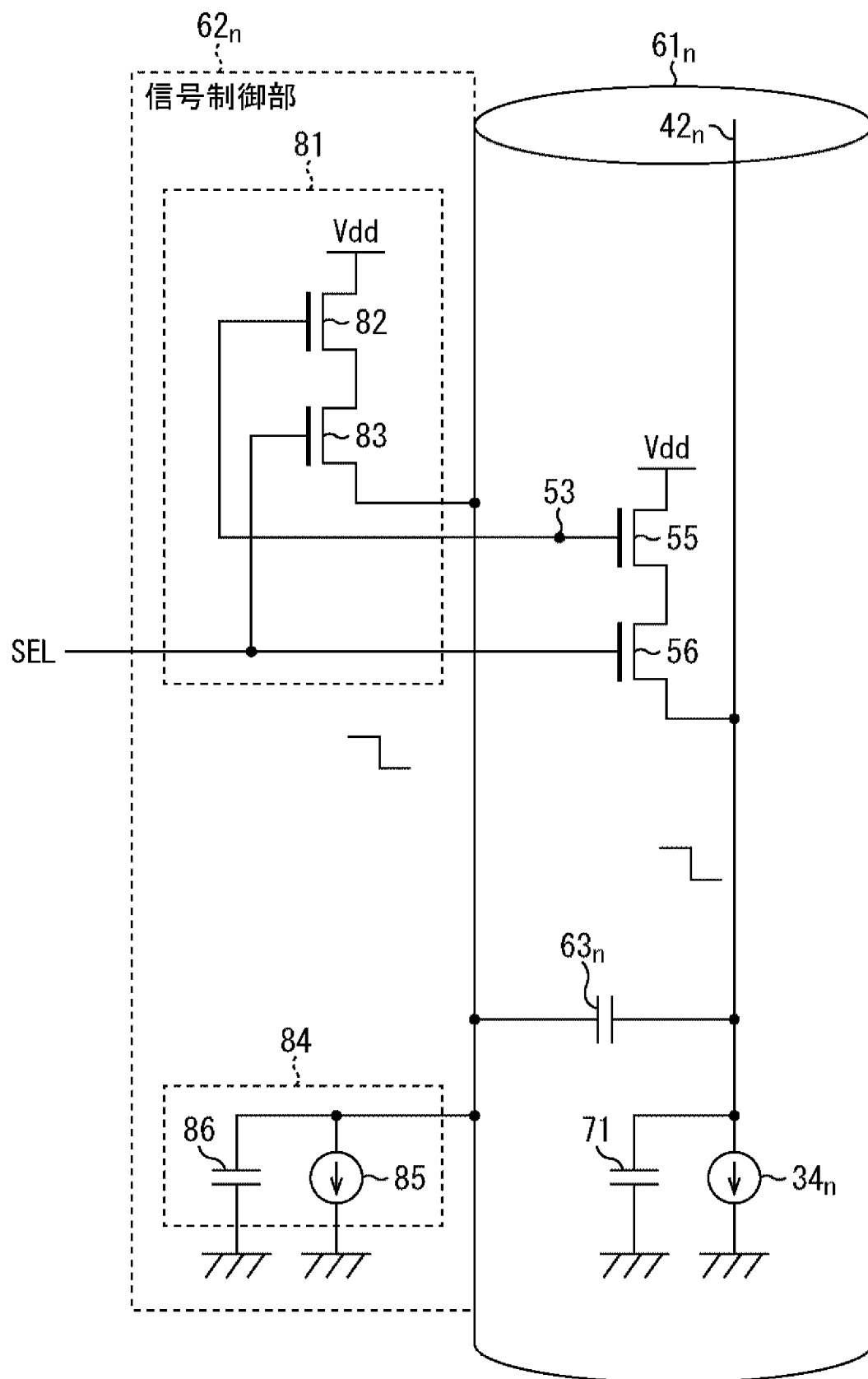
[図7]

図7



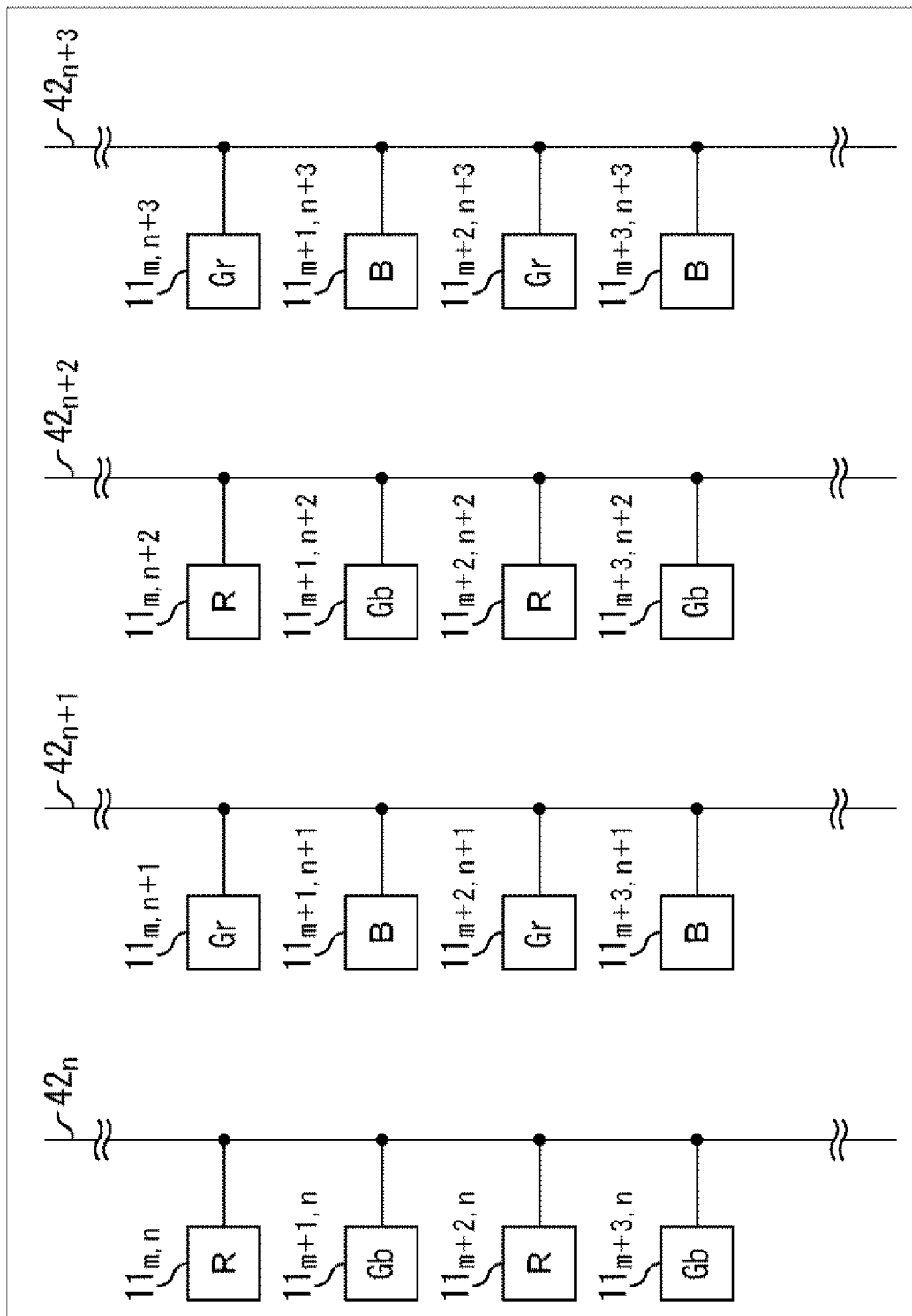
[図8]

図8



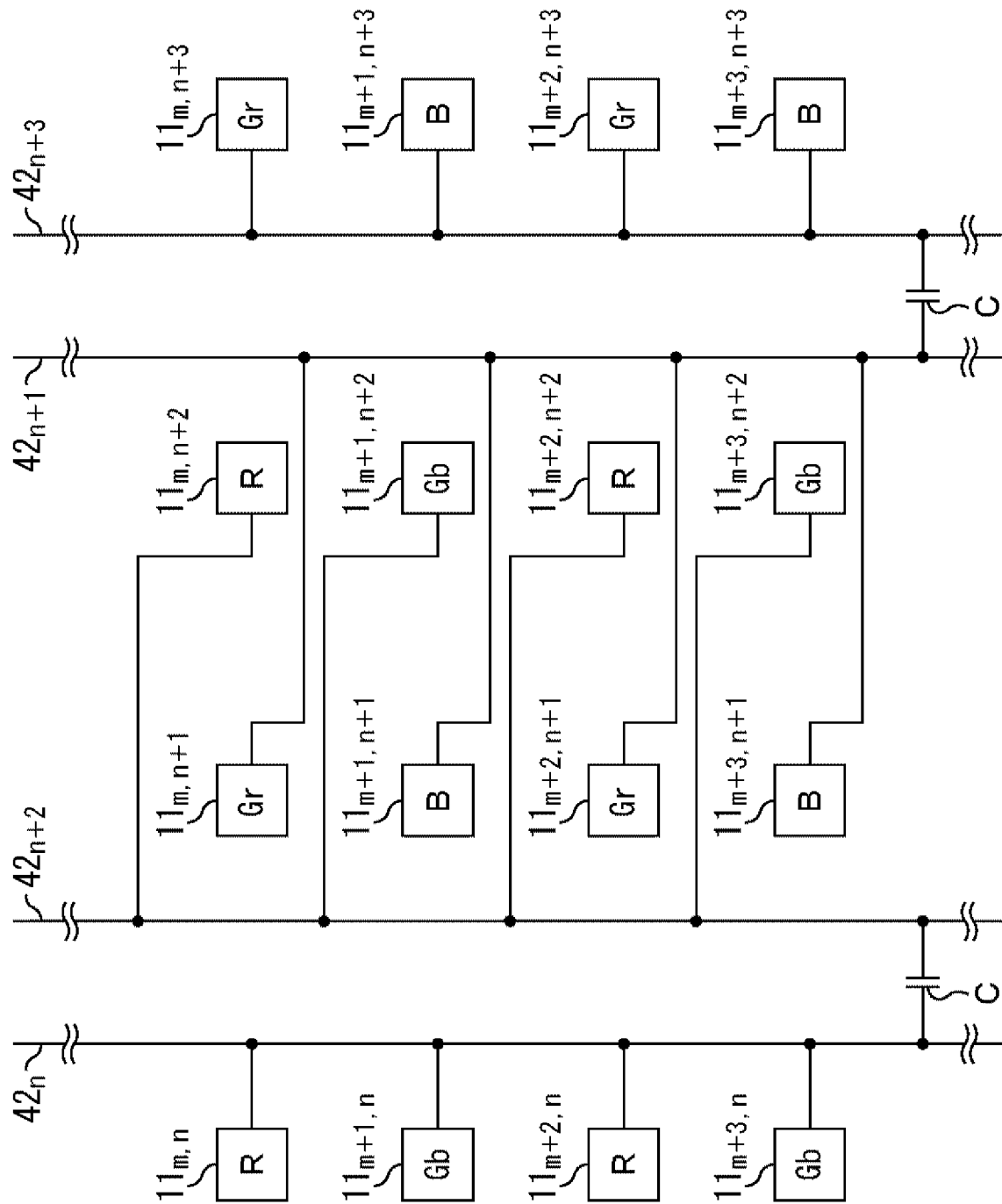
[図9]

図9



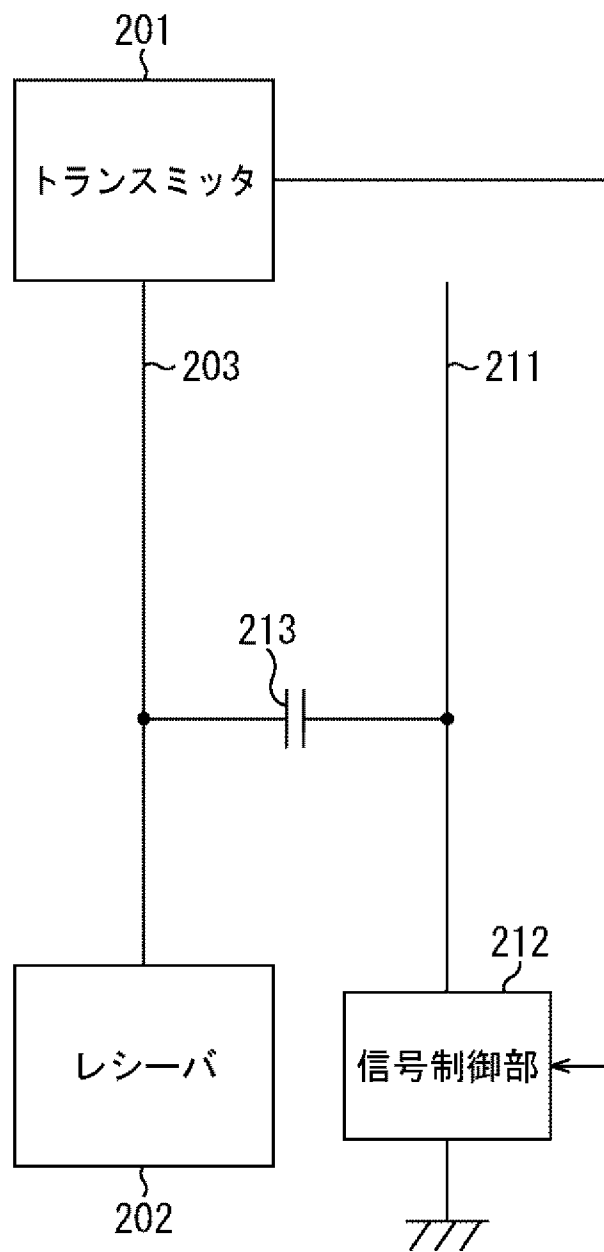
[図10]

図10



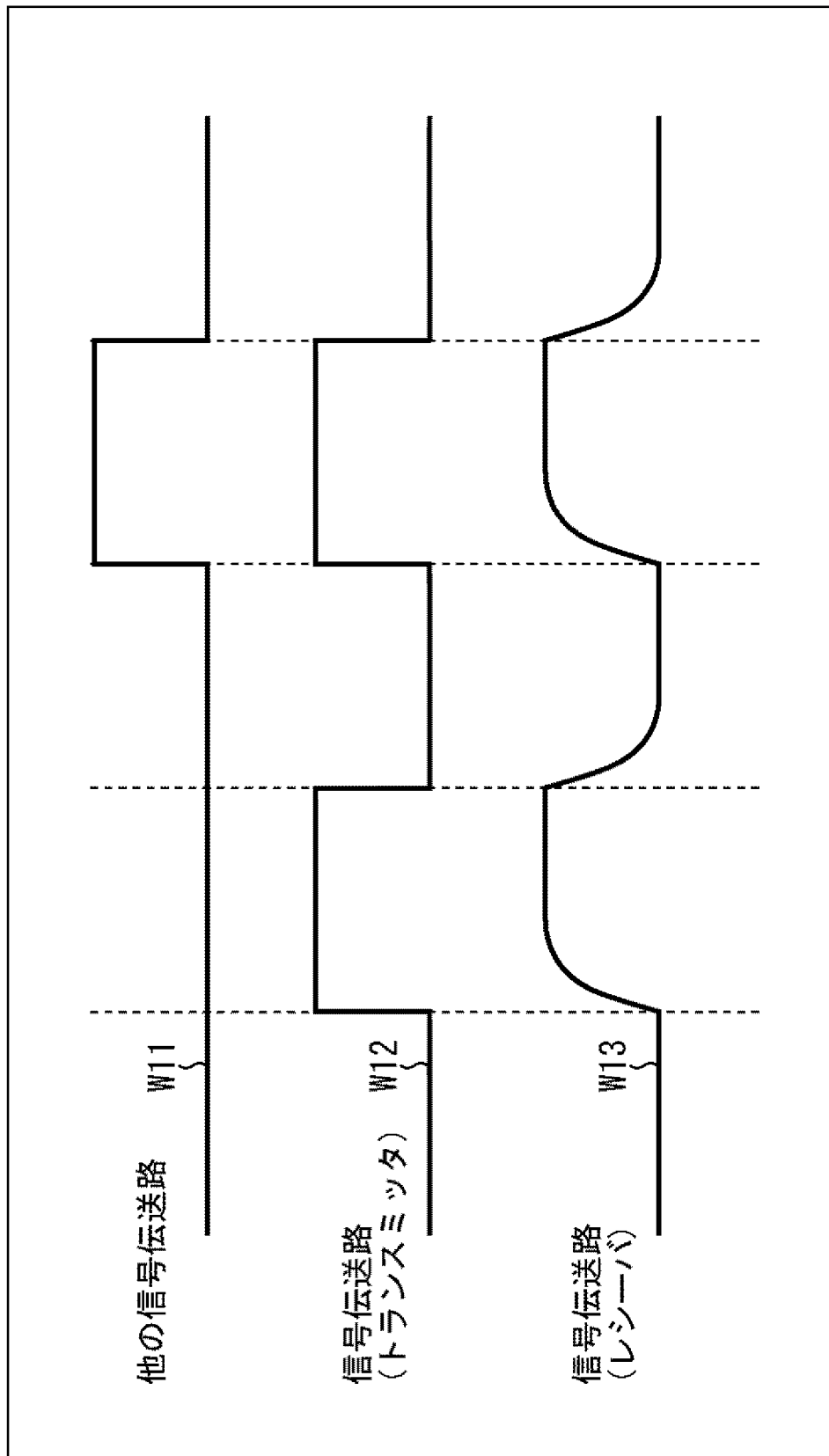
[図11]

図11



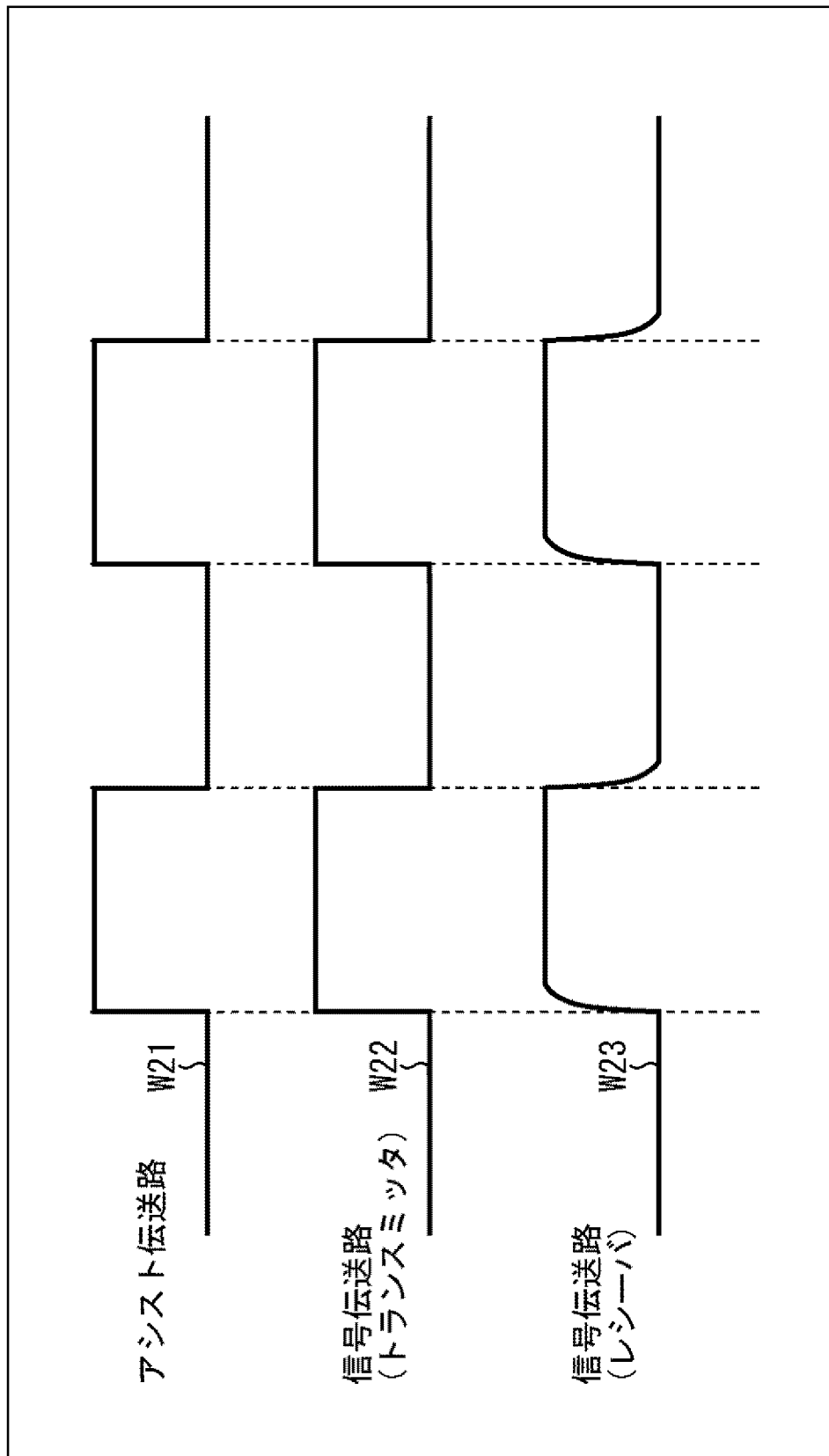
[図12]

図12



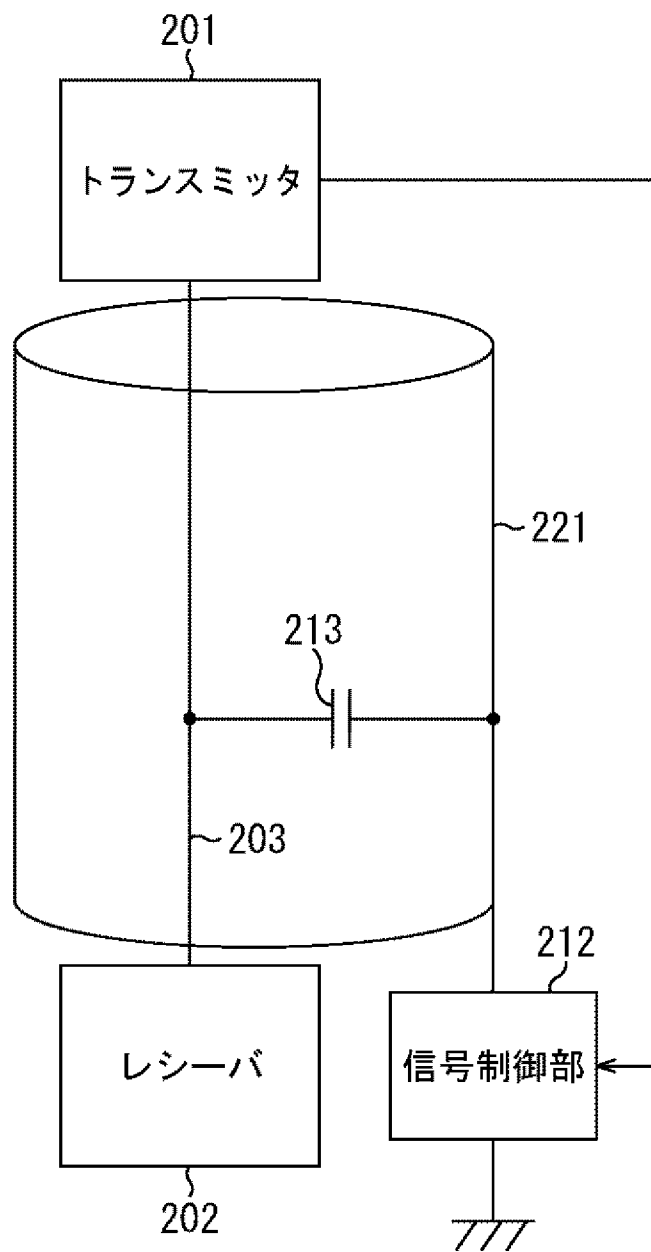
[図13]

図13



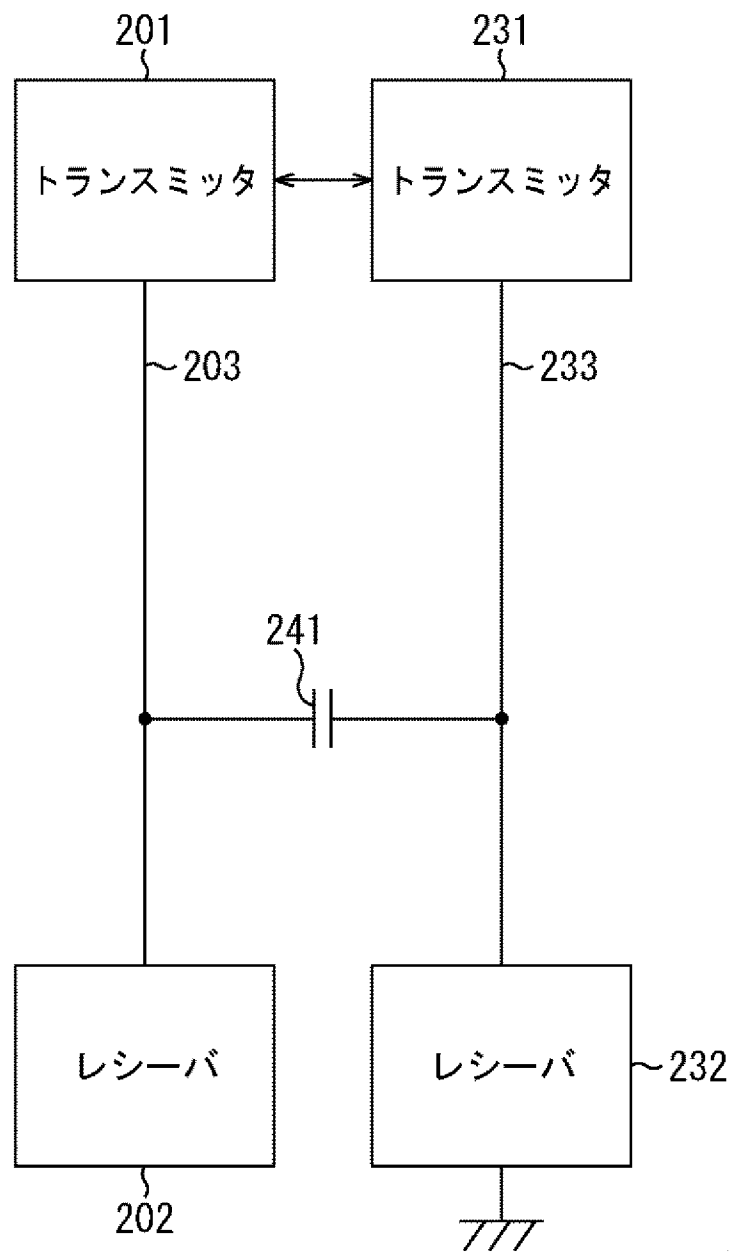
[図14]

図14



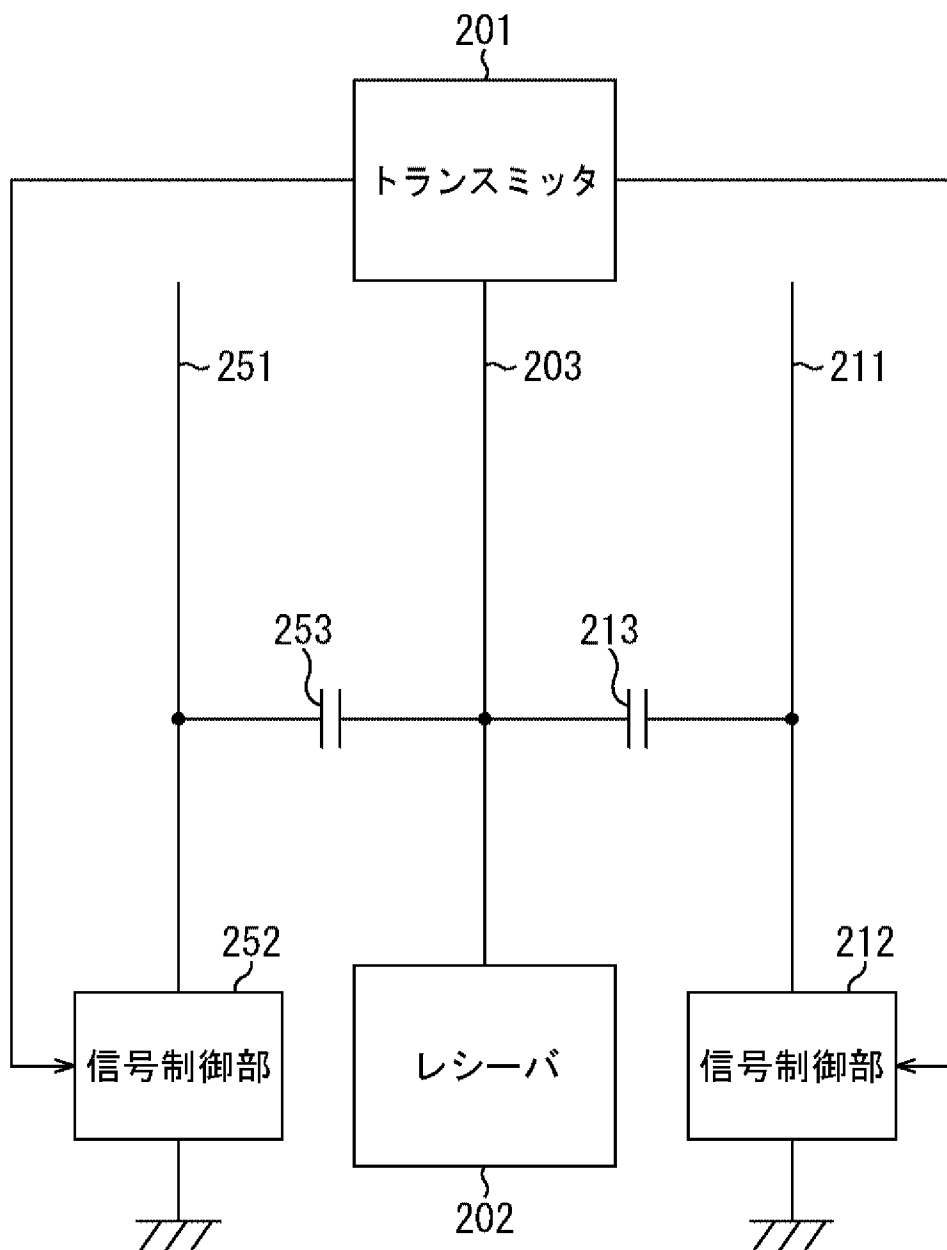
[図15]

図15



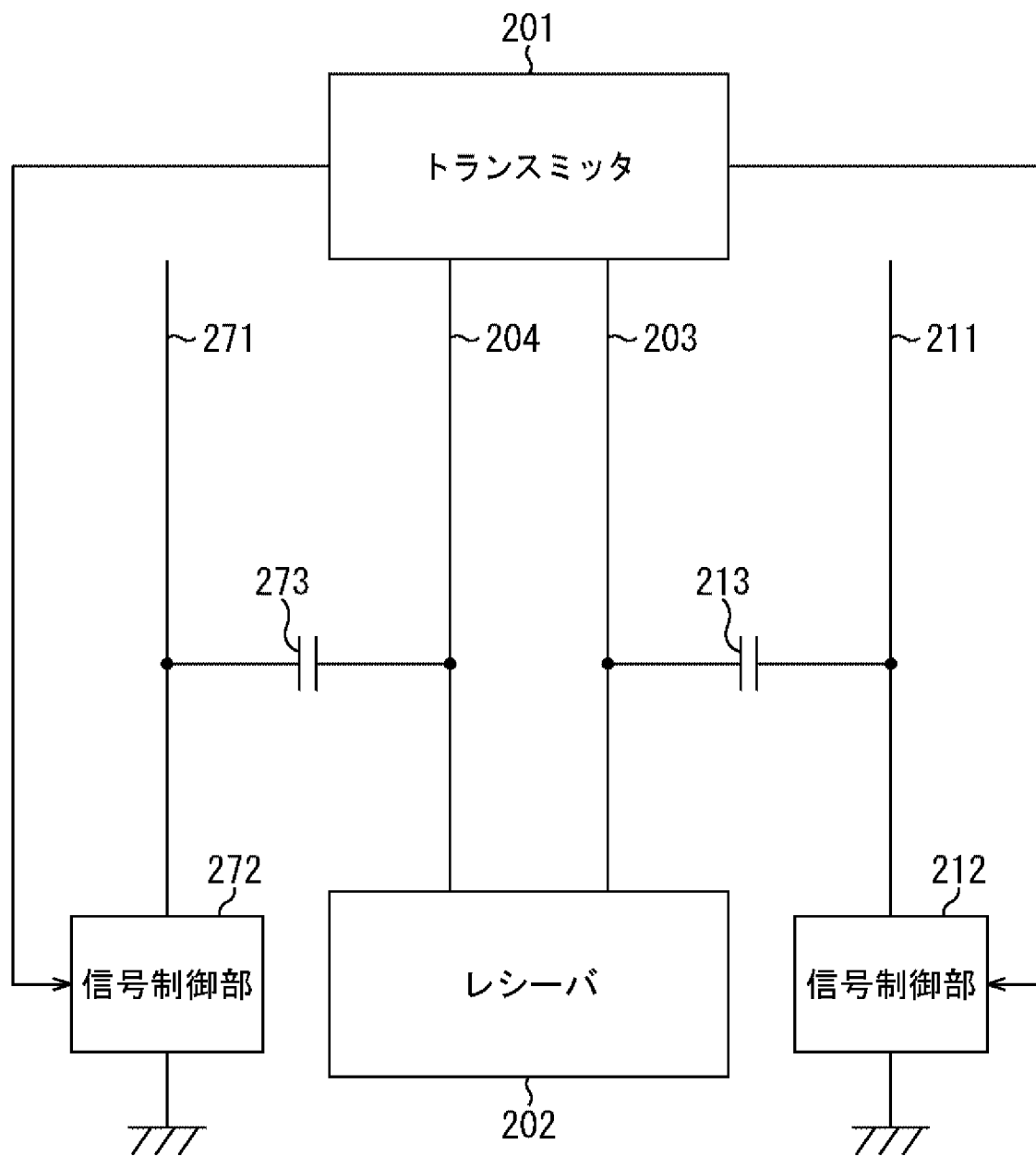
[図16]

図16



[図17]

図17



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/070496

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/374(2011.01)i, H04B3/04(2006.01)i, H04N5/357(2011.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/374, H04B3/04, H04N5/357

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 2011-114843 A (Toshiba Corp.), 09 June 2011 (09.06.2011), paragraphs [0012], [0013], [0018], [0031]; fig. 1, 2 & US 2011/0128426 A1 & CN 102082936 A	1-7, 9, 10 8, 11-18
X	JP 2010-098516 A (Sony Corp.), 30 April 2010 (30.04.2010), paragraphs [0145] to [0148], [0157]; fig. 13 & US 2010/0097510 A1	1-5, 7, 9, 10
X	JP 2013-501482 A (Texas Instruments Inc.), 10 January 2013 (10.01.2013), paragraphs [0006], [0012], [0031]; fig. 2 & US 2011/0026621 A1 & WO 2011/017247 A2 & CN 102577292 A	11-18

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
11 September 2015 (11.09.15)

Date of mailing of the international search report
06 October 2015 (06.10.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H04N5/374(2011.01)i, H04B3/04(2006.01)i, H04N5/357(2011.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H04N5/374, H04B3/04, H04N5/357

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	JP 2011-114843 A（株式会社東芝）2011.06.09, 段落 [0 0 1 2], [0 0 1 3], [0 0 1 8], [0 0 3 1], 第1, 2 図 & US 2011/0128426 A1 & CN 102082936 A	1-7, 9, 10 8, 11-18
X	JP 2010-098516 A（ソニー株式会社）2010.04.30, 段落 [0 1 4 5] - [0 1 4 8], [0 1 5 7], 第13図 & US 2010/0097510 A1	1-5, 7, 9, 10

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 1 . 0 9 . 2 0 1 5

国際調査報告の発送日

0 6 . 1 0 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 明

5 V

9 1 8 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-501482 A (テキサス インスツルメンツ インコーポレイ テッド) 2013.01.10, 段落 [0 0 0 6] , [0 0 1 2] , [0 0 3 1] , 第 2 図 & US 2011/0026621 A1 & WO 2011/017247 A2 & CN 102577292 A	11-18