



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년02월24일

(11) 등록번호 10-1596698

(24) 등록일자 2016년02월17일

(51) 국제특허분류(Int. Cl.)

H01L 27/12 (2006.01) H01L 21/312 (2006.01)

(21) 출원번호 10-2014-7036241(분할)

(22) 출원일자(국제) 2009년04월15일

심사청구일자 2015년01월12일

(85) 번역문제출일자 2014년12월24일

(65) 공개번호 10-2015-0013337

(43) 공개일자 2015년02월04일

(62) 원출원 특허 10-2010-7026200

원출원일자(국제) 2009년04월15일

심사청구일자 2014년04월14일

(86) 국제출원번호 PCT/JP2009/057940

(87) 국제공개번호 WO 2009/131132

국제공개일자 2009년10월29일

(30) 우선권주장

JP-P-2008-114882 2008년04월25일 일본(JP)

JP-P-2008-114883 2008년04월25일 일본(JP)

(56) 선행기술조사문헌

JP05229293 A

JP07323501 A

JP2003141486 A*

KR1020070102969 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

에구치 신고

일본 243-0036 가나가와Ken 아쓰기시 하세 398 가부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

장훈

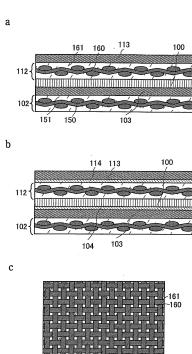
전체 청구항 수 : 총 12 항

심사관 : 류정현

(54) 발명의 명칭 반도체 장치 및 반도체 장치 제조 방법

(57) 요약

한 쌍의 제 1 내충격층과 제 2 내충격층 사이에 샌드위치된 반도체 집적 회로에서, 반도체 집적 회로와 제 2 내충격층 사이에 충격 확산층이 제공된다. 외부 스트레스에 대한 내충격층 및 충격을 분산하기 위한 충격 확산층의 제공에 의해, 단위 영역 당 반도체 집적 회로에 인가되는 힘이 감소되어, 반도체 집적 회로가 보호된다. 충격 확산층은 낮은 탄성을 및 높은 파단 계수를 갖는 것이 바람직하다.

대 표 도 - 도1

명세서

청구범위

청구항 1

반도체 장치에 있어서:

층;

상기 층 위에 있고, 상기 층보다 낮은 탄성을 및 높은 파단 강도(breaking strength)를 갖는 아라미드 막(aramid film); 및

상기 아라미드 막 위의 트랜지스터를 포함하는 집적 회로를 포함하고,

상기 트랜지스터는 산화물 반도체를 포함하는 반도체 층을 포함하고, 상기 반도체 층은 채널 형성 영역을 포함하고,

상기 반도체 장치는 가요성인, 반도체 장치.

청구항 2

반도체 장치에 있어서:

트랜지스터를 포함하는 집적 회로;

상기 집적 회로 위의 층; 및

상기 층 위에 있고, 상기 층보다 낮은 탄성을 및 높은 파단 강도를 갖는 아라미드 막을 포함하고,

상기 트랜지스터는 산화물 반도체를 포함하는 반도체 층을 포함하고, 상기 반도체 층은 채널 형성 영역을 포함하고,

상기 반도체 장치는 가요성인, 반도체 장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 아라미드 막은 5 GPa 이상 12 GPa 이하의 탄성을 및 300 MPa 보다 높은 파단 강도를 갖는, 반도체 장치.

청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 집적 회로 및 상기 아라미드 막 사이의 접착층을 더 포함하는, 반도체 장치.

청구항 5

반도체 장치에 있어서:

층;

상기 층 위에 있고, 상기 층보다 낮은 탄성을 및 높은 파단 강도를 갖는 제 1 아라미드 막;

상기 제 1 아라미드 막 위의 트랜지스터를 포함하는 집적 회로; 및

상기 집적 회로 위의 제 2 아라미드 막을 포함하고,

상기 트랜지스터는 산화물 반도체를 포함하는 반도체 층을 포함하고, 상기 반도체 층은 채널 형성 영역을 포함하고,

상기 반도체 장치는 가요성인, 반도체 장치.

청구항 6

제 1 항, 제 2 항 또는 제 5 항 중 어느 한 항에 있어서,
상기 산화물 반도체는 인듐 및 갈륨이 첨가된 산화 아연인, 반도체 장치.

청구항 7

제 5 항에 있어서,
상기 제 1 아라미드 막 및 상기 제 2 아라미드 막 중 하나는 5 GPa 이상 12 GPa 이하의 탄성을 및 300 MPa 보다 높은 파단 강도를 갖는, 반도체 장치.

청구항 8

제 5 항에 있어서,
상기 집적 회로와, 상기 제 1 아라미드 막 및 상기 제 2 아라미드 막 중 하나 사이의 접착층을 더 포함하는, 반도체 장치.

청구항 9

제 1 항, 제 2 항 및 제 5 항 중 어느 한 항에 있어서,
상기 층은 섬유체에 유기 수지가 함침된 구조체를 갖는, 반도체 장치.

청구항 10

제 9 항에 있어서,
상기 섬유체는 직물 또는 부직포(nonwoven fabric)인, 반도체 장치.

청구항 11

제 9 항에 있어서,
상기 섬유체는 폴리비닐 알코올 섬유, 폴리에스테르 섬유, 폴리아미드 섬유, 폴리에틸렌 섬유, 아라미드 섬유, 폴리파라페닐렌 벤조비스옥사졸 섬유, 유리 섬유, 및 탄소 섬유 중 하나를 사용하여 형성되는, 반도체 장치.

청구항 12

제 9 항에 있어서,
상기 유기 수지는 열경화성 수지 또는 열가소성 수지를 포함하는, 반도체 장치.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치들 및 반도체 장치를 제조하는 방법들에 관한 것이다.

배경 기술

[0002] 두께 및 크기에서의 감소가 시도되는 반도체 집적 회로 칩들(또한 IC 칩들로서 지칭됨)에 있어서, 외부로부터의 스트레스에 대해 강도를 증가시키는 것은 중요하다.

[0003] 칩들의 강도를 증가시키기 위해, 칩들을 보강하는 다양한 방법들이 제안되었다(참조 문헌 1: 일본 공개 특허 출원 번호 제 2006-139802 호 참조). 예를 들면, 참조 문헌 1에서, 칩이 보강 금속판들 사이에 샌드위치되고 경화될 밀봉 수지로 덮여지는 방법이 보고되었다.

발명의 내용

해결하려는 과제

[0004] 그러나, 보강 금속판들의 제공에 의해 반도체 장치가 두꺼워지고 대형 크기를 갖게 된다는 문제점이 있다.

[0005] 따라서, 본 발명의 실시 형태의 목적은, 두께 및 크기에서의 감소가 성취되면서 강도를 갖는 고신뢰성의 반도체 장치를 제공하는 것이다. 본 발명의 실시 형태의 또 다른 목적은, 제조 공정에서 형상 및 특성의 결함들을 방지함으로써 고수율로 반도체 장치를 제조하는 것이다.

과제의 해결 수단

[0006] 외부로부터 인가된 힘(또한, 외부 스트레스로 지칭됨)에 대한 내충격충 및 힘을 분산하는 충격 확산충이 반도체 장치에 제공된다. 내충격충 및 충격 확산충에 의해, 국부적으로 인가된 힘이 감소될 수 있어, 반도체 장치의 파손이나 특성 저하가 방지될 수 있다.

[0007] 반도체 장치에서, 반도체 집적 회로는 한 쌍의 내충격충들 및 한 쌍의 충격 확산충들 사이에 샌드위치된다. 반도체 집적 회로가 기판 위에 형성되고, 내충격충에 접착되고, 그후 기판으로부터 분리된다. 본 명세서에서, 기판으로부터 반도체 집적 회로를 분리함으로써 반도체 집적 회로 상에 생성된 표면은 분리면으로 지칭된다. 반도체 집적 회로의 분리면은 충격 확산충(제 2 충격 확산충)과 접촉하고, 반도체 집적 회로의 다른 표면은 내충격 충(제 1 내충격충)과 접촉한다. 제 1 충격 확산충은 제 1 내충격충의 외부측(반도체 집적 회로가 제공되는 측의 반대측 상에) 상에 제공되고, 제 2 내충격충은 제 2 충격 확산충의 외부측(반도체 집적 회로가 제공되는 측의 반대측 상에) 상에 제공된다.

[0008] 반도체 장치에서, 반도체 집적 회로는 한 쌍의 내충격충들 사이에 샌드위치되고, 충격 확산충은 반도체 집적 회로와 접촉하여 제공된다. 또한, 반도체 집적 회로는 한 쌍의 내충격충들 및 한 쌍의 충격 확산충들 사이에 샌드위치될 수 있다. 제 1 충격 확산충은 제 1 내충격충의 외부측(반도체 집적 회로가 제공되는 측의 반대측 상에) 상에 제공되고, 제 2 내충격충은 제 2 충격 확산충의 외부측(반도체 집적 회로가 제공되는 측의 반대측 상에) 상에 제공된다.

[0009] 반도체 집적 회로는 기판 위에 형성되고, 내충격충에 접착되고, 그후 기판으로부터 분리된다. 본 명세서에서, 기판으로부터 반도체 집적 회로를 분리함으로써 반도체 집적 회로 상에 생성된 표면은 분리면으로 지칭된다. 반도체 집적 회로의 분리면은 충격 확산충(제 2 충격 확산충)과 접촉하고, 반도체 집적 회로의 다른 표면은 내충격 충(제 1 내충격충)과 접촉한다.

[0010] 내충격충으로서, 섬유체(fibrous body)에 유기 수지가 함침된 구조체가 사용될 수 있다. 내충격충은 탄성률(modulus of elasticity) 13 Gpa 이상 및 파괴 계수(modulus of rupture) 300 MPa 미만인 것이 바람직하다.

[0011] 충격 확산충으로서, 낮은 탄성을 및 높은 파단 강도(breaking strength)를 갖는 재료를 사용하는 것이 바람직하고, 고무 탄성을 갖는 막이 사용되는 것이 바람직하다. 충격 확산충은 5 GPa 내지 12 GPa의 탄성을 및 파괴 계수 300 Mpa 이상인 것이 바람직하다.

[0012] 충격 확산충은 고강도 재료로 형성되는 것이 바람직하다. 고강도 재료의 대표적인 예들로서, 폴리비닐 알코올 수지(polyvinyl alcohol resin), 폴리에스테르 수지(polyester resin), 폴리아미드 수지(polyamide resin), 폴리에틸렌 수지(polyethylene resin), 아라미드 수지(aramid resin), 폴리파라페닐렌 벤조비스옥사졸 수지(polyparaphenylene benzobisoxazole resin), 유리 수지 등이 있다. 탄성을 갖는 고강도 재료로 형성된 충격 확산충의 제공에 의해, 국부적인 압력과 같은 하중이 총 전체를 통해 분산 및 흡수되어, 반도체 장치의 파손이 방지된다.

[0013] 더욱 구체적으로, 충격 확산충으로서, 아라미드 수지, 폴리에틸렌나프탈레이트(PEN) 수지, 폴리에스테르 술폰(PES) 수지, 폴리페닐렌 셀파이드(PPS) 수지, 폴리아미드(PI) 수지가 사용될 수 있다.

[0014] 본 명세서에서, 용어 "전치(transfer)"(또한, 전재(transpose)로서 지칭됨)는, 기판 위에 형성된 반도체 집적 회로를 기판으로부터 분리하고 반도체 집적 회로를 또 다른 기판으로 이동시키는 것을 나타낸다. 다시 말해서, 용어 "전치"는 반도체 집적 회로가 또 다른 기판에 제공되는 위치를 이동시키는 것을 나타낸다.

[0015] 본 발명에 따른 반도체 장치의 실시 형태는 한 쌍의 제 1 내충격충과 제 2 내충격충 사이에 샌드위치된 반도체 집적 회로, 및 반도체 집적 회로와 제 2 내충격충 사이의 충격 확산충을 포함한다. 충격 확산충은 제 1 내충격 충 및 제 2 내충격충보다 낮은 탄성을 및 높은 파단 강도를 갖는다.

[0016]

본 발명에 따른 반도체 장치의 또 다른 실시 형태는 한 쌍의 제 1 내충격층과 제 2 내충격층 사이에 샌드위치된 반도체 접적 회로, 및 반도체 접적 회로와 제 2 내충격층 사이의 충격 확산층, 및 반도체 접적 회로와 충격 확산층 사이의 접착층을 포함한다. 충격 확산층은 제 1 내충격층 및 제 2 내충격층보다 낮은 탄성을 및 높은 파단 강도를 갖는다.

[0017]

본 발명에 따라 반도체 장치의 또 다른 실시 형태는 한 쌍의 제 1 내충격층 및 제 2 내충격층 사이에 샌드위치된 반도체 접적 회로, 반도체 접적 회로가 제공되는 표면의 반대인 표면 상의 제 1 내충격층의 제 1 충격 확산층, 및 반도체 접적 회로와 제 2 내충격층 사이의 제 2 충격 확산층을 포함한다. 제 1 충격 확산층 및 제 2 충격 확산층은 제 1 내충격층 및 제 2 내충격층보다 낮은 탄성을 및 높은 파단 강도를 갖는다.

[0018]

본 발명의 반도체 장치의 또 다른 실시 형태는 한 쌍의 제 1 내충격층 및 제 2 내충격층 사이에 샌드위치된 반도체 접적 회로, 반도체 접적 회로가 제공되는 표면의 반대인 표면 상의 제 1 내충격층의 제 1 충격 확산층, 및 반도체 접적 회로와 제 2 내충격층 사이의 제 2 충격 확산층, 및 반도체 접적 회로와 제 2 충격 확산층 사이의 접착층을 포함한다. 제 1 충격 확산층 및 제 2 충격 확산층은 제 1 내충격층 및 제 2 내충격층보다 낮은 탄성을 및 높은 파단 강도를 갖는다.

[0019]

상술된 구조들에서, 반도체 장치에는 외부로부터/로 신호를 수신 또는 송신하는 안테나가 제공될 수 있다. 예를 들면, 안테나는 반도체 접적 회로와 제 1 내충격층 사이에 제공될 수 있다. 또한, 보호층은 반도체 접적 회로 위에 제공될 수 있고, 예를 들면, 반도체 접적 회로 위에 제공된 안테나를 덮기 위해 무기 절연층이 보호층으로서 형성될 수 있다.

[0020]

본 발명에 따른 반도체 장치 제조 방법의 또 다른 실시 형태는 다음의 단계들: 분리층을 기판과 반도체 접적 회로 사이에 개재하여 반도체 접적 회로가 기판 위에 형성되고; 제 1 내충격층이 반도체 접적 회로에 접착되고; 반도체 접적 회로가 기판으로부터 분리되고; 제 2 내충격층과 충격 확산층이 접착되고; 제 2 내충격층에 접착된 충격 확산층이 기판으로부터 분리된 반도체 접적 회로에 접착되는 단계를 포함한다. 충격 확산층은 제 1 내충격층 및 제 2 내충격층보다 낮은 탄성을 및 높은 파단 강도를 갖는다.

[0021]

본 발명에 따른 반도체 장치 제조 방법의 또 다른 실시 형태는 다음의 단계들: 분리층을 기판과 반도체 접적 회로 사이에 개재하여 반도체 접적 회로가 기판 위에 형성되고; 제 1 내충격층이 가열 및 가압 처리에 의해 반도체 접적 회로에 접착되고; 반도체 접적 회로가 기판으로부터 분리되고; 제 2 내충격층과 충격 확산층이 가열 및 가압 처리에 의해 접착되고; 제 2 내충격층에 접착된 충격 확산층이 기판으로부터 분리된 반도체 접적 회로에 접착층에 의해 접착되는 단계를 포함한다. 충격 확산층은 제 1 내충격층 및 제 2 내충격층보다 낮은 탄성을 및 높은 파단 강도를 갖는다.

[0022]

본 발명에 따른 반도체 장치 제조 방법의 또 다른 실시 형태는 다음의 단계들: 분리층을 기판과 반도체 접적 회로 사이에 개재하여 반도체 접적 회로가 기판 위에 형성되고; 제 1 내충격층이 반도체 접적 회로에 접착되고; 제 1 충격 확산층이 제 1 내충격층에 접착되고; 반도체 접적 회로가 기판으로부터 분리되고; 제 2 내충격층과 제 2 충격 확산층이 접착되고; 제 2 내충격층에 접착된 제 2 충격 확산층이 기판으로부터 분리된 반도체 접적 회로에 접착되는 단계를 포함한다. 제 1 충격 확산층 및 제 2 충격 확산층은 제 1 내충격층 및 제 2 내충격층보다 낮은 탄성을 및 높은 파단 강도를 갖는다.

[0023]

본 발명에 따른 반도체 장치 제조 방법의 또 다른 실시 형태는 다음의 단계들: 분리층을 기판과 반도체 접적 회로 사이에 개재하여 반도체 접적 회로가 기판 위에 형성되고; 제 1 내충격층이 반도체 접적 회로 위에 형성되고; 제 1 충격 확산층이 제 1 내충격층 위에 형성되고; 반도체 접적 회로, 제 1 내충격층, 및 제 1 충격 확산층이 가열 및 가압 처리에 의해 서로 접착되고; 반도체 접적 회로가 기판으로부터 분리되고; 제 2 내충격층 및 제 2 충격 확산층이 가열 및 가압 처리에 의해 접착되고; 제 2 내충격층에 접착된 제 2 충격 확산층이 기판으로부터 분리된 반도체 접적 회로에 접착층에 의해 접착되는 단계를 포함한다. 제 1 충격 확산층 및 제 2 충격 확산층은 제 1 내충격층 및 제 2 내충격층보다 낮은 탄성을 및 높은 파단 강도를 갖는다.

[0024]

본 발명에서, 용어 "반도체 장치"는 반도체 속성들을 사용하여 기능할 수 있는 일반적인 장치들을 나타낸다는 것을 유의하라. 반도체 소자(트랜지스터, 메모리 소자 또는 다이오드)를 포함하는 회로를 갖는 장치, 및 프로세서 회로를 갖는 칩과 같은 반도체 장치는 본 발명을 사용하여 제조될 수 있다.

발명의 효과

[0025]

반도체 접적 회로를 샌드위치하는 한 쌍의 내충격층들, 및 반도체 접적 회로 상에 적층되어 제공된 충격 확산층

에 의해, 두께 및 크기에서 감소가 성취되면서, 강도를 갖는 고신뢰성의 반도체 장치가 제공될 수 있다. 또한, 제조 공정에서 형상 및 특성의 결함들을 방지함으로써 고수율로 반도체 장치가 제조될 수 있다.

도면의 간단한 설명

[0026] 도 1a 내지 도 1c는 반도체 장치를 예시하는 도면.

도 2a 및 도 2b는 반도체 장치를 예시하는 도면.

도 3a 내지 도 3d는 반도체 장치 제조 방법을 예시하는 도면.

도 4a 내지 도 4c는 반도체 장치 제조 방법을 예시하는 도면.

도 5a 내지 도 5c는 반도체 장치 제조 방법을 예시하는 도면.

도 6a 내지 도 6e는 반도체 장치 제조 방법을 예시하는 도면.

도 7a 내지 도 7c는 반도체 장치 제조 방법을 예시하는 도면.

도 8a 및 도 8b는 반도체 장치 제조 방법을 예시하는 도면.

도 9a 내지 도 9g 각각은 반도체 장치 적용 예를 예시하는 도면.

도 10은 반도체 장치를 예시하는 도면.

도 11a 내지 도 11c는 반도체 장치를 예시하는 도면.

도 12는 반도체 장치를 사용하여 획득될 수 있는 마이크로 프로세서의 구성을 예시하는 블록도.

도 13은 반도체 장치를 사용하여 획득될 수 있는 RFCPU의 구성을 예시하는 블록도.

도 14a 내지 도 14d는 반도체 장치 제조 방법을 예시하는 도면.

도 15a 내지 도 15c는 반도체 장치 제조 방법을 예시하는 도면.

도 16a 내지 도 16c는 반도체 장치 제조 방법을 예시하는 도면.

도 17a 내지 도 17c는 반도체 장치를 예시하는 도면.

도 18a 및 도 18b는 반도체 장치를 예시하는 도면.

도 19a 내지 도 19d는 반도체 장치 제조 방법을 예시하는 도면.

도 20a 및 도 20b는 반도체 장치 제조 방법을 예시하는 도면.

도 21a 내지 도 21c는 반도체 장치 제조 방법을 예시하는 도면.

도 22a 및 도 22b는 반도체 장치 제조 방법을 예시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0027] 본 발명에 따른 실시 형태들은 첨부한 도면들을 참조하여 상세하게 설명될 것이다. 그러나, 본 발명은 다음의 설명에 제한되지 않고, 형태 및 상세들에서 다양한 변경들 및 수정들이 본 발명의 사상 및 범위를 벗어나지 않는다면, 다양한 변경들 및 수정들이 당업자에게 명백할 것이다. 따라서, 본 발명이 이하에 기재된 실시 형태에서 설명된 내용에 한정되는 것으로 해석되어서는 안 된다. 동일한 부분들 또는 유사한 기능들을 갖는 부분들은 반복된 설명을 생략하기 위해 도면들에 걸쳐 동일한 참조 번호들로 표시된다.

[0028] (실시 형태 1)

[0029] 본 실시 형태에서, 고신뢰성의 반도체 장치 및 고수율을 갖는 반도체 장치 제조 방법이 도 1a 내지 도 1c, 도 2a 및 도 2b, 및 도 3a 내지 도 3d를 참조하여 설명될 것이다.

[0030] 본 실시 형태의 반도체 장치에서, 반도체 접적 회로는 반도체 접적 회로의 형성에서 사용되는 기판으로부터 분리되고, 가요성을 갖는 내충격충들 사이에 개재된다. 반도체 접적 회로가 형성된 기판이 또한 제조 기판으로서 지정된다는 것을 유의하라. 따라서, 반도체 접적 회로는 그 사이에 개재된 분리충을 갖는 제조 기판 위에 형성된다.

[0031] 도 1a 및 도 1b 각각은 본 실시 형태의 반도체 장치를 예시한다. 도 1a에서, 반도체 집적 회로(100)는 제 1 내충격층(112)과 제 1 충격 확산층(113), 및 제 2 내충격층(102)과 제 2 충격 확산층(103) 사이에 샌드위치된다. 제 2 충격 확산층(103)은 반도체 집적 회로(100)와 제 2 내충격층(102) 사이에 제공된다. 제 1 내충격층(112) 및 제 2 내충격층(102)에 대해, 섬유체에 유기 수지가 함침된 구조체가 사용된다. 제 1 내충격층(112)은 섬유체(160)에 유기 수지(161)가 함침된 구조체를 갖고, 제 2 내충격층(102)은 섬유체(150)에 유기 수지(151)가 함침된 구조체를 갖는다.

[0032] 반도체 집적 회로(100)의 분리면은 제 2 충격 확산층(103)과 접촉하고, 다른 표면은 제 1 내충격층(112)과 접촉된다. 제 1 충격 확산층(113)은 제 1 내충격층(112)의 외부측(반도체 집적 회로(100)가 제공되는 측의 반대측 상에) 상에 제공되고, 제 2 내충격층(102)은 제 2 충격 확산층(103)의 외부측(반도체 집적 회로(100)가 제공되는 측의 반대측 상에) 상에 제공된다.

[0033] 도 1c는 날실들(warp yarns) 및 씨실들(weft yarns)에 대한 실 다발들을 사용하여 제작된 섬유체(160)로서 직물(woven fabric)의 상면도를 예시한다.

[0034] 도 1c에 예시된 바와 같이, 섬유체(160)는 일정한 간격들을 둔 날실들 및 일정한 간격을 둔 씨실들을 사용하여 제작된다. 날실들 및 씨실들을 사용하여 제작된 그러한 섬유체는 날실들 및 씨실들이 없는 영역들을 갖는다. 그러한 섬유체(160)에 유기 수지(161)가 더 함침되고, 이로써 섬유체(160)와 반도체 집적 회로 간의 밀착성이 더 증가될 수 있다.

[0035] 또한, 섬유체(160)에서, 날실들 및 씨실들의 밀도가 높을 수 있고, 날실들 및 씨실들이 없는 영역의 비율이 낮을 수 있다.

[0036] 섬유체(160)에 유기 수지(161)가 함침된 그러한 구조체는 또한 소위 프리프레그(prepreg)라 한다. 프리프레그는 구체적으로 다음의 방법으로 형성된다: 매트릭스 수지가 유지 용제로 희석된 바니시(varnish)가 섬유체에 함침된 후에, 건조가 수행되어, 유기 용제가 휘발되고, 매트릭스 수지가 반경화된다(semi-cured). 구조체의 두께는 바람직하게는 $10 \mu\text{m}$ 내지 $100 \mu\text{m}$ 이고, 더욱 바람직하게는 $10 \mu\text{m}$ 내지 $30 \mu\text{m}$ 이다. 그러한 두께를 갖는 구조체가 사용될 때, 만곡될 수 있는 얇은 반도체 장치가 제조될 수 있다. 또한, 내충격층은 13 GPa 이상의 탄성을 및 300 MPa 이하의 파괴 계수를 갖는 것이 바람직하다. 예를 들면, 내충격층으로서, 13 GPa 내지 15 GPa의 탄성을 및 140 MPa의 파괴 계수를 갖는 프리프레그가 사용될 수 있다.

[0037] 섬유체에 유기 수지가 함침된 구조체가 복수의 층들을 적층함으로써 형성될 수 있다는 것을 유의하라. 이러한 경우에, 구조체는 각각이 단일층을 갖는 섬유체에 유기 수지가 함침된 복수의 구조체들을 적층하거나 적층된 복수의 섬유체들에 유기 수지를 함침함으로써 형성될 수 있다. 각각이 단일층을 갖는 섬유체에 유기 수지가 함침된 복수의 구조체들을 적층할 시에, 또 다른 층이 구조체들 사이에 개재될 수 있다.

[0038] 유기 수지(161)로서, 에폭시 수지, 불포화 폴리에스테르 수지, 폴리이미드 수지, 비스말레이미드-트리아진 수지(bismaleimide-triazine resin), 및 시안산염 수지(cyanate resin)와 같은 열경화성 수지가 사용될 수 있다. 또한, 유기 수지(161)로서, 폴리페닐렌 옥사이드 수지(polyphenylene oxide resin), 폴리에테르이미드 수지(polyetherimide resin), 및 불소 수지(fluorine resin)와 같은 열가소성 수지가 사용될 수 있다. 또한, 대안으로, 상술된 열경화성 수지 및 열가소성 수지로부터 선택된 복수의 수지들이 유기 수지(161)로서 사용될 수 있다. 상술된 유기 수지를 사용함으로써, 섬유체는 가열 처리에 의해 반도체 집적 회로에 고정될 수 있다. 유기 수지(161)의 유리 전이 온도가 높을수록, 국부적인 가압에 의해 유기 수지(161)가 덜 파괴되고, 이것이 바람직하다.

[0039] 고열전도성 필러는 유기 수지(161) 또는 섬유들의 실 다발들 내에서 분산될 수 있다. 고열전도성 필러로서, 질화 알루미늄, 질화 봉소, 질화 규소, 알루미나 등을 들 수 있다. 고열전도성 필러로서, 은 또는 구리와 같은 금 속 입자가 있다. 고열전도성 필러가 유기 수지 또는 섬유들의 실 다발에 포함될 때, 반도체 집적 회로에서 생성된 열이 쉽게 외부로 방출될 수 있다. 따라서, 반도체 장치 내의 축열(thermal storage)이 억제될 수 있고, 반도체 장치의 파괴가 감소될 수 있다.

[0040] 섬유체(160)는 유기 화합물 또는 무기 화합물의 고강도 섬유를 사용하는 직물 또는 부직포(nonwoven fabric)이고, 고강도 섬유가 서로 겹칠 수 있도록 배치된다. 고강도 섬유는 구체적으로 높은 인장 탄성을 갖는 섬유 또는 높은 영율(Young's modulus)을 갖는 섬유이다. 고강도 섬유의 대표적인 예들로서, 폴리비닐 알코올 섬유, 폴리에스테르 섬유, 폴리아미드 섬유, 폴리에틸렌 섬유, 아라미드 섬유, 폴리파라페닐렌 벤조비스옥사졸 섬유, 유리 섬유 및 탄소 섬유 등을 들 수 있다. 유리 섬유로서, E 유리, S 유리, D 유리, Q 유리 등을 사용하는 유리

섬유를 들 수 있다. 섬유체(160)는 한 종류의 상술된 고강도 섬유들 또는 복수의 상술된 고강도 섬유들로 형성될 수 있다는 것을 유의하라.

[0041] 섬유체(160)는 날실들 및 씨실들로 섬유들(단사)의 다발들(이후에 섬유 다발들이 실 다발로서 지칭됨)을 사용하여 제작된 직물 또는 복수의 종류의 섬유들의 실 다발들을 임의의 방법 또는 하나의 방향으로 적층시킴으로써 획득된 부직포일 수 있다. 직물의 경우에, 평직물(plain-woven fabric), 능직물(twill fabric), 수직직물(satin-woven fabric) 등이 적절히 사용될 수 있다.

[0042] 실 다발은 단면이 원형 또는 타원형을 가질 수 있다. 섬유들의 실 다발로서, 고압 수류, 액체를 매체로서 사용하는 고주파수 진동, 연속 초음파 진동, 롤러에 의한 가압 등에 의해 개섬 가공이 실시된 섬유 실 다발이 사용될 수 있다. 개섬 가공이 실시된 섬유 실 다발은 큰 폭을 갖고, 두께 방향에서 더 적은 수의 단수들을 갖고, 그의 단면에서 타원형 또는 평평한 형상을 갖는다. 또한, 섬유 실 다발로서 느슨하게 꼬인 실을 사용함으로써, 실 다발은 쉽게 평탄해지고 단면에서 타원형 또는 평평한 형상을 갖는다. 이러한 방법으로 단면에서 타원형 또는 평평한 형태를 갖는 실 다발의 사용은 섬유체(160)의 두께를 얇게 할 수 있다. 따라서, 구조체가 얇게 될 수 있고, 따라서, 얇은 반도체 장치가 제조될 수 있다.

[0043] 본 실시 형태의 도면들에서, 단면에서 타원형을 갖는 실 다발을 사용하는 평직물인 직물로서 섬유체(160)가 예시된다.

[0044] 또한, 섬유 실 다발의 내부로의 유기 수지의 침투율을 강화하기 위해, 섬유에 표면 처리가 실시될 수 있다. 예를 들면, 표면 처리로서, 섬유의 표면을 활성화하는 코로나 방전, 플라즈마 방전 등이 있다. 또한, 실란 커플링제(silane coupling agent) 또는 티탄산염 커플링제(titanate coupling agent)를 이용한 표면 처리가 제공될 수 있다.

[0045] 또한, 충격 확산층들(제 1 충격 확산층 및 제 2 충격 확산층)로서, 저탄성을 및 고파단 강도를 갖는 재료를 사용하는 것이 바람직하고, 즉, 고무 탄성을 갖는 막을 사용하는 것이 바람직하다. 충격 확산층들은 5 GPa 내지 12 GPa의 탄성을 및 300 MPa 이상의 파괴 계수를 갖는 것이 바람직하다.

[0046] 충격 확산층들은 고강도 재료로 형성되는 것이 바람직하다. 고강도 재료의 대표적인 예들로서, 폴리비닐 알코올 수지, 폴리에스테르 수지, 폴리아미드 수지, 폴리에틸렌 수지, 아라미드 수지, 폴리파라페닐렌 벤조비스옥사졸 수지, 유리 수지 등을 들 수 있다. 탄성을 갖는 고강도 재료로 형성된 충격 확산층의 제공에 의해, 국부적인 압력과 같은 하중이 충 전체에 분산 및 흡수되어, 반도체 장치의 파손이 방지된다.

[0047] 더욱 구체적으로, 충격 확산층으로서, 아라미드 수지, 폴리에틸렌나프탈레이트(PEN) 수지, 폴리에테르 술폰(PES) 수지, 폴리페닐렌 셀파이드(PPS) 수지, 폴리이미드(PI) 수지 등이 사용될 수 있다. 본 실시 형태에서, 충격 확산층들로서, 아라미드 수지막(10 GPa의 탄성을 및 480 MPa의 파단 강도를 가짐)이 사용된다.

[0048] 도 1b는, 반도체 접적 회로(100) 및 제 2 충격 확산층(103)이 접착층(104)에 의해 서로 접착되고 제 1 내충격층(112) 및 제 1 충격 확산층(113)이 접착층(114)에 의해 서로 접착되는 예를 예시한다. 본 실시 형태에서, 제 2 충격 확산층(103)으로서 아라미드 막이 사용되고, 접착층(104)으로서 아크릴 수지가 사용된다. 접착층(104)은 충격 확산층 및 반도체 접적 회로가 서로 접착되도록 하는 것이 바람직하고, 그에 대해 열경화성 수지, 자외선 경화 수지, 아크릴 수지, 우레탄 수지, 에폭시 수지, 실리콘 수지 등이 사용될 수 있다. 제 1 내충격층(112) 및 제 1 충격 확산층(113)이 가열 및 가압 처리에 의해 서로 접착되는 경우에, 접착층(114)이 반드시 사용되지는 않는다. 접착층은 3 μm 내지 15 μm 의 두께를 가질 수 있다.

[0049] 또한, 보호층은 반도체 접적 회로 위에 형성될 수 있다. 도 2a 및 도 2b 각각은 무기 절연층(105)이 보호층으로서 반도체 접적 회로(100) 위에 형성되는 예를 예시한다. 또한, 도 2a 및 도 2b에서, 안테나(101)는 반도체 접적 회로(100) 위에 형성되고, 무기 절연층(105)이 그 위에 형성된다. 안테나(101)가 무기 절연층(105)으로 덮여지기 때문에, 안테나로서 기능하는 도전층의 산화가 방지될 수 있다.

[0050] 무기 절연층(105)은 스퍼터링 방법, 플라즈마 CVD 방법, 코팅 방법, 인쇄 방법 등에 의해 단일층 또는 적층을 갖도록 무기 화합물을 사용하여 형성된다. 무기 화합물의 대표적인 예로서, 규소 산화물 또는 규소 질화물을 들 수 있다. 규소 산화물 및 규소 질화물의 대표적인 예로서, 산화 규소, 산화 질화 규소, 질화 규소, 질화 산화 규소 등이 해당된다.

[0051] 또한, 무기 절연층(105)은 적층 구조를 가질 수 있다. 예를 들면, 적층 구조는 무기 화합물을 적층함으로써 형성될 수 있다. 대표적으로, 무기 절연층(105)은 산화 규소, 질화 산화 규소, 및 산화 질화 규소를 적층함으로써

형성될 수 있다.

[0052] 반도체 장치 제조 방법이 도 3a 내지 도 3d를 참조하여 설명된다. 반도체 집적 회로(100)는 제조 기판인 절연 표면을 갖는 기판(110) 위에 형성되고, 분리층(111)이 그 사이에 개재된다(도 3a 참조).

[0053] 제조 기판인 기판(110)으로서, 유리 기판, 석영 기판, 사파이어 기판, 세라믹 기판, 그의 표면 위에 절연층을 갖는 금속 기판 등이 사용될 수 있다. 또한, 본 실시 형태의 처리 온도를 견딜 수 있는 플라스틱 기판이 사용될 수 있다. 반도체 장치의 제조 단계들을 통해, 제조 기판은 수행될 단계들에 의존하여 적절히 선택될 수 있다.

[0054] 분리층(111)은 스퍼터링 방법, 플라즈마 CVD 방법, 코팅 방법, 인쇄법 등에 의해, 텅스텐(W), 몰리브덴(Mo), 티타늄(Ti), 탄탈(Ta), 니오브(Nb), 니켈(Ni), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 아리듐(Ir), 규소(Si)로부터 선택된 원소, 또는 상술된 원소를 주성분으로 포함하는 합금 재료 또는 화합물 재료를 사용하는 단일층 또는 적층으로 형성된다. 규소를 포함하는 층의 결정 구조는 비정질 구조, 미결정 구조 또는 다결정 구조 중 임의의 구조일 수 있다. 본원에서 코팅 방법이 스픈 코팅 방법, 액적 토출 방법(droplet discharge method), 및 디스펜서 방법을 포함한다는 것을 유의하라.

[0055] 분리층(111)이 단일층 구조를 갖는 경우에, 텅스텐 층, 몰리브덴 층 또는 텅스텐 및 몰리브덴의 혼합물을 포함하는 층이 형성되는 것이 바람직하다. 대신에, 텅스텐의 산화물 또는 산화 질화물을 포함하는 층, 몰리브덴의 산화물 또는 산화 질화물, 또는 텅스텐 및 몰리브덴의 혼합물의 산화물 또는 산화 질화물을 포함하는 층이 형성될 수 있다. 텅스텐 및 몰리브덴의 혼합물은, 예를 들면, 텅스텐 및 몰리브덴의 합금에 대응한다는 것을 유의하라.

[0056] 분리층(111)이 적층 구조를 갖는 경우에, 제 1 층으로서, 텅스텐 층, 몰리브덴 층, 또는 텅스텐 및 몰리브덴의 혼합물을 포함하는 층을 형성하고, 제 2 층으로서, 텅스텐, 몰리브덴 또는 텅스텐과 몰리브덴 혼합물의 산화물, 질화물, 산화 질화물, 또는 질화 산화물을 형성하는 것이 바람직하다.

[0057] 분리층(111)이 텅스텐을 포함하는 층 및 텅스텐 산화물을 포함하는 층의 적층 구조를 갖는 경우에, 텅스텐을 포함하는 층이 먼저 형성될 수 있고, 산화물로 형성된 절연층이 텅스텐을 포함하는 층 상에 형성되어, 텅스텐 산화물을 포함하는 층이 텅스텐층과 절연층 사이의 계면에 형성될 수 있다. 또한, 텅스텐 층의 표면은, 텅스텐의 산화물을 포함하는 층을 형성하기 위해 열산화 처리, 산소 플라즈마 처리, 또는 오존 수와 같은 강한 산화 용액을 사용하는 처리가 실시될 수 있다. 플라즈마 처리 및 가열 처리는 산소, 질소, 일산화 이질소, 일산화 이질소의 단체, 또는 상기 가스와 또 다른 가스의 혼합 가스의 대기에서 수행될 수 있다. 텅스텐의 질화물, 산화 질화물, 및 질화 산화물을 포함하는 층을 형성하는 경우도 동일하다. 텅스텐을 포함하는 층이 형성된 후에, 질화 규소층, 산화 질화 규소층 및 질화 산화 규소층이 그 위에 형성될 수 있다.

[0058] 상기 단계에 따라, 기판(110)과 접촉하도록 분리층(111)이 형성되지만, 본 발명은 이에 제한되지 않는다. 기저가 되는 절연층은 기판(110)과 접촉하도록 형성될 수 있고, 분리층(111)은 절연층과 접촉하도록 제공될 수 있다.

[0059] 반도체 집적 회로(100) 및 내충격층(112)이 접착되고, 반도체 집적 회로(100)는 분리층(111)을 사용하여 기판(110)으로부터 분리된다. 따라서, 반도체 집적 회로(100)는 제 1 내충격층(112) 층에 제공된다(도 3b 참조).

[0060] 본 실시 형태에서, 제 1 내충격층(112)으로서, 섬유체(160)에 유기 수지(161)가 함침된 구조체가 사용된다. 구조체가 가열되고, 압착되어, 구조체의 유기 수지가 가소화되거나 경화된다. 유기 수지가 유기 플라스틱 수지인 경우에, 가소화된 유기 수지는 실온에서 냉각되어 경화된다. 가열 및 가압에 의해, 유기 수지는 반도체 집적 회로와 밀착하도록 균일하게 넓혀지고, 경화된다. 구조체에 압착이 실시되는 단계는 대기압 또는 감압 하에서 수행된다.

[0061] 반도체 집적 회로가 또 다른 기판으로 전치되는 전치 단계는 다음의 방법: 즉, 분리층이 기판과 반도체 집적 회로 사이에 형성되고, 산화 금속막이 분리층과 반도체 집적 회로 사이에 제공되고, 산화 금속막이 결정화에 의해 약화되어, 반도체 집적 회로를 분리하는 방법; 수소를 포함하는 비정질 규소막이 고내열성을 갖는 기판과 반도체 집적 회로 사이에 제공되고, 비정질 규소막을 제거하기 위해 비정질 규소막에 레이저 빔으로 조사되거나 에칭되어, 반도체 집적 회로를 분리하는 방법; 분리층이 기판과 반도체 집적 회로 사이에 형성되고, 산화 금속막이 분리층과 반도체 집적 회로 사이에 제공되고, 산화 금속막이 결정화에 의해 약화되고, NF_3 , BrF_3 , 또는 ClF_3 와 같은 불화 할로겐 가스 또는 용액을 사용하여 분리층의 일부가 에칭되고, 약화된 산화 금속막에서 분리가 수행되는 방법; 반도체 집적 회로가 형성되는 기판이 기계적으로 제거되거나, NF_3 , BrF_3 , 또는 ClF_3 등과 같은 불

화 할로겐 가스 또는 용액을 사용하여 에칭되는 방법을 적절히 사용하여 수행될 수 있다는 것을 유의하라. 또한, 질소, 산소, 수소 등을 포함하는 막(예를 들면, 수소를 포함하는 비정질 규소막, 수소를 포함하는 합금막, 또는 산소를 포함하는 합금막)이 분리층으로서 사용되고, 분리층에 레이저 빔이 조사되어, 분리층에 포함된 질소, 산소, 또는 수소가 가스로서 방출되고, 이로써 반도체 집적 회로와 기판 사이에 분리를 촉진하는 방법을 사용하는 것이 또한 가능하다.

[0062] 상술된 분리 방법들을 조합하여, 전치 단계가 더욱 쉽게 수행될 수 있다. 즉, 레이저 빔 조사, 가스 또는 용액을 사용하는 분리층 에칭, 및/또는 날카로운 나이프 또는 메스를 사용하여 분리층을 기계적으로 제거함으로써 분리층 및 반도체 집적 회로가 서로 분리되기 쉽게 만든 후에, 물리력(예를 들면, 기계 등에 의해)으로 분리가 수행될 수 있다.

[0063] 또한, 반도체 집적 회로는, 액체를 분리층과 반도체 집적 회로 사이의 계면에 침투시킴으로써 제조 기판으로부터 분리될 수 있다.

[0064] 제 2 내충격층(102)은, 제 1 내충격층(112)과 유사하게, 섬유체(150)에 유기 수지(151)가 함침된 구조체를 갖는다. 구조체가 가열되고 압착이 실시되어, 제 2 충격 확산층(103) 및 제 2 내충격층(102)이 접착된다. 접착층(104)은, 제 2 내충격층(102)이 제공되는 표면의 반대인 제 2 충격 확산층(103)의 표면 상에 제공된다.

[0065] 접착층(104)은 반도체 집적 회로(100)의 노출된 분리면에 접착되어, 제 1 내충격층(112)과 제 2 내충격층(102) 사이에 샌드위치된 반도체 집적 회로(100)를 갖는 반도체 장치가 형성된다(도 3c 참조).

[0066] 또한, 제 1 충격 확산층(113)은 그 사이에 개재된 접착층(114)에 의해, 반도체 집적 회로(100)가 제공되는 표면의 반대인 제 1 내충격층(112)의 표면에 접착된다(도 3d 참조).

[0067] 도 16a 내지 도 16c에 예시된 바와 같이, 제 1 충격 확산층(113)은 제 1 내충격층(112) 및 반도체 집적 회로(100)가 서로 접착되는 단계와 동시에 제 1 내충격층(112)에 접착될 수 있다.

[0068] 도 3a와 유사하게, 반도체 집적 회로(100)는 제조 기판인 절연 표면을 갖는 기판(110) 위에 형성되고, 분리층(111)이 그 사이에 개재된다(도 16a 참조).

[0069] 제 1 내충격층(112) 및 제 1 충격 확산층(113)은 반도체 집적 회로(100) 위에 적층되고, 가열 및 가압 처리가 수행되어, 제 1 내충격층(112) 및 제 1 충격 확산층(113)이 반도체 집적 회로(100)에 접착되고, 분리층(111)을 사용하여 기판(110)으로부터 분리된다(도 16b 참조). 반도체 집적 회로(100) 및 제 1 내충격층(112)의 접착 단계 및 제 1 내충격층(112) 및 제 1 충격 확산층(113)의 접착 단계는 동시 또는 개별적으로 수행될 수 있다.

[0070] 제 2 내충격층(102)이 적층된 제 2 충격 확산층(103)은 접착층(104)을 사용하여 반도체 집적 회로(100)의 분리면에 접착되어, 반도체 장치가 형성된다(도 16c 참조).

[0071] 충격 확산층이 반도체 집적 회로와 접촉하여 제공되기 때문에, 제조 공정에서 가압 처리가 수행될지라도, 파손 또는 특성 저하와 같은 악영향들을 반도체 집적 회로에 주지 않는다. 따라서, 반도체 장치는 고수율로 제조될 수 있다.

[0072] 반도체 집적 회로를 샌드위치한 한 쌍의 내충격층들, 및 한 쌍의 충격 확산층들에 의해, 두께 및 크기에서의 감소가 성취되면서 강도를 갖는 고신뢰성의 반도체 장치가 제공될 수 있다.

[0073] (실시 형태 2)

[0074] 본 실시 형태에서, 고신뢰성의 반도체 장치 및 고수율을 갖는 반도체 장치 제조 방법이 도 4a 내지 도 4c 및 도 5a 내지 도 5c를 참조하여 설명될 것이다. 여기서, 반도체 장치의 예로서, 상보형 금속 산화 반도체(CMOS)가 설명될 것이다.

[0075] 트랜지스터(210) 및 트랜지스터(211)는 제조 기판인 절연 표면을 갖는 기판(200) 위에 형성되고, 분리층(201) 및 기저 절연층이 그 사이에 개재되고, 절연막(212), 절연막(213), 및 절연막(214)이 그 위에 제공되고, 이로써 반도체 집적 회로(250)가 형성된다(도 4a 참조).

[0076] 트랜지스터(210)는 소스 및 드레인 영역들(224a 및 224b), 소스 및 드레인 영역들(224a 및 224b)보다 저농도의 불순물을 포함하는 불순물 영역들(223a 및 223b), 채널 형성 영역(226), 게이트 절연층(227), 게이트 전극층(228), 및 측벽 구조를 갖는 절연층들(229a 및 229b)을 포함하는 박막 트랜지스터이다. 소스 및 드레인 영역들(224a 및 224b)은 소스 및 드레인 전극층들로서 기능하는 배선층들(230a 및 230b)과 각각 접촉하고, 그에 전기

적으로 접속된다. 본 실시 형태에서, 트랜지스터(210)는, 소스 및 드레인 영역들(224a 및 224b), 및 LDD(저농도 평원 드레인) 영역들인 불순물 영역(223a 및 223b)에 p형 도전성을 부여하는 불순물 원소(예를 들면, 봉소(B), 알루미늄(Al), 갈륨(Ga) 등)를 포함하는 p 채널 박막 트랜지스터이다.

[0077] 트랜지스터(211)는 소스 및 드레인 영역들(204a 및 204b), 소스 및 드레인 영역들(204a 및 204b)보다 저농도의 불순물을 포함하는 불순물 영역들(203a 및 203b), 채널 형성 영역(206), 게이트 절연층(207), 게이트 전극층(208), 및 측벽 구조를 갖는 절연층들(209a 및 209b)을 포함하는 박막 트랜지스터이다. 소스 및 드레인 영역들(204a 및 204b)은 소스 및 드레인 전극층들로서 기능하는 배선층들(210a 및 210b)과 각각 접촉하고, 그에 전기적으로 접속된다. 본 실시 형태에서, 트랜지스터(211)는, 소스 및 드레인 영역들(204a 및 204b), 및 LDD(저농도 평원 드레인) 영역들인 불순물 영역(203a 및 203b)에 n형 도전성을 부여하는 불순물 원소(예를 들면, 인(P), 비소(As) 등)를 포함하는 n 채널 박막 트랜지스터이다.

[0078] 제 1 내충격층(262)으로서, 섬유체(280)에 유기 수지(281)가 함침된 구조체가 사용된다. 반도체 접적 회로(250) 및 제 1 내충격층(262)이 접착되고, 분리층(201)을 사용하여, 반도체 접적 회로(250)가 기판(200)으로부터 분리된다. 따라서, 반도체 접적 회로(250)가 제 1 내충격층(262) 측 상에 제공된다(도 4b 및 도 4c 참조).

[0079] 제 2 내충격층(252)은, 제 1 내충격층(262)과 유사하게, 섬유체(270)에 유기 수지(271)가 함침된 구조체를 갖는다. 구조체가 가열되고 압착이 실시되어, 제 2 충격 확산층(253) 및 제 2 내충격층(252)이 접착된다(도 5a 참조). 접착층(254)은 제 2 충격 확산층(253)의 제 2 내충격층(252)이 제공되는 표면의 반대인 표면 상에 제공된다.

[0080] 접착층(254)은 반도체 접적 회로(250)의 노출된 분리면에 접착된다(도 5b 참조). 또한, 제 1 충격 확산층(263)은 접착층(264)의 사용에 의해 제 1 내충격층(262)의 반도체 접적 회로(250)가 제공되는 표면의 반대인 표면에 접착된다. 따라서, 제 1 내충격층(262)과 제 1 충격 확산층(263), 및 제 2 내충격층(252)과 제 2 충격 확산층 사이에 샌드위치된 반도체 접적 회로(250)를 갖는 반도체 장치가 제조될 수 있다(도 5c 참조).

[0081] 충격 확산층이 반도체 접적 회로와 접촉하여 제공되기 때문에, 제조 공정에서 가압 처리가 수행될지라도, 파손 또는 특성 저하와 같은 악영향들을 반도체 접적 회로에 주지 않는다. 따라서, 반도체 장치는 고수율로 제조될 수 있다.

[0082] 반도체 접적 회로를 샌드위치한 한 쌍의 내충격층들, 및 반도체 접적 회로 상에 적층되도록 제공된 충격 확산층들에 의해, 두께 및 크기에서의 감소가 성취되면서 강도를 갖는 고신뢰성의 반도체 장치가 제공될 수 있다.

[0083] 본 실시 형태에서 제조된 반도체 장치는 가요성 내충격층 및 충격 확산층의 제공에 의해 가요성을 갖는 반도체 장치일 수 있다.

[0084] 트랜지스터들(210 및 211)에 포함된 반도체 층을 형성하는 재료로서, 기상 성장 방법 또는 스퍼터링 방법에 의해 실란 또는 게르만으로 대표되는 반도체 재료 가스를 사용하여 형성된 비정질 반도체(이후에 AS로 지칭됨), 광 에너지 또는 열 에너지를 활용함으로써 비정질 반도체를 결정화하여 형성된 다결정 반도체, 미결정(세미 아모퍼스 또는 마이크로 크리스탈로서 지칭됨) 반도체(이후에 SAS로 지칭됨) 등이 사용될 수 있다. 반도체 층은 스퍼터링 방법, LPCVD 방법, 플라즈마 CVD 방법 등에 의해 형성될 수 있다.

[0085] 미결정 반도체는, 깁스 자유 에너지(Gibbs free energy)가 고려될 때 비정질과 단결정 사이의 중간적인 준안정 상태에 속한다. 즉, 미결정 반도체는 자유 에너지에 관하여 안정된 제 3 상태를 갖는 반도체이고, 단거리 질서 및 격자 왜곡을 갖는다. 원주형 또는 바늘형 결정들은 기판 표면에 대해 법선 방향으로 성장한다. 미결정 반도체의 대표적인 예인 미결정 실리콘의 라만 스펙트럼(Raman spectrum)은 단결정 실리콘의 라만 스펙트럼의 피크를 나타내는 520 cm^{-1} 보다 저파수 측에 배치된다. 즉, 미결정 실리콘의 라만 스펙트럼의 피크는 단결정 실리콘을 나타내는 520 cm^{-1} 및 비정질 실리콘을 나타내는 480 cm^{-1} 사이에 존재한다. 반도체는 댕글링 결합을 종결시키기 위해 적어도 1 at.%의 수소 또는 할로겐을 포함한다. 또한, 격자 왜곡을 더 촉진하기 위해 헬륨, 아르곤, 크립톤, 네온과 같은 희가스가 포함되어, 안정성이 향상되고 양호한 미결정 반도체 층이 획득될 수 있다.

[0086] 미결정 반도체 층은 수십 내지 수백의 MHz의 주파수를 갖는 고주파수 플라즈마 CVD 방법 또는 1 GHz 이상의 주파수를 갖는 마이크로파 플라즈마 CVD 장치에 의해 형성된다. 미결정 반도체 층은 대표적으로 SiH_4 , Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 또는 SiF_4 와 같은 수소화 규소를 수소로 희석하여 형성될 수 있다. 수소화 규소 및 수소 이외에 헬륨, 아르곤, 크립톤, 및 네온의 희가스 원소들 중 하나 또는 복수의 종류들로 희석하여, 미결정 반도

체 층이 형성될 수 있다. 이러한 경우에, 수소화 규소에 대한 수소의 유량비는 5:1 내지 200:1, 바람직하게는 50:1 내지 150:1, 더욱 바람직하게는 100:1로 설정된다.

[0087] 수소화된 비정질 실리콘은 비정질 반도체로서 대표적으로 언급되고, 폴리실리콘 등은 결정성 반도체로서 대표적으로 언급될 수 있다. 폴리실리콘(다결정 실리콘)의 예들은, 주성분으로 폴리실리콘을 포함하고 800°C 이상의 공정 온도에서 형성되는 소위 고온 폴리실리콘, 주성분으로 폴리실리콘을 포함하고 600°C 이하의 공정 온도에서 형성된 소위 저온 폴리실리콘, 결정화 등을 촉진하는 원소를 사용하여 비정질 실리콘을 결정화하여 획득된 폴리실리콘을 포함한다. 물론, 상술된 바와 같이, 미결정 반도체 또는 반도체층의 일부에서 결정 상을 포함하는 반도체가 사용될 수 있다.

[0088] 반도체의 재료로서, 실리콘(Si), 게르마늄(Ge) 등의 원소 이외에, GaAs, InP, SiC, ZnSe, GaN 또는 SiGe와 같은 화합물 반도체가 사용될 수 있다. 또한, 산화물 반도체인 산화 아연(ZnO), 산화 주석(SnO₂) 등이 사용될 수 있다. 반도체 층으로서 ZnO를 사용하는 경우에, Y₂O₃, Al₂O₃, TiO₂의 적층 등이 게이트 절연층으로 사용될 수 있고, ITO, Au, Ti 등이 게이트 전극층, 소스 전극층, 및 드레인 전극층으로 사용될 수 있다. 또한, In, Ga 등이 ZnO에 첨가될 수 있다.

[0089] 반도체 층으로서 결정성 반도체 층을 사용하는 경우에, 결정성 반도체 층은 다양한 방법들(레이저 결정화 방법, 열 결정화 방법 또는 니켈파 같은 결정화를 촉진하는 원소를 사용하는 열결정화 방법)에 의해 형성될 수 있다. 또한, SAS인 미결정 반도체는 그의 결정성을 증가시키기 위해 레이저 빔으로 조사하여 결정화될 수 있다. 결정화를 촉진하는 원소가 도입되지 않는 경우에, 비정질 규소층에 레이저 빔을 조사하기 전에, 비정질 규소층을 질소 대기 하에서 한 시간 동안 500 °C의 온도에서 가열함으로써 비정질 규소층에 포함된 수소의 농도가 1×10^{20} atoms/cm³ 이하가 될 때까지 수소가 방출된다. 이것은, 많은 양의 수소를 포함하는 비정질 규소층이 레이저 빔으로 조사될 때, 비정질 규소층이 손상되기 때문이다.

[0090] 금속 원소를 비정질 반도체 층의 표면 또는 내부에 도입할 수 있는 기술이면, 금속 원소를 비정질 반도체 층에 도입하는 기술에 대해 특정 제한이 존재하지 않는다. 예를 들면, 스퍼터링 방법, CVD 방법, 플라즈마 처리 방법(플라즈마 CVD 방법 포함), 흡착 방법, 또는 금속염의 용액으로 코팅하는 방법이 사용될 수 있다. 상술된 처리들에서, 용액을 사용하는 방법이 편리하고 금속 원소의 농도를 쉽게 조절하는 이점을 갖는다. 또한, 비정질 반도체 층의 표면의 습윤성(wettability)을 개선하기 위하여 비정질 반도체 층의 전체 표면 상에 수용액을 널리 펴지게 하기 위해, 산소 대기에서의 UV 광 조사, 열 산화, 하이드록시 라디칼(hydroxy radical)을 포함하는 오존수 또는 과산화 수소 용액을 사용하는 처리에 의해 산화막이 형성되는 것이 바람직하다.

[0091] 결정성 반도체 층을 형성하기 위해 비정질 반도체 층이 결정화되는 결정화 단계에서, 결정화를 촉진하는 원소(촉매 원소 또는 금속 원소로 지칭됨)를 비정질 반도체 층에 첨가하고, 가열 처리(3 분 내지 24 시간 동안 550 °C 내지 750 °C에서)를 수행함으로써 결정화가 수행될 수 있다. 결정화를 촉진하는 원소는 철(Fe), 니켈(Ni), 코발트(Co), 루테늄(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 백금(Pt), 구리(Cu) 및 금(Au) 중 하나 이상의 원소일 수 있다.

[0092] 결정화를 촉진하는 원소를 결정성 반도체 층으로부터 제거 또는 감소시키기 위해, 불순물 원소를 포함하는 반도체 층이 결정성 반도체 층과 접촉하도록 형성되어, 게터링 싱크(gettering sink)로서 기능한다. 불순물 원소는 n 형 도전성을 부여하는 불순물 원소, p 형 도전성을 부여하는 불순물 원소, 또는 희가스 원소일 수 있다. 예를 들면, 인(P), 질소(N), 비소(As), 안티몬(Sb), 비스무스(Bi), 붕소(B), 헬륨(He), 네온(Ne), 아르곤(Ar), 크립톤(Kr) 및 제논(Xe)에서 선택된 하나 또는 복수의 원소들이 사용될 수 있다. 희가스 원소를 포함하는 반도체 층은 결정화를 촉진하는 원소를 포함하는 결정성 반도체 층 상에 형성되고, 가열 처리(3 분 내지 24 시간 동안 550 °C 내지 750 °C에서)가 수행된다. 결정성 반도체 층에서 결정화를 촉진하는 원소는 희가스 원소를 포함하는 반도체 층으로 이동하고, 결정성 반도체 층에서 결정화를 촉진하는 원소는 제거 또는 감소된다. 그후, 희가스 원소를 포함하는 게터링 싱크로서 기능하는 반도체 층이 제거된다.

[0093] 비정질 반도체 층은 가열 처리 및 레이저 광 조사 처리를 조합하여 결정화될 수 있다. 가열 처리 또는 레이저 광 조사 처리는 개별적으로 여러번 수행될 수 있다.

[0094] 또한, 결정성 반도체 층은 플라즈마 방법에 의해 기판 위에 직접적으로 형성될 수 있다. 또한, 결정성 반도체 층은 플라즈마 방법을 사용하여 기판 위에 선택적으로 형성될 수 있다.

[0095] 게이트 절연층들(207 및 227)은 산화 규소를 사용하여 형성될 수 있거나, 산화 규소 및 질화 규소의 적층 구조

로 형성될 수 있다. 게이트 절연층들(207 및 227)은 플라즈마 CVD 방법 또는 저압 CVD 방법에 의해 절연막을 침착시킴으로써 형성될 수 있거나 플라즈마 처리에 의한 고상 산화 또는 고상 질화에 의해 형성될 수 있다. 이것은, 플라즈마 처리에 의한 단결정 반도체 층의 산화 또는 질화에 의해 형성된 게이트 절연층이 치밀하고 높은 내전압을 갖고, 신뢰성이 우수하기 때문이다. 예를 들면, 일산화 이질소(N_2O)는 1 내지 3 배(유량비)의 Ar으로 희석되고, 반도체 층의 표면을 산화 또는 질화하기 위해 3 kW 내지 5 kW의 전력을 갖는 마이크로파(2.45 GHz)가 10 Pa 내지 30 Pa의 압력에서 인가된다. 이러한 처리에 의해, 1 nm 내지 10 nm(바람직하게는 2 nm 내지 6 nm)의 두께를 갖는 절연막이 형성된다. 또한, 일산화 이질소(N_2O) 및 실란(SiH_4)이 도입되고, 3 kW 내지 5 kW의 전력을 갖는 마이크로파(2.45 GHz)를 10 Pa 내지 30 Pa의 압력에서 인가하여 기상 성장 방법(vapor deposition method)에 의해 산화 질화 실리콘막이 형성되고, 따라서, 게이트 절연층이 형성된다. 고상 반응 및 기상 성장 방법에 의한 반응의 조합은 낮은 계면 상태 밀도 및 우수한 내전압을 갖는 게이트 절연층을 형성할 수 있다.

[0096] 게이트 절연층들(207 및 227)로서, 이산화 지르코늄, 산화 하프늄, 이산화 티타늄 또는 오산화 탄탈과 같은 고유전율 재료가 사용될 수 있다. 게이트 절연층들(207 및 227)로서 고유전율 재료가 사용될 때, 게이트 누설 전류가 감소될 수 있다.

[0097] 게이트 전극층들(208 및 228)은 CVD 방법, 스퍼터링 방법, 액적 토출 방법 등에 의해 형성될 수 있다. 게이트 전극층들은 Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W, Al, Ta, Mo, Cd, Zn, Fe, Ti, Si, Ge, Zr 및 Ba으로부터 선택된 원소, 또는 상기 원소들 중 임의의 원소를 주성분으로 포함하는 합금 재료 또는 화합물 재료를 사용하여 형성될 수 있다. 또한, 인과 같은 불순물 원소로 도핑된 다결정 실리콘막으로 대표되는 반도체 막, 또는 AgPdCu 합금이 사용될 수 있다. 또한, 단일층 구조 또는 다층 구조 중 어느 하나가 채용될 수 있고, 예를 들면, 질화 텅스텐 막 및 몰리브덴막의 2층 구조가 채용될 수 있거나, 50 nm의 두께를 갖는 텅스텐막, 500 nm의 두께를 갖는 알루미늄-실리콘 합금(Al-Si)의 막, 및 30 nm의 두께를 갖는 질화 티타늄막이 이러한 순서로 적층된 3층 구조가 채용될 수 있다. 3층 구조의 경우에, 제 1 도전막으로서 텅스텐막 대신에 질화 텅스텐 막이 사용될 수 있고, 제 2 도전막으로서 알루미늄-실리콘 합금(Al-Si)막 대신에 알루미늄-티타늄 합금(Al-Ti) 막이 사용될 수 있고, 제 3 도전막으로서 질화 티타늄막 대신에 티타늄막이 사용될 수 있다.

[0098] 가시광선에 대해 투광성을 갖는 투광성 재료가 또한 게이트 전극층들(208 및 228)로서 사용될 수 있다. 투광성 도전 재료로서, 인듐 주석 산화물(ITO), 산화 규소를 포함하는 인듐 주석 산화물(ITSO), 유기 인듐, 유기 주석, 산화 아연 등이 사용될 수 있다. 또한, 산화 아연(ZnO)을 포함하는 인듐 아연 산화물(IZO), 산화 아연(ZnO), 갈륨(Ga)이 도핑된 ZnO , 산화 주석(SnO_2), 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물 등이 사용될 수 있다.

[0099] 게이트 전극층들(208 및 228)을 형성하기 위해 에칭 공정이 요구되면, 마스크가 형성될 수 있고, 건식 에칭 또는 습식 에칭이 수행될 수 있다. ICP(Inductively Coupled Plasma) 에칭 방법을 사용하고, 에칭 조건들(코일형 전극에 인가되는 전력량, 기판 측 상의 전극에 인가되는 전력량, 또는 기판 측 상의 전극 온도)을 적절히 제어함으로써, 전극층이 테이퍼 형상으로 에칭될 수 있다. 에칭 가스로서, Cl_2 , BCl_3 , $SiCl_4$ 및 CCl_4 과 같은 염소계 가스, CF_4 , SF_6 및 NF_3 와 같은 불소계 가스, 또는 O_2 가 적절히 사용될 수 있다.

[0100] 측벽 구조를 갖는 절연층들(209a, 209b, 229a 및 229b)은, 게이트 전극층들 및 반도체 층들을 덮는 절연층을 형성하고, RIE(Reactive Ion Etching) 방법의 이방성 에칭에 의해 절연층을 처리함으로써 자체 정렬 방식으로 형성될 수 있다. 여기서, TEOS(tetraethyl orthosilicate), 실란 등 및 산소, 산화 질소 등을 반응시킴으로써 형성되고 양호한 단차 피복성(step coverage)을 갖는 산화 규소를 사용하여 절연층이 형성되는 것이 바람직하지만, 절연층에 대한 특정 제한들이 존재하지 않는다. 절연층은 열 CVD 방법, 플라즈마 CVD 방법, 상압 CVD 방법, 바이어스 ECRCVD 방법, 스퍼터링 방법 등에 의해 형성될 수 있다.

[0101] 본 실시 형태에서 단일의 게이트 구조가 설명되지만, 이중 게이트 구조와 같은 다중 게이트 구조가 또한 채용될 수 있다. 이러한 경우에, 게이트 전극층들이 반도체층 위 아래에 제공될 수 있거나, 복수의 게이트 전극층들이 반도체층의 단지 하나의 측면(위 또는 아래) 상에 제공될 수 있다.

[0102] 또한, 트랜지스터의 소스 영역 및 드레인 영역으로서 실리사이드가 제공되는 구조가 채용될 수 있다. 반도체 층의 소스 및 드레인 영역들 위에 도전막을 형성하고, 가열 처리, GRTA 방법, LRTA 방법 등에 의해 부분적으로 노출된 소스 및 드레인 영역들 내의 반도체층의 규소 및 도전막을 반응시킴으로써 실리사이드가 형성된다. 또한, 실리사이드는 레이저 빔 또는 램프를 사용하는 광 조사에 의해 형성될 수 있다. 실리사이드를 형성하기 위한 도

전막에서 사용된 재료로서, 티타늄(Ti), 니켈(Ni), 텅스텐(W), 몰리브덴(Mo), 코발트(Co), 지르코늄(Zr), 하프늄(Hf), 탄탈(Ta), 바나듐(V), 네오디뮴(Nd), 크롬(Cr), 백금(Pt), 팔라듐(Pd) 등이 사용될 수 있다.

[0103] 소스 및 드레인 전극층들로서 기능하는 배선층들(210a, 210b, 230a 및 230b)은 PVD 방법, CVD 방법, 증착 방법 등에 의해 도전막을 증착시키고, 그후 도전막을 원하는 형태들로 에칭함으로써 형성될 수 있다. 또한, 배선층들은 인쇄 방법, 전해 도금 방법 등에 의해 미리 결정된 장소에 선택적으로 형성될 수 있다. 또한, 리플로 방법(reflow method) 및 다마신 방법(damascene method)이 또한 사용될 수 있다. 배선층들(210a, 210b, 230a 및 230b)의 재료로서, Ag, Au, Cu, Ni, Pt, Pd, Ir, Rh, W, Al, Ta, Mo, Cd, Zn, Fe, Ti, Zr 또는 Ba와 같은 금속, 또는 Si 또는 Ge와 같은 반도체 또는 그의 합금, 또는 그의 질화물이 사용될 수 있다. 또한, 투광성 재료가 또한 사용될 수 있다.

[0104] 배선층들이 투광성 재료를 사용하여 형성될 때, 인듐 주석 산화물(ITO), 산화 규소를 포함하는 인듐 주석 산화물(ITSO), 유기 인듐, 유기 주석, 산화 아연, 산화 아연(ZnO)을 포함하는 인듐 아연 산화물(IZO), 산화 아연(ZnO), 갈륨(Ga)이 도핑된 ZnO, 산화 주석(SnO₂), 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티타늄을 포함하는 인듐 산화물, 산화 티타늄을 포함하는 인듐 주석 산화물 등이 사용될 수 있다.

[0105] 절연막들(212, 213 및 214)로서, 산화 규소, 질화 규소, 산화 질화 규소, 산화 알루미늄, 질화 알루미늄, 산화 질화 알루미늄 또는 또 다른 무기 절연 재료가 사용될 수 있다.

[0106] 충격 확산층이 반도체 집적 회로와 접촉하여 제공되기 때문에, 제조 공정에서 가압 처리가 수행될지라도, 파손 또는 특성 저하와 같은 악영향들을 반도체 집적 회로에 주지 않는다. 따라서, 반도체 장치는 고수율로 제조될 수 있다.

[0107] 반도체 집적 회로를 샌드위치한 한 쌍의 내충격층들, 및 한 쌍의 충격 확산층들에 의해, 두께 및 크기에서의 감소가 성취되면서 강도를 갖는 고신뢰성의 반도체 장치가 제공될 수 있다.

[0108] 본 발명의 반도체 장치의 실시 형태에 따라, 반도체 소자로서, 전계 효과 트랜지스터는 물론, 반도체층을 사용하는 메모리 소자가 채용될 수 있고, 따라서, 다용도로 요구되는 기능들을 만족시킬 수 있는 반도체 장치가 제조 및 제공될 수 있다.

[0109] (실시 형태 3)

[0110] 본 실시 형태에서, 높은 집적도 및 두께 및 크기에서의 감소를 성취하는 반도체 장치로서, 메모리를 갖는 반도체 장치 및 그의 제조 방법의 예가 도 6a 내지 6e, 도 7a 내지 도 7c, 및 도 8a 및 도 8b를 참조하여 설명될 것이다.

[0111] 본 실시 형태의 반도체 장치는, 메모리 셀 어레이 및 메모리 셀 어레이를 구동시키는 구동 회로부를 포함하는 메모리를 포함한다.

[0112] 분리층(301)은 절연 표면을 갖는 제조 기판인 기판(300) 위에 형성되고, 기저막으로서 기능하는 절연막(302)은 분리층(301) 위에 형성된다.

[0113] 다음에, 반도체막은 절연막(302) 위에 형성된다. 반도체막은 스퍼터링 방법, LPCVD 방법, 플라즈마 CVD 방법 등에 의해 25 내지 200 nm의 두께(바람직하게는 30 내지 150 nm의 두께)가 되도록 형성될 수 있다.

[0114] 본 실시 형태에서, 비정질 반도체막은 절연막(302) 위에 형성되고, 비정질 반도체막은 레이저 범 조사에 의해 결정화되고, 따라서, 결정 반도체 막인 반도체 막이 형성된다.

[0115] 상술된 바와 같이 획득된 반도체 막은, 박막 트랜지스터의 임계값 전압을 선택적으로 제어하기 위해 소량의 불순물 원소들(붕소 또는 인)로 도핑될 수 있다. 이러한 불순물 원소들의 도핑은 결정화 전에 비정질 반도체막에 대해 수행될 수 있다. 비정질 반도체막이 불순물 원소들로 도핑될 때, 불순물들은 그 후의 결정화를 위한 가열 처리에 의해 활성화될 수 있다. 또한, 도핑에서 생성되는 결함 등은 물론 개선될 수 있다.

[0116] 다음에, 반도체막이 마스크를 사용하여 원하는 형태로 가공된다. 본 실시 형태에서, 반도체막 상에 형성된 산화막이 제거된 후에, 또 다른 산화막이 형성된다. 그후, 포토마스크가 형성되고, 포토리소그라피를 사용하는 가공 처리가 수행되어, 반도체층들(303, 304, 305 및 306)이 형성된다. 반도체층들의 단부들에서, 경사각들(테이퍼각도들)이 제공될 수 있다.

[0117] 플라즈마 에칭(건식 에칭) 또는 습식 에칭 중 어느 하나에 의해 에칭이 수행될 수 있다. 대형 기판을 처리하기 위해 플라즈마 에칭이 적절하다. 에칭 가스로서, CF_4 , NF_3 , Cl_2 또는 BCl_3 와 같은 불소 또는 염소를 포함하는 가스가 사용되고, He 또는 Ar와 같은 불활성 가스가 적절히 그에 첨가될 수 있다. 또한, 대기압 방전에 의한 에칭이 채용될 때, 국부적인 방전이 가능하고, 따라서 전체 기판 위에 마스크를 형성하지 않고 에칭이 수행될 수 있다.

[0118] 절연막(310)은 반도체 층(305) 위에 형성된다. 절연막(310)은 산화 실리콘 또는 산화 실리콘 및 질화 실리콘의 적층 구조를 사용하여 형성될 수 있다. 절연막(310)은 플라즈마 CVD 방법 또는 저압 CVD 방법에 의한 절연층의 중착에 의해 형성될 수 있다. 절연막(310)을 형성하기 위해 플라즈마 처리에 의한 고상 산화 또는 고상 질화가 절연층에 실시되는 것이 바람직하다. 이것은, 플라즈마 처리에 의한 반도체 층(대표적으로 실리콘 층)의 산화 또는 질화를 통해 형성된 절연층이 치밀한 막 품질, 높은 내전압, 및 고신뢰성을 갖기 때문이다. 절연막(310)은 전하들을 전하 축적층(311)에 주입하기 위한 터널 절연층으로서 사용되고, 따라서 강한 절연층이 바람직하다. 이러한 절연막(310)은 1 nm 내지 20 nm의 두께, 및 바람직하게는 3 nm 내지 6 nm의 두께를 갖도록 형성되는 것이 바람직하다.

[0119] 절연막(310)은, 예를 들면, 3 nm 내지 6 nm의 두께를 갖는 산화 규소층이 산소 대기 하에서 플라즈마 처리에 의해 반도체 층 위에 형성되고 질소-플라즈마 처리층이 질소 대기 항에서 질소 플라즈마에 의해 산화 규소층의 표면을 처리함으로써 형성되는 그러한 방법으로 플라즈마 처리에 의해 형성되는 것이 바람직하다. 구체적으로, 우선, 3 nm 내지 6 nm의 두께를 갖는 산화 규소층은 산소 대기 하에서 플라즈마 처리에 의해 반도체 층 위에 형성된다. 그후, 고농도의 질소를 갖는 질소-플라즈마 처리층은 연속해서 질소 대기 하에서 플라즈마 처리의 수행에 의해 산화 규소층의 표면 또는 표면 부근에 형성된다. 표면 부근은 산화 규소층의 표면으로부터 약 0.5 nm 내지 1.5 nm의 깊이를 지칭한다는 것을 유의하라. 예를 들면, 질소 대기 하에서 플라즈마 처리를 수행함으로써, 산화 규소층이 표면에서 약 1 nm의 깊이에 20 at.% 내지 50 at.% 질소를 포함하는 구조가 획득된다.

[0120] 반도체층의 대표적인 예로서 규소층의 표면은 플라즈마 처리에 의해 산화되고, 이로써 계면에서 왜곡이 없는 치밀한 산화층이 형성될 수 있다. 또한, 산화층의 플라즈마 처리에 의한 질화를 통해, 표면부 상의 산소가 질소로 치환되고, 질소층이 형성되고, 이로써 층이 더욱 치밀하게 될 수 있다. 결과적으로, 내전압이 높은 절연층이 형성될 수 있다.

[0121] 임의의 경우에, 플라즈마에 의한 상술된 고상 산화 또는 고상 질화의 사용을 통해, 700 °C 이하의 내열 온도를 갖는 유리 기판이 사용될지라도, 950°C 내지 1050°C의 온도에서 형성된 열산화막과 동일한 절연층이 획득될 수 있다. 따라서, 고신뢰성을 갖는 터널 절연층은 비휘발성 메모리 소자의 터널 절연층으로서 형성될 수 있다.

[0122] 전하 축적층(311)은 절연막(310) 위에 형성된다. 이러한 전하 축적층(311)은 단일층 또는 적층 구조를 갖도록 제공될 수 있다.

[0123] 전하 축적층(311)은 반도체 재료 또는 도전성 재료의 층 또는 입자들로 형성된 플로팅 게이트(floating gate)일 수 있다. 반도체 재료로서, 실리콘, 실리콘 게르마늄 등이 있다. 실리콘은 사용될 때, 비정질 실리콘 또는 폴리 실리콘으로 사용될 수 있다. 또한, 인이 도핑된 다중 실리콘은 사용될 수 있다. 도전성 재료로서, 탄탈(Ta), 티타늄(Ti), 몰리브덴(Mo), 텅스텐(W)으로부터 선택된 원소, 상기 원소를 주성분으로서 포함하는 합금, 상기 원소들이 조합된 합금막(대표적으로, Mo-W 합금막 또는 Mo-Ta 합금막), 또는 도전성이 부여된 실리콘 막이 사용될 수 있다. 그러한 재료를 사용하여 형성된 도전층 하에서, 질화 탄탈, 질화 텅스텐, 질화 티타늄 또는 질화 몰리브덴과 같은 질화물, 또는 텅스텐 실리사이드, 티타늄 실리사이드 또는 몰리브덴 실리사이드와 같은 실리사이드가 형성될 수 있다. 또한, 상술된 반도체 재료들, 도전성 재료들 또는 반도체 재료 및 도전성 재료의 적층 구조가 채용될 수 있다. 예를 들면, 실리콘 층 및 게르마늄 층의 적층 구조가 채용될 수 있다.

[0124] 또한, 전하 축적층(311)은 전하들을 보유하는 트랩을 갖는 절연층으로서 형성될 수 있다. 그러한 재료의 대표적인 예로서, 실리콘 화합물 및 게르마늄 화합물이 있다. 실리콘 화합물로서, 질화 실리콘, 산화 질화 실리콘, 수소가 첨가된 산화 질화 실리콘 등이 있다. 게르마늄 화합물의 예들로서, 질화 게르마늄, 산소가 첨가된 질화 게르마늄, 질소가 첨가된 산화 게르마늄, 산소 및 수소가 첨가된 질화 게르마늄, 질소 및 수소가 첨가된 산화 게르마늄 등이 있다.

[0125] 다음에, 반도체 층들(303, 304 및 306)을 덮는 마스크들이 형성된다. n 형 도전성을 부여하는 불순물 원소는 마스크들 및 마스크로서 전하 축적층(311)을 사용하여 첨가되어 n 형 불순물 영역(362a) 및 n 형 불순물 영역(362b)을 형성한다. 본 실시 형태에서, n 형 도전성을 부여하는 불순물 원소인 인(P)이 불순물 원소로서 사용된

다. 여기서, n형 도전성을 부여하는 불순물 원소가 첨가되어, n형 불순물 영역(362a) 및 n형 불순물 영역(362b)이 약 1×10^{17} atoms/cm³ 내지 5×10^{18} atoms/cm³의 농도로 불순물 원소를 포함한다. 이후에, 반도체 층들(303, 304 및 306)을 덮는 마스크들이 제거된다.

[0126] 반도체 층(306) 위의 산화막이 제거되고, 반도체 층(305), 반도체 층(306), 절연막(310), 및 전하 축적층(311)을 덮는 게이트 절연층(309)이 형성된다. 게이트 절연층(309)이 메모리 셀 어레이에서 큰 두께를 가질 때, 박막 트랜지스터 및 메모리 소자는 고전압에 대해 높은 내성을 가질 수 있고, 따라서 신뢰성이 개선될 수 있다.

[0127] 반도체 층(305) 위에 형성된 게이트 절연층(309)이 나중에 완성되는 메모리 소자의 제어 절연층으로서 기능하지만, 반도체 층(306) 위에 형성된 절연층(309)은 박막 트랜지스터의 게이트 절연층으로서 기능한다는 것을 유의하라. 따라서, 상기 층은 본 명세서에서 게이트 절연층(309)이라 한다.

[0128] 반도체 층들(303 및 304) 위의 산화막들이 제거되고, 반도체 층(303) 및 반도체 층(304)을 덮는 게이트 절연층(308)이 형성된다(도 6a 참조). 게이트 절연층(308)은 플라즈마 CVD 방법, 스퍼터링 방법 등에 의해 형성될 수 있다. 구동 회로부에 제공된 박막 트랜지스터의 게이트 절연층(308)의 두께는 1 nm 내지 10 nm, 더욱 바람직하게는 약 5 nm이다. 게이트 절연층(308)이 박막화될 때, 구동 회로부 내의 트랜지스터는 저전압에서 고속으로 동작하도록 제조될 수 있다.

[0129] 게이트 절연층(308)은 산화 실리콘 또는 산화 실리콘 및 질화 실리콘의 적층 구조를 사용하여 형성될 수 있다. 게이트 절연층(308)은 플라즈마 CVD 방법 또는 저압 CVD 방법에 의해 절연막을 침착함으로써 형성되고, 플라즈마 처리에 의한 고상 산화 또는 고상 산화에 의해 형성될 수 있다. 이것은, 플라즈마 처리에 의한 반도체 층을 산화 또는 질화함으로써 형성된 게이트 절연층이 치밀하고, 높은 절연 내압(dielectric strength) 및 우수한 신뢰성을 갖기 때문이다.

[0130] 게이트 절연층(308)으로서, 고유전율 재료가 사용될 수 있다. 게이트 절연층(308)으로서 고유전율 재료가 사용될 때, 게이트 누설 전류가 감소될 수 있다. 고유전율 재료로서, 이산화 지르코늄, 산화 하프늄, 산화 티타늄, 오산화 탄탈 등이 사용될 수 있다. 또한, 산화 실리콘 층은 플라즈마 처리에 의한 고상 산화에 의해 형성될 수 있다.

[0131] 또한, 얇은 산화 규소막은 또한 GRTA 방법, LRTA 방법 등에 의해 반도체 영역의 표면을 산화함으로써 형성될 수 있고, 이로써 열산화막을 형성한다. 아르곤과 같은 희가스 원소가 반응 가스에 포함되는 것이 바람직하고, 낮은 성막 온도에서 적은 게이트 누설 전류로 치밀한 절연막을 형성하기 위해 형성될 절연막에 혼합되는 것이 바람직하다는 것을 유의하라.

[0132] 다음에, 각각 게이트 전극층으로서 기능하는 20 nm 내지 100 nm의 두께를 갖는 제 1 도전막 및 100 nm 내지 400 nm의 두께를 갖는 제 2 도전막은 게이트 절연층들(308 및 309) 위에 적층된다. 제 1 및 제 2 도전막들은 스퍼터링 방법, 증착 방법, CVD 방법 등에 의해 형성될 수 있다. 제 1 및 제 2 도전막들은 탄탈(Ta), 텅스텐(W), 티타늄(Ti), 몰리브덴(Mo), 알루미늄(Al), 구리(Cu), 크롬(Cr) 및 네오디뮴(Nd) 또는 상술된 원소를 주성분으로 포함하는 합금 또는 화합물 재료를 사용하여 형성될 수 있다. 또한, 제 1 도전막 및 제 2 도전막은 인과 같은 불순물 원소로 도핑된 다결정 실리콘 막으로 대표되는 반도체 막, 또는 AgPdCu 합금막으로 형성될 수 있다. 도전막은 2층 구조로 제한되지 않고, 예를 들면, 50 nm의 두께를 갖는 텅스텐 막, 500 nm의 두께를 갖는 알루미늄-실리콘 합금(Al-Si) 막, 및 30 nm의 두께를 갖는 질화 티타늄막이 순차적으로 적층된 3층 구조를 가질 수 있다. 3층 구조의 경우에, 질화 텅스텐 막은 제 1 도전막으로서 텅스텐 막 대신에 사용될 수 있고, 알루미늄-티타늄 합금(Al-Ti) 막은 제 2 도전막으로서 알루미늄-실리콘 합금(Al-Si) 막 대신에 사용될 수 있고, 티타늄 막은 제 3 도전막으로서 질화 티타늄 막 대신에 사용될 수 있다. 또한, 단층 구조가 물론 채택될 수 있다. 본 실시 형태에서, 질화 탄탈은 제 1 도전막으로서 30 nm의 두께를 갖도록 형성되고, 텅스텐(W)은 제 2 도전막으로서 370 nm의 두께로 형성된다.

[0133] 제 1 도전막 및 제 2 도전막은 제 1 게이트 전극층들(312, 313, 및 314), 제 2 게이트 전극층들(316, 317 및 318), 제 1 제어 게이트 전극층(315), 및 제 2 제어 게이트 전극층(319)을 형성하도록 예정된다(도 6b 참조).

[0134] 본 실시 형태에서, 제 1 게이트 전극층 및 제 2 게이트 전극층(제 1 제어 게이트 전극층 및 제 2 제어 게이트 전극층)이 수직한 측면들을 갖도록 형성된 예가 도시되지만, 본 발명은 이에 제한되지 않는다. 제 1 게이트 전극층 및 제 2 게이트 전극층(제 1 제어 게이트 전극층 및 제 2 제어 게이트 전극층) 양자가 테이퍼 형상들을 가질 수 있거나, 제 1 게이트 전극층 또는 제 2 게이트 전극층(제 1 제어 게이트 전극층 또는 제 2 제어 게이트 전극층) 중 하나가 테이퍼 형상을 갖고, 다른 게이트 전극층이 이방성 예정에 의해 수직한 측면들을 가질 수 있

다. 테이퍼 각들은 적층된 게이트 전극층들 사이에서 다르거나 같다. 테이퍼 형상들로, 그 위에 적층된 막의 폐복성이 개선되고, 결함들이 감소되고, 이는 신뢰성을 개선한다.

[0135] 게이트 절연층들(308 및 309)은, 게이트 전극층들(및 제어 게이트 전극층들)을 형성할 시에 에칭 단계에 의해 다소 에칭되고 박막화(소위 막 감소)될 수 있다.

[0136] 다음에, 반도체 층(304)을 덮는 마스크(321) 및 반도체 층들(305 및 306)을 덮는 마스크(363)가 형성된다. 마스크들(321 및 363), 제 1 게이트 전극층(312) 및 제 2 게이트 전극층(316)을 마스크로서 사용하여 p 형 도전성을 부여하는 불순물 원소(320)가 첨가되어, p 형 불순물 영역(322a) 및 p 형 불순물 영역(322b)을 형성한다. 본 실시 형태에서, 봉소(B)가 불순물 원소로서 사용된다. 여기서, 도핑이 수행되어, p 형 불순물 영역(322a) 및 p 형 불순물 영역(322b)은 약 1×10^{20} atoms/cm³ 또는 5×10^{21} atoms/cm³의 농도로 p 형 도전성을 부여하는 불순물 원소를 포함한다. 또한, 채널 형성 영역(323)은 반도체 층(303)에 형성된다(도 6c 참조).

[0137] p 형 불순물 영역(322a) 및 p 형 불순물 영역(322b)은 소스 영역 및 드레인 영역으로 기능하는 고농도 p 형 불순물 영역들이다.

[0138] 다음에, 반도체 층(303)을 덮는 마스크(325)가 형성된다. 마스크(325), 제 1 게이트 전극층(313), 제 2 게이트 전극층(317), 제 1 게이트 전극층(314), 제 2 게이트 전극층(318), 제 1 제어 게이트 전극층(315), 및 제 2 제어 게이트 전극층(319)을 마스크들로서 사용하여 n 형 도전성을 부여하는 불순물 원소(324)가 첨가되어 n 형 불순물 영역들(326a, 326b, 364a, 364b, 327a, 327b, 328a 및 328b)을 형성한다. 본 실시 형태에서, 인(P)이 불순물 원소로서 사용된다. 여기서, n 형 도전성을 부여하는 불순물 원소가 첨가되어, n 형 불순물 영역들(326a, 326b, 327a, 327b, 328a 및 328b)이 약 5×10^{19} atoms/cm³ 내지 5×10^{20} atoms/cm³의 농도로 n 형 불순물 원소를 포함한다. 또한, 채널 형성 영역(329), 채널 형성 영역(330), 및 채널 형성 영역(331)은 반도체 층(304), 반도체 층(305), 및 반도체 층(306) 각각에 형성된다(도 6d 참조).

[0139] n 형 불순물 영역들(326a, 326b, 327a, 327b, 328a 및 328b)은 소스 영역들 및 드레인 영역들로서 기능하는 고농도 n 형 불순물 영역들이다. 반면에, n 형 불순물 영역(364a) 및 n 형 불순물 영역(364b)은 LDD 영역들이 되는 저농도 불순물 영역들이다.

[0140] 마스크(325)는 O₂ 애싱(ashing) 또는 레지스트 스트리퍼(resist stripper)에 의해 제거되고, 산화막이 또한 제거된다. 이후에, 절연막, 즉, 측벽이 형성되어, 게이트 전극층들의 측면들을 덮는다. 측벽은 플라즈마 CVD 방법, 저압 CVD(LPCVD) 방법에 의해 실리콘을 포함하는 절연막으로 형성될 수 있다.

[0141] 불순물 원소를 활성화하기 위해, 가열 처리, 강한 광 조사 또는 레이저 광 조사가 수행될 수 있다. 활성화와 동시에, 게이트 절연층 및 게이트 절연층과 반도체 층 간의 계면에 대한 플라즈마 손상이 감소될 수 있다.

[0142] 다음에, 게이트 절연층들 및 게이트 전극층들을 덮는 층간 절연층이 형성된다. 본 실시 형태에서, 절연막(367) 및 절연막(368)의 적층 구조가 채용된다. 절연막(367) 및 절연막(368) 각각은 스퍼터링 방법 또는 플라즈마 CVD 방법에 의해 형성된 질화 규소막, 질화 산화 규소막, 산화 질화 규소막, 또는 산화 규소막일 수 있다. 또한, 실리콘을 포함하는 또 다른 절연막은 또한 단층 구조 또는 3 이상의 층들을 포함하는 적층 구조를 갖도록 채용될 수 있다.

[0143] 또한, 300 °C 내지 550 °C에서 1 내지 12 시간 동안 질소 대기에서 가열 처리가 수행되어, 반도체 층이 수소화된다. 이러한 단계는 400 °C 내지 500 °C에서 수행되는 것이 바람직하다. 이러한 단계를 통해, 층간 절연층인 절연막(367)에 포함된 수소에 의해 반도체 층에서 데글링 결합이 종결된다. 본 실시 형태에서, 가열 처리는 1 시간 동안 410 °C에서 수행된다.

[0144] 절연막(367) 및 절연막(368)은 질화 알루미늄(AlN), 질소보다 더 많은 양의 산소를 포함하는 산화 질화 알루미늄(AlON), 산소보다 더 많은 양의 질소를 포함하는 질화 산화 알루미늄(AlNO), 산화 알루미늄, 다이아몬드형 탄소(DLC), 및 질소 포함 탄소(CN)와 같은 무기 절연 재료들로부터 선택된 재료를 사용하여 형성될 수 있다. 또한, 실록산 수지가 사용될 수 있다. 실록산 수지는 Si-O-Si 결합을 포함하는 수지에 대응한다.

[0145] 다음에, 레지스트 마스크를 사용하여, 반도체 층들에 도달하는 콘택트 홀들(개구)이 절연막들(367 및 368), 및 게이트 절연층들(308 및 309)에 형성된다. 에칭에서 사용되는 재료들의 선택비에 따라 에칭이 한번 또는 복수번 수행될 수 있다. 절연막들(367 및 368) 및 게이트 절연층들(308 및 309)은 에칭에 의해 부분적으로 제거되어, 소스 영역들 및 드레인 영역들인 p 형 불순물 영역들(322a 및 322b) 및 n 형 불순물 영역들(326a, 326b, 327a,

327b, 328a, 및 328b)에 도달하는 개구들을 형성한다. 예칭으로서, 습식 예칭, 건식 예칭 또는 양자가 채용될 수 있다. 습식 예칭의 에센트로서, 불화수소 암모늄 및 불화암모늄의 혼합 용액과 같은 플루오르화 수소산계 용액이 사용될 수 있다. 예칭 가스로서, Cl_2 , BCl_3 , SiCl_4 및 CCl_4 과 같은 염소계 가스, CF_4 , SF_6 및 NF_3 와 같은 불소계 가스, 또는 O_2 가 적절히 사용될 수 있다. 또한, 불활성 가스가 예칭 가스에 첨가될 수 있다. 첨가될 불활성 원소로서, He , Ne , Ar , Kr 및 Xe 로부터 선택된 하나 또는 복수의 원소들이 사용될 수 있다.

[0146] 개구들을 덮는 도전막이 형성되고, 소스 영역들 및 드레인 영역들의 일부에 전기적으로 접속되는 소스 전극층들 및 드레인 전극층들인 배선층들(369a, 369b, 370a, 370b, 371a, 371b, 372a 및 372b)을 형성하도록 도전막이 예칭된다. 배선층들은 PVD 방법, CVD 방법, 증착 방법 등에 의해 도전막을 형성하고, 이후에 원하는 형상으로 도전막을 예칭함으로써 형성될 수 있다. 또한, 도전층은 액적 토출 방법, 인쇄 방법, 전해 도금 방법 등에 의해 미리 결정된 위치에 선택적으로 형성될 수 있다. 또한, 리플로 방법 및 다마신 방법이 또한 사용될 수 있다. 소스 및 드레인 전극층들에 대한 재료로서, Ag , Au , Cu , Ni , Pt , Pd , Ir , Rh , W , Al , Ta , Mo , Cd , Zn , Fe , Ti , Zr 또는 Ba 와 같은 금속, 또는 Si 또는 Ge 또는 그의 합금, 또는 그의 질화물이 사용될 수 있다. 또한, 이들의 적층 구조가 사용될 수 있다. 본 실시 형태에서, 티타늄(Ti)이 60 nm 두께로 형성되고, 질화 티타늄이 40 nm 두께로 형성되고, 알루미늄이 700 nm 두께로 형성되고, 티타늄(Ti)이 200 nm 두께로 형성되고, 그후 적층막이 원하는 형상으로 가공된다.

[0147] 상기 단계들을 통해, p 형 불순물 영역들을 갖는 p 채널 박막 트랜지스터인 박막 트랜지스터(373) 및 n 형 불순물 영역들을 갖는 n 채널 박막 트랜지스터인 박막 트랜지스터(374)를 구동 회로부에 포함하고, n 형 불순물 영역들을 갖는 메모리 소자(375) 및 n 형 불순물 영역들을 갖는 n 채널 박막 트랜지스터인 박막 트랜지스터(376)를 메모리 셀 어레이에 포함하는 반도체 집적 회로(350)가 형성될 수 있다(도 6e 참조).

[0148] 본 실시 형태에서, 절연층(390)이 반도체 집적 회로(350) 위에 형성된다(도 7a 참조). 다음에, 안테나로서 기능하는 도전층(380)이 절연층(390) 위에 형성되고, 무기 절연층(381)이 보호막으로서 도전층(380) 위에 형성된다(도 7b 참조).

[0149] 제 1 내충격층(382)으로서, 섬유체(383)에 유기 수지(384)가 함침된 구조체가 사용된다. 구조체가 가열되고 압착이 실시되어, 반도체 집적 회로(350), 제 1 내충격층(382), 제 1 충격 확산층(391)이 접착된다. 그후, 반도체 집적 회로(350)는 분리층(301)을 사용하여 기판(300)으로부터 분리된다. 따라서, 반도체 집적 회로(350)는 제 1 내충격층(382) 측 상에 제공된다(도 7c 참조).

[0150] 제 2 내충격층(385)으로서, 제 1 내충격층(382)과 유사하게, 섬유체(386)에 유기 수지(387)가 함침된 구조체가 사용된다. 구조체가 가열되고 압착이 실시되어, 제 2 충격 확산층(388) 및 제 2 내충격층(385)이 접착된다(도 8a 참조). 접착층(389)은, 제 2 분산층(388)의 제 2 내충격층(385)이 제공되는 표면의 반대인 표면 상에 제공된다.

[0151] 접착층(389)은 반도체 집적 회로(350)의 노출된 분리 표면에 접착되어, 제 1 내충격층(382)과 제 2 내충격층(385) 사이에 샌드위치된 반도체 집적 회로(350), 및 제 2 충격 확산층(388)을 갖는 반도체 장치가 형성될 수 있다.(도 8b 참조). 상기 단계들을 통해, 본 실시 형태의 메모리를 갖는 반도체 장치가 제조될 수 있다.

[0152] 충격 확산층이 반도체 집적 회로와 접촉하여 제공되기 때문에, 제조 공정에서 가압 처리가 수행될지라도, 파손 또는 특성 저하와 같은 악영향들을 반도체 집적 회로에 주지 않는다. 따라서, 반도체 장치는 고수율로 제조될 수 있다.

[0153] 반도체 집적 회로를 샌드위치하는 한 쌍의 내충격층들, 및 한 쌍의 충격 확산층에 의해, 두께 및 크기에서 감소가 성취되면서, 강도를 갖는 고신뢰성의 반도체 장치가 제공될 수 있다.

[0154] (실시 형태 4)

[0155] 본 실시 형태에서, 고신뢰성의 반도체 장치 및 고수율을 갖는 반도체 장치 제조 방법이 도 17a 내지 도 17c 및 도 18a 및 도 18b, 및 도 19a 내지 도 19d를 참조하여 상세히 설명될 것이다.

[0156] 본 실시 형태의 반도체 장치에서, 반도체 집적 회로는 반도체 집적 회로의 형성에서 사용된 기판으로부터 분리되고 가요성 내충격층들 사이에 샌드위치된다. 반도체 집적 회로가 형성된 기판이 본 명세서에서 제조 기판으로서 지칭된다는 것을 유의하라. 따라서, 반도체 집적 회로는 제조 기판 위에 형성되고 그 사이에 분리층이 개재된다.

- [0157] 본 실시 형태의 반도체 장치가 도 17a 및 도 17b에 예시된다. 도 17a에서, 반도체 집적 회로(100)는 제 1 내충격층(112)과 제 2 내충격층(102) 사이에 샌드위치되고, 충격 확산층(103)이 반도체 집적 회로(100)와 제 2 내충격층(102) 사이에 제공된다. 제 1 내충격층(112)과 제 2 내충격층(102) 각각은 구조체를 갖는다. 제 1 내충격층(112)의 구조체에서, 섬유체(160)에 유기 수지(161)가 함침된다. 제 2 내충격층(102)의 구조체에서, 섬유체(150)에 유기 수지(151)가 함침된다.
- [0158] 도 17c는 날실들 및 씨실들에 대한 실 다발들을 사용하여 제작된 섬유체(160)로서 직물의 상면도를 예시한다.
- [0159] 도 17c에 예시된 바와 같이, 섬유체(160)는 일정한 간격들을 둔 날실들 및 일정한 간격을 둔 씨실들을 사용하여 제작된다.
- [0160] 본 실시 형태의 도면들에서, 단면에서 타원형을 갖는 실 다발을 사용하는 평직물인 직물로서 섬유체(160)가 예시된다.
- [0161] 본 실시 형태에서, 충격 확산층들로서, 아라미드 수지막(10 GPa의 탄성을 및 480 MPa의 파단 강도를 가짐)이 사용된다.
- [0162] 도 17b는, 반도체 집적 회로(100) 및 제 2 충격 확산층(103)이 접착층(104)에 의해 서로 접착되는 예를 예시한다. 본 실시 형태에서, 제 2 충격 확산층(103)으로서 아라미드 막이 사용되고, 접착층(104)으로서 아크릴 수지가 사용된다.
- [0163] 또한, 보호층이 반도체 집적 회로 위에 형성될 수 있다. 도 18a 및 도 18b 각각은 보호층으로서 무기 절연층(105)이 반도체 집적 회로(100) 위에 형성되는 예를 예시한다. 또한, 도 18a 및 도 18b에서, 안테나(101)가 반도체 집적 회로(100) 위에 형성되고, 무기 절연층(105)이 그 위에 형성된다. 안테나(101)가 무기 절연층(105)으로 덮여지기 때문에, 안테나로서 기능하는 도전층의 산화가 방지될 수 있다.
- [0164] 도 19a 내지 도 19d를 참조하여 반도체 장치 제조 방법이 예시된다. 반도체 집적 회로(100)는 절연 표면을 갖는 제조 기판인 기판(110) 위에 형성되고, 그 사이에 분리층(111)이 개재된다(도 19a 참조).
- [0165] 반도체 집적 회로(100) 및 제 1 내충격층(112)이 서로 접착되고, 그후 반도체 집적 회로(100)는 분리층(111)에 의해 기판(110)으로부터 분리된다. 따라서, 반도체 집적 회로(100)은 제 1 내충격층(112) 측 상에 제공된다(도 19b 참조).
- [0166] 본 실시 형태에서, 제 1 내충격층(112)으로서, 섬유체(160)에 유기 수지(161)가 함침된 구조체가 사용된다. 구조체가 가열되고, 압착되어, 구조체의 유기 수지가 가소화되거나 경화된다. 유기 수지가 유기 플라스틱 수지인 경우에, 가소화된 유기 수지는 실온에서 냉각되어 경화된다. 가열 및 압착에 의해, 유기 수지는 반도체 집적 회로와 밀착하도록 균일하게 끌려지고, 경화된다. 구조체에 압착이 실시되는 단계는 대기압 또는 감압 하에서 수행된다.
- [0167] 제 2 내충격층(102)은 또한, 제 1 내충격층(112)과 유사하게, 섬유체(150)에 유기 수지(151)가 함침된 구조체를 갖는다. 구조체가 가열되고 압착이 실시되어, 충격 확산층(103) 및 제 2 내충격층(102)이 접착된다(도 19c 참조). 접착층(104)은, 충격 확산층(103)의 제 2 내충격층(102)이 제공되는 표면의 반대인 표면 상에 제공된다.
- [0168] 접착층(104)은 반도체 집적 회로(100)의 노출된 분리면에 접착되어, 제 1 내충격층(112)과 제 2 내충격층(102) 사이에 샌드위치된 반도체 집적 회로(100) 및 충격 확산층(103)을 갖는 반도체 장치가 형성된다(도 19d 참조).
- [0169] 충격 확산층이 반도체 집적 회로와 접촉하여 제공되기 때문에, 제조 공정에서 가압 처리가 수행될지라도, 파손 또는 특성 저하와 같은 악영향들을 반도체 집적 회로에 주지 않는다. 따라서, 반도체 장치는 고수율로 제조될 수 있다.
- [0170] 반도체 집적 회로를 샌드위치하는 한 쌍의 내충격층들, 및 반도체 집적 회로 상에 적층되도록 제공된 충격 확산층에 의해, 두께 및 크기에서 감소가 성취되면서, 강도를 갖는 고신뢰성의 반도체 장치가 제공될 수 있다.
- [0171] (실시 형태 5)
- [0172] 본 실시 형태에서, 고신뢰성의 반도체 장치 및 고수율을 갖는 반도체 장치 제조 방법이 도 4a 내지 도 4c 및 도 20a 및 도 20b를 참조하여 설명될 것이다. 본 실시 형태에서, 반도체 장치의 예로서, CMOS가 설명될 것이다.
- [0173] 도 20a는 실시 형태 2의 도 4c에서 예시된 단계 다음의 단계를 예시한다. 따라서, 실시 형태 2와 유사한 방법으로 형성이 수행될 수 있고, 도 4a 내지 도 4c에 예시된 단계들의 상세한 설명이 생략된다.

- [0174] 제 2 내충격층(252)은, 제 1 내충격층(262)과 유사하게, 섬유체(270)에 유기 수지(271)가 함침된 구조체를 갖는다. 구조체가 가열되고 압착되어, 충격 확산층(253) 및 제 2 내충격층(252)이 서로 접착된다(도 20a 참조).
- [0175] 접착층(254)은, 충격 확산층(253)의 제 2 내충격층(252)이 제공되는 표면의 반대인 표면 상에 제공된다.
- [0176] 접착층(254)은 반도체 접적 회로(250)의 노출된 분리 표면에 접착되어, 제 1 내충격층(262)과 제 2 내충격층(252) 사이에 샌드위치된 반도체 접적 회로(250), 및 충격 확산층(253)을 갖는 반도체 장치가 형성될 수 있다. (도 20b 참조).
- [0177] 본 실시 형태에서 제조된 반도체 장치는 가요성 내충격층들 및 충격 확산층에 의해 가요성 반도체 장치일 수 있다.
- [0178] 충격 확산층이 반도체 접적 회로와 접촉하여 제공되기 때문에, 제조 공정에서 가압 처리가 수행될지라도, 파손 또는 특성 저하와 같은 악영향들을 반도체 접적 회로에 주지 않는다. 따라서, 반도체 장치는 고수율로 제조될 수 있다.
- [0179] 반도체 접적 회로를 샌드위치한 한 쌍의 내충격층들, 및 반도체 접적 회로 상에 적층되도록 제공된 충격 확산층에 의해, 두께 및 크기에서의 감소가 성취되면서 강도를 갖는 고신뢰성의 반도체 장치가 제공될 수 있다.
- [0180] (실시 형태 6)
- [0181] 본 실시 형태에서, 높은 접적도 및 두께 및 크기에서의 감소를 성취하는 반도체 장치로서, 메모리를 갖는 반도체 장치 및 그의 제조 방법의 예가 도 6a 내지 6e, 도 21a 내지 도 21c, 및 도 22a 및 도 22b를 참조하여 설명될 것이다.
- [0182] 본 실시 형태의 반도체 장치는, 메모리 셀 어레이 및 메모리 셀 어레이를 구동시키는 구동기 회로부를 포함하는 메모리를 포함한다.
- [0183] 도 21a는 실시 형태 3의 도 6e에 예시된 단계 다음의 단계를 예시한다. 따라서, 실시 형태 3와 유사한 방법으로 형성이 수행될 수 있고, 도 6a 내지 도 6e에 예시된 단계들의 상세한 설명이 생략된다.
- [0184] 본 실시 형태에서, 절연층(390)이 반도체 접적 회로(350) 위에 형성된다(도 21a 참조). 다음에, 안테나로서 기능하는 도전층(380)이 절연층(390) 위에 형성되고, 보호층으로서 무기 절연층(381)이 도전층(380) 위에 형성된다(도 21b 참조).
- [0185] 제 1 내충격층(382)으로서, 섬유체(383)에 유기 수지(384)가 함침된 구조체가 사용된다. 반도체 접적 회로(350) 및 제 1 내충격층(382)이 서로 접착되고, 분리층(301)을 사용하여, 반도체 접적 회로(350)가 기판(300)으로부터 분리된다. 따라서, 반도체 접적 회로(350)가 제 1 내충격층(382) 측 상에 제공된다(도 21c 참조).
- [0186] 제 2 내충격층(385)은, 제 1 내충격층(382)과 유사하게, 섬유체(386)에 유기 수지(387)가 함침된 구조체를 갖는다. 구조체가 가열되고 압착이 실시되어, 충격 확산층(388) 및 제 2 내충격층(385)이 접착된다(도 22a 참조). 접착층(389)은 충격 확산층(388)의 제 2 내충격층(385)이 제공되는 표면의 반대인 표면 상에 제공된다.
- [0187] 접착층(389)은 반도체 접적 회로(350)의 노출된 분리면에 접착되어, 제 1 내충격층(382)과 제 2 내충격층(385) 사이에 샌드위치된 반도체 접적 회로(350) 및 충격 확산층(388)을 갖는 반도체 장치가 제조될 수 있다(도 22b 참조). 상기 단계들을 통해, 본 실시 형태의 메모리를 갖는 반도체 장치가 제조될 수 있다.
- [0188] 충격 확산층이 반도체 접적 회로와 접촉하여 제공되기 때문에, 제조 공정에서 가압 처리가 수행될지라도, 파손 또는 특성 저하와 같은 악영향들을 반도체 접적 회로에 주지 않는다. 따라서, 반도체 장치는 고수율로 제조될 수 있다.
- [0189] 반도체 접적 회로를 샌드위치한 한 쌍의 내충격층들, 및 반도체 접적 회로 상에 적층되도록 제공된 충격 확산층들에 의해, 두께 및 크기에서의 감소가 성취되면서 강도를 갖는 고신뢰성의 반도체 장치가 제공될 수 있다.
- [0190] (실시 형태 7)
- [0191] 반도체 장치에서, 다양한 형태들의 전계 효과 트랜지스터들은 반도체 접적 회로에 포함된 반도체 소자들로서 사용될 수 있다. 본 실시 형태에서, 본 발명에 적용된 반도체 소자로서, 단결정 반도체 층을 포함하는 전계 효과 트랜지스터가 상세히 설명될 것이다.
- [0192] 단결정 반도체 기판으로 제조된 단결정 반도체 층이 절연 표면을 갖는 기판인 제조 기판 위에 제공되고, 반도체

집적 회로부에 포함된 반도체 소자가 형성되는 방법이 도 14a 내지 도 14d, 및 도 15a 내지 도 15c를 참조하여 이하에 설명된다.

[0193] 도 14a에 예시된 단결정 반도체 기판(1108)이 세정되고, 전계에 의해 가속화된 이온들은 취약층(1110)을 형성하기 위해 단결정 반도체 기판(1108)의 표면으로부터 미리 결정된 깊이에 도달하도록 첨가된다. 이온 조사는, 제조 기판에 전치되는 단결정 반도체 층의 두께를 고려하여 수행된다. 이온들에 의한 조사에서 가속 전압은 그러한 두께를 고려하여 설정되고, 단결정 반도체 기판(1108)은 이온들로 조사된다. 단결정 반도체 기판을 이온들로 조사하여 이온들의 활동에 의해 제조된 공동들을 포함하도록 악화된 영역은 취약층으로 지칭된다.

[0194] 단결정 반도체 기판(1108)으로서, 상업적인 단결정 반도체 기판이 사용될 수 있다. 예를 들면, 단결정 실리콘 기판, 단결정 게르마늄 기판 또는 단결정 실리콘 게르마늄 기판과 같은 제 4 족 원소로 형성된 단결정 반도체 기판이 사용될 수 있다. 또한, 갈륨 비소, 인듐 인화물 등으로 형성된 화합물 반도체 기판이 사용될 수 있다. 반도체 기판으로서, 다결정 반도체 기판이 사용될 수 있다. 물론, 단결정 반도체 기판이 원형 웨이퍼로 제한되지 않고, 다양한 형상들을 갖는 단결정 반도체 기판이 사용될 수 있다. 예를 들면, 직사각형 기판, 오각형 기판, 육각형 기판 등과 같은 다각형 기판이 사용될 수 있다. 물론, 단결정 반도체 기판으로서 상업적 원형 단결정 반도체 웨이퍼가 사용될 수 있다. 원형 단결정 반도체 웨이퍼로서, 실리콘, 게르마늄 등의 반도체 웨이퍼, 갈륨 비소, 인화 인듐 등의 화합물 반도체 웨이퍼가 사용될 수 있다. 단결정 반도체 웨이퍼의 대표적인 예는 단결정 실리콘 웨이퍼이고, 지름이 5 인치(125 mm), 지름이 6 인치(150 mm), 지름이 8 인치(200 mm), 지름이 12 인치(300 mm), 지름이 400 mm, 지름이 450 mm인 원형 웨이퍼가 사용될 수 있다. 또한, 상업적 원형 단결정 반도체 웨이퍼를 절단함으로써 직사각형 단결정 반도체 기판이 형성될 수 있다. 상기 기판은 다이서(dicer) 또는 와이어 쏘(wire saw)와 같은 절단 장치, 레이저 절단, 플라즈마 절단, 전자 빔 절단 또는 임의의 다른 절단 수단으로 절단될 수 있다. 또한, 직사각형 단결정 반도체 기판은, 기판으로 박편화되기 전에 반도체 기판 제조용 잉곳(ingot)이 단면이 직사각형을 갖도록 직사각형으로 가공하고 이러한 직사각형 잉곳이 박편화되는 그러한 방법으로 형성될 수 있다. 또한, 단결정 반도체 기판의 두께에 대한 어떠한 특정 제한도 없지만, 단결정 반도체 기판의 재이용을 고려하여, 많은 단결정 반도체 층들이 한 장의 두꺼운 원료 웨이퍼로부터 형성될 수 있기 때문에, 두꺼운 단결정 반도체 기판이 바람직하다. 시장에서 유통되는 단결정 실리콘 웨이퍼들의 두께는 SEMI 표준을 따르고, 상기 표준은, 예를 들면, 지름이 6 인치인 웨이퍼가 625 μm 의 두께를 갖고, 지름이 8 인치인 웨이퍼가 725 μm 의 두께를 갖고, 지름이 12 인치인 웨이퍼가 775 μm 의 두께를 갖는 것을 규정한다. SEMI 표준을 따르는 웨이퍼의 두께가 $\pm 25 \mu\text{m}$ 의 허용 오차를 갖는다는 것을 유의하라. 물론, 원료로 사용되는 단결정 반도체 기판의 두께가 SEMI 표준으로 제한되지 않고, 두께는 잉곳이 박편화될 때 적절히 조정될 수 있다. 물론, 사용된 단결정 반도체 기판(1108)이 다시 사용될 때, 기판의 두께는 SEMI 표준의 두께보다 더 얇다. 제조 기판 위에서 획득된 단결정 반도체 층은 베이스로서 기능하는 반도체 기판을 선택함으로써 결정될 수 있다.

[0195] 또한, 단결정 반도체 기판(1108)의 결정면 방향은 제조될 반도체 소자(본 실시 형태에서 전계 효과 트랜지스터)에 의존하여 선택될 수 있다. 예를 들면, 결정면{100}, 결정면{110} 등을 갖는 단결정 반도체 기판이 사용될 수 있다.

[0196] 본 실시 형태에서, 수소, 헬륨 또는 불소 이온들이 미리 결정된 깊이에서 단결정 반도체 기판에 첨가되고, 가열 처리가 수행되고, 외부층인 단결정 반도체 층이 분리되는 이온 조사 분리 방법이 사용될 수 있다. 또한, 단결정 실리콘의 다공성 실리콘 위에서 에피택셜 성장하고, 다공성 실리콘층이 위터 제트에 의해 야기된 벽개(cleavage)에 의해 분리되는 방법이 또한 채용될 수 있다.

[0197] 단결정 실리콘 기판은 단결정 반도체 기판(1108)으로서 사용되고, 그의 표면은 염화 수소산으로 처리되고, 자연 산화막이 제거되고, 표면에 부착된 먼지와 같은 오염물이 또한 제거되고, 단결정 반도체 기판(1108)의 표면이 정화된다.

[0198] 이온들은 이온 도핑 방법(약어로 ID 방법) 또는 이온 주입 방법(약어로 II 방법)에 의해 취약층(1110)을 형성하도록 첨가(도입)될 수 있다. 취약층(1110)은 수소, 헬륨, 또는 불소로 대표되는 할로겐의 이온들의 첨가에 의해 형성된다. 할로겐 원소로서 불소 이온들을 첨가하는 경우에, BF_3 가 소스 가스로서 사용될 수 있다. 이온 주입은, 이온화된 가스가 질량 분리되고 반도체 기판에 첨가되는 방법이라는 것을 유의하라.

[0199] 예를 들면, 이온 주입 방법을 채용하는 경우에, 이온화된 수소 가스가 질량 분리되어, 단지 H^+ (또는 H_2^+)가 선택적으로 가속화되고 단결정 반도체 기판에 첨가된다.

[0200] 이온 도핑 방법에 따라, 복수종의 이온종들은 이온화된 가스의 질량 분리 없이 플라즈마에서 형성되고 가속화되

고, 단결정 반도체 기판은 가속화된 이온종들로 도핑된다. 예를 들면, H^+ , H_2^+ 및 H_3^+ 이온을 포함하는 수소 이온들에서, H_3^+ 이온들은 대표적으로 도핑에 사용되는 이온들의 50 % 이상을 차지하고, 일반적으로 H_3^+ 이온들은 80 %를 차지하고, 다른 이온들(H^+ 및 H_2^+ 이온들)은 도핑에 사용되는 이온들의 20 %를 차지한다. 여기서, H_3^+ 의 이온종들만을 첨가하는 것을 이온 도핑으로 지칭한다.

[0201]

또한, 단일종의 이온들 또는 상이한 질량을 갖는 동일한 원자의 복수종들의 이온들을 사용하여 조사가 수행될 수 있다. 예를 들면, 수소 이온에 의한 조사의 경우에, H^+ , H_2^+ 및 H_3^+ 이온을 포함하고 H_3^+ 이온들의 비율을 높게 하는 것이 바람직하다. 수소 이온들의 조사의 경우에, H^+ , H_2^+ 및 H_3^+ 이온을 포함하고, H_3^+ 이온들의 비율을 증가 시킴으로써 조사 효율이 증가될 수 있고, 따라서 조사 시간이 단축될 수 있다. 그러한 구조로, 분리가 쉽게 수행될 수 있다.

[0202]

이하에, 이온 도핑 방법 및 이온 주입 방법이 상세하게 설명될 것이다. 이온 도핑 방법에 사용되는 이온 도핑 장치(ID 장치로서 지칭됨)에서, 플라즈마 공간이 크고, 단결정 반도체 기판이 대량의 이온들로 조사될 수 있다. 한편, 이온 주입 방법에 사용되는 이온 주입 장치(II 장치로서 지칭됨)는, 플라즈마로부터 추출된 이온들이 질량 분석되고 단지 특정 이온종들이 반도체 기판에 주입될 수 있다는 특성을 갖는다. 이온 주입 방법에서, 기본적으로 포인트 빔으로 스캔함으로써 처리가 수행된다.

[0203]

플라즈마를 생성하기 위해, 예를 들면, 양자의 장치들은 필라멘트를 가열하여 생성된 열전자들에 의해 플라즈마 상태를 형성한다. 그러나, 반도체 기판을 생성된 수소 이온들(H^+ , H_2^+ 및 H_3^+)로 조사할 때 수소 이온종들의 비율은 이온 도핑 방법과 이온 주입 방법 간에 크게 상이하다.

[0204]

더 많은 양의 H_3^+ 을 조사하는 관점에서, 이온 도핑 장치가 이온 주입 장치보다 바람직하다고 말할 수 있다.

[0205]

단결정 실리콘 기판이 수소 이온들 또는 불소 이온들과 같은 할로겐 이온들로 조사될 때, 첨가된 수소 또는 불소가 실리콘 결정 격자 내의 실리콘 원자를 뉙아웃(knock out)(축출)하여, 공백 부분들이 효과적으로 생성되고, 공동들이 취약층에 제조된다. 이러한 경우에, 상대적으로 저온에서의 가열 처리에 의해 취약층에 형성된 공동들의 체적에서 변화가 발생하여, 취약층을 따라 벽개를 야기하고, 이로써 얇은 단결정 반도체 층이 형성될 수 있다. 불소 이온들에 의한 조사 후에, 실리콘 기판은 수소 이온들로 조사되어, 수소가 공동 내에 포함될 수 있다. 얇은 단결정 반도체 층을 단결정 반도체 기판으로부터 분리하도록 형성된 취약층이 취약층에 형성된 공동의 체적 변화를 사용하여 벽개되기 때문에, 이러한 방법으로 불소 이온들 또는 수소 이온들을 효과적으로 이용하는 것이 바람직하다.

[0206]

또한, 보호층은 단결정 반도체 기판 및 단결정 반도체 층에 접착된 절연층 사이에 형성될 수 있다. 보호층은 단일층 또는 질화 규소층, 산화 규소층, 질화 산화 규소층 및 산화 질화 규소층으로부터 선택된 복수의 층들의 적층 구조로 형성될 수 있다. 이러한 층들은, 취약층이 단결정 반도체 기판에 형성되기 전에 단결정 반도체 기판 위에 형성될 수 있다. 또한, 그러한 층은 취약층이 단결정 반도체 기판에 형성된 후에 단결정 반도체 기판 위에 형성될 수 있다.

[0207]

산화 질화 규소막은 질소보다 대량의 수소를 포함하고, 러더포드 후방 산란 스펙트럼(Rutherford backscattering spectrometry; RBS) 및 수소 전방 산란(hydrogen forward scattering; HFS)을 사용하여 측정들이 수행되는 경우에, 농도로 50 at.% 내지 70 at.% 범위의 산소, 0.5 at.% 내지 15 at.% 범위의 질소, 25 at.% 내지 35 at.% 범위의 실리콘, 및 0.1 at.% 내지 10 at.% 범위의 수소를 각각 포함한다는 것을 유의하라. 또한, 질화 수소 규소막은 산소보다 대량의 질소를 포함하고, RBS 및 HFS를 사용하여 측정들이 수행되는 경우에, 농도에서 5 at.% 내지 30 at.% 범위의 산소, 20 at.% 내지 55 at.% 범위의 질소, 25 at.% 내지 35 at.% 범위의 실리콘, 및 10 at.% 내지 30 at.% 범위의 수소를 각각 포함한다. 산화 질화 규소막 또는 질화 산화 규소막에 포함된 원자의 총수가 100 at.%로 규정되는 경우에, 질소, 수소, 실리콘, 및 수소의 백분율이 상기 범위 내에 포함된다는 것을 유의하라.

[0208]

취약층의 형성 시에 높은 도즈 조건(high dose condition) 하에서 이온들을 첨가할 필요가 있고, 단결정 반도체 기판(1108)의 표면이 일부 경우들에서 거칠게 된다. 따라서, 이온들의 조사에 대해 보호층은, 50 nm 내지 200 nm의 두께로 질화 규소막, 질화 산화 규소막, 산화 규소막 등을 사용하여 이온들로 조사되는 표면 상에 제공될

수 있다.

[0209] 예를 들면, 산화 질화 규소막(5 nm 내지 300 nm의 두께, 바람직하게는 30 nm 내지 150 nm(예를 들면, 50 nm)) 및 질화 산화 규소막(5 nm 내지 150 nm의 두께, 바람직하게는 10 nm 내지 100 nm(예를 들면, 50 nm))을 포함하는 적층은 플라즈마 CVD 방법에 의해 단결정 반도체 기판(1108) 위에 보호층으로서 형성된다. 예로서, 산화 질화 규소막은 단결정 반도체 기판(1108) 위에 50 nm의 두께로 형성되고, 질화 산화 규소막은 산화 질화 규소막 위에 50 nm의 두께로 적층된다. 산화 질화 규소막은 유기 실란 가스를 사용하는 화학 기상 성장 방법에 의해 형성된 산화 규소막일 수 있다.

[0210] 또한, 단결정 반도체 기판(1108)은 탈지 및 세정되고, 그의 표면 상의 산화막이 제거되고, 열산화가 수행될 수 있다. 열산화로서, 일반적인 건식 산화가 수행될 수 있지만, 할로겐이 첨가된 산화 대기에서의 산화가 수행되는 것이 바람직하다. 예를 들면, 산소에 대해 HCl을 0.5 체적% 내지 10 체적%(바람직하게는 3 체적%)으로 포함하는 대기에서 700 °C 이상의 온도에서 가열 처리가 수행된다. 950 °C 내지 1100 °C의 온도에서 열산화가 수행되는 것이 바람직하다. 처리 시간은 0.1 내지 6 시간, 바람직하게는 0.5 내지 3.5 시간일 수 있다. 형성될 산화막의 두께는 10 nm 내지 1000 nm(바람직하게는 50 nm 내지 200 nm)이고, 예를 들면, 두께는 100 nm이다.

[0211] 할로겐을 포함하는 것으로서, HCl 이외에, HF, NF₃, HBr, Cl₂, ClF₃, BCl₃, F₂, Br₂ 및 이염화에틸렌(dichloroethylene) 중에서 선택된 하나 이상이 적용될 수 있다.

[0212] 이러한 온도 범위에서 가열 처리를 수행함으로써, 할로겐 원소에 의한 게터링 효과가 획득될 수 있다. 게터링은 특히 금속 불순물을 제거하는 효과를 갖는다. 즉, 염소의 작용에 의해 금속과 같은 불순물은 휘발성 염화물로 변하고, 공기중으로 분산된다. 게터링은, 단결정 반도체 기판(1108)에 화학적 기계 연마(chemical mechanical polishing; CMP) 처리가 실시되는 것에서 유효하다. 또한, 수소는 단결정 반도체 기판(1108)과 절연층 간의 계면에서의 결합을 보상하고 계면에서 국부적인 상태 밀도를 감소시키는 기능을 갖는다. 따라서, 단결정 반도체 기판(1108)과 절연층 간의 계면이 비활성화되어, 전기 특성이 안정화된다.

[0213] 할로겐은 이러한 가열 처리에 의해 형성된 산화막에 포함될 수 있다. 할로겐 원소는 1×10^{17} atoms/cm³ 내지 5×10^{20} atoms/cm³의 농도로 포함되어, 산화막이 금속과 같은 불순물을 포착하고 단결정 반도체 기판(1108)의 오염을 방지하는 보호층으로서 기능할 수 있다.

[0214] 취약층(1110)이 형성될 때, 가속 전압 및 이온들의 총수는 단결정 반도체 층 위에 침착된 막의 두께, 단결정 반도체 기판으로부터 분리되고 제조 기판으로 전치되는 목표된 단결정 반도체 층의 두께, 및 첨가되는 이온종들에 따라 조정될 수 있다.

[0215] 예를 들면, 수소 가스는 원료로서 사용되고, 단결정 반도체 기판은 이온 도핑 방법에 의해 40 kV의 가속 전압으로 이온의 총수가 2×10^{16} ions/cm²으로 조사되어, 취약층이 형성될 수 있다. 보호층이 큰 두께를 갖도록 형성되면, 이온들이 동일한 조건 하에서 첨가되고 취약층이 형성될 때, 얇은 단결정 반도체 층은, 단결정 반도체 기판으로부터 분리되고 제조 기판으로 전치(전재)되는 목표된 단결정 반도체 층으로서 형성될 수 있다. 예를 들면, 이것은 이온종들(H⁺, H₂⁺ 및 H₃⁺ 이온들)의 비율에 의존하지만, 취약층이 상기 조건들 하에서 형성되고, 산화 질화 규소막(50 nm의 두께) 및 질화 산화 규소막(50 nm의 두께)이 단결정 반도체 기판 위에 보호층으로서 적층되는 경우에, 제조 기판으로 전치될 단결정 반도체 층의 두께는 약 120 nm이거나, 산화 질화 규소막(100 nm의 두께) 및 질화 산화 규소막(50 nm의 두께)이 상기 조건 하에서 단결정 반도체 기판 위에 보호층으로서 적층되는 경우에, 제조 기판으로 전치되는 단결정 반도체 층의 두께는 약 70 nm이다.

[0216] 헬륨(He) 또는 수소가 소스 가스로서 사용되는 경우에, 10 kV 내지 200 kV 범위의 가속 전압 및 1×10^{16} ions/cm³ 내지 6×10^{16} ions/cm³ 범위의 도즈로 이온들이 첨가되어, 취약층이 형성될 수 있다. 헬륨이 소스 가스로서 사용되는 경우에, He⁺ 이온들은 질량 분리 없이 주 이온들로서 첨가될 수 있다. 또한, 수소가 소스 가스로서 사용되는 경우에, H₃⁺ 이온들 및 H₂⁺ 이온들이 주 이온들로서 첨가될 수 있다. 이온종들은 플라즈마 생성 방법, 압력, 소스 가스의 공급양, 또는 가속 전압에 의존하여 변한다.

[0217] 취약층의 형성의 또 다른 예로서, 산화 질화 규소막(50 nm의 두께), 질화 산화 규소막(50 nm의 두께), 및 산화 규소막(50 nm의 두께)이 단결정 반도체 기판 위에 보호층으로서 적층되고, 단결정 반도체 기판에 취약층을 형성

하기 위해 40 kV의 가속 전압 및 2×10^{16} ions/cm²의 도즈로 수소가 첨가된다. 그후, 산화 규소막(50 nm의 두께)이 산화 규소막 위에 접착 표면을 갖는 절연층으로서 형성되고, 이는 보호층의 상부층이다. 취약층의 형성의 또 다른 예로서, 산화 규소막(100 nm의 두께) 및 질화 산화 규소막(100 nm의 두께)이 단결정 반도체 기판 위에 보호층으로서 적층되고, 단결정 반도체 기판에 취약층을 형성하기 위해 40 kV의 가속 전압 및 2×10^{16} ions/cm²의 도즈에서 수소가 첨가된다. 그후, 산화 규소막(50 nm의 두께)이 질화 산화 규소막 위에 접착 표면을 갖는 절연층으로서 형성되고, 이는 보호층의 상부층이다. 산화 질화 규소막 또는 질화 산화 규소막이 플라즈마 CVD 방법에 의해 형성될 수 있고, 산화 규소막이 유기 실란 가스를 사용하여 CVD 방법에 의해 형성될 수 있다는 것을 유의하라.

[0218] 또한, 절연층은 제조 기판과 단결정 반도체 기판 사이에 형성될 수 있다. 절연층은 제조 기판 측 및 단결정 반도체 기판 측 중 하나 또는 양자 상에 형성될 수 있다. 접착될 표면 상에 형성된 절연층은 평활면을 갖고 친수성 표면을 형성한다. 절연층으로서, 산화 규소막이 사용될 수 있다. 산화 규소막으로서, 유기 실란 가스를 사용하는 화학 기상 성장 방법에 의해 형성된 산화 규소막이 바람직하다. 또한, 실란 가스를 사용하는 화학 기상 성장 방법에 의해 형성된 산화 규소막이 사용될 수 있다.

[0219] 사용될 수 있는 유기 실란 가스의 예들은, 테트라에톡시실란(tetraethoxysilane)(TEOS)(화학식: Si(OC₂H₅)₄), 트리메틸실란(trimethylsilane)(TMS)(화학식: (CH₃)₃SiH), 테트라메틸실란(tetramethylsilane)(화학식: Si(CH₃)₄), 테트라메틸시클로테트라실록산(tetramethylcyclotetrasiloxane)(TMCTS), 옥타메틸시클로테트라실록산(octamethylcyclotetrasiloxane)(OMCTS), 헥사메틸디실라잔(hexamethyldisilazane)(HMDS), 트리에톡시실란(triethoxysilane)(화학식: SiH(OC₂H₅)₃), 및 트리스디메틸아미노실란(trisdimethylaminosilane)(화학식: SiH(N(CH₃)₂)₃)을 포함한다. 산화 규소층이 유기 실란 가스를 소스 가스로서 사용하여 화학 기상 성장 방법에 의해 형성되는 경우에, 산소를 제공하는 가스를 혼합하는 것이 바람직하다. 산소를 제공하는 가스로서, 산소, 산화 질소, 이산화 질소 등이 사용될 수 있다. 또한, 아르곤, 헬륨, 질소, 수소 등과 같은 불활성 가스가 혼합될 수 있다.

[0220] 또한, 접착될 표면 상에 형성되는 절연층으로서, 모노실란, 디실란 또는 트리실란과 같은 실란을 소스로서 사용하여 화학 기상 성장 방법에 의해 형성된 산화 규소막이 사용될 수 있다. 이러한 경우에, 산소 등을 제공하는 가스, 불활성 가스를 혼합하는 것이 바람직하다. 또한, 절연층으로서 기능하고 단결정 반도체 층에 접착되는 산화 규소막은 염소를 포함할 수 있다. 본 명세서에서 화학 기상 성장 방법(CVD) 방법은 플라즈마 CVD 방법, 열 CVD 방법, 및 포토-CVD 방법을 그의 범주에 포함한다는 것을 유의하라.

[0221] 또한, 접착될 표면 상에 형성된 절연층으로서, 산화 대기 하에서 가열 처리에 의해 형성된 산화 실리콘, 산소 라디칼의 반응에 의해 성장한 산화 실리콘, 산화성 화학 용액을 사용하여 형성된 케미컬 옥사이드 등이 사용될 수 있다. 절연층으로서, 실록산(Si-O-Si) 결합을 포함하는 절연층이 사용될 수 있다. 또한, 유기 실란 가스는 절연층을 형성하기 위해 산소 라디칼 또는 질소 라디칼과 반응할 수 있다.

[0222] 또한, 접착될 표면 상에 형성된 절연층으로서, 그의 주성분으로서 산화 알루미늄을 포함하는 산화막이 사용될 수 있다. 주성분으로 산화 알루미늄을 포함하는 산화막은, 산화 알루미늄이 적어도 10 wt.% 포함되는 산화막을 지칭하고, 여기서 산화막 내의 모든 성분들의 총량은 100 wt.%이다. 또한, 절연층으로서, 주성분으로 산화 알루미늄을 포함하고, 산화 마그네슘 및 산화 스트론튬 중 하나 또는 양자를 포함하는 막이 사용될 수 있다. 또한, 질소를 포함하는 산화 알루미늄이 사용될 수 있다.

[0223] 절연층은 스퍼터링 방법에 의해 형성될 수 있다. 스퍼터링 방법에서 사용된 타겟으로서, 예를 들면, 알루미늄을 포함하는 금속 또는 산화 알루미늄과 같은 금속 산화물이 사용될 수 있다. 타겟의 재료는 형성될 막에 의존하여 적절히 선택될 수 있다는 것을 유의하라.

[0224] 타겟으로서 금속이 사용될 때, 반응 가스(예를 들면, 산소)가 도입되면서, 스퍼터링이 수행되는 그러한 방법(반응 스퍼터링 방법)으로 절연층이 형성된다. 금속으로서, 마그네슘(Mg), 알루미늄 및 마그네슘을 포함하는 합금, 알루미늄 및 스트론튬(Sr)을 포함하는 합금, 또는 알루미늄, 마그네슘, 및 스트론튬을 포함하는 합금이 알루미늄 이외에 사용될 수 있다. 이러한 경우에, 직류(DC) 전원 또는 고주파수(RF) 전원을 사용하여 스퍼터링이 수행될 수 있다.

[0225] 금속 산화물이 타겟으로서 사용될 때, 절연층은 무선 주파수(RF) 전원에 의한 스퍼터링(RF 스퍼터링 방법)에 의

해 형성된다. 금속 산화물로서, 산화 알루미늄 이외에, 산화 마그네슘, 산화 스트론튬, 알루미늄 및 마그네슘을 포함하는 산화물, 알루미늄 및 스트론튬을 포함하는 산화물, 또는 알루미늄, 마그네슘 및 스트론튬을 포함하는 산화물이 사용될 수 있다.

[0226] 또한, 절연층은 바이어스 스퍼터링 방법에 의해 형성될 수 있다. 바이어스 스퍼터링 방법이 사용될 때, 막이 증착되고, 막의 표면이 평탄화될 수 있다.

[0227] 주성분으로 알루미늄을 포함하는 산화막은 제조 기판에 포함된 가동(可動) 이온 및 습기와 같은 불순물들이 나중에 제조 기판 위에 형성될 단결정 반도체 층으로 확산하는 것을 방지한다.

[0228] 접착될 절연층의 표면은, 산술 평균 거칠기 R_a 가 0.8 nm 미만이고 제곱 평균 거칠기 R_{rms} 가 0.9 nm 미만이고, 더욱 바람직하게 R_a 가 0.4 nm 이하이고 R_{rms} 가 0.5 nm 이하이고, 더욱 바람직하게, R_a 가 0.3 nm 이하이고, R_{rms} 가 0.4 nm 이하인 것으로 설정되는 것이 바람직하다. 예를 들면, R_a 가 0.27 nm이고, R_{rms} 가 0.34 nm이다. 본 명세서에서, R_a 는 산술 평균 거칠기이고, R_{rms} 는 제곱 평균 거칠기이고, 측정 범위는 $2 \mu\text{m}^2$ 또는 $10 \mu\text{m}^2$ 이다.

[0229] 제조 기판 및 단결정 반도체 기판이 서로 접착될 때, 바람직하게 서로 접착되는 표면들 중 하나 또는 양자의 표면 상에서 유기 실란을 재료로서 사용하여 산화 규소막으로 형성된 절연층을 제공함으로써 강한 접착이 수행될 수 있다.

[0230] 본 실시 형태에서, 도 14b에 예시된 바와 같이, 산화 규소막은 절연층(1104)으로서 제조 기판에 접착되는 표면상에 형성된다. 산화 규소막으로서, 유기 실란 가스를 사용하는 화학 기상 성장 방법에 의해 형성된 산화 규소막이 바람직하다. 또한, 실란 가스를 사용하는 화학 기상 성장 방법에 의해 형성된 산화 규소막이 사용될 수 있다. 화학 기상 성장 방법에 의한 성막 시에, 단결정 반도체 기판에 형성된 취약층(1110)으로부터 탈가스가 발생하지 않는 온도로서, 예를 들면, 350 °C 이하(특정 예로서 300 °C)의 막 형성 온도가 적용된다. 또한, 단결정 반도체 층이 단결정 반도체 기판으로부터 분리되는 가열 처리에 대해, 성막 온도보다 높은 가열 처리 온도가 적용된다.

[0231] 본 실시 형태에서, 반도체 소자층이 제조 기판 위에 형성된 후에, 반도체 소자층을 제조 기판으로부터 분리하기 위해 제조 기판과 반도체 소자층 간에 분리층이 제공된다. 따라서, 단결정 반도체 기판으로부터 분리되어 접착되는 단결정 반도체 층은 제조 기판 위에 제공된 분리층(및 무기 절연막) 위에 형성된다. 분리층의 표면이 평평하지 않다면, 단결정 반도체 기판 및 제조 기판이 서로 접착되는 공정에서, 접착 표면과 접촉하는 면적이 작게 되고, 이는 충분한 결합 강도를 획득하기 어렵다. 따라서, 분리층이 평탄화될 필요가 있다.

[0232] 분리층은, 제조 기판과 단결정 반도체 층 사이에 제공되는 한, 제조 기판 측 또는 단결정 반도체 기판 측 상에 형성될 수 있다. 제조 기판 측 또는 단결정 반도체 기판 측 상에 형성된 분리층에 평탄화 처리가 실시된다.

[0233] 절연층은 제조 기판 측 또는 단결정 반도체 기판 측 상에 형성될 수 있다. 또한, 절연층은 분리층 측 상에 형성될 수 있고, 절연층은 제조 기판 측 및 단결정 반도체 기판 측 양자 상에 형성될 수 있다. 제조 기판 또는 단결정 반도체 기판이 분리층에 직접 접착되는 경우에, 절연층이 반드시 제공될 필요는 없다.

[0234] 본 실시 형태에서, 분리층(1125)은 제조 기판(1101) 측 상에 형성되고, 블로킹층(blocking layer)(1109)은 분리층(1125) 위에 형성된다.

[0235] 평탄화 처리로서, 연마 처리 또는 에칭 처리가 수행될 수 있다. 물론, 연마 처리 및 에칭 처리 양자가 수행될 수 있다. 연마 처리로서, 화학적 기계 연마(CMP) 방법 또는 액체 제트 연마 방법이 채용될 수 있다. 에칭 처리로서, 습식 에칭 또는 건식 에칭, 또는 이들 양자가 적절히 채용될 수 있다.

[0236] 또한, 평탄화 처리로서, 플라즈마 처리가 수행될 수 있다. 예를 들면, 역스퍼터링 방법이 채용될 수 있다. 역스퍼터링 방법에 의한 평탄화 처리를 수행함으로써, 절연층의 형성에서 평탄화까지의 절차가 동일한 장치 내에서 이루어질 수 있고, 이로써 처리량이 개선되어 바람직하다.

[0237] 예를 들면, Ar 가스와 같은 불활성 가스를 고진공 챔버에 도입하고, 전계를 처리될 표면에 인가하여 플라즈마 상태를 생성함으로써 역스퍼터링 방법이 수행된다. 플라즈마는 Ar의 전자들 및 양의 이온들을 포함하고, Ar의 양의 이온들은 음극 방향으로 가속된다. 처리되는 표면은 가속화된 Ar의 양의 이온들에 의해 스퍼터링된다. 이때, 처리될 표면의 볼록부가 우선적으로 스퍼터링된다. 처리될 표면으로부터 배출된 입자들은 처리될 표면의 상이한 장소에 부착된다. 이때, 입자는 처리될 표면의 오목부에 우선적으로 부착된다. 이러한 방법으로, 볼록부를 감소하고 오목부를 채움으로써, 처리될 표면의 평탄성이 개선된다.

- [0238] 본 실시 형태에서, 분리층은 스퍼터링 방법에 의해 형성되고, 역스퍼터링 방법에 의해 평탄화 처리가 실시된다.
- [0239] 불순물 원소의 확산을 방지하는 질화 규소막 또는 질화 산화 규소막은 제조 기판과 분리층 사이에 블로킹 층(베리어층으로서 지칭됨)으로서 제공될 수 있다. 또한, 산화 질화 규소막은 응력을 감소시키는 기능을 갖는 절연막으로서 조합될 수 있다.
- [0240] 도 14c는, 제조 기판(1101) 위에 제공된 블로킹 층(1109), 및 절연층(1104)이 형성된 단결정 반도체 기판(1108)의 표면이 서로 밀접하게 배치되고 서로 접착되는 상태를 예시한다. 블로킹 층(1109)이 표면이 평탄화된 분리층(1125) 위에 제공되기 때문에, 블로킹 층(1109)의 표면은 높은 평탄성을 갖는다. 접합을 형성하는 표면은 층 분히 세정된다. 제조 기판(1101) 위에 제공된 블로킹 층(1109)의 표면 및 절연층(1104)이 형성된 단결정 반도체 기판(1108)의 표면은 메가소닉 세정 등에 의해 세정될 수 있다. 또한, 표면들은 메가소닉 세정 후에 오존 수로 세정될 수 있고, 유기물이 제거되고, 표면들의 친수성이 개선될 수 있다.
- [0241] 제조 기판(1101) 위의 블로킹 층(1109) 및 절연층(1104)을 서로 대면하게 하고, 외부로부터 한 부분에 압력을 가하면, 국부적으로 접착된 표면들 간의 거리 감소로 인해 반데르발스 힘(van der Waals forces)의 증가 또는 수소 결합의 영향에 의해 블로킹 층(1109) 및 절연층(1104)이 서로 끌어당긴다. 또한, 제조 기판(1101) 위의 블로킹 층(1109) 및 부근 영역에서 서로 대면하는 절연층(1104) 간의 거리가 감소되기 때문에, 반데르발스 힘이 강하게 작용하는 영역 또는 수소 결합에 의해 영향을 받는 영역이 확장되고, 이로써 전체 접착 표면들에 대해 접착이 진행된다.
- [0242] 압력을 가할 때, 100 kPa 내지 5000 kPa의 압력이 기판들의 4 개의 코너들 중 하나에 인가되고, 이로써 접착 표면들이 서로 가까워지고, 접착이 반데르발스 힘에서 수소 결합으로 이행될 수 있다. 기판의 한 부분에서의 접착된 표면들이 가까워질 때, 인접한 접착된 표면들이 또한 가까워지고, 접착이 수소 결합으로 이행되고, 따라서, 전체 접착 표면들이 수소 결합을 가질 수 있다.
- [0243] 양호한 접착을 형성하기 위해, 표면이 활성화될 수 있다. 예를 들면, 접착을 형성하는 표면은 원자 빔 또는 이온 빔으로 조사될 수 있다. 원자 빔 또는 이온 빔이 사용될 때, 아르곤의 불활성 가스 중성 원자 빔 또는 불활성 가스 이온 빔 등이 사용될 수 있다. 또한, 플라즈마 조사 또는 라디칼 처리가 수행된다. 그러한 표면 처리는 200 °C 내지 400 °C의 온도에서 조차 상이한 종들의 재료들 간의 접착을 용이하게 한다.
- [0244] 제조 기판과 절연층 간의 접착 계면의 접착 강도를 개선하기 위해, 가열 처리가 수행되는 것이 바람직하다. 예를 들면, 오븐, 화로 등에서 70 °C 내지 350 °C(예를 들면, 2 시간 동안 200 °C)의 온도 조건에서 가열 처리가 수행된다.
- [0245] 도 14d에서 제조 기판(1101) 및 단결정 반도체 기판(1108)이 서로 접착된 후에, 가열 처리가 수행되고, 단결정 반도체 기판(1108)은 벽개면으로서 기능하는 취약층(1110)을 사용하여 제조 기판(1101)으로부터 분리된다. 가열 처리가, 예를 들면, 400 °C 내지 700 °C에서 수행될 때, 취약층(1110)에 형성된 미소공동들(microvoids)의 체적에서 변화가 발생하고, 이는 취약층(1110)을 따라 벽개가 발생하도록 한다. 절연층(1104)이 그 사이에 블로킹 층(1109)을 개재하여 제조 기판(1101)에 접착되기 때문에, 단결정 반도체 기판(1108)과 동일한 결정성을 갖는 단결정 반도체 층(1102)이 제조 기판(1101) 상에 남아 있게 된다.
- [0246] 400 °C 내지 700 °C의 온도 범위에서의 가열 처리는, 접착 강도를 개선하기 위한 상기 가열 처리에서 사용된 동일한 장치에서 연속해서 수행될 수 있거나, 또 다른 장치에서 수행될 수 있다. 예를 들면, 2 시간 동안 200 °C에서 화로에서의 가열 처리 후에, 온도는 거의 600 °C로 증가되고, 2 시간 동안 유지되고, 온도가 실온 내지 400 °C 범위의 온도로 감소되고, 그후 기판을 화로에서 꺼낸다. 또한, 가열 처리는 실온에서 증가하는 온도로 수행될 수 있다. 또한, 2 시간 동안 200 °C의 화로에서의 가열 처리 후에, 1 시간 내지 30 분 동안 600 °C 내지 700 °C의 온도 범위(예를 들어, 600 °C에서 7분 또는 650 °C에서 7분)에서 고속 열 처리(Rapid Thermal Annealing; RTA) 장치에 의해 가열 처리가 수행될 수 있다.
- [0247] 400 °C 내지 700 °C의 온도 범위에서의 가열 처리에 의해, 절연층과 제조 기판 사이의 접착이 수소 결합에서 공유 결합으로 이행하고, 취약층에 첨가된 원소가 분리되고, 압력이 증가하여, 단결정 반도체 층이 단결정 반도체 기판으로부터 분리될 수 있다. 가열 처리 후에, 제조 기판 및 단결정 반도체 기판은 그들 중 하나가 다른 것 위에 놓인 상태가 되고, 제조 기판 및 단결정 반도체 기판은 큰 힘의 인가 없이 서로로부터 분리될 수 있다. 예를 들면, 다른 기판 위에 놓인 하나의 기판이 진공 척(vacuum chuck)에 의해 들어 올려지고, 따라서 기판들이 쉽게 분리될 수 있다. 이 때에, 아래쪽의 기판이 진공 척 또는 기계 척으로 고정되면, 제조 기판 및 단결정 반도체 기판 양자는 수평적 오정렬 없이 서로로부터 분리될 수 있다.

[0248] 도 14a 내지 도 14d 및 도 15a 내지 도 15c에서, 단결정 반도체 기판(1108)이 제조 기판(1101)보다 더 작은 예들이 도시되지만, 본 발명이 이에 제한되지 않고, 단결정 반도체 기판(1108) 및 제조 기판(1101)이 동일한 크기일 수 있거나, 반도체 기판(1108)이 제조 기판(1101)보다 더 클 수 있다.

[0249] 도 15a 내지 도 15c는, 절연층이 제조 기판 층 상에 제공되고 단결정 반도체 층이 형성되는 공정을 예시한다. 도 15a는, 보호층(1121)으로서 산화 규소막이 형성된 단결정 반도체 기판(1108)이 전계에 의해 가속화된 이온들로 조사되어 미리 결정된 깊이로 취약층(1110)을 형성하는 단계를 예시한다. 이온들에 의한 조사는 도 14a의 경우와 동일하게 수행된다. 보호층(1121)은 단결정 반도체 기판(1108)의 표면 상에 형성되어, 표면이 이온들에 의한 조사에 의해 손상되는 것이 방지되고, 따라서, 평탄성을 손상하는 것이 방지된다. 또한, 보호층(1121)은, 단결정 반도체 기판(1108)으로부터 형성된 단결정 반도체 층(1102)에 대해 불순물들의 확산을 방지하는 효과를 갖는다.

[0250] 도 15b는, 블로킹 층(1109) 및 절연층(1104)이 형성된 제조 기판(1101), 및 단결정 반도체 기판(1108)의 보호층(1121)이 밀착하고 서로 접합되는 단계를 예시한다. 제조 기판(1101) 위의 절연층(1104)을 단결정 반도체 기판(1108)의 보호층(1121)과 밀착하도록 정렬시킴으로써, 이들이 서로 접착된다.

[0251] 이후에, 단결정 반도체 기판(1108)은 도 15c에 예시된 바와 같이 분리된다. 단결정 반도체 층을 분리하기 위한 가열 처리는 도 14d에 예시된 경우와 동일하게 수행된다. 그러한 방법으로, 도 15c에 예시된 절연층을 그 사이에 개재하여 단결정 반도체 층이 기판 위에 제공되는 SOI 구조를 갖는 반도체 기판이 획득될 수 있다.

[0252] 또한, 단결정 반도체 기판으로부터 분리되고 제조 기판으로 전치되는 단결정 반도체 층에서, 분리 단계 및 이온 조사 단계로 인해 결정 결함이 발생되고, 일부 경우들에서 단결정 반도체 층의 표면 상의 평탄성의 손상으로 인해 요철이 생성될 수 있다. 트랜지스터가 단결정 반도체 층을 사용하여 반도체 소자로서 형성될 때, 그러한 요철을 갖는 단결정 반도체 층의 상부 표면 위에 높은 내전압을 갖는 얇은 게이트 절연층을 형성하는 것은 어렵다. 또한, 단결정 반도체 층이 결정 결함을 갖는다면, 트랜지스터의 성능 및 신뢰성이 부정적인 영향을 받고, 예를 들면, 게이트 절연층과의 국부적인 계면 상태 밀도가 증가된다.

[0253] 따라서, 결정 결함은 레이저 빔과 같은 전자파(electromagnetic wave)로 단결정 반도체 층을 조사하여 감소되는 것이 바람직하다. 단결정 반도체 층의 적어도 일부 영역이 전자파들에 의한 조사에 의해 용융되고, 단결정 반도체 층의 결정 결함이 감소될 수 있다. 단결정 반도체 층의 표면 상에 형성된 산화막(자연 산화막 또는 화학적 산화막)이 전자파에 의한 조사 전에 희불산을 사용하여 제거되는 것이 바람직하다는 것을 유의하라.

[0254] 높은 에너지를 단결정 반도체 층에 공급하는 전자파가 사용될 수 있고, 레이저 광이 사용되는 것이 바람직하다.

[0255] 에너지는, 조사 등에 의해 고에너지를 갖는 입자들을 단결정 반도체 층과 충돌시킴으로써 발생하는 열 전도에 의해 주로 공급될 수 있다. 고에너지를 갖는 입자들을 공급하는 열원으로서, 플라즈마가 사용될 수 있고, 상압 플라즈마, 고압 플라즈마, 열 플라즈마 제트 또는 가스 버너의 불꽃 등이 사용될 수 있다. 또한, 열원의 또 다른 예로서, 전자 빔 등이 제공될 수 있다.

[0256] 전자파의 파장은 단결정 반도체 층에 의해 흡수될 수 있도록 설정된다. 파장들은 전자파의 표피 깊이 등을 고려함으로써 결정될 수 있다. 예를 들면, 전자파의 파장은 190 nm 내지 600 nm일 수 있다. 또한, 전자파 에너지는 전자파의 파장, 전자파의 표피 깊이, 조사될 단결정 반도체 층의 두께 등을 고려하여 결정될 수 있다.

[0257] 레이저 광을 발산하는 레이저는 연속 발진 레이저, 의사 연속 발진 레이저 또는 펄스 발진 레이저일 수 있다. 펄스 발진 레이저는 부분적인 용융에서 바람직하다. 예를 들면, KrF 레이저와 같은 엑시머 레이저, 또는 Ar 레이저 또는 Kr 레이저와 같은 가스 레이저가 사용될 수 있다. 또한, YAG 레이저, YVO₄ 레이저, YLF 레이저, YA1O₃ 레이저, GdVO₄ 레이저, KGW 레이저, KYW 레이저, 알렉산드라이트 레이저, Ti:사파이어 레이저, Y₂O₃ 레이저 등과 같은 고체 레이저가 사용될 수 있다. 엑시머 레이저는 펄스 발진 레이저이고, YAG 레이저와 같은 일부 고체 레이저들은 연속 발진 레이저, 의사 연속 발진 레이저 및 펄스 발진 레이저로서 사용될 수 있다. 고상 레이저에서, 기본파의 제 2 고조파 내지 제 5 고조파가 사용되는 것이 바람직하다. 또한, GaN, GaAs, GaAlAs, InGaAsP 등과 같은 반도체 레이저가 사용될 수 있다.

[0258] 단결정 반도체 층이 전자파 에너지로 조사될 수 있다면, 램프 광이 사용될 수 있다. 예를 들면, 자외선 램프, 블랙 라이트, 할로겐 램프, 메탈 할로겐화 램프(metal halide lamp), 크세논 아크 램프(xenon arc lamp), 카본 아크 램프, 고압 나트륨 램프 또는 고압 수은 램프 등으로부터 사출된 광이 사용될 수 있다. 상기 램프 광을 사용하는 플래시 어닐링이 사용될 수 있다. 할로겐 램프, 크세논 램프 등을 사용하여 수행되는 플래시 어닐링은

매우 짧은 처리 시간이 걸리고, 제조 기판의 온도 상승이 억제될 수 있다.

[0259] 전자파의 형상 또는 경로를 조정하기 위해 셔터, 미러 또는 하프 미러와 같은 반사체, 원통형 렌즈, 볼록 렌즈 등을 포함하는 광학계가 제공될 수 있다.

[0260] 전자파의 조사 방법에 대해, 전자파들은 선택적으로 조사되거나, 광(전자파)가 조사될 수 있도록 광(전자파)이 XY 방향들로 주사될 수 있다는 것을 유의하라. 이러한 경우에, 광학계에서 다각형 미러 또는 갈바노미터 미러 (galvanometer mirror)가 사용되는 것이 바람직하다.

[0261] 전자파의 조사는 대기와 같은 산소를 포함하는 대기 또는 질소 대기와 같은 불활성 대기에서 수행될 수 있다. 불활성 대기에서 전자파의 조사를 수행하기 위해, 밀폐된 챔버에서 전자파의 조사가 수행될 수 있고, 이러한 챔버 내의 대기가 제어될 수 있다. 챔버가 사용되지 않는 경우에, 질소 가스와 같은 불활성 가스를 전자파가 조사될 표면 상에 뿐만 아니라 질소 대기가 형성될 수 있다.

[0262] 또한, 결정 결합을 감소시키기 위해 전자파의 조사와 같은 고에너지가 공급되는 단결정 반도체 층의 표면 상에서 연마 처리가 수행될 수 있다. 연마 처리에 의해, 단결정 반도체 층의 표면의 평탄성이 증가될 수 있다.

[0263] 연마 처리로서, 화학적 기계 연마(CMP) 방법 또는 액체 제트 연마 방법이 채용될 수 있다. 단결정 반도체 층의 표면이 연마 처리 전에 세정 및 정화된다는 것을 유의하라. 메가소닉 세정, 2-유체 제트 세정 등에 의해 세정이 수행될 수 있고, 단결정 반도체 층의 표면의 먼지 등이 세정에 의해 제거된다. 또한, 단결정 반도체 층을 노출시키기 위해 희불산을 사용하여 단결정 반도체 층의 표면 상의 자연 산화막 등을 제거하는 것이 바람직하다.

[0264] 또한, 전자파의 조사 전에, 단결정 반도체 층의 표면 상에서 연마 처리(또는 에칭 처리)가 수행될 수 있다.

[0265] 또한, 분리된 단결정 반도체 기판을 반복적으로 사용하는 단계(반도체 기판 재생 공정)를 수행하는 것은 비용을 절감할 수 있다.

[0266] 또한, 단결정 반도체 층이 단결정 반도체 기판으로 전재될 때, 단결정 반도체 기판이 선택적으로 에칭되고, 형상들이 가공된 복수의 단결정 반도체 층들이 제조 기판으로 전재될 수 있다. 따라서, 복수의 섬 형상 단결정 반도체 층들이 제조 기판 위에 형성될 수 있다. 미리 형상들이 가공된 단결정 반도체 층들이 전재되기 때문에, 단결정 반도체 기판의 크기 및 형상에 대해 특별한 제한이 없다. 따라서, 단결정 반도체 층들은 대형 제조 기판으로 더욱 효율적으로 전재될 수 있다.

[0267] 또한, 단결정 반도체 층의 형상을 가공 및 수정하기 위해 제조 기판에 접착된 단결정 반도체 층이 에칭되어, 단결정 반도체 층이 정밀하게 제어된다. 따라서, 단결정 반도체 층은 반도체 소자의 형상으로 가공될 수 있고, 레지스트 마스크 형성을 위한 광 노출에서 레지스트 마스크 주변의 광에 의해 야기된 패턴 오정렬, 단결정 반도체 층 등을 전재할 때에 접착 단계에 의해 야기된 위치 오정렬로 인한 단결정 반도체 층의 형상에서의 결합 및 형성 위치에서의 오차가 수정될 수 있다.

[0268] 또한, 단결정 반도체 층이 단결정 반도체 기판으로부터 분리된 후에, 단결정 반도체 층이 제조 기판에 접착될 수 있다. 벽개에 의해 노출된 단결정 반도체 층의 표면이 제조 기판 측과 대면하거나, 단결정 반도체 층이 제조 기판 위에 접착되어, 벽개에 의해 노출된 단결정 반도체 층의 표면이 게이트 절연막과 접촉하는 그러한 방식으로 접착이 수행될 수 있다.

[0269] 본 실시 형태에서, 단결정 반도체 기판(1108)으로서 단결정 실리콘 기판이 사용될 때, 단결정 실리콘 층은 단결정 반도체 층(1102)으로서 획득될 수 있다. 또한, 본 실시 형태의 반도체 장치 제조 방법에서, 공정 온도가 700 °C 이하로 설정될 수 있고, 따라서 제조 기판(1101)으로서 유리 기판이 사용될 수 있다. 즉, 종래의 박막 트랜지스터들의 경우에서와 같이, 트랜지스터가 유리 기판 위에 형성될 수 있고, 반도체 층으로서 단결정 실리콘 층이 사용될 수 있다. 이것은 고성능 및 고신뢰성을 갖는 트랜지스터를 형성하는 것을 가능하게 하고, 상기 트랜지스터는 낮은 소비 전압으로 고속으로 동작하고, 낮은 서브 문턱값 및 높은 전계 효과 이동도를 가질 수 있고, 이러한 트랜지스터가 유리 기판과 같은 제조 기판 위에 형성될 수 있다.

[0270] 본 실시 형태는 실시 형태들 1 내지 6 중 임의의 실시 형태와 적절히 조합될 수 있다.

[0271] (실시 형태 8)

[0272] 본 실시 형태에서, 높은 신뢰성을 갖는 반도체 장치의 예가 설명될 것이다. 구체적으로, 상기 반도체 장치의 예들로서, 연산 기능을 갖고 접촉 없이 데이터를 송신 및 수신할 수 있는 마이크로프로세서 및 반도체 장치의 예들이 설명된다.

[0273] 도 12는 반도체 장치의 구조로서 마이크로프로세서(500)의 예를 예시한다. 이러한 마이크로프로세서(500)는 상기 실시 형태들에 따라 형성된 반도체 장치를 사용하여 형성된다. 이러한 마이크로프로세서(500)는 연산 논리 유닛(ALU로 지칭됨)(501), ALU 제어기(502), 명령 디코더(503), 인터럽트 제어기(504), 타이밍 제어기(505), 레지스터(506), 레지스터 제어기(507), 버스 인터페이스(버스 I/F)(508), 판독 전용 메모리(ROM)(509), 및 메모리 인터페이스(ROM I/F)(510)를 갖는다.

[0274] 버스 인터페이스(508)를 통한 마이크로프로세서(500)에 입력된 명령은 명령 디코더(503)에 입력되고 디코딩된다. 그후, 명령은 ALU 제어기(502), 인터럽트 제어기(504), 레지스터 제어기(507), 및 타이밍 제어기(505)에 입력된다. ALU 제어기(502), 인터럽트 제어기(504), 레지스터 제어기(507), 및 타이밍 제어기(505)는 디코딩된 명령에 기초하여 각각의 제어들을 수행한다. 구체적으로, ALU 제어기(502)는 연산 논리 유닛(501)의 동작을 제어하는 신호를 생성한다. 인터럽트 제어기(504)는, 프로그램이 마이크로프로세서(500)에서 실행될 때 외부 입력/출력 장치 또는 주변 회로로부터의 인터럽트 요청을 그의 우선 순위 또는 마스크 상태에 기초하여 판정하고, 상기 요청을 처리한다. 레지스터 제어기(507)는 레지스터(506)의 어드레스를 생성하고, 마이크로프로세서(500)의 상태에 따라 데이터를 레지스터(506)에 기록하고 레지스터(506)로부터 판독한다. 타이밍 제어기(505)는 연산 논리 유닛(501), ALU 제어기(502), 명령 디코더(503), 인터럽트 제어기(504), 및 레지스터 제어기(507)를 구동하는 타이밍을 제어하는 신호들을 생성한다. 예를 들면, 타이밍 제어기(505)에는 기준 클록 신호 CLK1에 기초하여 내부 클록 신호 CLK2를 생성하는 내부 클록 생성기가 제공되고, 클록 신호 CLK2를 상술된 회로들 각각에 공급한다. 도 12에 예시된 마이크로프로세서(500)는 단지 간략화된 구조의 예이고, 실질적인 마이크로프로세서들은 용도에 따라 다양한 구조들을 가질 수 있다는 것을 유의하라.

[0275] 다음에, 연산 기능을 갖고 접촉 없이 데이터를 송신 및 수신할 수 있는 반도체 장치의 예가 도 13을 참조하여 설명된다. 도 13은, 무선 통신에 의해 외부 장치로 신호들을 송신하고 외부 장치로부터 신호들을 수신하는 컴퓨터(이후에 RFCPU로 지칭됨)의 예를 예시한다. RFCPU(511)는 아날로그 회로부(512) 및 디지털 회로부(513)를 갖는다. 아날로그 회로부(512)는 공진 용량을 갖는 공진 회로(514), 정류 회로(515), 정전압 회로(516), 리셋 회로(517), 발진 회로(518), 복조 회로(519), 및 변조 회로(520)를 포함한다. 디지털 회로부(513)는 RF 인터페이스(521), 제어 레지스터(522), 클록 제어기(523), CPU 인터페이스(524), 중앙 처리 유닛(525), 랜덤 액세스 메모리(526), 및 판독 전용 메모리(527)를 포함한다.

[0276] 그러한 구성을 갖는 RFCPU(511)의 동작이 이하에 간략히 설명된다. 공진 회로(514)는 안테나(528)에서 수신된 신호에 기초하여 유도 기전력을 생성한다. 유도 기전력은 정류 회로(515)를 통해 용량부(529)에 저장된다. 용량부(529)는 세라믹 콘덴서 또는 전기 이중층 콘덴서와 같은 콘덴서를 사용하여 형성되는 것이 바람직하다. 용량부(529)는 반드시 RFCPU(511)와 동일한 기판 위에 형성될 필요는 없고, 또 다른 구성요소로서 RPCPU(511)를 부분적으로 구성하는 절연 표면을 갖는 기판에 부착될 수 있다.

[0277] 리셋 회로(517)는 디지털 회로부(513)가 초기화되도록 리셋하는 신호를 생성한다. 예를 들면, 전원 전압의 상승에 대해 지연을 갖고 일어나는 신호가 리셋 신호로서 생성된다. 발진 회로(518)는 정전압 회로(516)에 의해 생성된 제어 신호에 따라 클록 신호의 주파수 및 드티비를 변경한다. 저역 통과 필터를 갖는 복조 회로(519)는, 예를 들면, 진폭 시프트 키잉(amplitude shift keying; ASK) 시스템의 수신 신호들의 진폭에서의 변동들을 이진화한다. 변조 회로(520)는 진폭 시프트 키잉(ASK) 시스템의 송신 신호들의 진폭을 변동하여 송신한다. 변조 회로(520)는 공진 회로(514)의 공진점을 변경하여, 통신 신호들의 진폭을 변경한다. 클록 제어기(523)는, 중앙 처리 유닛(525)에서 전원 전압 또는 전류 소비에 따라 클록 신호의 주파수 및 드티비를 변경하는 제어 신호를 생성한다. 전원 전압은 전원 관리 회로(530)에 의해 감시된다.

[0278] 안테나(528)로부터 RFCPU(511)로 입력된 신호는 복조 회로(519)에 의해 복조되고, 그후 RF 인터페이스(521)에 의해 제어 명령, 데이터 등으로 분해된다. 제어 명령은 제어 레지스터(522)에 저장된다. 제어 명령은 판독 전용 메모리(527)에 저장된 데이터 판독, 랜덤 액세스 메모리(526)에 데이터 기록, 중앙 처리 유닛(525)에 대한 연산 명령 등을 포함한다. 중앙 처리 유닛(525)은 인터페이스(524)를 통해 판독 전용 메모리(527), 랜덤 액세스 메모리(526), 및 제어 레지스터(522)를 액세스한다. 인터페이스(524)는 중앙 처리 유닛(525)에 의해 요청된 어드레스에 기초하여 판독 전용 메모리(527), 랜덤 액세스 메모리(526), 및 제어 레지스터(522) 중 임의의 하나에 대한 액세스 신호를 생성하는 기능을 갖는다.

[0279] 중앙 처리 유닛(525)의 연산 방법으로서, 판독 전용 메모리(527)가 OS(운영 시스템)을 저장하고 시작 동작 시에 프로그램이 판독되고 그후 실행되는 방법이 채용될 수 있다. 또한, 연산에 대해 지정된 회로가 형성되고 연산 처리가 하드웨어를 사용하여 수행되는 방법이 채용될 수 있다. 하드웨어 및 소프트웨어 양자가 사용되는 방법에

서, 일부 처리가 연산 전용 회로에서 수행되고 연산 처리의 다른 부분이 프로그램을 사용하는 중앙 처리 유닛(525)에 의해 수행되는 방법이 채용될 수 있다.

[0280] 본 실시 형태의 마이크로프로세서에서, 반도체 접적 회로를 센드위치하는 한 쌍의 내충격충들, 및 반도체 접적 회로 상에 적층된 충격 확산층을 사용하여, 두께 및 크기에서의 감소가 성취되면서 강도를 갖는 고신뢰성의 반도체 장치가 제공될 수 있다.

[0281] (실시 형태 9)

[0282] 본 실시 형태에서, 상기 실시 형태들에 설명된 반도체 장치의 사용 형태들의 예가 설명될 것이다. 구체적으로, 접촉 없이 테이터가 입력/출력될 수 있는 반도체 장치의 적용 예가 도면들을 참조하여 설명된다. 접촉 없이 테이터를 입력 및 출력할 수 있는 반도체 장치는 RFID 태그, ID 태그, IC 태그, IC 칩, RF 태그, 무선 태그, 전자태그 또는 무선 칩으로 지칭된다.

[0283] 본 실시 형태에 예시된 반도체 장치의 상면 구조의 예가 도 10을 참조하여 설명된다. 도 10에 예시된 반도체 장치(2180)는, 메모리부 및 논리부를 구성하는 트랜지스터들과 같은 복수의 소자들을 포함하는 박막 접적 회로(2131), 및 안테나로서 기능하는 도전층(2132)을 포함한다. 안테나로서 기능하는 도전층(2132)은 박막 접적 회로(2131)에 전기적으로 접속된다. 실시 형태 2에서 설명된 트랜지스터가 박막 접적 회로(2131)에 적용될 수 있다. 안테나로서 기능하는 도전층은 박막 접적 회로 위 또는 아래에 형성될 수 있다. 안테나로서 기능하는 도전층은 내충격충의 외부측 상에 제공될 수 있다. 또한, 안테나로서 기능하는 도전층(2132)은 기판(2133)에 제공될 수 있고, 기판(2133) 및 박막 접적 회로(2131)는 도전층(2132)을 그 사이에 개재하여 서로 부착될 수 있다. 박막 접적 회로(2131)의 접속 단자 및 안테나로서 기능하는 도전층은 접착성 수지에 포함된 도전성 입자들을 통하여 서로 전기적으로 접속될 수 있다. 또한, 본 발명은, 박막 접적 회로에 전기적으로 접속된 안테나와 인터로게이터(interrogator) 간의 접촉 없이 무선파의 주파수를 변환할 수 있는 부스터 안테나가 제공되는 반도체 장치에 적용될 수 있다.

[0284] 반도체 소자로서, 전계 효과 트랜지스터는 물론, 반도체 층을 사용하는 메모리 소자가 채용될 수 있고, 다용도에서 요구되는 기능들을 충족시킬 수 있는 반도체 장치가 제조 및 제공될 수 있다.

[0285] 본 실시 형태에서, 안테나로서 기능하는 도전층(2132)이 코일 형태로 제공되고, 전자 유도 방법 또는 전자 결합 방법 중 어느 하나가 채용되는 예가 설명되지만, 본 발명의 반도체 장치는 이에 제한되지 않고, 마이크로파 방법이 또한 채용될 수 있다는 것을 유의하라. 마이크로파 방법의 경우에, 안테나로서 기능하는 도전층(2132)의 형상은 전자파의 파장에 의존하여 적절히 결정될 수 있다.

[0286] 예를 들면, 반도체 장치의 신호 송신 방법으로서, 마이크로파 방법(예를 들면, UHF 대역(860 MHz 내지 960 MHz 범위), 2.45 GHz의 주파수 대역 등)이 채용될 때, 안테나로서 기능하는 도전층의 형상, 예를 들면, 길이는 신호를 송신하는데 사용되는 전자파의 파장을 고려하여 적절히 설정될 수 있다. 예를 들면, 안테나로서 기능하는 도전층은 선형(예를 들면, 다이폴 안테나) 또는 평탄한 형상(예를 들면, 패치 안테나 또는 리본 형상을 갖는 안테나)으로 형성될 수 있다. 또한, 안테나로서 기능하는 도전층(2132)의 형상은 직선으로 제한되지 않고, 전자파의 파장을 고려하여, 곡선형, S 형 또는 이들을 조합한 형상의 도전층이 물론 제공될 수 있다.

[0287] 안테나로서 기능하는 도전층은 CVD 방법, 스퍼터링 방법, 스크린 인쇄 또는 그라비아 인쇄와 같은 인쇄 방법, 액적 토출 방법, 디스펜서 방법, 도금 방법 등에 의해 도전성 재료를 사용하여 형성된다. 도전성 재료는 알루미늄(Al), 티타늄(Ti), 은(Ag), 구리(Cu), 금(Au), 백금(Pt), 니켈(Ni), 팔라듐(Pd), 탄탈(Ta), 및 몰리브덴(Mo)으로부터 선택된 금속 원소, 또는 상술된 원소를 주로 포함하는 합금 재료 또는 화합물 재료이고, 단층 구조 또는 적층 구조가 채용될 수 있다.

[0288] 예를 들면, 안테나로서 기능하는 도전층(2132)이 스크린 인쇄 방법에 의해 형성될 때, 이는, 수 nm 내지 수십 μ m의 입자 지름을 갖는 도전 입자들이 유기 수지에 용해 또는 분산된 도전성 페이스트를 선택적으로 인쇄함으로써 제공될 수 있다. 도전성 입자로서, 은(Ag), 금(Au), 구리(Cu), 니켈(Ni), 백금(Pt), 팔라듐(Pd), 탄탈(Ta), 몰리브덴(Mo), 및 티타늄(Ti) 중 하나 이상의 금속 또는 할로겐화 은의 미립자 또는 분산성 나노 입자가 사용될 수 있다. 또한, 도전성 페이스트에 포함된 유기 수지로서, 금속 입자들의 바인더, 용매, 분산제 및 코팅 재료로서 기능하는 유기 수지들로부터 선택된 하나 이상의 유기 수지가 사용될 수 있다. 대표적으로, 에폭시 수지, 실리콘 수지 등과 같은 유기 수지를 들 수 있다. 또한, 도전층 형성 시에, 도전성 페이스트를 제공한 후에 베이킹하는 것이 바람직하다. 예를 들면, 도전성 페이스트의 재료로서 은을 주로 포함하는 미립자들(1 nm 내지 100 nm의 입자 지름)을 사용하는 경우에, 도전층은 도전성 페이스트를 150 °C 내지 300 °C의 온도에서 베이킹하여 경

화되도록 함으로써 형성될 수 있다. 또한, 땜납 또는 무연 땜납을 주성분으로 포함하는 미립자들이 사용될 수 있고, 이러한 경우에, 크기가 $20 \mu\text{m}$ 이하인 미립자들을 사용하는 것이 바람직하다. 땜납 및 무연 땜납은 저가라는 이점을 갖는다.

[0289] 본 발명이 적용된 반도체 장치는, 반도체 집적 회로를 샌드위치하는 한 쌍의 내충격충들, 및 반도체 집적 회로 상에 적층된 충격 확산층을 사용하여, 두께 및 크기에서의 감소가 성취되면서 강도를 갖는 고신뢰성의 반도체 장치일 수 있다. 따라서, 본 발명이 적용된 반도체 장치는, 본 실시 형태에서 설명된 바와 같이 접촉 없이 데이터가 입력/출력될 수 있는 소형 반도체 장치를 형성하는 경우에 효과적이다.

[0290] (실시 형태 10)

[0291] 본 실시 형태에서, 본 발명에 따라 형성된, 접촉 없이 데이터를 입력/출력할 수 있는 상술된 반도체 장치의 적용 예가 설명될 것이다. 접촉 없이 데이터를 입력/출력할 수 있는 반도체 장치는 또한 적용 형태에 따라서 RFID 태그, ID 태그, IC 태그, IC 칩, RF 태그, 무선 태그, 전자 태그 또는 무선 칩으로 지칭된다.

[0292] 무선으로 데이터를 교환하는 기능을 갖는 반도체 장치(800)는 고주파수 회로(810), 전원 회로(820), 리셋 회로(830), 클록 생성 회로(840), 데이터 복조 회로(850), 데이터 변조 회로(860), 다른 회로들을 제어하는데 사용되는 제어 회로(870), 메모리 회로(880), 및 안테나(890)를 포함한다(도 11a 참조). 고주파수 회로(810)는 안테나(890)로부터 신호를 수신하고, 데이터 변조 회로(860)로부터 수신된 신호를 안테나(890)로부터 출력한다. 전원 회로(820)는 수신된 신호로부터 전원 전위를 생성한다. 리셋 회로(830)는 리셋 신호를 생성한다. 클록 생성 회로(840)는 안테나(890)로부터 입력된 수신된 신호에 기초하여 다양한 클록 신호들을 생성한다. 데이터 복조 회로(850)는 수신된 신호를 복조하고 복조된 신호를 제어 회로(870)에 출력한다. 데이터 변조 회로(860)는 제어 회로(870)로부터 수신된 신호를 변조한다. 제어 회로(870)로서, 예를 들면, 코드 추출 회로(910), 코드 판정 회로(920), CRC 판정 회로(930), 및 출력 유닛 회로(940)가 제공된다. 코드 추출 회로(910)가 제어 회로(870)에 송신된 명령에 포함된 복수의 코드를 각각을 추출한다는 것을 유의하라. 코드 판정 회로(920)는 추출된 코드와 기준에 대응하는 코드를 비교함으로써 명령의 내용을 판정한다. CRC 판정 회로(930)는 판정된 코드에 기초하여 송신 에러가 존재하는지 여부를 검출한다.

[0293] 다음에, 상술된 반도체 장치의 동작의 예가 설명될 것이다. 먼저, 무선 신호는 안테나(890)에 의해 수신된다. 무선 신호는 고주파수 회로(810)를 통해 전원 회로(820)에 송신되고, 고전원 전위(이후에 VDD로 지칭됨)가 생성된다. VDD는 반도체 장치(800) 내의 각각의 회로에 공급된다. 고주파수 회로(810)를 통해 데이터 복조 회로(850)로 송신된 신호는 복조된다(이후에, 이러한 신호는 복조 신호로서 지칭됨). 또한, 고주파수 회로(810)를 통해 리셋 회로(830) 및 클록 생성 회로(840)를 통해 통과된 신호들 및 복조된 신호는 제어 회로(870)에 송신된다. 제어 회로(870)로 송신된 신호들은 코드 추출 회로(910), 코드 판정 회로(920), CRC 판정 회로(930) 등에 의해 해석된다. 그후, 해석된 신호들에 기초하여, 메모리 회로(880)에 저장된 반도체 장치의 정보가 출력된다. 반도체 장치의 출력 정보는 출력 유닛 회로(940)를 통해 인코딩된다. 또한, 반도체 장치(800)의 인코딩된 정보는 데이터 변조 회로(860)를 통과하고, 그후 무선 신호로서 안테나(890)에 의해 송신된다. 반도체 장치(800)에 포함된 복수의 회로들에서 저전원 전위(이후에 VSS라 지칭됨)가 공통이고, VSS는 GND일 수 있다는 것을 유의하라.

[0294] 이러한 방법에서, 신호를 통신 장치에서 반도체 장치(800)로 송신하고 통신 장치에 의해 반도체 장치(800)로부터 송신된 신호를 수신함으로써 반도체 장치(800)의 데이터가 판독될 수 있다.

[0295] 또한, 반도체 장치(800)에서, 전원 전압은 전원(배터리)을 장착하지 않고 전자파에 의해 각각의 회로에 공급될 수 있거나, 전원 전압이 전자파 및 전원(배터리) 양자에 의해 각각의 회로에 공급되도록 전원(배터리)이 장착될 수 있다.

[0296] 다음에, 비접촉으로 데이터가 입력/출력될 수 있는 반도체 장치의 사용예가 설명된다. 통신 장치(3200)가 표시부(3210)를 포함하는 휴대 단말기의 측면에 제공된다. 제품(3220)의 측면에 반도체 장치(3230)가 제공된다(도 11b 참조). 통신 장치(3200)가 제품(3220)에 포함된 반도체 장치(3230)에 유지되면, 표시부(3210)는 재료, 원산지, 생산 공정마다의 검사 결과들, 유통 과정의 이력, 및 제품의 상세한 설명과 같은 제품에 관한 정보를 표시한다. 또한, 제품(3260)이 컨베이어 벨트에 의해 운반될 때, 제품(3260)은 통신 장치(3240) 및 제품(3260)에 제공된 반도체 장치(3250)를 사용하여 검사될 수 있다(도 11c 참조). 이러한 방법으로, 정보가 쉽게 획득될 수 있고, 시스템에서 반도체 장치를 활용함으로써 고기능 및 고부가 가치가 실현된다.

[0297] 상술된 바와 같이, 본 발명의 고신뢰성 반도체 장치는 매우 넓은 적용 범위를 갖고, 모든 분야들의 전자 장치들

에서 사용될 수 있다.

[0298] (실시 형태 11)

본 발명에 따라, 프로세서 회로를 갖는 칩(이후에, 프로세서 칩, 무선 칩, 무선 프로세서, 무선 메모리, 또는 무선 태그라 함)으로서 기능하는 반도체 장치가 형성될 수 있다. 본 발명의 반도체 장치의 적용 범위는 넓고, 이는 대상물의 이력을 무선으로 드러내고, 생산, 관리 등에서 활용되는 정도로 임의의 대상물에 적용될 수 있다. 예를 들면, 본 발명의 반도체 장치는 지폐, 동전, 유가 증권, 증명서들, 무기명 채권, 포장용 용기들, 서적, 기록 매체, 개인 소지품, 운송 수단, 식품, 의류, 건강 용품, 생활 용품, 약품, 전자 장치들에 내장될 수 있다. 이러한 예들은 도 9a 내지 도 9g를 참조하여 설명될 것이다.

[0300] 지폐 및 동전은 시장에서 유통되는 돈이고, 특정 영역에서 화폐와 같이 사용될 수 있는 것(금권), 기념 동전 등을 포함한다. 유가 증권은 수표, 증권, 약속 어음 등을 포함하고, 프로세서 회로를 포함하는 칩(190)이 제공될 수 있다(도 9a 참조). 증명서들은 운전 면허증, 주민 등록증 등을 나타내고, 프로세서 회로를 포함하는 칩(191)이 제공될 수 있다(도 9b 참조). 개인 소지품은 가방, 안경 등을 포함하고, 프로세서 회로를 포함하는 칩(197)이 제공될 수 있다(도 9c 참조). 무기명 채권은 우표, 식권, 각종 상품권 등을 나타낸다. 포장 용기는 도시락 포장지, 플라스틱 병 등을 나타내고, 프로세서 회로를 포함하는 칩(193)이 제공될 수 있다(도 9d 참조). 서적은 두꺼운 책, 가벼운 책 등을 나타내고, 프로세서 회로를 포함하는 칩(194)이 제공될 수 있다(도 9e 참조). 기록 매체는 DVD 소프트웨어, 비디오 테이프 등을 나타내고, 프로세서 회로를 포함하는 칩(195)이 제공될 수 있다(도 9f 참조). 운송 수단은 자전거 등의 차량, 선박 등과 같은 운송 수단을 나타내고, 프로세서 회로를 포함하는 칩(196)이 제공될 수 있다(도 9g 참조). 식료품은 식품, 음료 등을 나타낸다. 의류는 옷, 신발 등을 나타낸다. 건강 제품은 의료 기기, 건강 기구 등을 나타낸다. 생활 용품은 가구, 조명 장치 등을 나타낸다. 약품류는 의약품, 농약 등을 나타낸다. 전자 장치는 액정 표시 장치, EL 표시 장치, 텔레비전 세트(텔레비전 수상기 및 박형 텔레비전 수상기), 휴대 전화 등을 나타낸다.

[0301] 반도체 장치는 물품의 표면에 부착 또는 물품에 임베딩되어 제공될 수 있다. 예를 들면, 서적의 경우에, 반도체 장치는 종이에 임베딩될 수 있고, 유기 수지로 제조된 포장의 경우에, 반도체 장치는 유기 수지에 임베딩될 수 있다.

[0302] 상술된 바와 같이, 포장 용기, 기록 매체, 개인 소지품, 식품, 의류, 생활 용품, 전자 장치 등에 반도체 장치를 제공함으로써 검품 시스템, 임대 시스템 등의 효율성이 개선될 수 있다. 또한, 운송 수단에 반도체 장치를 제공함으로써 위조 또는 도난이 방지될 수 있다. 또한, 반도체 장치가 동물과 같은 생명체에 주입될 때, 각각의 생명체가 쉽게 식별될 수 있다. 예를 들면, 가축과 같은 생명체에 센서를 갖는 반도체 장치를 주입/부착함으로써, 현재 체온과 같은 건강 상태 및 생년, 성별, 종류 등이 쉽게 관리될 수 있다.

[0303] 본 실시 형태가 실시 형태 1 내지 실시 형태 10과 적절히 조합하여 구현될 수 있다는 것을 유의하라.

[0304] 본 발명은, 2008년 4월 25일자로 일본 특허청에 제출된 일본 특허 공개 공보 제 2008-114882 호 및 2008년 4월 25일자로 일본 특허청에 제출된 일본 특허 공개 공보 제 2008-114883 호에 기초하고, 이들의 전체 내용들은 참조로서 본원에 통합된다.

부호의 설명

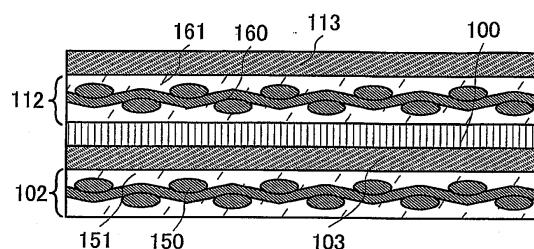
[0305] 100: 반도체 집적 회로 101: 안테나 102: 제 2 내충격충 103: 제 2 충격 확산충 104: 접착충 105: 무기 절연층 110: 기판 111: 분리층 112: 제 1 내충격충 113: 제 1 충격 확산충 114: 접착충 150: 섬유체 151: 유기 수지 160: 섬유체 161: 유기 수지 190: 칩 191: 칩 193: 칩 194: 칩 195: 칩 196: 칩 197: 칩 200: 기판 201: 분리층 205: 게이트 절연층 206: 채널 형성 영역 207: 게이트 절연층 208: 게이트 전극충 210: 트랜지스터 211: 트랜지스터 212: 절연막 213: 절연막 214: 절연층 226: 채널 형성 영역 227: 게이트 절연층 228: 게이트 전극충 250: 반도체 집적 회로 252: 제 2 내충격충 253: 제 2 충격 확산충 254: 접착충 262: 제 1 내충격충 263: 제 1 충격 확산충 264: 접착충 270: 섬유체 271: 유기 수지 280: 섬유체 281: 유기 수지 300: 기판 301: 분리층 302: 절연막 303: 반도체 층 304: 반도체 층 305: 반도체 층 306: 반도체 층 308: 게이트 절연층 309: 게이트 절연층 310: 절연막 311: 전하 축적충 312: 게이트 전극충 313: 게이트 전극충 315: 제어 게이트 전극충 316: 게이트 전극충 317: 게이트 전극충 318: 게이트 전극충 319: 제어 게이트 전극충 320: 불순물 원소 321: 마스크 323: 채널 형성 영역 324: 불순물 원소 325: 마스크 329: 채널 형성 영역 330: 채널 형성 영역 331: 채널 형성 영역 350: 반도체 집적 회로 367: 절연막 368: 절연막

373: 박막 트랜지스터 374: 박막 트랜지스터 375: 메모리 소자 376: 박막 트랜지스터 380: 도전층
 381: 무기 절연층 382: 제 1 내충격층 383: 섬유체 384: 유기 수지 385: 제 2 내충격층 386: 섬유체
 387: 유기 수지 388: 제 2 충격 확산층 389: 접착층 390: 절연층 391: 제 1 충격 확산층 500: 마이
 크로프로세서 501: 연산 논리 유닛 502: ALU 제어기 503: 명령 디코더 504: 인터럽트 제어기 505:
 타이밍 제어기 506: 레지스터 507: 레지스터 제어기 508: 버스 인터페이스 509: 판독 전용 메모리
 510: 메모리 인터페이스 511: RFCPU 512: 아날로그 회로부 513: 디지털 회로부 514: 공진 회로 515:
 정류 회로 516: 정전압 회로 517: 리셋 회로 518: 발진 회로 519: 복조 회로 520: 변조 회로 521:
 RF 인터페이스 522: 제어 레지스터 523: 클록 제어기 524: CPU 인터페이스 525: 중앙 처리 유닛
 526: 랜덤 액세스 메모리 527: 판독 전용 메모리 528: 안테나 529: 용량부 530: 전원 제어 회로
 800: 반도체 장치 810: 고주파수 회로 820: 전원 회로 830: 리셋 회로 840: 클록 생성 회로 850: 테
 이터 복조 회로 860: 데이터 변조 회로 870: 제어 회로 880: 메모리 회로 890: 안테나 910: 코드 추
 출 회로 920: 코드 판정 회로 930: CRC 판정 회로 940: 출력 유닛 회로 1101: 제조 기관 1102: 단결
 정 반도체 층 1104: 절연층 1108: 단결정 반도체 기판 1109: 블로킹 층 1110: 취약층 1121: 보호층
 1125: 분리층 204a: 소스 및 드레인 영역 205a: 불순물 영역 205b: 불순물 영역 209a: 절연층
 209b: 절연층 210a: 배선층 210b: 배선층 2131: 박막 접착 회로 2132: 도전층 2133: 기판 2180:
 반도체 장치 224a: 소스 또는 드레인 영역 224b: 소스 또는 드레인 영역 225a: 불순물 영역 225b: 불순
 물 영역 229a: 절연층 229b: 절연층 230a: 배선층 230b: 배선층 3200: 통신 장치 3210: 표시부
 3220: 제품 322a: p 형 불순물 영역 322b: p 형 불순물 영역 3230: 반도체 장치 3240: 통신 장치
 3250: 반도체 장치 3260: 제품 326a: n 형 불순물 영역 326b: n 형 불순물 영역 362a: n 형 불순물 영
 역 362b: n 형 불순물 영역 364a: n 형 불순물 영역 364b: n 형 불순물 영역 369a: 배선층 369b: 배
 선층 370a: 배선층 370b: 배선층 371a: 배선층 371b: 배선층 372a: 배선층 372b: 배선층

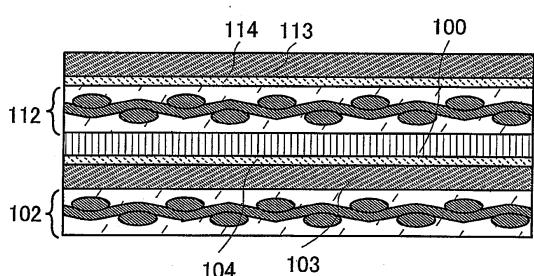
도면

도면1

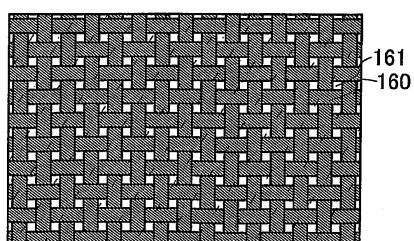
a



b

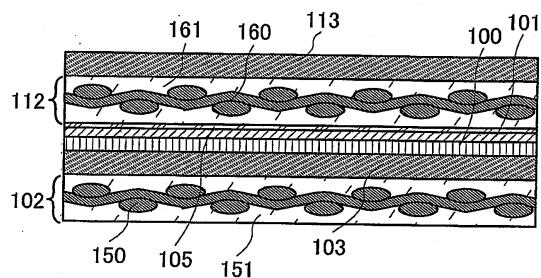


c

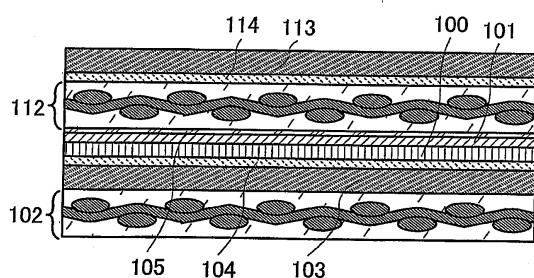


도면2

a

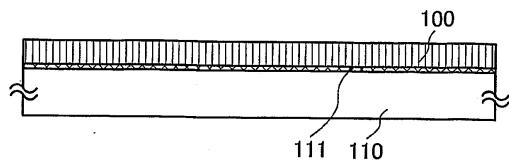


b

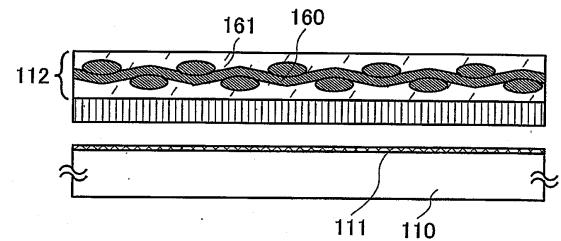


도면3

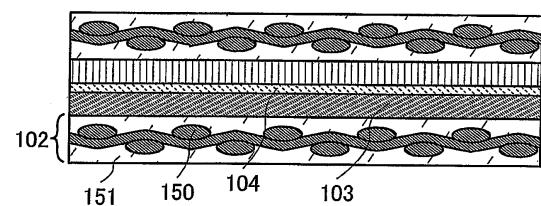
a



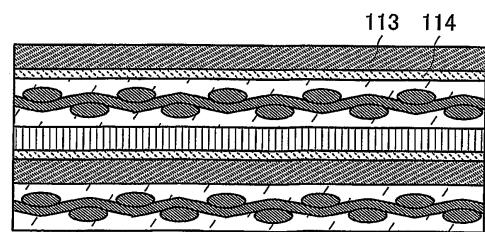
b



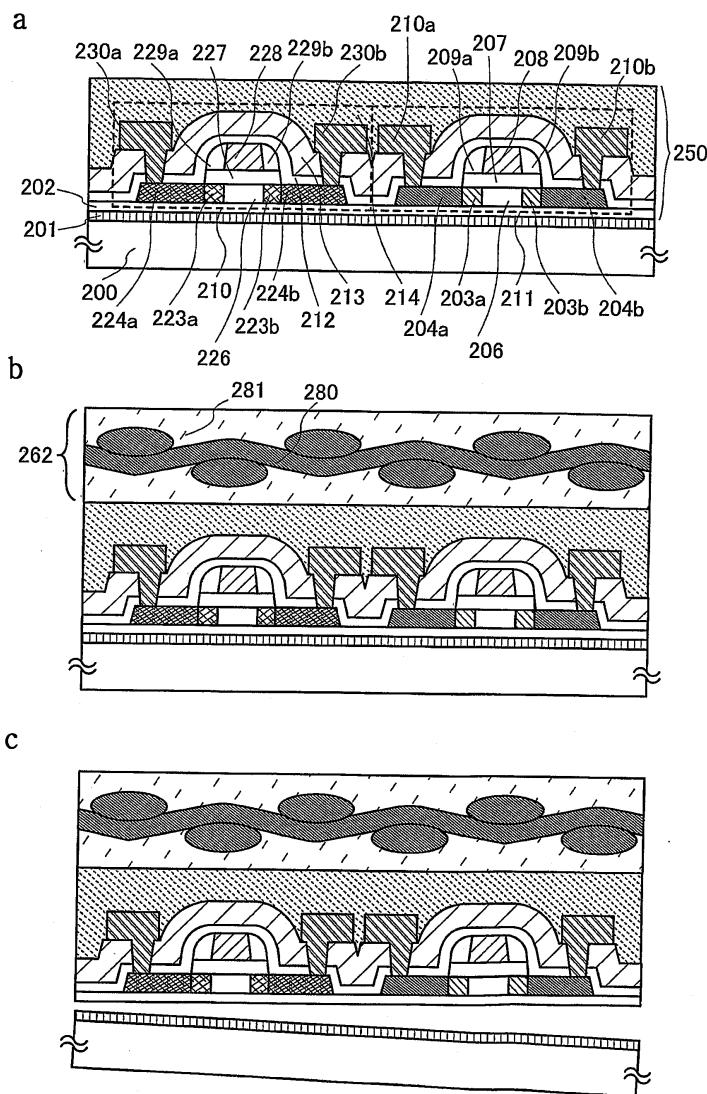
c



d

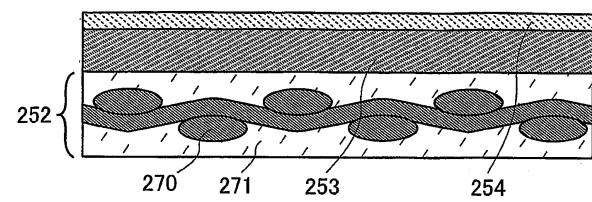


도면4

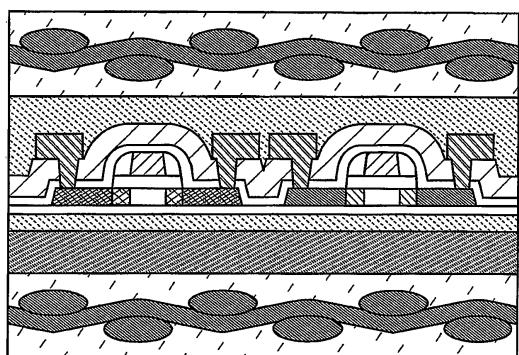


도면5

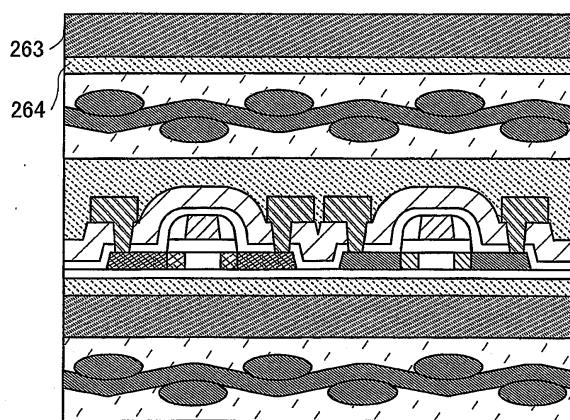
a



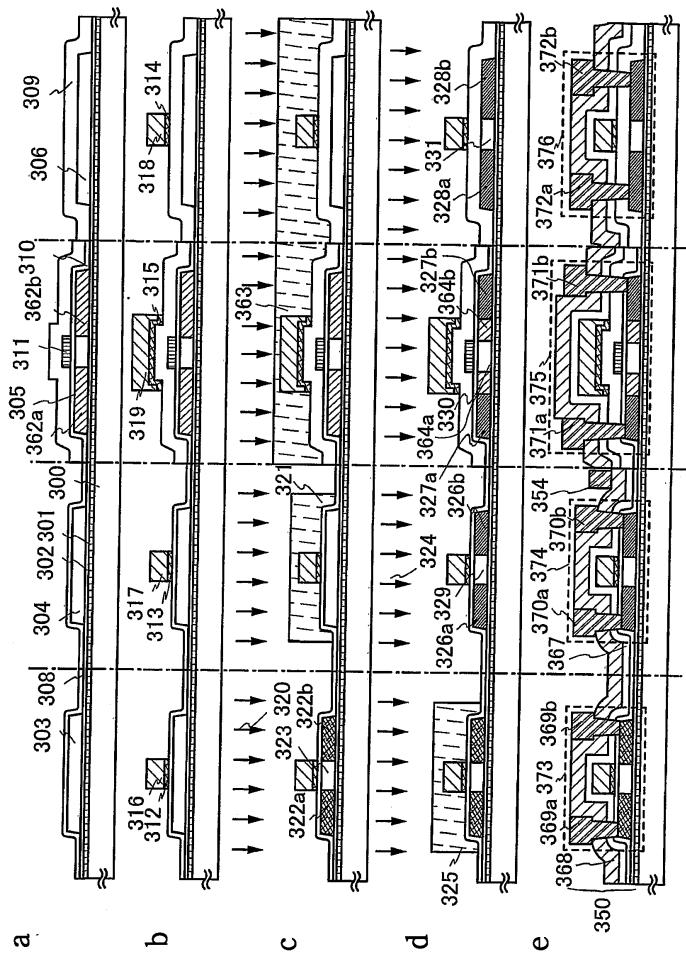
b



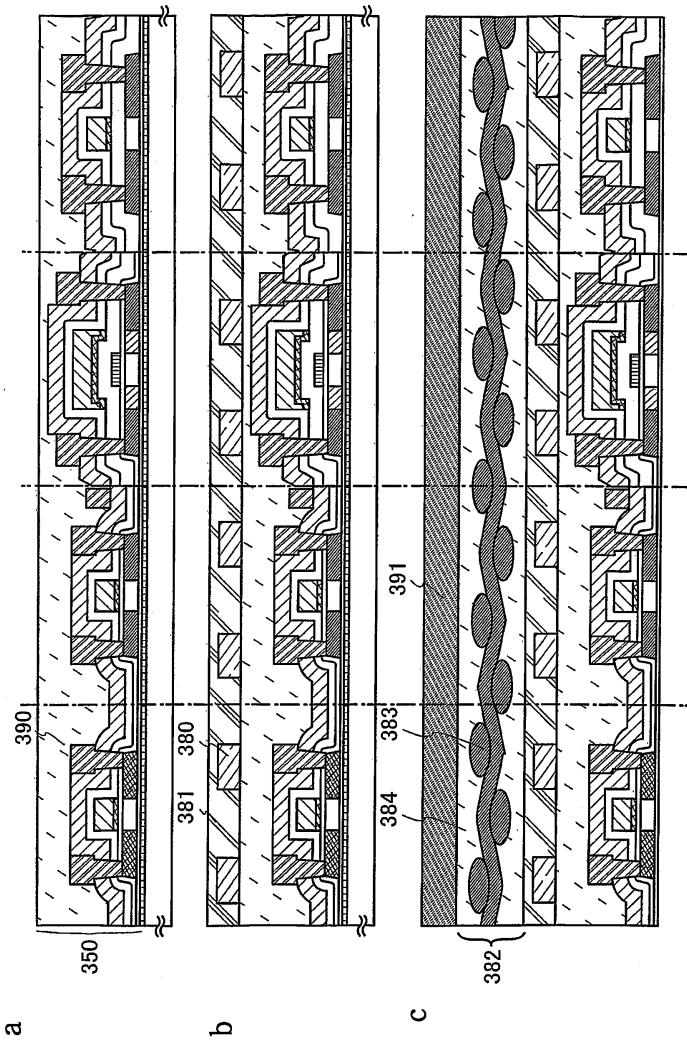
c



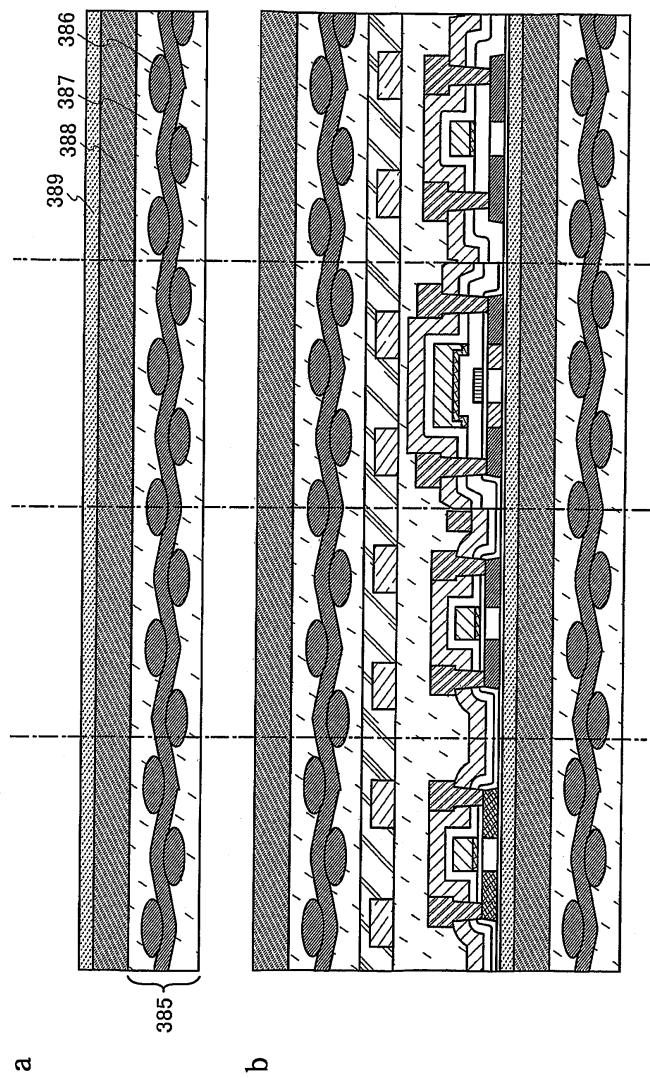
도면6



도면7

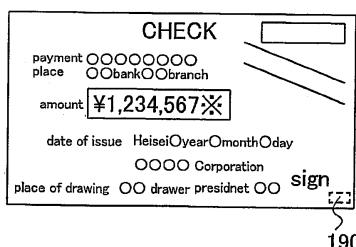


도면8

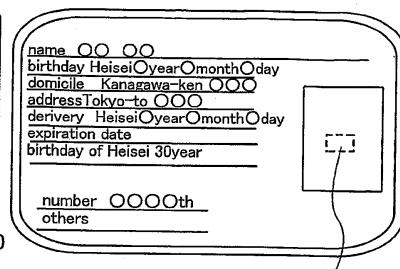


도면9

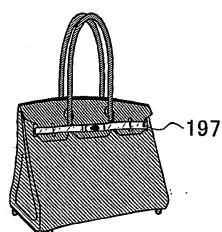
a



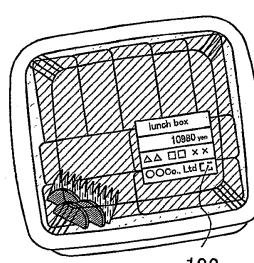
b



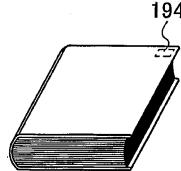
c



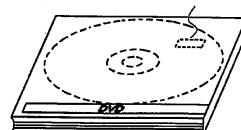
d



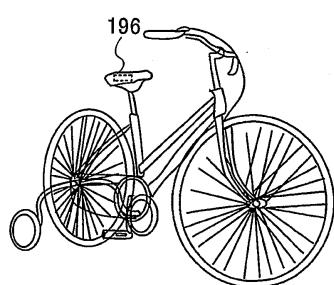
e



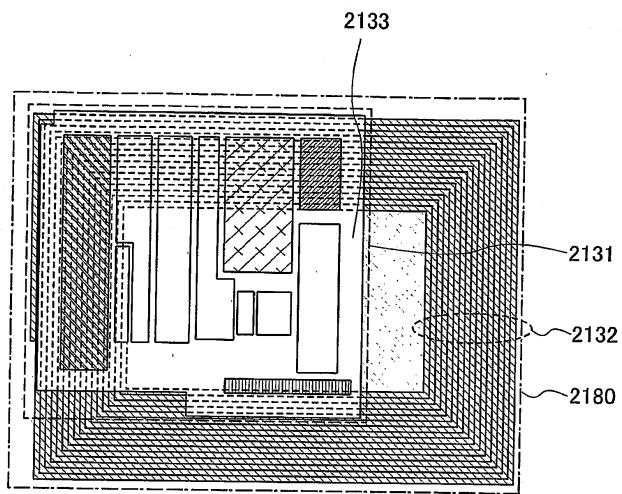
f



g

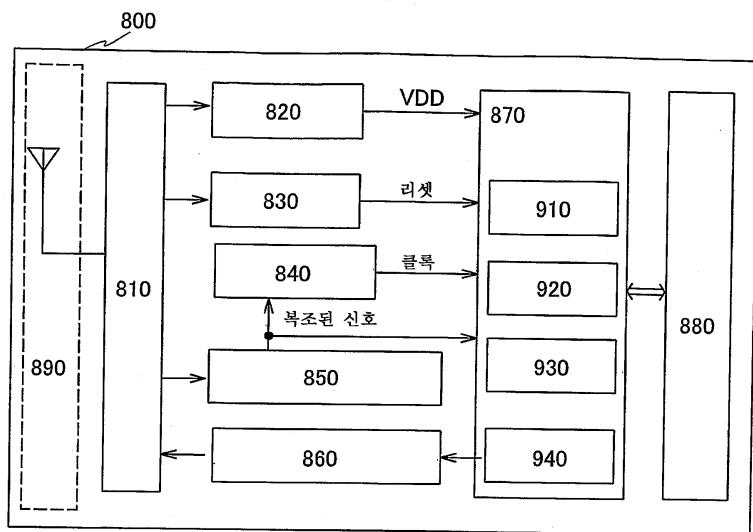


도면10

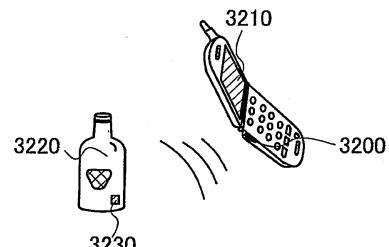


도면11

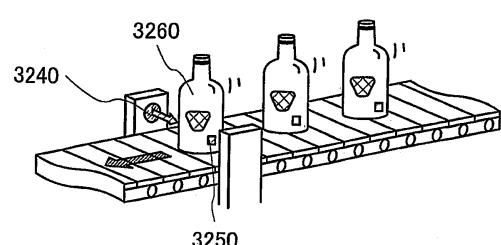
a



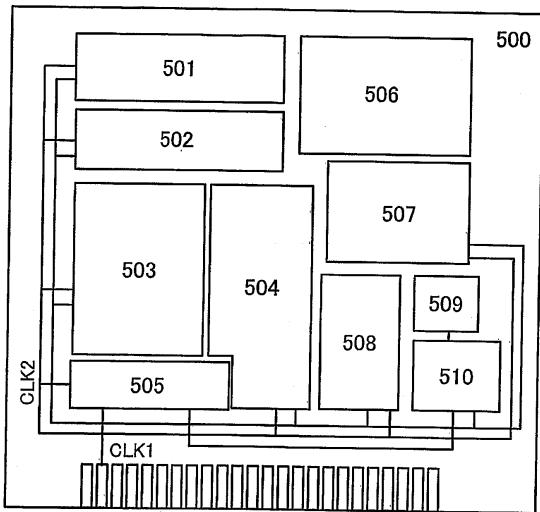
b



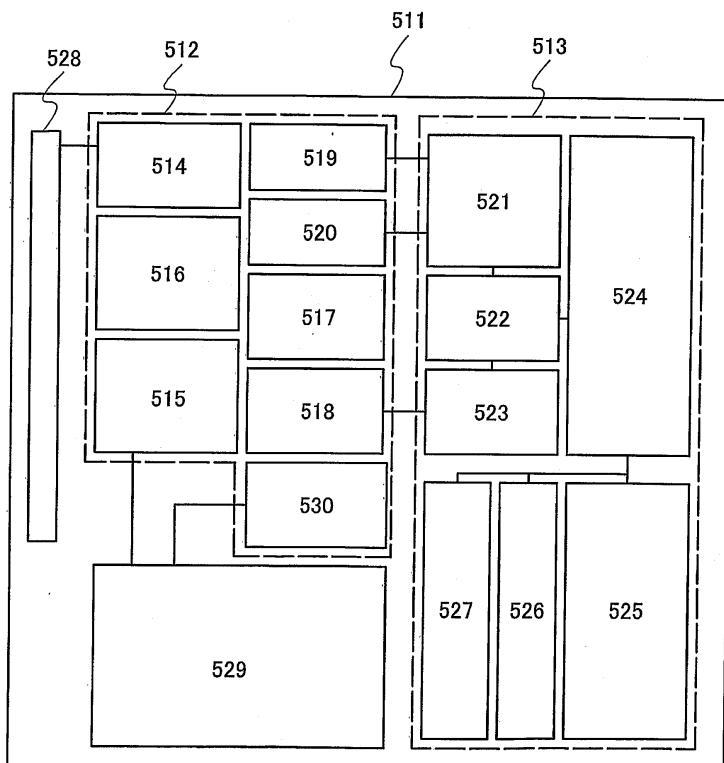
c



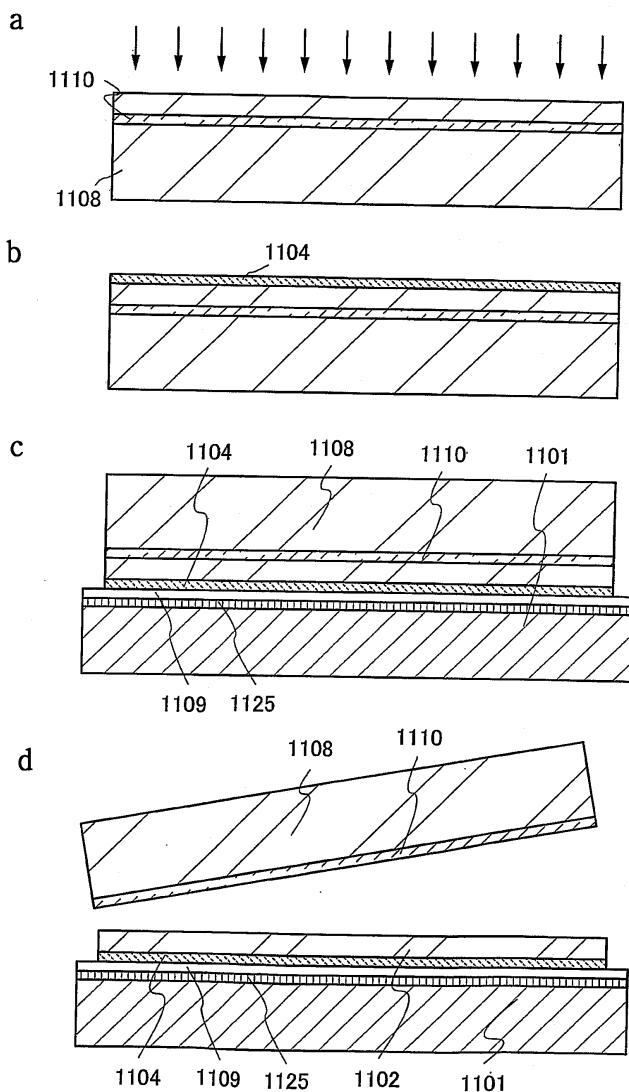
도면12



도면13

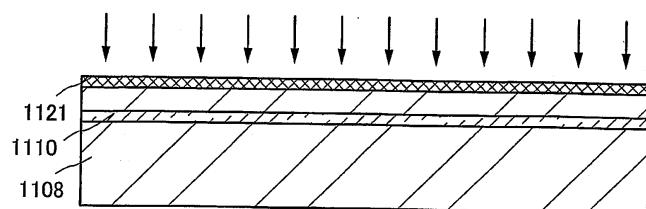


도면14

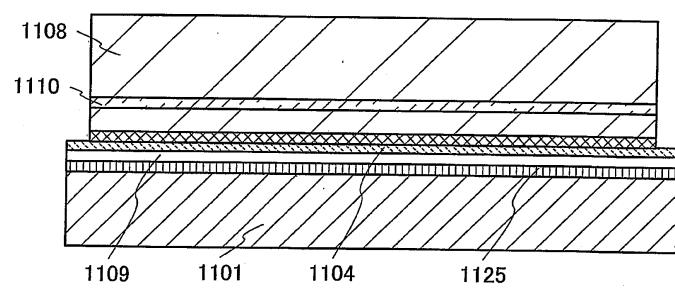


도면15

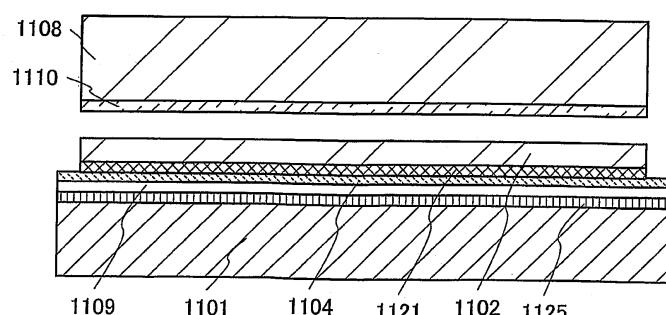
a



b

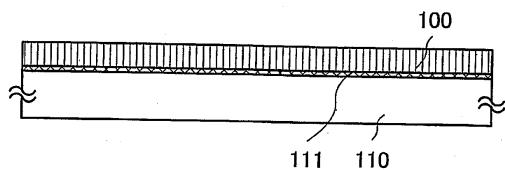


c

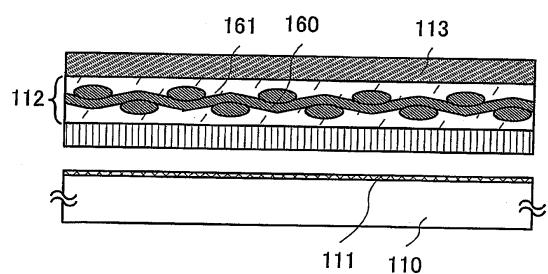


도면16

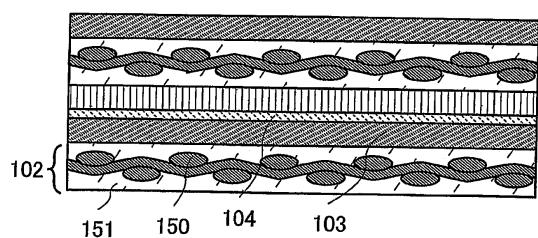
a



b

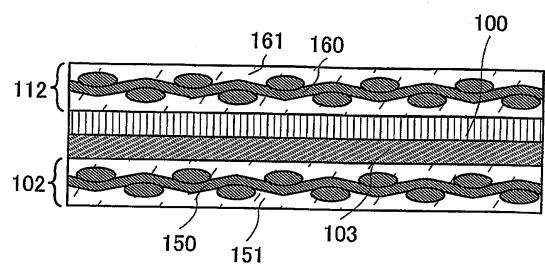


c

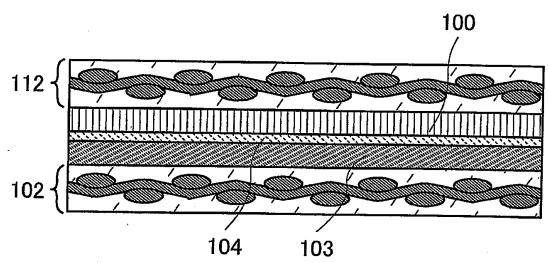


도면17

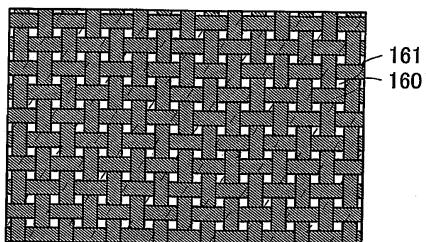
a



b

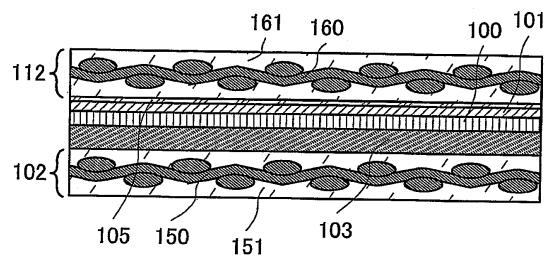


c

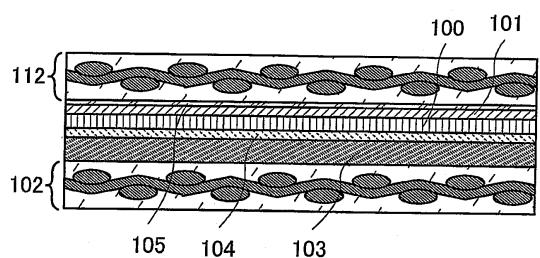


도면18

a

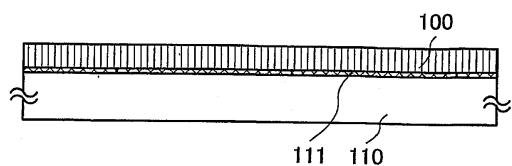


b

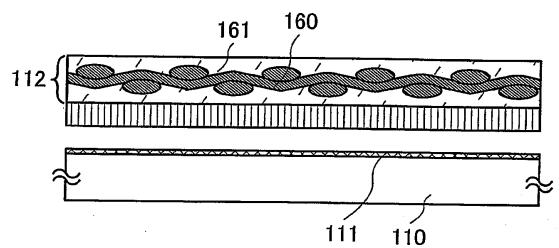


도면19

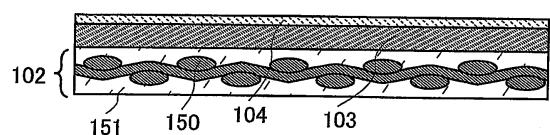
a



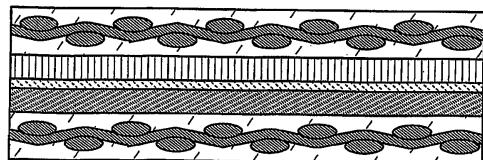
b



c

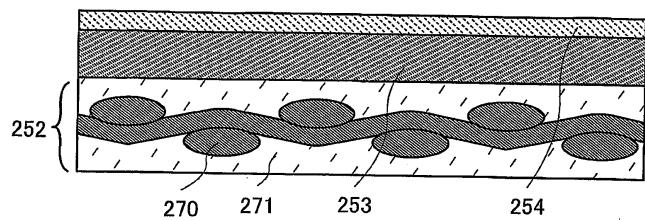


d

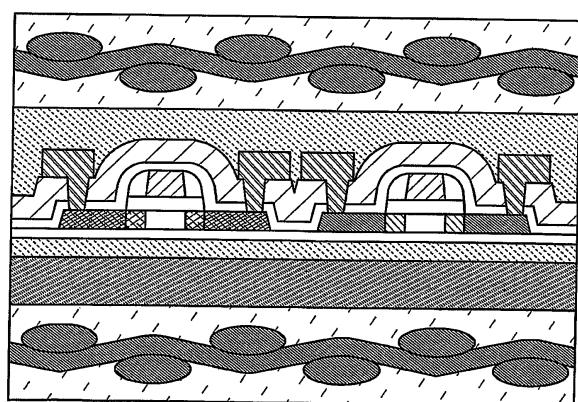


도면20

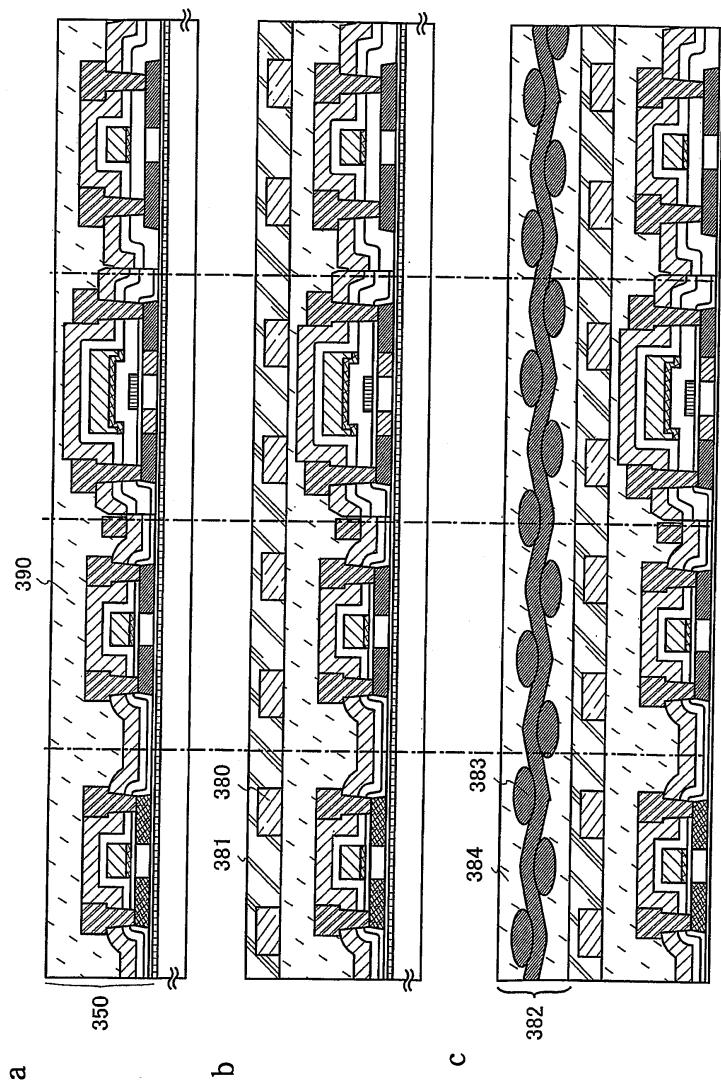
a



b



도면21



도면22

