

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro

(43) Internationales Veröffentlichungsdatum
28. Juni 2018 (28.06.2018)



(10) Internationale Veröffentlichungsnummer
WO 2018/114807 A1

(51) Internationale Patentklassifikation:

H01L 33/38 (2010.01) H01L 33/40 (2010.01)

(21) Internationales Aktenzeichen: PCT/EP2017/083317

(22) Internationales Anmeldedatum:

18. Dezember 2017 (18.12.2017)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:

10 2016 124 847.9

19. Dezember 2016 (19.12.2016) DE

(71) Anmelder: **OSRAM OPTO SEMICONDUCTORS
GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).

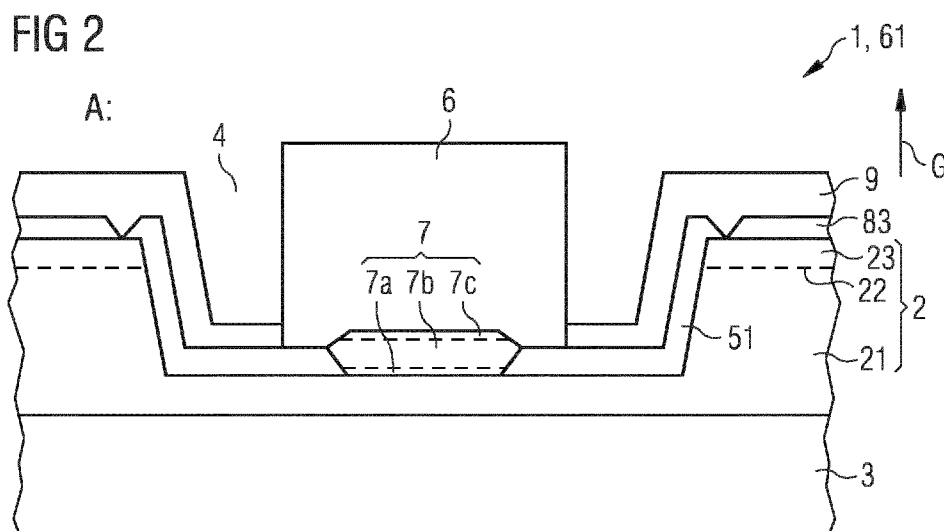
(72) Erfinder: **KOPP, Fabian**; 1H-7-2 Andaman at Quayside,
Jalan Seri Tanjung, Penang, 10470 (MY). **MOLNAR, At-
tila**; Platino Condo, A19-03 /, Lebuhr Tunku Kudin 2, Ge-
lugar, 11700 (MY).

(74) Anwalt: **EPPING HERMANN FISCHER PATENTAN-
WALTSGESELLSCHAFT MBH**; Schloßschmidstr. 5,
80639 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für
jede verfügbare nationale Schutzrechtsart): AE, AG, AL,
AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY,
BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM,
DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN,
KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,
ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,

(54) Title: OPTOELECTRONIC SEMICONDUCTOR CHIP AND METHOD FOR PRODUCING AN OPTOELECTRONIC SEMI-
CONDUCTOR CHIP

(54) Bezeichnung: OPTOELEKTRONISCHER HALBLEITERCHIP UND VERFAHREN ZUR HERSTELLUNG EINES
OPTOELEKTRONISCHEN HALBLEITERCHIPS



(57) Abstract: In one embodiment, the optoelectronic semiconductor chip (1) comprises a semiconductor layer sequence (2) with an active layer (22) between a first semiconductor region (21) and a second semiconductor region (23) on a light-permeable substrate (3). A contact trench (4) extends through the active layer (22) into the first semiconductor region (21). A first and a second electrically insulating reflective layer (51, 53) are designed for the reflection of radiation produced in the active layer (22) during operation. A metal current lug (6) is provided in the contact trench (4) and is intended for conducting current along the contact trench (4) and for powering the first semiconductor region (21). The first reflective layer (51) reaches from the contact trench (4) over the active layer (22) to a side of the second semiconductor region (23) that is facing away from the substrate (3). There is a contact layer (7), which is intended for injecting current directly into the first semiconductor region (21) and is in direct contact with the current lug (6).

(57) Zusammenfassung: In einer Ausführungsform umfasst der optoelektronische Halbleiterchip (1) eine Halbleiterschichtenfolge (2) mit einer aktiven Schicht (22) zwischen einem ersten (21) und einem zweiten Halbleiterbereich (23) auf einem lichtdurchlässigen Substrat (3). Ein Kontaktgraben (4) erstreckt sich durch die aktive Schicht (22) bis in den ersten Halbleiterbereich (21). Eine erste

[Fortsetzung auf der nächsten Seite]

SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM,
TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

und eine zweite elektrisch isolierende Spiegelschicht (51, 53) sind zur Reflexion von im Betrieb in der aktiven Schicht (22) erzeugter Strahlung eingerichtet. Ein metallischer Stromsteg (6) ist in dem Kontaktgraben (4) angebracht und zu einer Stromführung entlang des Kontaktgrabens (4) sowie zu einer Bestromung des ersten Halbleiterbereichs (21) vorgesehen. Die erste Spiegelschicht (51) reicht aus dem Kontaktgraben (4) heraus über die aktive Schicht (22) hinweg bis auf eine dem Substrat (3) abgewandte Seite des zweiten Halbleiterbereichs (23). Es ist eine Kontaktschicht (7) zur Stromeinprägung direkt in den ersten Halbleiterbereich (21) und in direktem Kontakt mit dem Stromsteg (6) vorhanden.

Beschreibung

Optoelektronischer Halbleiterchip und Verfahren zur
Herstellung eines optoelektronischen Halbleiterchips

5

Es wird ein optoelektronischer Halbleiterchip angegeben.

Darüber hinaus wird ein Verfahren zur Herstellung eines
optoelektronischen Halbleiterchips angegeben.

10

Eine zu lösende Aufgabe besteht darin, einen
optoelektronischen Halbleiterchip anzugeben, der effizient
herstellbar ist und der eine hohe Lichtausbeute bietet.

15

Diese Aufgabe wird unter anderem durch einen
optoelektronischen Halbleiterchip und durch ein Verfahren mit
den Merkmalen der unabhängigen Patentansprüche gelöst.
Bevorzugte Weiterbildungen sind Gegenstand der abhängigen
Ansprüche.

20

Gemäß zumindest einer Ausführungsform weist der
optoelektronische Halbleiterchip eine
Halbleiterschichtenfolge auf. Die Halbleiterschichtenfolge
umfasst eine oder mehrere aktive Schichten zur

25

Strahlungserzeugung, insbesondere zur Erzeugung von
sichtbarem Licht wie blauem Licht. Die aktive Schicht
befindet sich zwischen einem ersten Halbleiterbereich und
einem zweiten Halbleiterbereich. Bei dem ersten
Halbleiterbereich handelt es sich bevorzugt um eine n-

30

leitende n-Seite und bei dem zweiten Halbleiterbereich
insbesondere um eine p-leitende p-Seite. Im Folgenden werden
der erste und der zweite Halbleiterbereich jeweils mit dieser
Ladungsträgerleitfähigkeit erläutert. Genauso können der

erste und der zweite Halbleiterbereich die umgekehrten Ladungsträgerleitfähigkeiten aufweisen.

Bei dem optoelektronischen Halbleiterchip handelt es sich
5 bevorzugt um eine Leuchtdiode, kurz LED.

Gemäß zumindest einer Ausführungsform basiert die Halbleiterschichtenfolge auf einem III-V-Verbindungshalbleitermaterial. Bei dem Halbleitermaterial
10 handelt es sich zum Beispiel um ein Nitrid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{N}$ oder um ein Phosphid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{P}$ oder auch um ein Arsenid-Verbindungshalbleitermaterial wie $\text{Al}_n\text{In}_{1-n-m}\text{Ga}_m\text{As}$ oder wie
15 $\text{Al}_n\text{Ga}_m\text{In}_{1-n-m}\text{As}_k\text{P}_{1-k}$, wobei jeweils $0 \leq n \leq 1$, $0 \leq m \leq 1$ und $n + m \leq 1$ sowie $0 \leq k < 1$ ist. Bevorzugt gilt dabei für zumindest eine Schicht oder für alle Schichten der Halbleiterschichtenfolge $0 < n \leq 0,8$, $0,4 \leq m < 1$ und $n + m \leq 0,95$ sowie $0 < k \leq 0,5$. Dabei kann die
20 Halbleiterschichtenfolge Dotierstoffe sowie zusätzliche Bestandteile aufweisen. Der Einfachheit halber sind jedoch nur die wesentlichen Bestandteile des Kristallgitters der Halbleiterschichtenfolge, also Al, As, Ga, In, N oder P, angegeben, auch wenn diese teilweise durch geringe Mengen
25 weiterer Stoffe ersetzt und/oder ergänzt sein können. Besonders bevorzugt basiert die Halbleiterschichtenfolge auf dem Materialsystem AlInGaN.

Die mindestens eine aktive Schicht beinhaltet insbesondere
30 wenigstens einen pn-Übergang und/oder mindestens eine Quantentopfstruktur. Eine von der aktiven Schicht im Betrieb erzeugte Strahlung weist zum Beispiel eine Wellenlänge

maximaler Intensität von mindestens 400 nm oder 425 nm und/oder von höchstens 480 nm oder 800 nm auf.

Gemäß zumindest einer Ausführungsform befindet sich die
5 Halbleiterschichtenfolge auf einem lichtdurchlässigen Substrat. Das Substrat ist insbesondere für in der aktiven Schicht erzeugte Strahlung durchlässig, bevorzugt transparent. Die Halbleiterschichtenfolge ist ferner bevorzugt direkt auf dem Substrat aufgewachsen, sodass es
10 sich bei dem Substrat um ein Aufwachssubstrat handelt. Beispielsweise ist das Substrat ein Siliziumkarbidsubstrat, ein Galliumnitridsubstrat, ein Siliziumsubstrat oder bevorzugt ein Saphirsubstrat.

15 Hierbei befindet sich der erste Halbleiterbereich näher an dem Substrat als der zweite Halbleiterbereich. Die aktive Schicht ist bevorzugt senkrecht zu einer Wachstumsrichtung der Halbleiterschichtenfolge und senkrecht zu einer Hauptseite des Substrats, auf der die
20 Halbleiterschichtenfolge aufgebracht ist, orientiert.

Gemäß zumindest einer Ausführungsform weist der Halbleiterchip einen oder mehrere Kontaktgräben auf. Der mindestens eine Kontaktgraben erstreckt sich von einer dem
25 Substrat abgewandten Seite des zweiten Halbleiterbereichs her durch die aktive Schicht hindurch bis in den ersten Halbleiterbereich. Über den Kontaktgraben ist der erste Halbleiterbereich von einer dem Substrat abgewandten Seite des zweiten Halbleiterbereichs her elektrisch kontaktierbar.

30

Gemäß zumindest einer Ausführungsform weist der Halbleiterchip eine erste und eine zweite Spiegelschicht auf. Die beiden Spiegelschichten sind bevorzugt elektrisch

isolierend. Ferner sind die Spiegelschichten zur Reflexion von im Betrieb in der aktiven Schicht erzeugter Strahlung eingerichtet. Die Spiegelschichten können je aus einer einzigen Schicht gebildet sein oder aus mehreren

5 Teilschichten zusammengesetzt sein. Solche Teilschichten folgen bevorzugt entlang der Wachstumsrichtung der Halbleiterschichtenfolge direkt aufeinander. Insbesondere sind die Spiegelschichten je als dielektrischer Spiegel oder Distributed Bragg Reflector, kurz DBR, gestaltet.

10

Gemäß zumindest einer Ausführungsform umfasst der Halbleiterchip einen oder mehrere Stromstege. Bei dem mindestens einen Stromsteg handelt es sich bevorzugt um einen metallischen Steg, das heißt insbesondere, dass der Stromsteg
15 aus einem oder mehreren Metallen besteht und ohmsch leitend ist.

Gemäß zumindest einer Ausführungsform befindet sich der Stromsteg teilweise oder vollständig in dem Kontaktgraben. In
20 Draufsicht gesehen liegt der Stromsteg bevorzugt vollständig innerhalb des Kontaktgrabens. In Richtung parallel zur Wachstumsrichtung der Halbleiterschichtenfolge kann der Stromsteg vollständig in dem Kontaktgraben liegen, bevorzugt überragt der Stromsteg den Kontaktgraben und die
25 Halbleiterschichtenfolge in Richtung weg von dem Substrat.

Gemäß zumindest einer Ausführungsform ist der Stromsteg zu einer Stromführung entlang des Kontaktgrabens eingerichtet. Über den Stromsteg ist der erste Halbleiterbereich mit
30 elektrischem Strom versorgbar. Dabei weist der Stromsteg entlang einer Längsrichtung bevorzugt eine Länge auf, die eine mittlere Breite des Stromstegs um mindestens einen Faktor 10 oder 20 oder 30 und/oder um höchstens einen Faktor

200 oder 100 oder 50 übersteigt. Mit anderen Worten ist der Stromsteg langgestreckt geformt. Beispielsweise weist der Stromsteg Abmessungen von etwa 3 μm x 500 μm auf.

5 Gemäß zumindest einer Ausführungsform weist der Stromsteg entlang der Längsrichtung mehrere Kontaktfelder und mehrere Isolatorfelder auf, die abwechselnd aufeinanderfolgend angeordnet sind. In den Isolatorfeldern erfolgt keine Stromeinprägung aus dem Stromsteg heraus in die
10 Halbleiterschichtenfolge. Demgegenüber sind die Kontaktfelder dazu eingerichtet, die Halbleiterschichtenfolge, also den ersten Halbleiterbereich, mit Strom zu versorgen. Es erfolgt also nicht entlang der gesamten Länge des Stromstegs eine Stromeinprägung in den zweiten Halbleiterbereich.

15

Gemäß zumindest einer Ausführungsform ist in den Kontaktfeldern je eine elektrische Kontaktschicht vorhanden. Die Kontaktschicht kann aus einer einzigen Schicht hergestellt sein oder aus mehreren Teilschichten
20 zusammengesetzt sein. Bevorzugt handelt es sich bei der Kontaktschicht um eine metallische Schicht, die aus einem oder mehreren Metallen besteht. Alternativ ist es möglich, dass die Kontaktschicht zusätzlich eines oder mehrere transparente leitfähige Oxide wie Indium-Zinn-Oxid umfasst
25 oder aus einem oder mehreren solcher Oxide besteht.

Gemäß zumindest einer Ausführungsform befindet sich die Kontaktschicht direkt an dem ersten Halbleiterbereich und ist zur Stromeinprägung direkt in den ersten Halbleiterbereich
30 eingerichtet. Insbesondere wird der erste Halbleiterbereich ausschließlich über die Kontaktschicht bestromt, sodass keine Stromeinprägung in den ersten Halbleiterbereich durch andere Komponenten des Halbleiterchips erfolgt.

Gemäß zumindest einer Ausführungsform ist die Kontaktschicht direkt an dem Stromsteg angebracht. Das heißt, ein Stromfluss erfolgt über den Stromsteg hin zu der Kontaktschicht und von
5 dieser aus in den ersten Halbleiterbereich. Die Kontaktschicht ist bevorzugt auf das jeweilige Kontaktfeld begrenzt, eine Verbindung zwischen benachbarten Kontaktfeldern erfolgt somit nicht durch ein Material der Kontaktschicht selbst, sondern elektrisch unmittelbar
10 bevorzugt ausschließlich über den Stromsteg. Elektrisch unmittelbar bezieht sich bevorzugt auf eine ohmsch leitende Verbindung, sodass vorliegend eine elektrisch leitende Verbindung über die Halbleiterschichtenfolge nicht als direkte elektrische Verbindung anzusehen ist.

15
Gemäß zumindest einer Ausführungsform sind die Isolatorfelder frei von der Kontaktschicht. Insbesondere ist die Kontaktschicht auf die Kontaktfelder begrenzt. In den Isolatorfeldern befindet sich eine der Spiegelschichten,
20 insbesondere die erste Spiegelschicht, zwischen dem Stromsteg und dem ersten Halbleiterbereich. Mit anderen Worten erfolgt in den Isolatorfeldern eine elektrische Isolierung des Stromstegs von dem ersten Halbleiterbereich durch die zugehörige Spiegelschicht.

25
In mindestens einer Ausführungsform umfasst der optoelektronische Halbleiterchip eine Halbleiterschichtenfolge mit einer aktiven Schicht zur Strahlungserzeugung, die sich zwischen einem ersten und einem
30 zweiten Halbleiterbereich befindet. Die Halbleiterschichtenfolge befindet sich auf einem lichtdurchlässigen Substrat. Mindestens ein Kontaktgraben erstreckt sich von einer dem Substrat abgewandten Seite des

zweiten Halbleiterbereichs her durch die aktive Schicht bis in den ersten Halbleiterbereich. Eine erste und eine zweite elektrisch isolierende Spiegelschicht sind zur Reflexion von im Betrieb in der aktiven Schicht erzeugter Strahlung eingerichtet. Ein metallischer Stromsteg ist in dem Kontaktgraben angebracht und ist zu einer Stromführung entlang des Kontaktgrabens sowie zu einer Bestromung des ersten Halbleiterbereichs vorgesehen. Die erste Spiegelschicht reicht aus dem Kontaktgraben heraus über die aktive Schicht hinweg bis auf eine dem Substrat abgewandte Seite des zweiten Halbleiterbereichs. Es ist eine Kontaktschicht zur Stromeinprägung direkt in den ersten Halbleiterbereich und in direktem Kontakt mit dem Stromsteg vorhanden.

Eine der meistproduzierten Arten von Leuchtdioden sind so genannte Saphir-Volumenemitter. Bei diesen ist eine auf AlInGaN basierende Halbleiterschichtenfolge auf einem Saphirsubstrat aufgewachsen. Diese Leuchtdioden erzeugen blaues Licht, das über Seitenflächen des Substrats sowie über eine der Halbleiterschichtenfolge abgewandte Oberseite des Substrats emittiert wird. An der Halbleiterschichtenfolge befinden sich Metallkontakte zur Strominjektion. Zwischen einer der Halbleiterschichtenfolge zugewandten Unterseite der Metallkontakte und der Halbleiterschichtenfolge befinden sich bevorzugt weitere Schichten, zum Beispiel Spiegelschichten oder Stromaufweitungsschichten. Solche Leuchtdioden werden etwa zur Erzeugung von weißem Licht in Kombination mit einem Leuchtstoff wie YAG:Ce verwendet.

Bei solchen Leuchtdioden gilt, dass je höher ein Reflexionskoeffizient an den elektrischen Metallkontakten ist, desto geringer ist eine Absorption an den Kontakten und

damit Helligkeitsverluste. Weiterhin gilt, je mehr Fotoebenen im Herstellungsprozess des optoelektronischen Halbleiterchips verwendet werden, insbesondere um die Reflexionskoeffizienten an den Kontakten zu erhöhen, desto höhere Herstellungskosten
5 entstehen.

Mit dem hier beschriebenen Halbleiterchip und dem hier beschriebenen Verfahren lässt sich einerseits eine hohe Reflexion an den elektrischen Kontakten erzielen,
10 andererseits sind nur vier Fotoebene erforderlich, um den Halbleiterchip herzustellen. Hieraus ergibt sich ein Halbleiterchip mit einer hohen Lichtauskoppelleffizienz bei vergleichsweise niedrigen Herstellungskosten.

15 Dies wird insbesondere durch die Spiegelschicht erreicht, die an Seitenflächen sowie an einer Grundfläche des Kontaktgrabens angebracht ist. Die Kontaktschicht befindet sich lediglich an lokalen Öffnungen in der Grundfläche des Kontaktgrabens. Die Kontaktschicht ist ohne zusätzliche
20 Fotoebene herstellbar. Eine solche Kontaktschicht mit einer bevorzugt relativ hohen Reflexion kann sich zudem an den Kontakten für den zweiten Halbleiterbereich befinden, um eine insgesamt hohe Reflexion an den Kontakten zu ermöglichen.

25 Gemäß zumindest einer Ausführungsform umfasst der Halbleiterchip eine oder mehrere Stromschienen. Die mindestens eine Stromschiene ist bevorzugt aus einem oder mehreren Metallen gebildet und ohmsch leitend. Mit anderen Worten kann es sich bei der Stromschiene um eine metallische
30 Stromschiene handeln. Die Stromschiene ist zur Bestromung des zweiten Halbleiterbereichs an einer dem Substrat abgewandten Seite des zweiten Halbleiterbereichs eingerichtet.

Gemäß zumindest einer Ausführungsform ist die zweite Spiegelschicht direkt auf dem zweiten Halbleiterbereich aufgebracht. Insbesondere ist die zweite Spiegelschicht ausschließlich auf dem zweiten Halbleiterbereich aufgebracht.

5 Die zweite Spiegelschicht ist bevorzugt auf Bereiche begrenzt, in denen die Stromschiene angebracht ist. Dies gilt beispielsweise mit einer Toleranz von höchstens 5 µm oder 10 µm oder 20 µm, in Draufsicht auf den optoelektronischen Halbleiterchip gesehen.

10

Gemäß zumindest einer Ausführungsform ist in einem Bereich zwischen der Stromschiene und dem zweiten Halbleiterbereich zusätzlich die Kontaktschicht vorhanden. Dabei ist die Kontaktschicht bevorzugt direkt auf die zweite Spiegelschicht
15 aufgebracht. In Draufsicht gesehen überragt die zweite Spiegelschicht die Kontaktschicht seitlich, insbesondere ringsum. Das heißt, die Kontaktschicht kann in Draufsicht gesehen vollständig von der zweiten Spiegelschicht umgeben sein und sich somit innerhalb der zweiten Spiegelschicht
20 befinden. Weiterhin überragt die Stromschiene die Kontaktschicht bevorzugt seitlich, in Draufsicht gesehen.

25

Gemäß zumindest einer Ausführungsform ist die Kontaktschicht aus genau zwei oder genau drei oder genau vier Teilschichten zusammengesetzt. Insbesondere ist eine

30

Halbleiterkontaktschicht vorhanden, die sich direkt an dem ersten Halbleiterbereich befindet und die bevorzugt durch genau eine Schicht gebildet ist. Die Halbleiterkontaktschicht umfasst bevorzugt eines oder mehrere der nachfolgenden
Materialien oder besteht aus einem oder mehreren dieser
Materialien: Cr, Ag, Mo, Ni, Ti, ZnO, ITO. Weiterhin beträgt eine Dicke der Halbleiterkontaktschicht bevorzugt mindestens

0,1 nm oder 0,5 nm oder 1 nm und/oder höchstens 5 nm oder 30 nm oder 100 nm.

Gemäß zumindest einer Ausführungsform umfasst die

- 5 Kontaktschicht eine Reflexionsschicht. Die Reflexionsschicht folgt bevorzugt der Halbleiterkontaktschicht direkt nach und ist bevorzugt durch genau eine Schicht gebildet. Insbesondere besteht die Kontaktschicht aus der Reflexionsschicht zusammen mit der Halbleiterkontaktschicht. Weiterhin sind die
- 10 Reflexionsschicht und die Halbleiterkontaktschicht bevorzugt deckungsgleich übereinander angeordnet. Bevorzugt umfasst die Reflexionsschicht eines oder mehrere der nachfolgenden Materialien oder besteht aus einem oder mehreren dieser Materialien: Ag, Al, Al:Cu, Rh, Pd, Pt, TCO-Schicht wie ITO.
- 15 Eine Dicke der Reflexionsschicht beträgt bevorzugt mindestens 10 nm oder 20 nm oder 30 nm und/oder höchstens 100 nm oder 200 nm oder 500 nm.

Gemäß zumindest einer Ausführungsform enthält die

- 20 Kontaktschicht eine Barrierschicht. Die Barrierschicht ist bevorzugt unmittelbar auf der Reflexionsschicht angebracht, an einer der Halbleiterschichtenfolge abgewandten Seite. Die optionale Barrierschicht ist bevorzugt eine Metallschicht. Insbesondere umfasst die Barrierschicht eines oder mehrere
- 25 der nachfolgenden Materialien oder besteht aus einem oder mehreren dieser Materialien: Ti, Pt, Au, Ni, Rh, Ru. Die Dicke der Barrierschicht liegt bevorzugt bei mindestens 1 nm oder 4 nm oder 20 nm und/oder bei höchstens 200 nm oder 100 nm. Die Barrierschicht ist bevorzugt aus zwei Teilschichten
- 30 zusammengesetzt, etwa aus einer Ti-Teilschicht und einer Pt-Teilschicht, kann aber auch mehr als zwei Teilschichten aufweisen.

Gemäß zumindest einer Ausführungsform ist die Stromschiene in Draufsicht gesehen U-förmig gestaltet. Das heißt, durch die Stromschiene ist in Draufsicht gesehen bevorzugt ein Bogen mit einer Winkelüberdeckung von 180° gebildet, wobei die

5 Stromschiene in einem Mittelteil stärker gebogen ist als an Endbereichen, wobei die Stromschiene in den Endbereichen gerade auslaufen kann. Alternativ kann die Stromschiene auch andere Formen aufweisen und zum Beispiel L-förmig, Π -förmig sowie m-förmig oder gabelförmig mit zwei oder mehr als zwei

10 Fingern gestaltet sein.

Gemäß zumindest einer Ausführungsform befindet sich der Stromsteg zwischen den Schenkeln des U's der Stromschiene. Insbesondere kann der Stromsteg vollständig innerhalb des U's

15 der Stromschiene liegen. Weist die Stromschiene andere Formen auf, so kann sich der Stromsteg ebenso innerhalb der Stromschiene befinden. Außerdem ist es alternativ möglich, dass die Stromschiene und der Stromsteg jeweils L-förmig gestaltet sind und nebeneinander liegen oder dass die

20 Stromschiene und der Stromsteg in Draufsicht gesehen gabelförmig oder m-förmig mit ineinander greifenden Fingern oder Zinken geformt sind.

Gemäß zumindest einer Ausführungsform ist der Halbleiterchip

25 insbesondere hinsichtlich der elektrischen Kontaktierung in Draufsicht gesehen symmetrisch zu einer Längsachse, entlang derer der Stromsteg verläuft, gestaltet. Bei der Längsachse handelt es sich insbesondere um diejenige Symmetrieachse oder Achse des Halbleiterchips, die am längsten ist. Es ist

30 möglich, dass es sich bei der Längsachse in Draufsicht gesehen um die einzige Symmetrieachse des Halbleiterchips handelt.

Gemäß zumindest einer Ausführungsform überragt der Stromsteg die Kontaktschicht zumindest stellenweise, in Draufsicht gesehen. Dies gilt insbesondere in Richtung senkrecht zur Längsrichtung des Stromstegs. Weiterhin gilt dies bevorzugt innerhalb zumindest eines oder aller der Kontaktfelder. Insbesondere überragt der Stromsteg die Kontaktschicht seitlich in dem betreffenden Kontaktfeld durchgängig.

Gemäß zumindest einer Ausführungsform überragt die Kontaktschicht stellenweise oder in Gänze den Stromsteg seitlich, in Draufsicht gesehen und in Richtung senkrecht zur Längsrichtung des Stromstegs. Mit anderen Worten ist die Kontaktschicht in zumindest einem oder in allen Kontaktfeldern breiter als der Stromsteg.

Gemäß zumindest einer Ausführungsform befindet sich der Stromsteg stellenweise oder in Gänze seitlich neben der Kontaktschicht. Dies gilt in Draufsicht gesehen und in Richtung senkrecht zur Längsrichtung des Stromstegs. Mit anderen Worten kann sich der Stromsteg in Draufsicht gesehen vollständig oder teilweise neben der Kontaktschicht befinden. Dies gilt für eines, für mehrere oder alle der Kontaktfelder.

Gemäß zumindest einer Ausführungsform reicht die erste Spiegelschicht aus dem Kontaktgraben heraus über die aktive Schicht hinweg bis auf eine dem Substrat abgewandte Seite des zweiten Halbleiterbereichs, insbesondere berührt die Spiegelschicht diese Seite. Das heißt, die erste Spiegelschicht bedeckt die Grundfläche des Kontaktgrabens teilweise, bevorzugt in direktem Kontakt. Seitenflächen des Kontaktgrabens können, im Querschnitt gesehen, vollständig oder überwiegend von der ersten Spiegelschicht bedeckt sein, wobei die Spiegelschicht wiederum bevorzugt direkt auf die

Seitenflächen aufgebracht ist. Die Grundfläche des Kontaktgrabens ist bevorzugt vollständig von der ersten Spiegelschicht zusammen mit der Kontaktschicht bedeckt. Ein Bedeckungsgrad des zweiten Halbleiterbereichs mit der ersten Spiegelschicht liegt bevorzugt bei höchstens 10 % oder 5 % oder 2 % und/oder bei mindestens 0,5 % oder 1 %.

Gemäß zumindest einer Ausführungsform umfasst der Halbleiterchip eine Passivierungsschicht. Die Passivierungsschicht kann aus einer einzigen Schicht oder aus mehreren Teilschichten gebildet sein. Bevorzugt sind die erste und die zweite Spiegelschicht je teilweise von der Passivierungsschicht überdeckt. Die Passivierungsschicht kann sich zusammenhängend und ununterbrochen als gemeinsame Schicht über die beiden Spiegelschichten erstrecken. In der Passivierungsschicht sind bevorzugt Ausnehmungen für den Stromsteg und die Stromschiene vorhanden. Bereiche der ersten und zweiten Spiegelschicht, die nicht von der Passivierungsschicht überdeckt sind, sind bevorzugt von dem Stromsteg zusammen mit der Stromschiene überdeckt. Insbesondere liegen die Spiegelschichten und/oder die Kontaktschicht an keiner Stelle frei.

Gemäß zumindest einer Ausführungsform berührt die Kontaktschicht die Passivierungsschicht nicht. Das heißt, die Kontaktschicht ist von der Passivierungsschicht beabstandet. Alternativ kann die Kontaktschicht die Passivierungsschicht stellenweise berühren.

Gemäß zumindest einer Ausführungsform liegt ein Anteil der Kontaktfelder an dem Stromsteg entlang der Längsrichtung bei mindestens 20 % oder 25 % oder 30 % oder 40 %. Alternativ oder zusätzlich liegt dieser Anteil bei höchstens 70 % oder

60 % oder 55 % oder 45 % oder 35 %. Insbesondere ist dieser Anteil der Kontaktfelder kleiner als der entsprechende Anteil der Isolatorfelder.

- 5 Gemäß zumindest einer Ausführungsform weist der Stromsteg über die Kontaktfelder und die Isolatorfelder hinweg entlang der Längsrichtung eine gleich bleibende Breite auf. Das heißt, der Stromsteg kann sich insbesondere als gerade Linie ohne Breitenvariation entlang des Kontaktgrabens erstrecken.
- 10 Gleichermaßen kann der Kontaktgraben für den Stromsteg eine gleich bleibende, konstante Breite und/oder Querschnittsform aufweisen. Auch der Kontaktgraben verläuft bevorzugt entlang einer geraden Linie. Alternativ ist es möglich, dass der Stromsteg und/oder der Kontaktgraben eine variierende Breite
- 15 aufweisen. Die Breite nimmt dann zum Beispiel in Richtung weg von dem Bondbereich stetig oder stufenförmig ab oder es variiert die Breite periodisch, beispielsweise sinusförmig.

- Gemäß zumindest einer Ausführungsform befindet sich die erste
- 20 Spiegelschicht näher an dem Substrat als die zweite Spiegelschicht. Es ist möglich, dass sich die erste Spiegelschicht im Mittel näher an der zweiten Spiegelschicht befindet oder auch, dass die zweite Spiegelschicht insgesamt weiter von dem Substrat entfernt liegt als die erste
- 25 Spiegelschicht.

- Gemäß zumindest einer Ausführungsform überdecken sich die Spiegelschichten in Draufsicht gesehen gegenseitig nicht. Das heißt, entlang der Wachstumsrichtung der
- 30 Halbleiterschichtenfolge sind die Spiegelschichten an keiner Stelle übereinander angeordnet.

Gemäß zumindest einer Ausführungsform ist die zweite Spiegelschicht nur außerhalb von Vertiefungen der Halbleiterschichtenfolge aufgebracht. Insbesondere befindet sich die zweite Spiegelschicht auf dem zweiten

5 Halbleiterbereich, wie dieser gewachsen ist. An den Stellen, an denen die zweite Spiegelschicht aufgebracht ist, wurde somit kein Material aus der Halbleiterschichtenfolge entfernt. Insbesondere ist der Kontaktgraben frei von der zweiten Spiegelschicht.

10

Gemäß zumindest einer Ausführungsform sind die Spiegelschichten voneinander verschieden aufgebaut. Dies kann bedeuten, dass die Spiegelschichten voneinander verschiedene Materialien, Materialzusammensetzungen und/oder Schichtdicken

15 aufweisen.

Gemäß zumindest einer Ausführungsform sind die erste und die zweite Spiegelschicht gleich aufgebaut. Insbesondere weisen die beiden Spiegelschichten dann gleiche

20 Materialzusammensetzungen und gleiche Schichtfolgen sowie gleiche Schichtdicken auf. Jedoch sind die Spiegelschichten in unterschiedlichen Prozessschritten aufgebracht.

Darüber hinaus wird ein Verfahren zur Herstellung eines

25 optoelektronischen Halbleiterchips angegeben. Mit dem Verfahren wird bevorzugt ein optoelektronischer Halbleiterchip hergestellt, wie in Verbindung mit einer oder mehrerer der oben genannten Ausführungsformen angegeben.

Merkmale des Verfahrens sind daher auch für den

30 optoelektronischen Halbleiterchip offenbart und umgekehrt.

In mindestens einer Ausführungsform ist das Verfahren zur Herstellung eines optoelektronischen Halbleiterchips

eingerrichtet und umfasst die folgenden Schritte, besonders bevorzugt in der angegebenen Reihenfolge:

- A) Bereitstellen eines lichteurchlässigen Substrats und
Wachsen einer Halbleiterschichtenfolge auf dem Substrat,
5 wobei die Halbleiterschichtenfolge eine aktive Schicht zur
Strahlungserzeugung zwischen einem ersten und einem zweiten
Halbleiterbereich aufweist,
- B) Erzeugen einer ersten Maskenschicht auf der
Halbleiterschichtenfolge und Aufbringen einer zweiten
10 elektrisch isolierenden Spiegelschicht zur Reflexion von im
Betrieb in der aktiven Schicht erzeugter Strahlung
stellenweise auf dem zweiten Halbleiterbereich,
- C) Entfernen der ersten Maskenschicht und ganzflächiges
Aufbringen einer Stromaufweitungsschicht für den zweiten
15 Halbleiterbereich,
- D) Erzeugen einer zweiten Maskenschicht auf der
Halbleiterschichtenfolge und Ätzen mindestens eines
Kontaktgrabens, der sich von einer dem Substrat abgewandten
Seite des zweiten Halbleiterbereichs her durch die aktive
20 Schicht bis in den ersten Halbleiterbereich erstreckt,
- E) Aufbringen einer ersten elektrisch isolierenden
Spiegelschicht zur Reflexion von im Betrieb in der aktiven
Schicht erzeugter Strahlung in dem Kontaktgraben,
- F) Entfernen der zweiten Maskenschicht und Erzeugen einer
25 dritten Maskenschicht sowie teilweises Entfernen der ersten
Spiegelschicht und Aufbringen einer Kontaktschicht zur
Stromeinprägung direkt in den ersten Halbleiterbereich,
- G) Entfernen der dritten Maskenschicht sowie Aufbringen einer
Passivierungsschicht und Erzeugen einer vierten Maskenschicht
30 und außerdem Aufbringen eines metallischen Stromstegs in dem
Kontaktgraben zu einer Stromführung entlang des
Kontaktgrabens und zu einer Bestromung des ersten
Halbleiterbereichs, sodass die erste Spiegelschicht aus dem

Kontaktgraben heraus über die aktive Schicht hinweg bis auf eine dem Substrat abgewandte Seite des zweiten Halbleiterbereichs reicht.

- 5 Mit diesem Verfahren ist die Herstellung des optoelektronischen Halbleiterchips mit nur genau vier Fotoebenen, entsprechend der ersten bis vierten Maskenschicht, möglich.
- 10 Gemäß zumindest einer Ausführungsform des Verfahrens wird in einem Schritt D1) zwischen den Schritten D) und E) die Stromaufweitungsschicht geätzt, bevorzugt nasschemisch geätzt. Dabei wird der zweite Halbleiterbereich am Rand des Kontaktgrabens teilweise von der Stromaufweitungsschicht
- 15 befreit. Hierbei wird die zweite Maskenschicht unterätzt, sodass sich ein Ätzbereich der Stromaufweitungsschicht bis unterhalb der zweiten Maskenschicht erstreckt. Ein Überstand des zweiten Halbleiterbereichs über die Stromaufweitungsschicht, in Richtung hin zum Kontaktgraben,
- 20 liegt nach dem Ätzen der Stromaufweitungsschicht bevorzugt bei mindestens 0,3 μm oder 0,7 μm und/oder bei höchstens 10 μm oder 5 μm .

- Nachfolgend werden ein hier beschriebener optoelektronischer
- 25 Halbleiterchip und ein hier beschriebenes Verfahren unter Bezugnahme auf die Zeichnung anhand von Ausführungsbeispielen näher erläutert. Gleiche Bezugszeichen geben dabei gleiche Elemente in den einzelnen Figuren an. Es sind dabei jedoch keine maßstäblichen Bezüge dargestellt, vielmehr können
- 30 einzelne Elemente zum besseren Verständnis übertrieben groß dargestellt sein.

Es zeigen:

Figur 1 eine schematische Draufsicht auf ein
Ausführungsbeispiel eines hier beschriebenen
optoelektronischen Halbleiterchips,

Figuren 2 bis 7 schematische Schnittdarstellungen von
Ausführungsbeispielen von hier beschriebenen
optoelektronischen Halbleiterchips, und

Figur 8 schematische Schnittdarstellungen von
Verfahrensschritten eines hier beschriebenen
Herstellungsverfahrens für einen hier beschriebenen
optoelektronischen Halbleiterchip.

In Figur 1 ist ein Ausführungsbeispiel eines
optoelektronischen Halbleiterchips 1 gezeigt. In Figur 1 sind
vier Bereiche A, B, C, D markiert. In den Figuren 2 bis 4
sind Schnittdarstellungen zu diesen Bereichen A, B, C, D
dargestellt. Der Halbleiterchip 1, insbesondere ein
Leuchtdiodenchip, umfasst eine Halbleiterschichtenfolge 2 auf
einem lichtdurchlässigen Substrat 3. Die
Halbleiterschichtenfolge 2 basiert bevorzugt auf AlInGaN. Bei
dem Substrat 3 handelt es sich bevorzugt um ein Saphir-
Aufwachssubstrat. Der Halbleiterchip 1 erzeugt im Betrieb
bevorzugt blaues Licht.

Zu einer Bestromung des Halbleiterchips 1 ist ein Stromsteg 6
mit einem Bondbereich 66 vorhanden sowie eine Stromschiene 8
mit einem Bondbereich 88. Der Stromsteg 6 befindet sich in
einem Kontaktgraben 4, in Draufsicht gesehen. Entlang einer
Längsrichtung weist der Stromsteg 6 abwechselnd direkt

aufeinanderfolgende Kontaktfelder 61 und Isolatorfelder 62 auf. Eine Stromeinprägung in die Halbleiterschichtenfolge 2 erfolgt über den Stromsteg 6 lediglich in den Kontaktfeldern 61. In Draufsicht gesehen ist die Stromschiene 8 U-förmig
5 gestaltet und der Stromsteg 6 mit dem Bondbereich 66 befindet sich vollständig innerhalb dieses U's.

In Figur 2 ist die Schnittdarstellung des Bereichs A aus Figur 1 dargestellt, der eines der Kontaktfelder 61 bildet.
10 Die Halbleiterschichtenfolge 2 umfasst eine aktive Schicht 22, beispielsweise eine Multiquantentopfstruktur, die sich zwischen einem ersten Halbleiterbereich 21 und einem zweiten Halbleiterbereich 23 befindet. Bei dem ersten Halbleiterbereich 21 handelt es sich bevorzugt um eine n-
15 Seite und bei dem zweiten Halbleiterbereich 23 um eine p-Seite der Halbleiterschichtenfolge 2.

In der Halbleiterschichtenfolge 2 ist der Kontaktgraben 4 für den Stromsteg 6 geformt. Der Kontaktgraben 4 reicht von einer
20 dem Substrat 3 abgewandten Seite des zweiten Halbleiterbereichs 23 durch die aktive Schicht 22 hindurch bis in den ersten Halbleiterbereich 21. In dem Kontaktgraben 4 befindet sich eine erste Spiegelschicht 51, die von einer Grundfläche des Kontaktgrabens 4 über Seitenflächen des
25 Kontaktgrabens 4 bis auf den zweiten Halbleiterbereich 23 reicht. Dabei bedeckt die erste Spiegelschicht 51 nur einen sehr kleinen Teil des zweiten Halbleiterbereichs 23. Übrige Bereiche des zweiten Halbleiterbereichs 23 sind durch eine Stromaufweitungsschicht 83 bedeckt. Ferner ist eine
30 Passivierungsschicht 9 vorhanden, die zusammen mit dem Stromsteg 6 die Halbleiterschichtenfolge 2 im in Figur 2 dargestellten Bereich vollständig bedeckt.

Außerdem ist eine Kontaktschicht 7 zwischen dem ersten Halbleiterbereich 21 und dem Stromsteg 6 angebracht und grenzt jeweils unmittelbar an diese. Somit befindet sich die Kontaktschicht 7 in einer Öffnung der ersten Spiegelschicht 51. Die Kontaktschicht 7 kann die erste Spiegelschicht 51 an deren Rändern geringfügig bedecken. In einer seitlichen Richtung, senkrecht zu einer Wachstumsrichtung G der Halbleiterschichtenfolge 2, überragt der Stromsteg 6 die Kontaktschicht 7. Somit ist die Kontaktschicht 7 vollständig von dem ersten Halbleiterbereich 21 zusammen mit der ersten Spiegelschicht 51 und dem Stromsteg 6 umgeben.

Optional ist es wie auch in allen anderen Ausführungsbeispielen möglich, dass die Kontaktschicht 7 aus einer Halbleiterkontaktschicht 7a, einer Reflexionsschicht 7b und einer Barrierschicht 7c zusammengesetzt ist. Die dünne Halbleiterkontaktschicht 7a ist beispielsweise aus Titan oder Chrom gebildet. Bei der Reflexionsschicht 7b handelt es sich etwa um eine vergleichsweise dicke Schicht aus Ag, Al oder Rh. Die Barrierschicht 7c enthält oder besteht insbesondere aus Titan oder Platin.

Der Stromsteg 6 ist beispielsweise aus Silber, Kupfer, Gold, Zinn und/oder Nickel gebildet. Bei der elektrisch isolierenden ersten Spiegelschicht 51 handelt es sich bevorzugt um eine mehrschichtige Spiegelschicht, die als DBR (Distributed Bragg Reflector) ausgebildet ist. Die erste Spiegelschicht 51 weist bevorzugt eine vergleichsweise niedrige Anzahl von Schichten auf, insbesondere mindestens zwei oder drei oder vier Teilschichten. Alternativ oder zusätzlich beinhaltet die erste Spiegelschicht 51 höchstens 20 oder 12 oder sechs Teilschichten. Somit weist die erste Spiegelschicht 51 bevorzugt eine Abfolge aus dielektrischen

Schichten mit einem niedrigen und einem hohen Brechungsindex auf. Niedriger Brechungsindex bedeutet insbesondere $< 1,7$, hoher Brechungsindex bedeutet insbesondere $> 1,7$, bezogen auf eine Wellenlänge maximaler Intensität der in der

5 Halbleiterschichtenfolge 2 im Betrieb erzeugten Strahlung. Bezogen auf diese Wellenlänge liegt eine Dicke der einzelnen Schichten bevorzugt bei $\lambda/4$, wobei eine unterste dieser Schichten, am nächsten zum Substrat 3, eine Dicke von $3 \lambda/4$ aufweisen kann.

10

In dem Bereich B aus Figur 1, siehe Figur 3, ist keine Kontaktschicht vorhanden. Die elektrisch isolierende erste Spiegelschicht 51 erstreckt sich durchgehend zwischen dem Stromsteg 6 und der Halbleiterschichtenfolge 2. Damit erfolgt
15 in dem Isolatorfeld 62 keine Stromeinprägung in die Halbleiterschichtenfolge 2.

In Figur 4 ist eine Schnittdarstellung des Bereichs C aus Figur 1 gezeigt. Die Kontaktschicht 7 ist in Draufsicht
20 gesehen ringförmig gestaltet. Ferner ist die Kontaktschicht 7 vollständig von dem Stromsteg 6 bedeckt. Die Kontaktschicht 7 umschließt einen kreisförmigen Bereich der ersten Spiegelschicht 51. Im Übrigen gilt das zur Figur 2 Beschriebene.

25

In Figur 5 ist der Bereich D aus Figur 1 zu sehen. Direkt auf dem zweiten Halbleiterbereich 23 ist im Gebiet der Stromschiene 8 eine zweite Spiegelschicht 53 vorhanden. Die zweite Spiegelschicht 53 kann genauso aufgebaut sein wie die
30 erste Spiegelschicht 51, entsprechend wird auf die Ausführungen zur ersten Spiegelschicht 51 verwiesen.

Auf der zweiten Spiegelschicht 53 befindet sich die Stromaufweitungsschicht 83. Die Stromaufweitungsschicht 83 ist beispielsweise aus ITO gebildet und weist etwa eine Dicke von ungefähr 80 nm auf. Direkt auf der

5 Stromaufweitungsschicht 83 befindet sich die Stromschiene 8. Im Betrieb erfolgt eine Stromverteilung über die Fläche des Halbleiterchips 1 hinweg über die Stromschiene 8, nachfolgend erfolgt eine weitere Stromaufweitung über die Stromaufweitungsschicht 83. Die Stromschiene 8 ist bevorzugt
10 aus den gleichen Materialien und mit der gleichen Dicke geformt wie der Stromsteg 6.

Außerhalb des Bondbereichs 88, wie in Figur 5 illustriert, ist die Stromschiene 8 in den U-förmigen Armen bevorzugt
15 genauso aufgebaut wie in Figur 5 illustriert, lediglich mit reduzierter Breite.

Optional befindet sich zwischen der zweiten Spiegelschicht 53 und der Stromschiene 8 die Kontaktschicht 7. Dies kann über
20 die gesamte Stromschiene 8 hinweg gelten oder lediglich für den Bondbereich 88. Die Kontaktschicht 7 wird seitlich von der Stromschiene 8 und dem Bondbereich 88 überragt.

Eine dementsprechende Gestaltung der Stromschiene 8, wie in
25 Verbindung mit Figur 5 gezeigt, liegt bevorzugt auch in allen anderen Ausführungsbeispielen vor.

In Figur 6 ist ein weiteres Ausführungsbeispiel des Halbleiterchips 1 illustriert. Hierbei ist beispielhaft nur
30 ein Kontaktfeld 61 gezeigt. Die übrigen Bereiche des Halbleiterchips 1 können, unter Berücksichtigung der Modifikation aus Figur 6, analog zu den Figuren 1 bis 5 gestaltet sein.

Gemäß Figur 6 weist der Stromsteg 6 eine geringere Breite auf als die Kontaktschicht 7. Wie auch in Figur 2 sind die Kontaktschicht 7 und der Stromsteg 6 symmetrisch zueinander angeordnet. Damit steht die Kontaktschicht 7 stellenweise in direktem Kontakt mit der Passivierungsschicht 9. Zusammen mit dem Stromsteg 6 bedeckt die Passivierungsschicht 9 die Kontaktschicht 7 im dargestellten Bereich vollständig. Die Kontaktschicht 7 ist aus einem reflektierenden Metall gebildet und lichtundurchlässig, wie bevorzugt auch gemäß der Figuren 1 bis 5.

Die Passivierungsschicht 9 ist, wie bevorzugt auch in allen anderen Ausführungsbeispielen, aus einem elektrisch isolierenden Material gebildet und ist dicht für Feuchtigkeit und/oder Sauerstoff. Insbesondere ist die Passivierungsschicht 9 eine Kombination aus einer inneren Schicht aus Aluminiumoxid, etwa über Atomlagenabscheidung erzeugt, und einer äußeren, sich weiter vom Substrat 3 entfernt befindlichen Schicht aus Siliziumdioxid, etwa über chemische Gasphasenabscheidung hergestellt.

Im Ausführungsbeispiel des Halbleiterchips 1 gemäß Figur 7 ist der Stromsteg 6 ausmittig zur Kontaktschicht 7 angeordnet. Der Stromsteg 6 ist bevorzugt schmaler als die Kontaktschicht 7. Dabei kann sich der Stromsteg 6 vollständig neben der Öffnung in der ersten Spiegelschicht 51 befinden, in dem die Kontaktschicht 7 in direktem Kontakt zum ersten Halbleiterbereich 21 steht. Ein Stromfluss erfolgt über den Stromsteg 6 hindurch zur Kontaktschicht 7 und dann in den ersten Halbleiterbereich 21. Durch diese Anordnung ist der Stromsteg 6 zumindest zum größten Flächenanteil durch die erste Spiegelschicht 51 vor einfallendem Licht abgeschirmt.

In diesem Fall ist die Kontaktschicht 7 bevorzugt aus einem transparenten Material wie einem transparenten leitfähigen Oxid, insbesondere ITO, gebildet, sodass einfallendes Licht weder am Stromsteg 6 noch in der Kontaktschicht 7 signifikant absorbiert wird. Eine laterale Ausdehnung der Kontaktschicht 7 ist somit größer als die Öffnung in der ersten Spiegelschicht 51. Durch diese Anordnung ist eine besonders hohe Lichtauskoppelleffizienz erreichbar.

10

In Figur 8 ist ein Beispiel für ein Herstellungsverfahren für einen solchen optoelektronischen Halbleiterchip 1 illustriert. Gemäß Figur 8A wird die Halbleiterschichtenfolge 2 auf dem Substrat 3 aufgewachsen. Eine erste Maskenschicht 11 wird aufgebracht und strukturiert. In den von der ersten Maskenschicht 11 nicht bedeckten Bereiche wird die zweite Spiegelschicht 53 aufgebracht.

15

20

Nachfolgend wird, siehe Figur 8B, die erste Maskenschicht 11 entfernt und es wird ganzflächig die Stromaufweitungsschicht 83, etwa aus ITO, aufgebracht.

25

30

Daraufhin wird, siehe Figur 8C, eine zweite Maskenschicht 12 erzeugt und strukturiert. Mit Hilfe der zweiten Maskenschicht 12 wird der Kontaktgraben 4 geätzt. Hierdurch wird auch die Stromaufweitungsschicht 83 im Bereich des Kontaktgrabens 4 entfernt. Zudem erfolgt ein nasschemisches Ätzen der Stromaufweitungsschicht 83, wobei bei diesem nasschemischen Ätzen die zweite Maskenschicht 12 intakt bleiben kann. Die Stromaufweitungsschicht 83 wird selektiv von den Kanten des Kontaktgrabens 4 zurückgeätzt, sodass der zweite Halbleiterbereich 23 am Rand des Kontaktgrabens 4 freigelegt wird. Beispielsweise überragt der zweite Halbleiterbereich 23

die Stromaufweitungsschicht 83 um ungefähr 1 μm , in Richtung hin zum Kontaktgraben 4.

Anschließend wird die erste Spiegelschicht 51 in dem Kontaktgraben 4 erzeugt, mit Hilfe derselben zweiten Maskenschicht 12, siehe Figur 8D. Vor dem Aufbringen der ersten Spiegelschicht 51 kann eine Plasmabehandlung erfolgen, zum Beispiel mit Sauerstoffplasma, die an der dem Substrat 3 abgewandten Seite des zweiten Halbleiterbereichs 23 die zweite Maskenschicht 12 lokal entfernt. Somit kann nachfolgend die erste Spiegelschicht 51 diese Seite des zweiten Halbleiterbereichs 23 geringfügig bedecken.

Die zweite Maskenschicht 12 bedeckt die zweite Spiegelschicht 53, die in Figur 8B gezeigt ist, bevorzugt vollständig, sodass die zweite Spiegelschicht 53 von der Herstellung des Kontaktgrabens 4 nicht betroffen ist.

Gemäß Figur 8E wird nach dem Entfernen der zweiten Maskenschicht 12 eine dritte Maskenschicht 33 aufgebracht, mit Hilfe derer die erste Spiegelschicht 51 in dem Kontaktgraben 4 und optional die zweite Spiegelschicht 53 in dem für die Stromschiene 8 vorgesehenen Bereich, vergleiche auch Figur 5, lokal geöffnet werden. Nachfolgend wird die Kontaktschicht 7 aufgebracht.

Zum Öffnen der Spiegelschichten 51, 53 kann ein nasschemisches oder ein trockenchemisches Ätzen verwendet werden. Ist die oder sind die Spiegelschichten 51, 53 mehrschichtig aufgebaut, so wird vorteilhafterweise trockenchemisch geätzt, um glatte Seitenflanken zu erzeugen, da sich nasschemische Ätzraten verschiedener Dielektrika üblicherweise voneinander unterscheiden. Nach dieser Öffnung

der Spiegelschichten 51, 53 kann optional ein Plasma, etwa ein Sauerstoffplasma, angewendet werden, um die dritte Maskenschicht 13 teilweise abzutragen. Damit vergrößert sich die Öffnung in der dritten Maskenschicht 13, sodass die
5 Öffnung zur Halbleiterschichtenfolge 2 hin vergrößert wird und anteilig eine dem Substrat 3 abgewandte Seite der Spiegelschichten 51, 53 offenliegt. Dies ist vorteilhaft, um die Ausdehnung der Kontaktschicht 7 für die Kontaktierung mit dem Stromsteg 6 lateral versetzt zu dieser Öffnung
10 anzubringen, siehe auch Figur 7.

Optional wird die Kontaktschicht 7 auch in der geöffneten Stromaufweitungsschicht 83 auf der zweiten Spiegelschicht 53 erzeugt.

15

Gemäß Figur 8F wurde die dritte Maskenschicht 13 entfernt und es wird ganzflächig die Passivierungsschicht 9 aufgebracht. Die Passivierungsschicht ist bevorzugt aus einer zuerst aufgetragenen Al_2O_3 -Schicht und einer nachfolgend
20 aufgetragenen SiO_2 -Schicht zusammengesetzt, um gegenüber Feuchte besonders undurchlässig zu sein.

Schließlich wird, siehe Figur 8G, eine vierte Maskenschicht 14 aufgebracht. Mit Hilfe der vierten Maskenschicht 14 wird
25 die Passivierungsschicht 9 stellenweise entfernt und es werden, bevorzugt im selben Verfahrensschritt, der Stromsteg 6 sowie die Stromschiene 8 erzeugt. Daraufhin wird die vierte Maskenschicht 14 wieder entfernt.

30 Die in den Figuren gezeigten Komponenten folgen, sofern nicht anders kenntlich gemacht, bevorzugt in der angegebenen Reihenfolge jeweils unmittelbar aufeinander. Sich in den Figuren nicht berührende Schichten sind voneinander

beabstandet. Soweit Linien parallel zueinander gezeichnet sind, sind die entsprechenden Flächen ebenso parallel zueinander ausgerichtet. Ebenfalls soweit nicht anders kenntlich gemacht, sind die relativen Dickenverhältnisse, 5 Längenverhältnisse und Positionen der gezeichneten Komponenten zueinander in den Figuren korrekt wiedergegeben.

Die hier beschriebene Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele beschränkt. 10 Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder Ausführungsbeispielen angegeben 15 ist.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2016 124 847.9, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird. 20

Bezugszeichenliste

	1	optoelektronischer Halbleiterchip
	2	Halbleiterschichtenfolge
5	21	erster Halbleiterbereich/n-Seite
	22	aktive Schicht
	23	zweiter Halbleiterbereich/p-Seite
	3	lichtdurchlässiges Substrat/Saphir
	4	Kontaktgraben
10	51	erste Spiegelschicht
	53	zweite Spiegelschicht
	6	Stromsteg für die n-Seite
	61	Kontaktfeld
	62	Isolatorfeld
15	66	Bondbereich für die n-Seite
	7	Kontaktschicht
	8	Stromschiene für die p-Seite
	83	Stromaufweitungsschicht für die p-Seite
	88	Bondbereich für die p-Seite
20	9	Passivierungsschicht
	11	erste Maskenschicht für die zweite Spiegelschicht
	12	zweite Maskenschicht für den Kontaktgraben
	13	dritte Maskenschicht für die Kontaktschicht
	14	vierte Maskenschicht für Stromsteg und Stromschiene
25	G	Wachstumsrichtung der Halbleiterschichtenfolge

Patentansprüche

1. Optoelektronischer Halbleiterchip (1) mit
- einer Halbleiterschichtenfolge (2) mit einer aktiven
 - 5 Schicht (22) zur Strahlungserzeugung zwischen einem ersten (21) und einem zweiten Halbleiterbereich (23),
 - einem lichtdurchlässigen Substrat (3), auf dem sich die Halbleiterschichtenfolge (2) befindet,
 - mindestens einem Kontaktgraben (4), der sich von einer dem
 - 10 Substrat (3) abgewandten Seite des zweiten Halbleiterbereichs (23) her durch die aktive Schicht (22) bis in den ersten Halbleiterbereich (21) erstreckt,
 - mindestens einer metallischen Stromschiene (8) zur Bestromung des zweiten Halbleiterbereichs (23) an einer dem
 - 15 Substrat (3) abgewandten Seite des zweiten Halbleiterbereichs (23),
 - einer ersten (51) und einer zweiten elektrisch isolierenden Spiegelschicht (53) zur Reflexion von im Betrieb in der aktiven Schicht (22) erzeugter Strahlung, und
 - 20 - einem metallischen Stromsteg (6), der in dem Kontaktgraben (4) angebracht ist und der zu einer Stromführung entlang des Kontaktgrabens (4) und zu einer Bestromung des ersten Halbleiterbereichs (21) vorgesehen ist,
- wobei
- 25 - die erste Spiegelschicht (51) aus dem Kontaktgraben (4) heraus über die aktive Schicht (22) hinweg bis auf eine dem Substrat (3) abgewandte Seite des zweiten Halbleiterbereichs (23) reicht und-
 - eine Kontaktschicht (7) zur Stromeinprägung direkt in den ersten Halbleiterbereich (21) und in direktem
 - 30 Kontakt mit dem Stromsteg (6) vorhanden ist,
 - der erste Halbleiterbereich (21) eine n-Seite und der zweite Halbleiterbereich (23) eine p-Seite der Halbleiterschichtenfolge (2) bildet und die zweite

Spiegelschicht (53) direkt auf den zweiten Halbleiterbereich (23) aufgebracht ist,

- entlang einer Längsrichtung des Stromstegs (6) abwechselnd mehrere Kontaktfelder (61) und Isolatorfelder (62) angeordnet sind,

- in den Kontaktfeldern (61) die Kontaktschicht (7) in direktem Kontakt mit dem Stromsteg (6) vorhanden ist und die Isolatorfelder (62) frei von der Kontaktschicht (7) sind, und

- sich die erste Spiegelschicht (51) zwischen dem Stromsteg (6) und dem ersten Halbleiter-bereich (21) befindet.

2. Optoelektronischer Halbleiterchip (1) nach dem vorhergehenden Anspruch,

bei dem in einem Bereich zwischen der Stromschiene (8) und dem zweiten Halbleiterbereich (23) zusätzlich die

Kontaktschicht (7) direkt auf die zweite Spiegelschicht (53) aufgebracht ist,

wobei die zweite Spiegelschicht (53) die Kontaktschicht (7) seitlich überragt, in Draufsicht gesehen.

3. Optoelektronischer Halbleiterchip (1) nach einem der vorhergehenden Ansprüche,

bei dem die Stromschiene (8) in Draufsicht gesehen U-förmig ist und sich der Stromsteg (6) zwischen Schenkeln dieses U's liegt,

wobei der Halbleiterchip (1) in Draufsicht gesehen

symmetrisch zu einer Längsachse, entlang derer der Stromsteg (6) verläuft, gestaltet ist.

4. Optoelektronischer Halbleiterchip (1) nach einem der vorhergehenden Ansprüche,

bei dem der Stromsteg (6) zumindest stellenweise die

Kontaktschicht (7) seitlich überragt, in Draufsicht gesehen

und in Richtung senkrecht zur Längsrichtung des Stromstegs (6).

5. Optoelektronischer Halbleiterchip (1) nach einem der vorhergehenden Ansprüche,

5 bei dem die Kontaktschicht (7) zumindest stellenweise den Stromsteg (6) seitlich überragt, in Draufsicht gesehen und in Richtung senkrecht zur Längsrichtung des Stromstegs (6).

6. Optoelektronischer Halbleiterchip (1) nach einem der vorhergehenden Ansprüche,

10 bei dem der Stromsteg (6) zumindest stellenweise seitlich neben der Kontaktschicht (7) liegt, in Draufsicht gesehen und in Richtung senkrecht zur Längsrichtung des Stromstegs (6).

7. Optoelektronischer Halbleiterchip (1) nach dem vorhergehenden Anspruch,

15 bei dem der Stromsteg (6) in den Bereichen in den Kontaktfeldern (61), in denen der Stromsteg (6) sich seitlich neben der Kontaktschicht (7) befindet, vollständig auf der ersten Spiegelschicht (51) liegt, in Draufsicht gesehen und in Richtung senkrecht zur Längsrichtung des Stromstegs (6).

20 8. Optoelektronischer Halbleiterchip (1) nach einem der vorhergehenden Ansprüche,
bei dem die erste Spiegelschicht (51) die dem Substrat (3) abgewandte Seite des zweiten Halbleiterbereichs (23) zu höchstens 5 % bedeckt.

25 9. Optoelektronischer Halbleiterchip (1) nach einem der vorhergehenden Ansprüche,
bei dem die erste und die zweite Spiegelschicht (51, 53) teilweise von einer gemeinsamen Passivierungsschicht (9) überdeckt sind und verbleibende Bereiche der ersten und der

zweiten Spiegelschicht (51, 53) von dem Stromsteg (6) zusammen mit der Stromschiene (8) überdeckt sind.

10. Optoelektronischer Halbleiterchip (1) nach dem vorhergehenden Anspruch,

5 bei dem die Kontaktschicht (7) aus einem oder mehreren Metallen besteht und von der Passivierungsschicht (9) beabstandet ist.

11. Optoelektronischer Halbleiterchip (1) nach einem der vorhergehenden Ansprüche,

10 bei dem ein Anteil der Kontaktfelder (61) an dem Stromsteg (6) entlang der Längsrichtung zwischen einschließlich 20 % und 70 % liegt,
wobei der Stromsteg (6) über die Kontaktfelder (61) und die Isolatorfelder (62) hinweg entlang der Längsrichtung eine
15 gleichbleibende Breite aufweist.

12. Optoelektronischer Halbleiterchip (1) nach einem der vorhergehenden Ansprüche,

bei dem sich die erste Spiegelschicht (51) näher an dem Substrat (3) befindet als die zweite Spiegelschicht (53),
20 wobei sich die Spiegelschicht (53) gegenseitig nicht überdecken, jedoch gleich aufgebaut sind, und
wobei die zweite Spiegelschicht (53) nur außerhalb von Vertiefungen der Halbleiterschichtenfolge (2) aufgebracht ist.

25 13. Verfahren zur Herstellung eines optoelektronischen Halbleiterchips (1) mit den folgenden Schritten in der angegebenen Reihenfolge:

A) Bereitstellen eines lichtdurchlässigen Substrats (3) und Wachsen einer Halbleiterschichtenfolge (2) auf dem Substrat
30 (3), wobei die Halbleiterschichtenfolge (2) eine aktive

Schicht (22) zur Strahlungserzeugung zwischen einem ersten (21) und einem zweiten Halbleiterbereich (23) aufweist,

B) Erzeugen einer ersten Maskenschicht (11) auf der Halbleiterschichtenfolge (2) und Aufbringen einer zweiten

5 elektrisch isolierenden Spiegelschicht (53) zur Reflexion von im Betrieb in der aktiven Schicht (22) erzeugter Strahlung stellenweise auf den zweiten Halbleiterbereich (23),

C) Entfernen der ersten Maskenschicht (11) und ganzflächiges Aufbringen einer Stromaufweitungsschicht (83) für den zweiten

10 Halbleiterbereich (23),

D) Erzeugen einer zweiten Maskenschicht (13) auf der Halbleiterschichtenfolge (2) und Ätzen mindestens eines Kontaktgrabens (4), der sich von einer dem Substrat (3) abgewandten Seite des zweiten Halbleiterbereichs (23) her

15 durch die aktive Schicht (22) bis in den ersten Halbleiterbereich (21) erstreckt,

E) Aufbringen einer ersten elektrisch isolierenden Spiegelschicht (51) zur Reflexion von im Betrieb in der aktiven Schicht (22) erzeugter Strahlung in dem Kontaktgraben

20 (4),

F) Entfernen der zweiten Maskenschicht (12) und Erzeugen einer dritten Maskenschicht (13) sowie teilweises Entfernen der ersten Spiegelschicht (51) und Aufbringen einer Kontaktschicht (7) zur Stromeinprägung direkt in den ersten

25 Halbleiterbereich (21),

G) Entfernen der dritten Maskenschicht (13) sowie Aufbringen einer Passivierungsschicht (9) und Erzeugen einer vierten Maskenschicht (14) und außerdem Aufbringen eines metallischen Stromstegs (6) in dem Kontaktgraben (4) zu einer Stromführung

30 entlang des Kontaktgrabens (4) und zu einer Bestromung des ersten Halbleiterbereichs (21),

sodass die erste Spiegelschicht (51) aus dem Kontaktgraben (4) heraus über die aktive Schicht (22) hinweg bis auf eine

dem Substrat (3) abgewandte Seite des zweiten Halbleiterbereichs (23) reicht.

14. Verfahren nach dem vorhergehenden Anspruch,
bei dem in einem Schritt D1) zwischen den Schritten D) und E)
5 die Stromaufweitungsschicht (83) nasschemisch geätzt wird,
wobei die zweite Maskenschicht (12) unterätzt wird, sodass
sich ein Ätzbereich der Stromaufweitungsschicht (83) bis
unterhalb der zweiten Maskenschicht (12) erstreckt und der
zweite Halbleiterbereich (23) am Rand des Kontaktgrabens (4)
10 freigelegt wird.

FIG 1

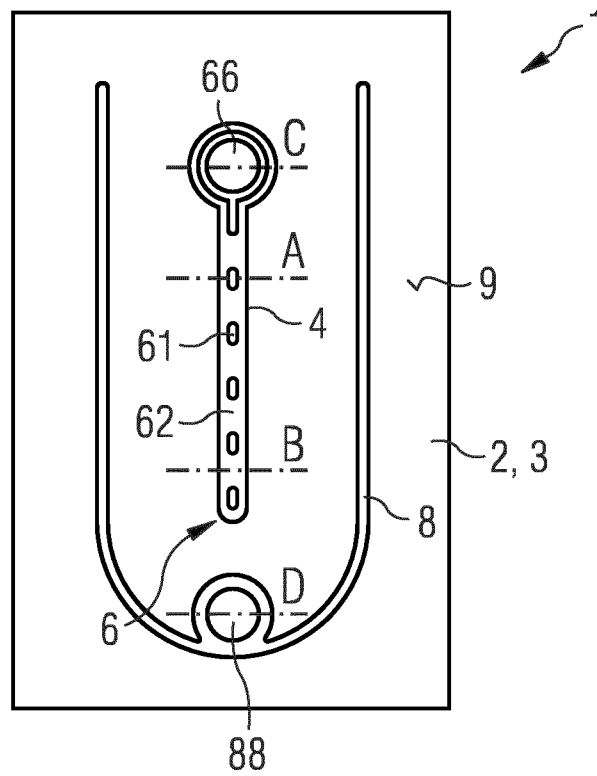


FIG 2

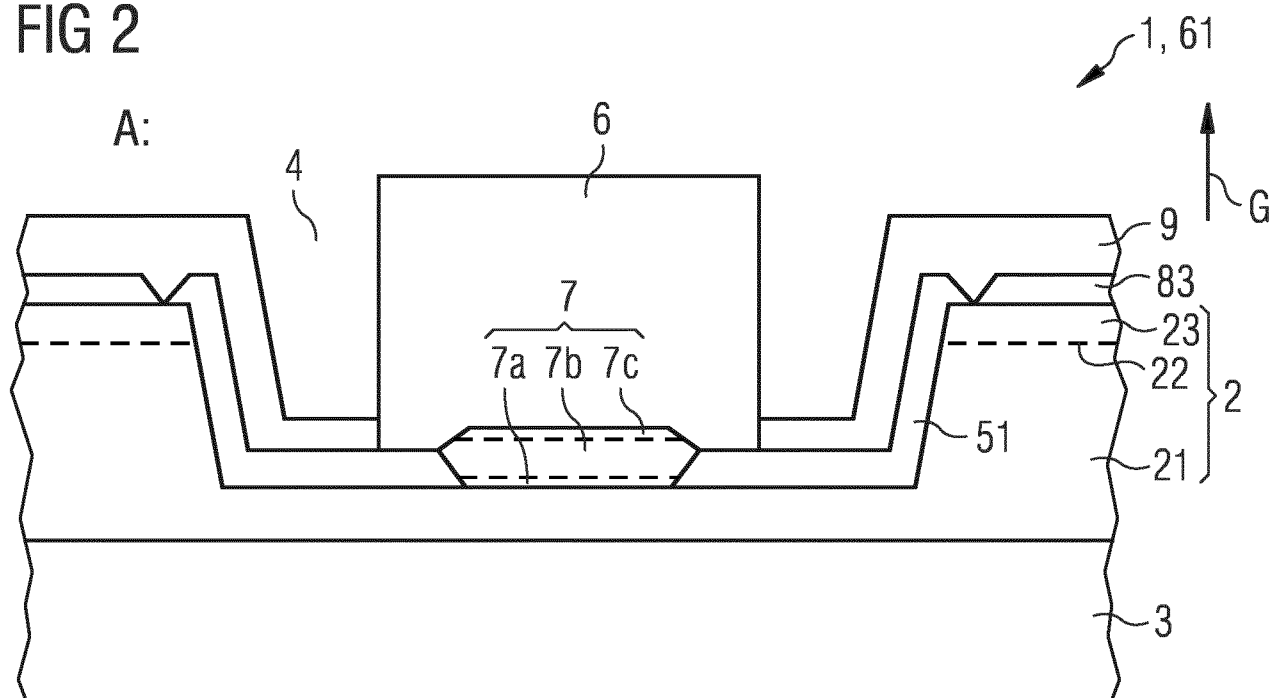


FIG 3

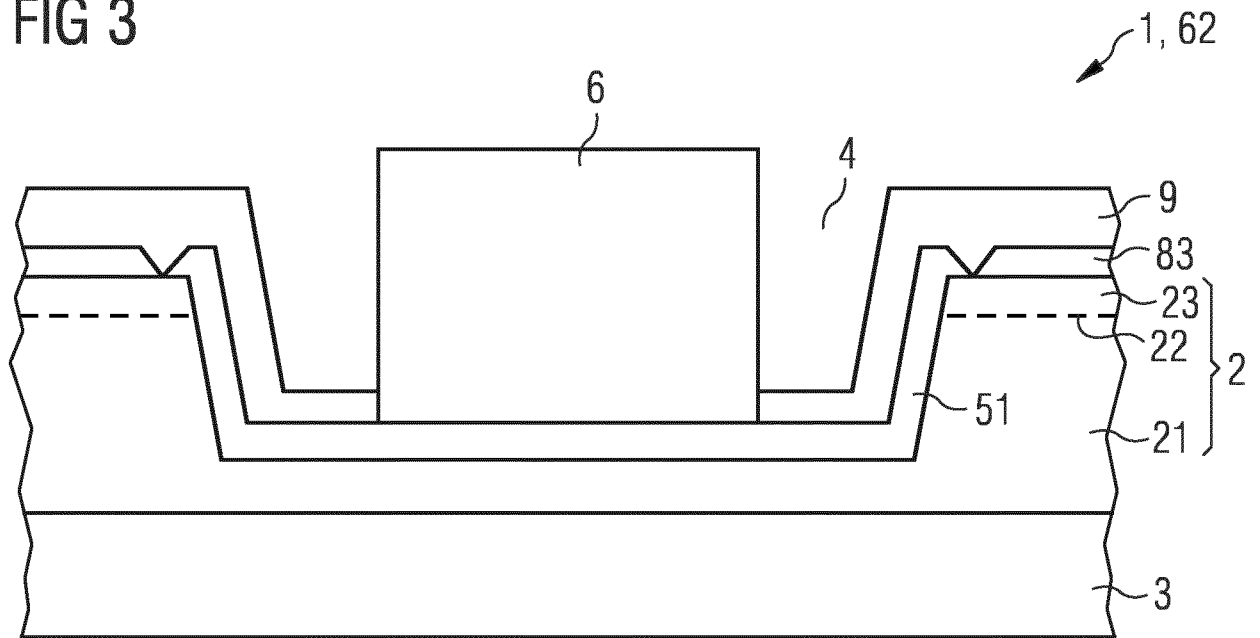


FIG 4

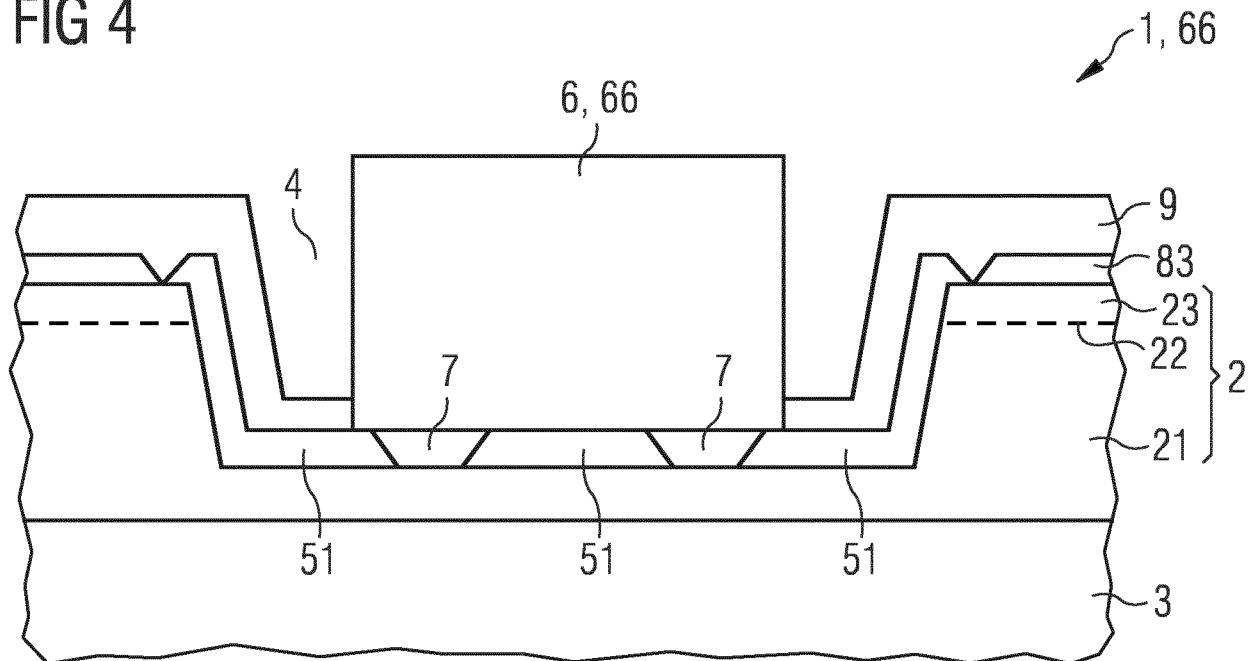


FIG 5

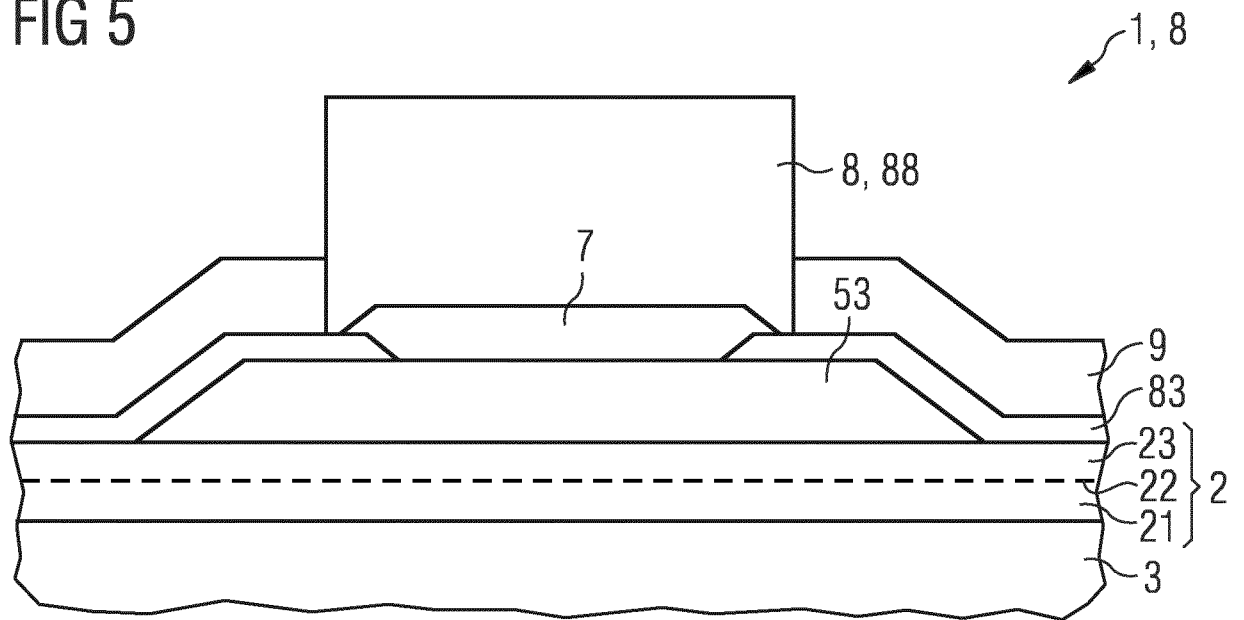


FIG 6

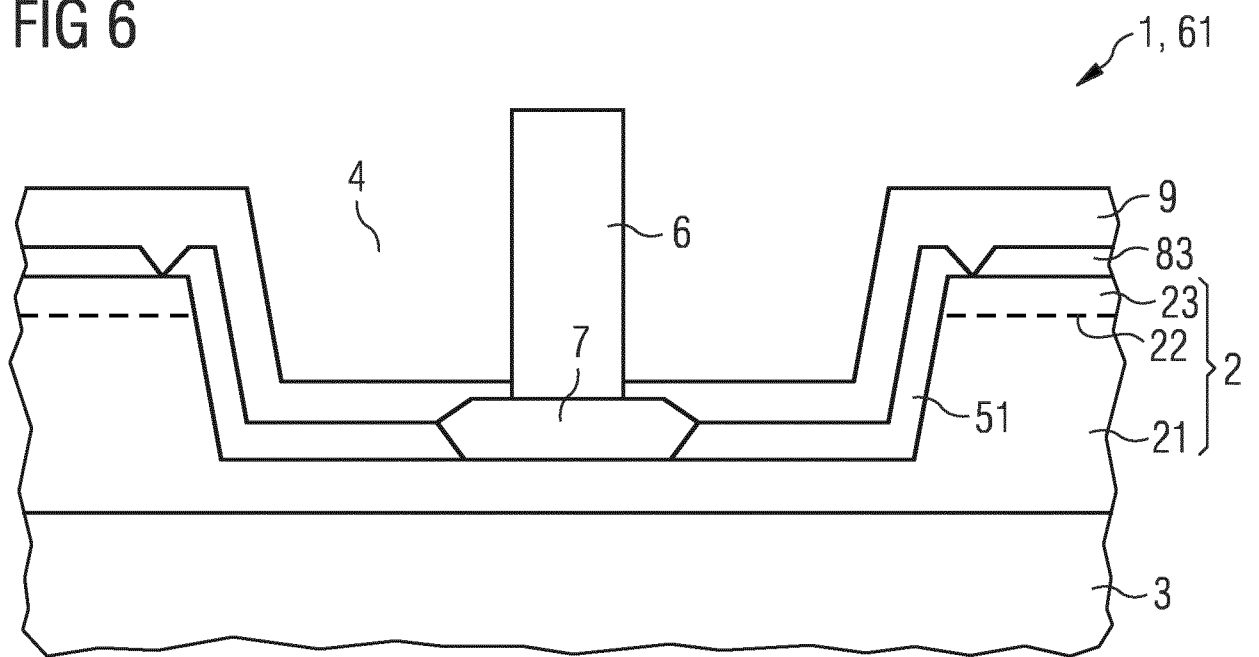


FIG 7

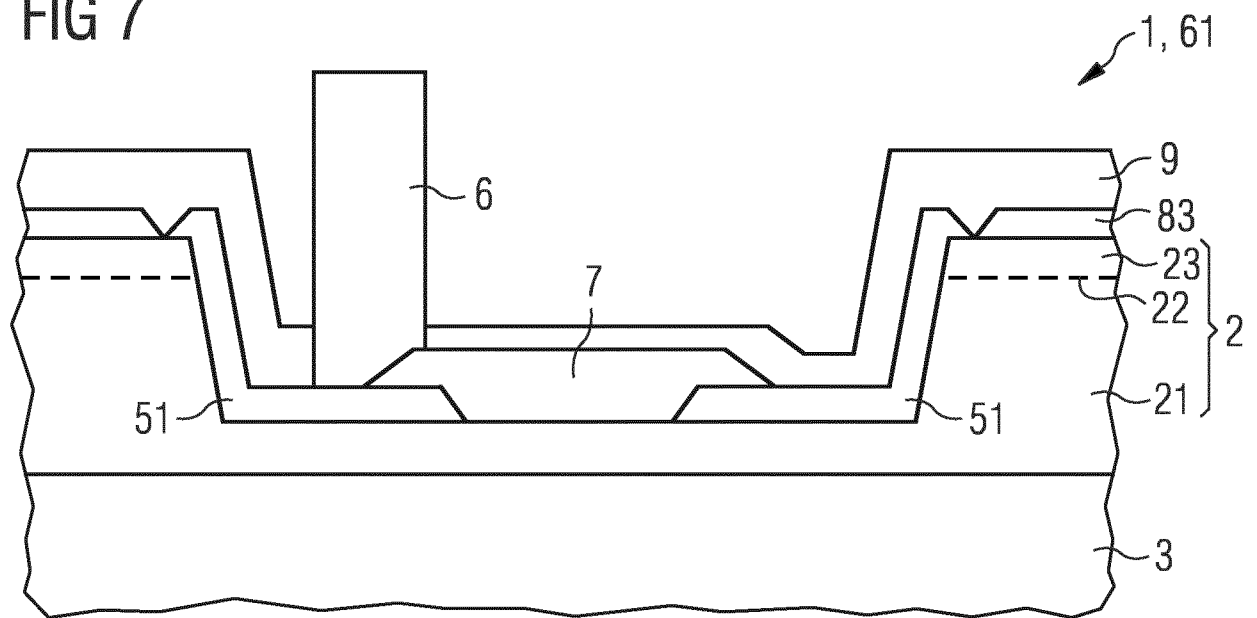


FIG 8

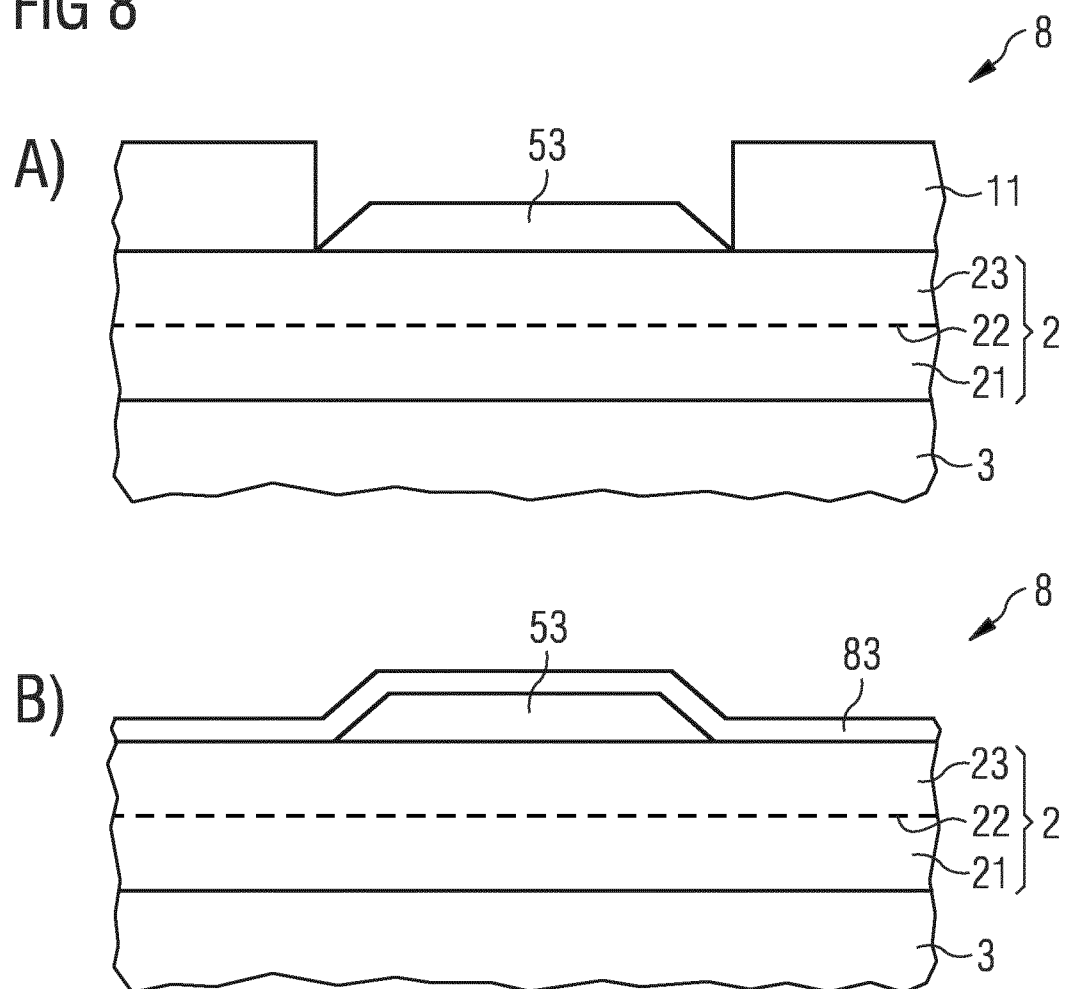


FIG 8

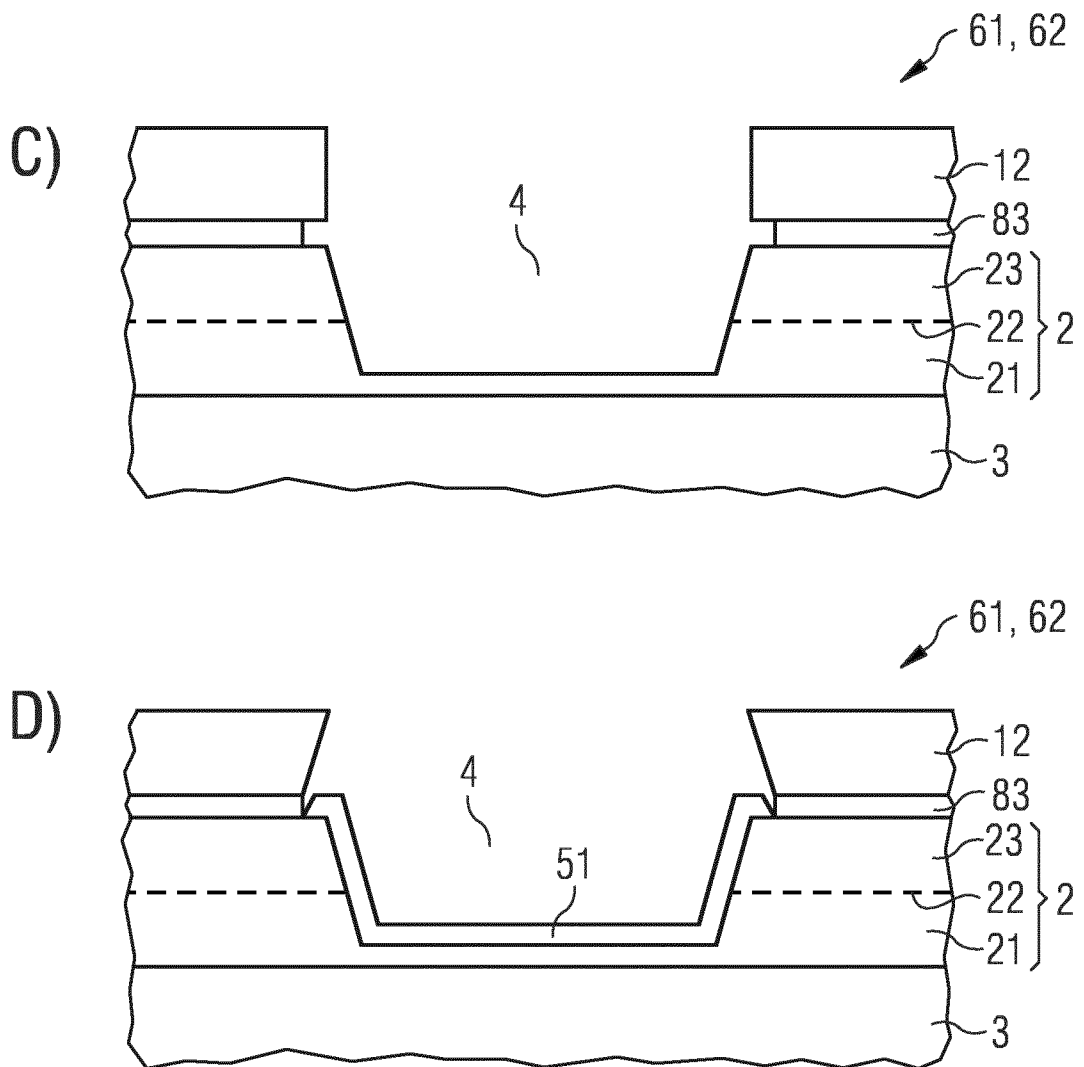
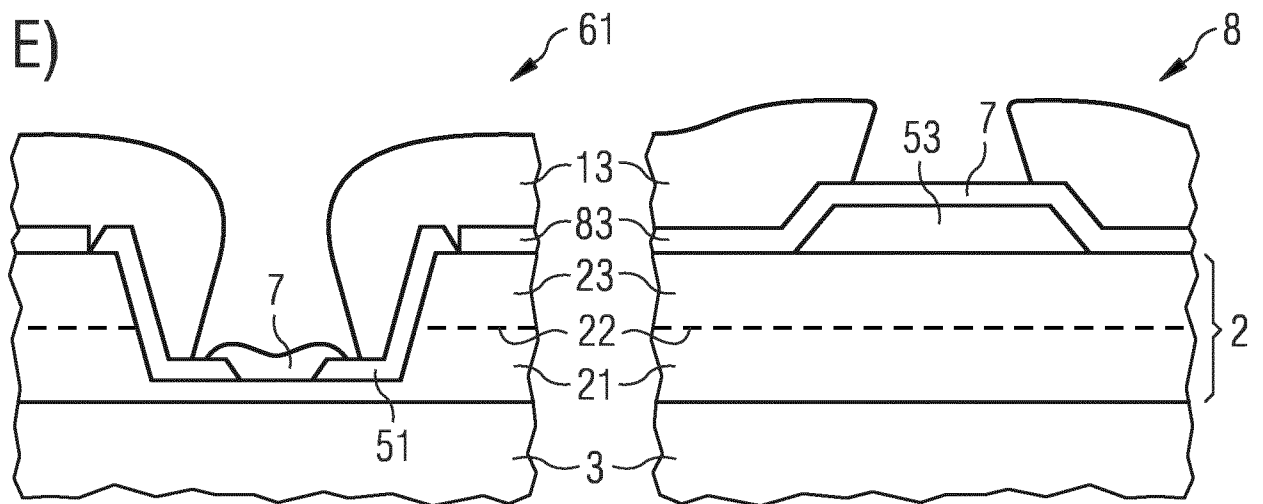
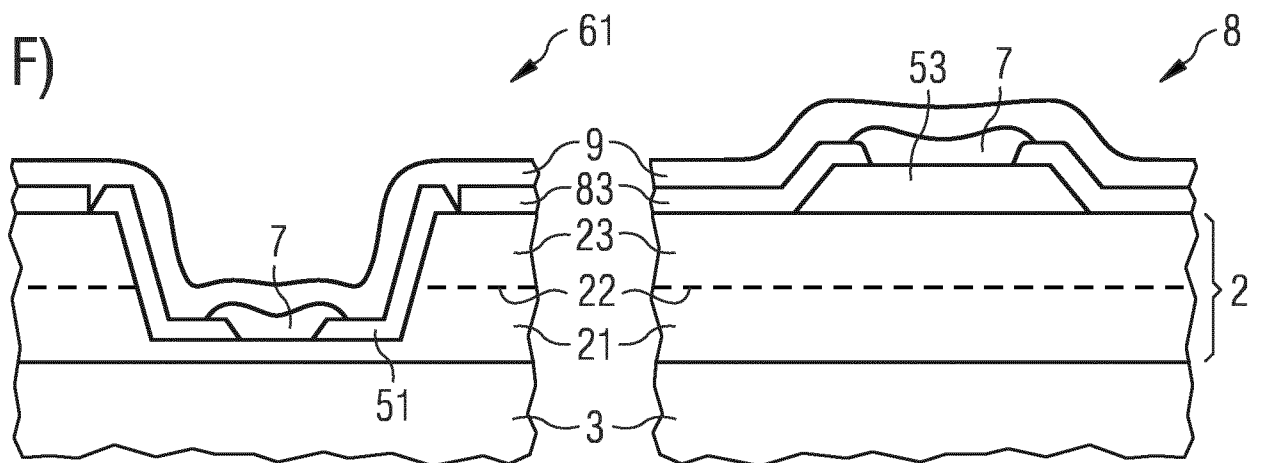


FIG 8

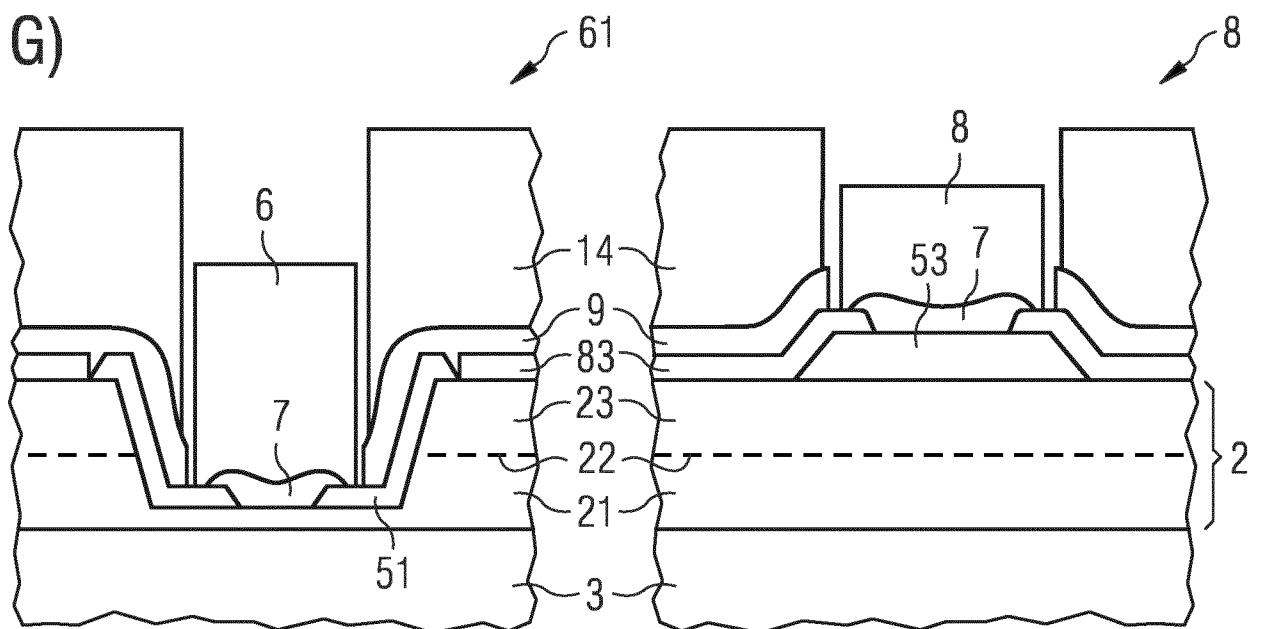
E)



F)



G)



INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2017/083317

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L33/38 H01L33/40
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2016/180779 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 17 November 2016 (2016-11-17) page 21, lines 10-11; claims 1-16; figures 1-15	1-14
A	----- US 2012/241720 A1 (TOTANI SHINGO [JP] ET AL) 27 September 2012 (2012-09-27) claims 1-18; figures 1-13	1-14
A	----- DE 10 2014 114674 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 14 April 2016 (2016-04-14) claims 1-14; figures 1-3 -----	1-14



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

22 March 2018

Date of mailing of the international search report

03/04/2018

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040,
Fax: (+31-70) 340-3016

Authorized officer

But, Gabriela-Ileana

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2017/083317

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2016180779 A1	17-11-2016	DE 102015107577 A1 WO 2016180779 A1	17-11-2016 17-11-2016
US 2012241720 A1	27-09-2012	CN 102694112 A JP 5541261 B2 JP 2012212849 A US 2012241720 A1 US 2015083997 A1	26-09-2012 09-07-2014 01-11-2012 27-09-2012 26-03-2015
DE 102014114674 A1	14-04-2016	NONE	

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 INV. H01L33/38 H01L33/40
 ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 2016/180779 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 17. November 2016 (2016-11-17) Seite 21, Zeilen 10-11; Ansprüche 1-16; Abbildungen 1-15 -----	1-14
A	US 2012/241720 A1 (TOTANI SHINGO [JP] ET AL) 27. September 2012 (2012-09-27) Ansprüche 1-18; Abbildungen 1-13 -----	1-14
A	DE 10 2014 114674 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 14. April 2016 (2016-04-14) Ansprüche 1-14; Abbildungen 1-3 -----	1-14



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" frühere Anmeldung oder Patent, die bzw. das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

22. März 2018

Absendedatum des internationalen Recherchenberichts

03/04/2018

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

But, Gabriela-Ileana

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2017/083317

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 2016180779 A1	17-11-2016	DE 102015107577 A1	17-11-2016
		WO 2016180779 A1	17-11-2016

US 2012241720 A1	27-09-2012	CN 102694112 A	26-09-2012
		JP 5541261 B2	09-07-2014
		JP 2012212849 A	01-11-2012
		US 2012241720 A1	27-09-2012
		US 2015083997 A1	26-03-2015

DE 102014114674 A1	14-04-2016	KEINE	
