

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges Eigentum
Internationales Büro



(43) Internationales Veröffentlichungsdatum
31. Januar 2008 (31.01.2008)

PCT

(10) Internationale Veröffentlichungsnummer
WO 2008/012332 A1

(51) Internationale Patentklassifikation:

H01L 21/8234 (2006.01) *H01L 21/84* (2006.01)
H01L 21/8238 (2006.01) *H01L 27/12* (2006.01)
H01L 27/088 (2006.01) *H01L 21/822* (2006.01)
H01L 27/092 (2006.01) *H01L 27/06* (2006.01)

(21) Internationales Aktenzeichen: PCT/EP2007/057675

(22) Internationales Anmeldedatum:
25. Juli 2007 (25.07.2007)

(25) Einreichungssprache: Deutsch

(26) Veröffentlichungssprache: Deutsch

(30) Angaben zur Priorität:
102006035073.1 28. Juli 2006 (28.07.2006) DE

(71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): AUSTRIAMICROSYSTEMS AG [AT/AT]; Schloss Premstätten, A-8141 Unterpremstätten (AT).

(72) Erfinder; und

(75) Erfinder/Anmelder (nur für US): ENICHLMAIR, Hubert [AT/AT]; Petersbachstrasse 28, A-8042 Graz (AT).

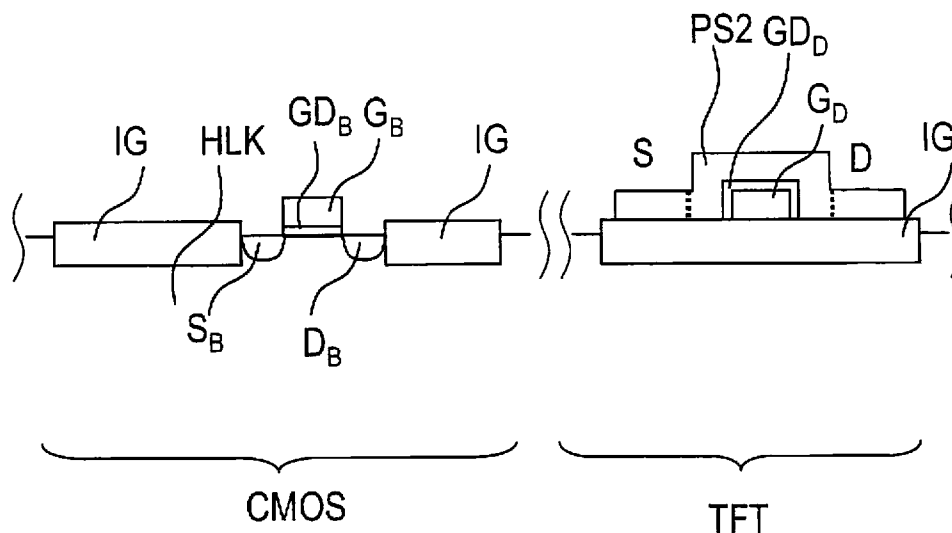
(74) Anwalt: EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH; Ridlerstrasse 55, 80339 München (DE).

(81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID,

[Fortsetzung auf der nächsten Seite]

(54) Title: COMPONENT COMPRISING A THIN-FILM-TRANSISTOR AND CMOS-TRANSISTORS AND METHODS FOR PRODUCTION

(54) Bezeichnung: BAUELEMENT MIT EINEM DÜNNFILMTRANSISTOR UND CMOS-TRANSISTOREN SOWIE VERFAHREN ZUR HERSTELLUNG



(57) Abstract: The invention relates to an electric component, comprising a crystallic semiconductor body (HLK) having several CMOS-transistors (Sb, Db, Gb, GD) in low- or highvoltage technology. The individual CMOS-transistors are separated from each other by insulation areas (IG, IG'). A thin film transistor is embedded on an insulation area (IG'), the gate (Gd) thereof is, together with the gate (Gb) of the CMOS-transistors, made of the same polysilicon layer (PS2). The gate oxide (GDd) of the thin film transistor can be produced, just like a second polysilicon layer (PS2) for source (S), drain (D) and body of the thin-film transistor, together with structural elements already present in the CMOS-process.

(57) Zusammenfassung: Es wird ein elektrisches Bauelement angegeben, in dessen kristallinem Halbleiterkörper (HLK) mehrere CMOS-Transistoren (Sb, Db, Gb, GD) in Hoch- oder Niedervolttechnik ausgebildet sind. Die einzelnen CMOS-Transistoren sind durch Isolationsgebiete (IG,

[Fortsetzung auf der nächsten Seite]



WO 2008/012332 A1



IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

Veröffentlicht:

— mit internationalem Recherchenbericht

(84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AT, BE, BG, CH, CY, CZ, DE, DK,

Zur Erklärung der Zweibuchstaben-Codes und der anderen Abkürzungen wird auf die Erklärungen ("Guidance Notes on Codes and Abbreviations") am Anfang jeder regulären Ausgabe der PCT-Gazette verwiesen.

IG') voneinander getrennt. Auf einem Isolationsgebiet (IG') ist ein Dünnschichttransistor (S, D, Gd, GDd) ausgebildet, dessen Gate (Gd) zusammen mit dem Gate (Gb) der CMOS-Transistoren aus der gleichen Polysiliziumschicht realisiert ist. Das Gate-Oxid (GDd) des Dünnschichttransistors kann ebenso wie eine zweite Polysiliziumschicht (PS2) für Source (S), Drain (D) und Body des Dünnschichttransistors zusammen mit bereits im CMOS-Prozess vorhandenen Strukturelementen erzeugt werden.

Beschreibung

Bauelement mit einem Dünnfilmtransistor und CMOS-Transistoren sowie Verfahren zur Herstellung

5

Die Erfindung betrifft ein Bauelement, in dem Dünnfilmtransistoren und CMOS-Transistoren integriert sind. Bauelemente dieser Art werden beispielsweise als Halbleiterspeicher eingesetzt, wobei der Dünnfilmtransistor als Schalttransistor für eine CMOS-Transistoren umfassende Speicherzelle dient.

10

Ein solcher Speicher ist beispielsweise aus der US52988782A bekannt.

15 Aufgabe der vorliegenden Erfindung ist es, ein Halbleiterbauelement mit CMOS-Transistoren anzugeben, in das ein Dünnfilmtransistor integriert ist.

Diese Aufgabe wird erfindungsgemäß durch ein Bauelement mit den Merkmalen von Anspruch 1 gelöst. Vorteilhafte Ausgestaltungen der Erfindung sowie insbesondere ein integriertes Herstellungsverfahren des Bauelements sind weiteren Ansprüchen zu entnehmen.

25 Es wird ein elektrisches Bauelement angegeben, das einen kristallinen Halbleiterkörper mit darin ausgebildeten CMOS-Transistoren umfasst. Die CMOS-Transistoren sind zur elektrischen Trennung von Isolationsgebieten umgeben, die jeweils als Feldoxidgebiete oder als STI-Gebiete (Shallow Trench Isolation) ausgebildet sind. An zumindest einer Stelle ist eines der Isolationsgebiete flächenmäßig so weit vergrößert, dass dort Platz für einen direkt über dem Isolationsgebiet angeordneten Dünnfilmtransistor geschaffen

30

ist. Das Gate der CMOS-Transistoren und das Gate des Dünnschichttransistors sind beide aus einer gemeinsamen Polysiliziumschicht strukturiert und weisen daher gleiche Schichtdicken, gleiche Kristallstrukturen und gleiche
5 Dotierung auf.

Der Body des Dünnschichttransistors sowie dessen Source und Drain sind dann, vom Gate durch eine Gate-Dielektrikumschicht getrennt, in einer weiteren Polysiliziumschicht über dem Gate
10 des Dünnschichttransistors ausgebildet.

Im angegebenen Bauelement ist der Dünnschichttransistor voll gegenüber den CMOS-Transistoren isoliert. Es können keine Leckströme zum Halbleiterkörper, welcher das Substrat der CMOS-Transistoren ausbilden, auftreten. Der Dünnschicht-
15 transistor ist daher ebenso wie die CMOS-Transistoren bei unterschiedlichen Betriebs- und Schaltspannungen betreibbar. Die Isolation ist bis zur Durchbruchspannung des Isolationsgebiets gewährleistet. Ein entsprechend dick gewähltes
20 Isolationsgebiet kann daher zur Einstellung einer ausreichend hohen bzw. gewünschten Durchbruchspannung zwischen dem Dünnschichttransistor und dem Halbleiterkörper dienen.

Für den Dünnschichttransistor können Durchbruchspannungen von
25 ca. 20 V erreicht werden. Es können Thresholdspannungen ab ca. 2V realisiert werden. Der Dünnschichttransistor kann mit den CMOS-Transistoren verschaltet sein und diverse unterschiedlichste Aufgaben für das Bauelement erfüllen. Der Dünnschichttransistor kann als Hochgeschwindigkeits-Schalt-
30 transistor, als variabler Widerstand, als Diode oder selbst wieder als symmetrischer Transistor eingesetzt werden. Der Dünnschichttransistor zeigt eine niedrige parasitäre Kapazität und weist eine nur geringe Lebensdauer der Minoritäts-

Ladungsträger auf, was einen schnellen Schaltvorgang und damit einen schnellen Schalttransistor ermöglicht.

Zur Herstellung des erfindungsgemäßen Bauelements wird zur
5 zusätzlichen Integration des Dünnschichttransistors in den
Herstellungsprozess des im Halbleiterkörper ausgebildeten
CMOS-Transistor nur ein zusätzlicher Verfahrensschritt
(Maskenschritt) benötigt. Das Verfahren startet mit der
Erzeugung der Isolationsgebiete durch lokale thermische
10 Oxidation oder durch Erzeugen eines Grabens und Befüllen
desselben mit abgeschiedenem Dielektrikum, insbesondere mit
Oxid. Dabei werden die aktiven Gebiet von Isolationsgebieten
frei gehalten und die einzelnen CMOS-Transistoren durch die
Isolationsgebiete elektrisch gegeneinander isolieren.

15 Zumindest in einem Bereich der Isolationsgebiete wird eine
ausreichend hohe Fläche über dem Isolationsgebiet vorge-
halten, die als Unterlage für den zumindest einen Dünnschicht-
transistor flächenmäßig ausreichend groß ausgebildet ist.

20 Im selben Schritt, in dem die erste Polysiliziumschicht zur
Herstellung der Gate-Elektrode über einem auf dem aktiven
Gebiet des CMOS-Transistors aufgetragenen Gate-Dielektrikum
abgeschieden und strukturiert wird, wird auch die Gate-Elek-
trode des Dünnschichttransistors aus der ersten Polysilizium-
25 schicht über dem flächig ausgebildeten Isolationsgebiet
strukturiert. Die erste Polysiliziumschicht wird im Folgenden
auch als Poly-1-Ebene bezeichnet. In einem der nächsten
Schritte des Verfahrens wird eine zweite Polysiliziumschicht,
die auch für herkömmliche CMOS-Transistoren als Poly-2-Ebene
30 für Strukturelemente der CMOS-Transistoren dient, aufgebracht
und strukturiert. Über der Gate-Elektrode des Dünnschichttran-
sistors wird dabei aus der Poly-2-Ebene Body, Source und
Drain des Dünnschichttransistors strukturiert.

Zwischen Poly-1- und Poly-2-Ebene wird im Bereich des Dünnschichttransistors ein weiteres Gate-Dielektrikum erzeugt, insbesondere ein Oxid aufgewachsen oder abgeschieden.

5

Das Verfahren zur Herstellung des Bauelements kann für den CMOS-Teil des Bauelements die Herstellung einer Kapazität umfassen, die aus der Poly-1-Ebene als erste Kondensatorelektrode, einem Dielektrikum und der Poly-2-Ebene als zweite
10 Kondensatorelektrode besteht. In diesem Fall kann das Dielektrikum für diese „CMOS-Kapazität“ gleichzeitig als Gate-Dielektrikum für den Dünnschichttransistor dienen, sodass hier kein zusätzlicher Verfahrensschritt erforderlich ist.

15 Die erste und zweite Polysiliziumschicht können undotiert abgeschieden werden, die erste auch dotiert. In der zweiten Polysiliziumschicht sind zwei unterschiedliche Dotierungen erforderlich: Einmal eine relativ hohe Dotierung für leitfähig eingestellte Strukturelemente des CMOS Transistors und
20 eine demgegenüber schwächere für den Body des Dünnschichttransistors.

Daher wird die zweiten Polysiliziumschicht zunächst mit einer für den Body des Dünnschichttransistors geeigneten Dotierung,
25 vorzugsweise einer schwachen p-Dotierung mit einer Dotierungsstärke von 10^{16} bis 10^{17} cm^{-3} versehen, indem eine entsprechende Dosis Dotierstoff implantiert wird.

Anschließend wird eine Absorberschicht, vorzugsweise eine
30 Resist-Schicht aufgebracht und so strukturiert, dass sie den Bereich des Bodys des Dünnschichttransistors abdeckt, welcher direkt über der entsprechenden Gate-Elektrode angeordnet ist. Bei der anschließenden Dotierung der übrigen Bereiche der

zweiten Polysiliziumschicht verhindert die Absorberschicht die Dotierung des Bodys.

Herstellung und Strukturierung der Absorberschicht stellen
5 einen zusätzlichen Maskenschritt dar, der das erfindungsgemäße Verfahren gegenüber einem herkömmlichen CMOS-Verfahren erweitert. Die weiteren Verfahrensschritte zur Vervollständigung des Bauelements werden durch entsprechende Abwandlung der herkömmlichen CMOS-Technik angepasst und erfordern für
10 die Integration des Dünnschichttransistors in die Herstellung des CMOS-Bauelements keinen weiteren zusätzlichen Verfahrensschritt.

Im nächsten Schritt erfolgt die Dotierung von Source und
15 Drain für beide Bauelementtypen, indem eine entsprechend hohe Dotierung in die jeweiligen Bereiche des Halbleiterkörpers (für die CMOS-Transistoren) bzw. in die entsprechenden Bereiche der zweiten Polysiliziumschicht (für den Dünnschichttransistor) eingebracht wird. Dotierungstyp, Dotierungs-
20 verfahren und Dotierungsstärke der jeweiligen Source und Drain unterscheiden sich für beide Transistortypen nicht, sodass das Verfahren in einem Schritt durch eine Dotierungs- oder Implantationsmaske mit entsprechend ausgebildeten Maskenöffnungen durchgeführt werden kann.

25 Wird ein erfindungsgemäßes Bauelement mit einem Dünnschichttransistor erzeugt, der ein n-dotiertes Gate, eine n^+ -Dotierung für Source und Drain und eine p-Dotierung für den Body aufweist, so handelt es sich hierbei um einen Transistor vom Anreicherungstyp. Ein solcher ist im Grundzustand, wenn
30 an das Gate des Dünnschichttransistors kein BIAS angelegt wird, im Off-Zustand. Durch Anlegen eines positiven Potentials an die Gate-Elektrode relativ zum Body kann ein Inversionskanal

erzeugt werden, indem dort die Majoritätsladungsträger verdrängt werden, so dass die Minoritätsladungsträger, hier die Elektronen, die Leitfähigkeit des Kanals bestimmen.

- 5 Die Höhe des durch den Inversionskanal fließenden Stroms ist proportional zur anliegenden Gate-Spannung, sodass der erfindungsgemäße Dünnfilmtransistor als variabler Widerstand verwendet werden kann. Es zeigt sich jedoch, dass ein solcher Dünnfilmtransistor einen relativ hohen Leckstrom aufweist.

10

Es wurde nun gefunden, dass der Leckstrom im Wesentlichen von der Feldstärke im Bereich zwischen dem Inversionskanal und der Drain abhängig ist, da diese dort sehr hoch ist. In einer Ausgestaltung der Erfindung wird daher jeweils zwischen

15

Source/Drain und Body des Dünnfilmtransistors ein Übergangsgebiet mit einem Dotierungsgradient geschaffen. Dies gelingt in einfacher Weise, indem bei der Herstellung der Source/Drain-Dotierung die entsprechenden Maskenöffnungen so

20

positioniert sind, dass zwischen Source bzw. Drain und Body ein Vorhaltestreifen verbleibt, der in diesem Dotierungsschritt undotiert bleibt. Dieser anfänglich undotierte Streifen innerhalb der zweiten Polysiliziumschicht kann zum Übergangsbereich gemacht werden, indem man in einem späteren thermischen Schritt die hohe Dotierung der Source/Drain-

25

Bereiche in diesem anfänglich undotierten Bereich eindiffundieren lässt. Dieser thermische Schritt kann Bestandteil des CMOS-Prozesses sein, sodass keine separate Temperaturbehandlung erforderlich ist.

30

Ein Übergangsbereich mit Dotierungsgradient sorgt für eine gleichmäßige Feldverteilung, die den Leckstrom des Dünnfilmtransistors wesentlich reduziert. Ein Übergangsbereich in der Größenordnung von ca. 1 μm hat sich als vorteilhaft erwiesen.

Das Temperaturbudget, welches mit den restlichen Verfahrensschritten des CMOS-Prozesses auf das Bauelement einwirkt, führt zu einer Ausdiffusion im Bereich der Größenordnung

dieses Vorhaltestreifens von ca. 1 μm . In Abhängigkeit von

5 der Struktur der Polysiliziumschicht und insbesondere der gewählten Kanalbreite kann die Breite des Vorhaltestreifens entsprechend angepasst werden. Eine geeignete Gatelänge liegt z.B. bei 10 μm und weniger.

10 Die zweite Polysiliziumschicht kann in der CMOS-Technik zur Herstellung von Bauelementstrukturen dienen, welche ausgewählt sind aus Widerstand, Kondensatorelektrode, elektrischer Zuleitung und Feldplatte. Beim Bauelement wird die zweite Polysiliziumschicht entsprechend für die Herstellung
15 zumindest einer dieser Strukturen eingesetzt.

Ein erfindungsgemäßes Bauelement mit integriertem Dünnschichttransistor kann auch mit p^+ -dotierter Source und Drain erzeugt werden. Auch dabei wird ein Dünnschichttransistor vom

20 Anreicherungstyp realisiert, der ohne Anlegen der Spannung am Gate nicht leitend ist. Obwohl die zweite Polysiliziumschicht im Bereich des Dünnschichttransistors durchgehend p^- bzw. p^+ -dotiert ist, ergibt sich aufgrund der Arbeitsfunktion und dem n^+ -dotierten Gate eine Verarmungszone, die erst durch
25 anliegende negative Gate-Spannung zu einer Anreicherung der Majoritätsladungsträger (Löcher) im Bereich des Kanals führt und damit eine Leitung erzeugt.

Im Folgenden wird die Erfindung anhand von Ausführungsbeispielen und dazugehörigen Figuren näher erläutert. Die
30 Figuren dienen allein der Veranschaulichung der Erfindung und sind daher nur schematisch und nicht maßstabsgetreu ausgeführt.

Figur 1 zeigt ein erfindungsgemäßes Bauelement im schematischen Querschnitt,

5 Figur 2 zeigt den Dünnschichttransistor in der Draufsicht,

Figur 3 zeigt verschiedene Verfahrensstufen bei der Herstellung des Bauelements, und

10 Figur 4 zeigt eine Verschaltung des Dünnschichttransistors als Sperrdiode.

Figur 1 zeigt eine mögliche Ausgestaltung eines erfindungsgemäßen Bauelements im schematischen Querschnitt. In einem
15 gemeinsamen Halbleiterkörper HLK, beispielsweise einem Siliziumwafer oder einem Wafer mit einer epitaxialen Schicht, sind CMOS-Transistoren realisiert, von denen in der Figur beispielhaft ein Niedervolt-MOS-Transistor dargestellt ist. Die aktiven Gebiete der CMOS-Transistoren sind durch
20 isolierende Gebiete IG voneinander getrennt. Die isolierenden Gebiete können als Feldoxide oder als STI (Shallow Trench Isolation) ausgeführt sein. In Nachbarschaft zu einem der CMOS-Transistoren oder an einer anderen davon entfernten Stelle des Halbleiterkörpers ist ein weiteres Isoliergebiet
25 IG' realisiert, welches eine ausreichende Grundfläche aufweist, um darauf einen Dünnschichttransistor aufzunehmen. Der Bereich des Dünnschichttransistors ist in der Figur mit TFT bezeichnet.

30 Dünnschichttransistor TFT und CMOS-Transistor weisen jeweils ein Gate G_D , G_B auf, das im selben Verfahrensschritt aus der gleichen (ersten) Polysiliziumschicht strukturiert ist. Die Polysiliziumschicht wird in einer Dicke von beispielsweise

0,3 μm dotiert oder undotiert abgeschieden, anschließend entsprechend dotiert, beispielsweise durch Implantation phosphorhaltiger Ionen oder Stoffe. Im Bereich des CMOS-Transistors ist die erste Polysiliziumschicht für das Gate G_B auf
5 eine dünne Schicht eines Gate-Dielektrikums GD_B , beispielsweise auf einer abgeschiedenen oder thermisch erzeugten Oxidschicht aufgebracht, während das Gate G_D des Dünnschichttransistors TFT direkt auf dem isolierenden Gebiet IG' aufsetzen kann.

10

Der Dünnschichttransistor TFT besteht weiterhin aus einer dünnen Schicht eines Gate-Dielektrikums GD_D und darüber einer weiteren (zweiten) Polysiliziumschicht $PS2$, die das Gate G_D überlappt. Beiderseits des Gates sind durch entsprechende
15 hohe Dotierung vom p^+ - oder n^+ -Typ Source S und Drain D realisiert. Im übrigen Bereich, also direkt oberhalb des Gates, weist die zweite Polysiliziumschicht $PS2$ eine schwächere Body-Dotierung auf, im gewählten Beispiel eine p -Dotierung.

20

Der CMOS-Transistor wird durch hoch dotierte Gebiete für Source S_B und Drain D_B beiderseits des Gates G_B vervollständigt.

25

In der Figur 3 sind anhand verschiedener charakteristischer Verfahrensstufen die wichtigsten Schritte bei der Herstellung des erfindungsgemäßen Bauelements dargestellt und erläutert. Im Bereich des CMOS-Transistors sind aktive Gebiete AG_B definiert und frei von isolierenden Gebieten IG , die als Feldoxid oder STI-Gebiet realisiert sind. Im Bereich des
30 Dünnschichttransistor TFT ist ein großflächigeres isolierendes Gebiet IG' realisiert. Im nächsten Schritt wird ein Gate-Dielektrikum GD_B für den im Bulk-Material des Halbleiterkörpers HLK realisierten CMOS-Transistor ganzflächig

abgeschieden. Anschließend wird die erste Polysiliziumschicht PS1 in einer für die Gate-Elektroden geeigneten Dicke von beispielsweise 0,3 μm großflächig und dotiert oder undotiert erzeugt. Anschließend wird nachträglich dotiert, beispielsweise eine p^+ -Dotierung durch Implantation phosphorhaltiger Ionen oder Stoffe erzeugt. Möglich ist es jedoch auch, die Gate-Elektroden für CMOS- und Dünnschichttransistor unterschiedlich zu dotieren. Im nächsten Schritt werden die beiden Gate-Elektroden strukturiert. Figur 3B zeigt die Anordnung auf dieser Verfahrensstufe.

Im nächsten Schritt wird um die Gate-Elektrode G_B des CMOS-Transistors eine Spacer-Struktur SP in herkömmlicher bekannter Weise realisiert. Für den Dünnschichttransistor kann ebenfalls die gleiche Spacer-Technik eingesetzt werden, ist dort jedoch nicht erforderlich. Im nächsten Schritt wird ein Gate-Dielektrikum GD_D für das Gate auf der TFT-Seite erzeugt. Dieses Dielektrikum, insbesondere ein Oxid, kann wiederum abgeschieden oder thermisch erzeugt werden. Im Fall einer Abscheidung des Gate-Dielektrikums kann diese ganzflächig erfolgen, um dann im übernächsten Schritt als Ätzstopp für die Strukturierung der zweiten Polysiliziumschicht zu dienen.

Die zweite Polysiliziumschicht PS2 wird ganzflächig in einer Dicke von beispielsweise 0,1 bis 0,3 μm abgeschieden. Die zunächst undotierte Schicht wird anschließend in einem ersten Schritt mit einer Dotierung versehen, die als Body-Dotierung für den Dünnschichttransistor TFT geeignet ist. Dazu wird insbesondere eine p-Dotierung mittels Implantation eingebracht.

30

Im nächsten oder einem der nächsten Schritte werden die Source- und Drain-Gebiete für beide Transistortypen gemeinsam definiert, indem eine Implantationsmaske erzeugt wird, bei-

spielsweise durch Strukturieren einer Resist-Schicht, indem eine hohe Dotierung für Source- und Drain-Gebiete mittels Implantation eingebracht wird, wobei auch hier wiederum n^+ - oder p^+ -Dotierung erzeugt werden kann. Im Bereich des CMOS-
5 Transistors ist die Implantation bezüglich der Gate-Elektrode GD_B selbstjustierend. Im Bereich des Dünnschichttransistors TFT werden Maskenöffnungen geschaffen, deren jeweilige zur Gate-Elektrode G_D weisende Kante nicht direkt an die Gate-Elektrode angrenzt, sondern um einen Vorhaltestreifen TA vom Gate
10 entfernt ist.

Figur 2 zeigt den fertigen Dünnschichttransistor TFT in der Draufsicht. Deutlich ist der von der Dotierung ausgesparte Bereich TA, der dem Vorhaltestreifen der Implantationsmaske
15 entspricht, zu erkennen. Damit wird erreicht, dass Source und Drain jeweils um einen Offset der Länge L_{OFF} von der Kante des Gates G entfernt sind.

Nach der Implantation weist die zweite Polysiliziumschicht im
20 Bereich des Dünnschichttransistors außerhalb von Source S und Drain D nur die Body-Dotierung auf, also beispielsweise die genannte p -Dotierung. Gate G und die zweite Polysiliziumschicht PS2 sind im Bereich des Dünnschichttransistors TFT jeweils streifenförmig so strukturiert, dass sie einander
25 überkreuzen. An jeweils einem äußeren Ende von Source S, Drain D und Gate G sind diese aktiven Gebiete des Transistors über Kontakte elektrisch angeschlossen, insbesondere über Source-Kontakte SK, Drain-Kontakte DK und Gate-Kontakte GK. Diese können in einem späteren Schritt durch Herausstrukturieren von Kontaktlöchern und Befüllen dieser Kontaktlöcher
30 mittels leitfähigen Materials und insbesondere mit Wolfram angeschlossen werden.

Figur 3D zeigt die Anordnung im schematischen Querschnitt auf dieser Verfahrensstufe. Figur 3D zeigt ein weiteres Detail des erfindungsgemäßen Verfahrens, bei dem die zweite Polysiliziumschicht PS2 nicht nur zur Herstellung von Source, Drain und Body des Dünnschichttransistors verwendet wird, sondern auch zur Herstellung von Bauelementstrukturen im Bereich des CMOS-Transistors, beispielsweise zum Herstellen von leitfähigen Verbindungen, die beispielsweise direkt über den isolierenden Gebieten IG verlaufen. Im Bereich des CMOS-Transistors können zusätzlich unter der zweiten Polysiliziumschicht noch weitere Strukturen in dazwischen liegenden Schritten erzeugt werden.

Die volle Funktion erhalten beide Transistortypen in üblicherweise mehreren thermischen Schritten, die auf verschiedenen späteren Verfahrensstufen durchgeführt werden können. Dabei werden die Dotierungen für Source und Drain des CMOS-Transistors aktiviert. Im Bereich des Dünnschichttransistors führt das eingebrachte Temperaturbudget zu einer Diffusion der Dotierstoffe aus Source und Drain in Richtung Body, wobei im Bereich des Vorhaltestreifens ein Gebiet TA (siehe Figur 2) erzeugt wird, in dem sich ein Dotiergradient ausbildet, der einen weichen Übergang zwischen der hohen Dotierung von Source und Drain hin zur relativen schwachen Body-Dotierung erzeugt.

Eine vorteilhafte Body-Dotierung liegt im Bereich von 10^{16} bis 10^{17} cm^{-3} . Der Dotierstoffgradient im Übergangsbereich TA bewirkt eine gleichmäßige Feldverteilung, die hohe Feldspitzen zwischen Gate und Source bzw. Drain vermeidet. Damit wird auch erreicht, dass der erhaltene Dünnschichttransistor einen erniedrigten Leckstrom aufweist.

Über die Breite des Übergangsbereichs bzw. über die Offsetlänge, mit der die Öffnungen in der Maske bei der Dotierung von Source und Drain des Dünnschichttransistors gegen das Gate versetzt sind, kann der Leckstrom auf einen gewünschten Wert
5 eingestellt und insbesondere durch Vergrößerung der Offsetlänge L_{OFF} erniedrigt werden.

Figur 4 zeigt eine mögliche Verschaltung des Dünnschichttransistors als Sperrdiode. Dazu werden Source S und Gate G auf
10 gleiches Potenzial gelegt oder elektrisch leitend miteinander verbunden. Für n^+ -dotierte Source und Drain blockiert dieser Transistor den Stromfluss, wenn am Anschluss T2 ein positives Potenzial, am Anschluss T1 dagegen 0 V oder ein negatives Potenzial anliegt. Bei Polaritätsumkehr, also bei positivem
15 Potenzial am Anschluss T1, kann ein Strom von T1 nach T2 fließen. In dieser Verschaltung kann der Dünnschichttransistor also eine Diodenfunktion erfüllen, die den Strom nur in eine Richtung passieren lässt.

20 Bei entgegengesetzter Dotierung, wenn also Source S und Drain D p^+ -dotiert sind, wird bei ansonsten gleicher Verschaltung einer Sperrwirkung bei umgekehrter Polarität erhalten.

Zur Verbesserung der Sperrwirkung ist es möglich, mehrere
25 Dünnschichttransistoren entsprechend der in Figur 4 gezeigten Verschaltung hintereinander zu verschalten, also den Anschluss T2 eines ersten Dünnschichttransistors mit dem Anschluss T1 eines zweiten Dünnschichttransistors zu verbinden.

30 In allen Fällen erhält man mit der in Figur 4 dargestellten Verschaltung einen floatenden Body, dessen Potenzial wesentlich durch den in Vorwärtsrichtung vorgespannten Halbleiterübergang bestimmt ist. In Vorwärtsrichtung ist die Gate-

Elektrode auf demselben Potenzial wie die Drain, wobei sich ein Inversionskanal ausbildet. Im Sperrfall sind Gate, Source und Body auf nahezu dem gleichen Potenzial und erzeugen dadurch die Sperrwirkung.

5

Die Erfindung ist nicht auf die in den Figuren dargestellten Ausführungsbeispiele beschränkt. Insbesondere kann ein erfindungsgemäßes Bauelement alternativ oder zusätzlich zu dem dargestellten Niedervolttransistor auch einen Hochvolt-CMOS-
10 Transistor umfassen, in dessen Herstellungsprozess sich die Herstellung des Dünnschichttransistors genauso gut integrieren lässt. Das erfindungsgemäße Verfahren schließt nicht aus, dass vor, zwischen und nach den genannten Verfahrensschritten weitere Verfahrensschritte durchgeführt werden, um hier im
15 konkreten Fall das Verfahren an die Prozessschritte für die Hochvolt-CMOS-Technik anzupassen.

So kann ein Hochvolt-CMOS-Transistor insbesondere ein drainseitiges Driftgebiet umfassen, das sich zwischen Gate und
20 Drain erstreckt. Über dem Driftgebiet kann sich ein weiteres Isolationsgebiet erstrecken, wobei sich die Gate-Elektrode des CMOS-Transistors dann teilweise auf diesem zusätzlichen Isolationsgebiet befindet. Auch die Struktur des Dünnschichttransistors ist in Figur 1 nur vom Prinzip her dargestellt
25 und kann in Details davon abweichen. Ebenso wenig ist die Strukturierung der zweiten Polysiliziumschicht auf der Seite des Dünnschichttransistors auf die in Figur 2 dargestellte Geometrie beschränkt.

30 In allen Fällen gelingt es mit der Erfindung jedoch, CMOS-Transistor und Dünnschichttransistor in einem gemeinsamen Prozess zu fertigen, wobei gegenüber dem bekannten CMOS-Prozess für die Integration des Dünnschichttransistors nur ein

zusätzlicher Schritt erforderlich ist. Dies erleichtert die Herstellung des Bauelements und führt zu einem voll isolierten Dünnschichttransistor, der fast vollständig vom Substrat und den darin realisierten aktiven Bauelementstrukturen entkoppelt ist. Das Bauelement kann in standardisierter CMOS-Technologie hergestellt werden, ohne dass deren Parameter, mit Ausnahme der Maskenstrukturen, angepasst werden müssen. Der Dünnschichttransistor kann als Hochgeschwindigkeits-Schalttransistor eingesetzt werden, wobei Source/Drain-Breakdown-Spannungen von ungefähr 20 V erreichbar sind. In Verbindung mit dem CMOS-Transistor kann der Dünnschichttransistor als schneller Schalttransistor für ein die CMOS-Transistoren umfassendes Halbleiterspeicherbauelement dienen.

Patentansprüche

1. Elektrisches Bauelement

- mit einem Substrat, das einen kristallinen Halbleiterkörper (HLK) umfasst
- mit mehreren in dem Halbleiterkörper ausgebildeten CMOS Transistoren, die
- dazwischen ausgebildete Isolationsgebieten (IG) zur gegenseitigen elektrischen Trennung aufweisen und Feldoxidgebiete oder STI Gebiete umfassen,
- bei dem eines der Isolationsgebiete flächenmäßig gegenüber den anderen vergrößert ist und darauf ein Dünnschichttransistor angeordnet ist,
- bei dem das Gate (G_D) des Dünnschichttransistors und das Gate (G_B) des CMOS Transistors aus der gleichen Polysiliziumschicht (PS1) strukturiert sind und daher die gleiche Schichtdicke und Kristallstruktur aufweisen.

2. Verfahren zur Herstellung eines Bauelements mit CMOS Transistoren und zumindest einem Dünnschichttransistor

- bei dem in einem Halbleiterkörper (HLK) die aktiven Gebiete für die CMOS Transistoren durch Isolationsgebiete (IG) gegeneinander elektrisch isoliert werden, indem Feldoxidgebiete oder STI Gebiete erzeugt werden, wobei zumindest ein flächiges Isolationsgebiet als Unterlage für den zumindest einen Dünnschichttransistor flächenmäßig größer ausgebildet wird als zur reinen Isolation zwischen den CMOS Transistoren erforderlich,
- bei dem im selben und gemeinsamen Verfahren sowohl das Gate (G_B) der CMOS Transistoren über einer Schicht eines Gatedielektrikums (GD_B) als auch

gleichzeitig das Gate (G_D) des Dünnschichttransistors auf dem flächigen Isolationsgebiet durch Abscheidung und Strukturierung einer ersten Polysiliziumschicht (PS1) für eine Poly-1 Ebene erzeugt werden,

- bei dem eine zweite Polysiliziumschicht (PS2) aufgebracht und zu Source (S), Body (B) und Drain (D) des Dünnschichttransistors strukturiert werden, wobei gleichzeitig Strukturelemente der Poly-2 Ebene der CMOS Transistoren mit erzeugt werden.

3. Verfahren nach Anspruch 2, bei dem die erste Polysiliziumschicht (PS1) nach der Abscheidung n^+ dotiert wird.

4. Verfahren nach Anspruch 2 oder 3, bei dem vor dem Aufbringen der zweiten Polysiliziumschicht (PS2) über dem Gate (G_D) des Dünnschichttransistors ein Gatedielektrikum (GD_D) erzeugt wird.

5. Verfahren nach einem der Ansprüche 2 bis 4, bei dem aus den Schichten für die erste Polysiliziumschicht (PS1), das Gatedielektrikum (GD_D) und die zweite Polysiliziumschicht (PS1) an anderer Stelle des Bauelements eine Kondensator erzeugt wird, der die beiden Polysiliziumschichten als Kondensatorelektroden und das Gatedielektrikum dazwischen als Kondensatordielektrikum nutzt.

6. Verfahren nach einem der Ansprüche 2 bis 5, bei dem die zweite Polysiliziumschicht (PS2) undotiert abgeschieden wird bei dem darin anschließend eine schwache p -Dotierung erzeugt wird.

7. Verfahren nach Anspruch 6,
bei dem die schwache p-Dotierung in der gesamten zweiten
Polysiliziumschicht (PS2) erzeugt wird,
5 bei dem die zweite Polysiliziumschicht schließlich zur
Herstellung leitender Strukturen in vorgesehenen Bereichen
der CMOS Transistoren hoch dotiert wird,
bei dem die genannte hohe Dotierung im Bereich des Body (B)
mit einer dort aufgebrachten Absorbermaske verhindert wird.

10

8. Verfahren nach einem der Ansprüche 6 oder 7,
bei dem die schwache p-Dotierung im Body in einer
Dotierungsstärke von 10^{16} bis 10^{17} cm^{-3} erzeugt wird.

15

9. Verfahren nach einem der Ansprüche 2 bis 8,
bei dem zur Herstellung von Source (S) und Drain (D) sowohl
entsprechende Bereiche des Halbleiterkörpers (HLK) für die
CMOS Transistoren als auch entsprechende Bereiche der zweiten
Polysiliziumschicht (PS2) für den Dünnschichttransistor in einem
gemeinsamen Schritt hochdotiert werden.

20

10. Verfahren nach Anspruch 9,
bei dem zur Dotierung von Source (S) und Drain (D) des
Dünnschichttransistors eine Dotierungsmaske mit Maskenöffnungen
25 für Source und Drain verwendet wird, wobei das Gate (G_D) und
beiderseits des Gates ein Vorhaltestreifen (TA) von der
Dotierung abgeschattet werden.

25

11. Verfahren nach Anspruch 10,
30 bei dem der Leckstrom des Dünnschichttransistors durch eine
geeignete Bemessung des Vorhaltestreifens (TA) eingestellt
wird.

30

12. Verfahren nach Anspruch 11,
bei dem in einem thermischen Schritt die hohe Source und
Drain Dotierung des Dünnschichttransistors in den durch den
Vorhaltestreifen (TA) der Dotierungsmaske undotierten Bereich
5 der zweiten Polysiliziumschicht (PS2) eindiffundiert wird und
dort einen Dotierungsgradienten erzeugt.

13. Verfahren nach Anspruch 12,
bei dem der Dotierungsgradient durch Diffusion aus den
10 hochdotierten Source und Drain in einem thermischen Schritt
erzeugt wird, mit dem gleichzeitig Source und Drain der CMOS
Transistoren aktiviert werden.

14. Verfahren nach einem der Ansprüche 2 bis 13,
15 bei dem in der zweiten Polysiliziumschicht (PS2) Bauelement-
strukturen der CMOS Transistoren ausgebildet werden, die
ausgewählt sind aus Widerstand, Kondensatorelektrode,
elektrische Zuleitung und Feldplatte.

20 15. Verfahren nach einem der Ansprüche 3 bis 14,
bei dem Source und Drain des Dünnschichttransistors p^+ dotiert
werden, wobei ein Transistor vom Anreicherungstyp mit
Akkumulationskanal erhalten wird.

25 16. Verfahren nach einem der Ansprüche 3 bis 14,
bei dem Source und Drain des Dünnschichttransistors n^+ dotiert
werden, wobei ein Transistor vom Anreicherungstyp mit
Inversionskanal erhalten wird.

30 17. Verwendung eines Dünnschichttransistors in einem
Bauelement nach Anspruch 1 als Sperrdiode, bei der
Source und Gate elektrisch miteinander verbunden oder
auf gleiches Potential gelegt werden.

18. Verwendung nach Anspruch 16, wobei mehrere
Dünnschichttransistoren zur Erhöhung der Sperrwirkung in
Serie geschaltet werden.

5

19. Verwendung eines Dünnschichttransistors in einem
Bauelement nach Anspruch 1 als von der Gatespannung
abhängiger variabler Widerstand innerhalb einer die
CMOS Transistoren umfassenden Verschaltung.

10

20. Verwendung eines Dünnschichttransistors in einem
Bauelement nach Anspruch 1 als schnellen
Schalttransistor für ein CMOS Transistoren
umfassendes Halbleiterspeicherbauelement.

15

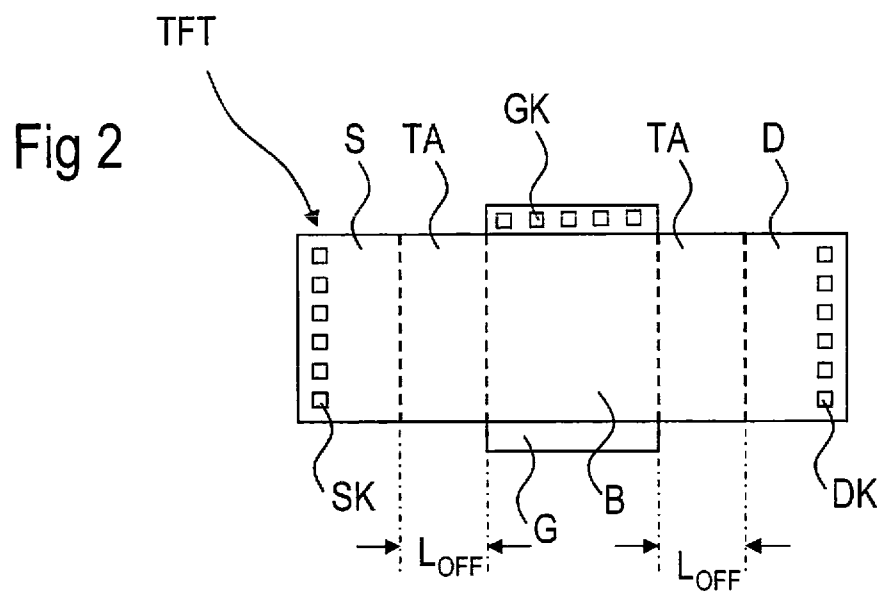
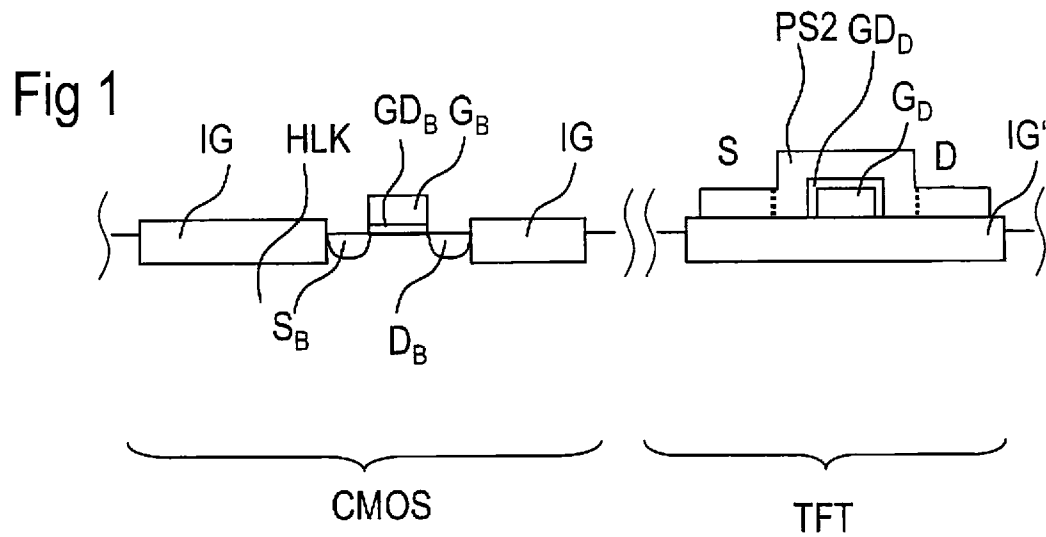


Fig 4

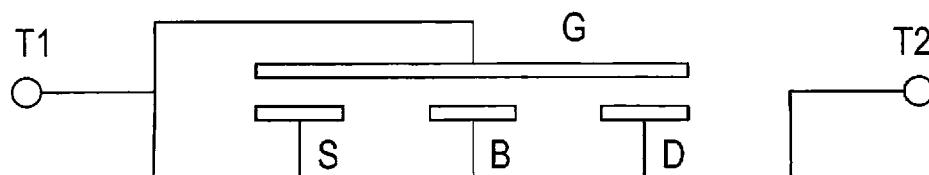


Fig 3a

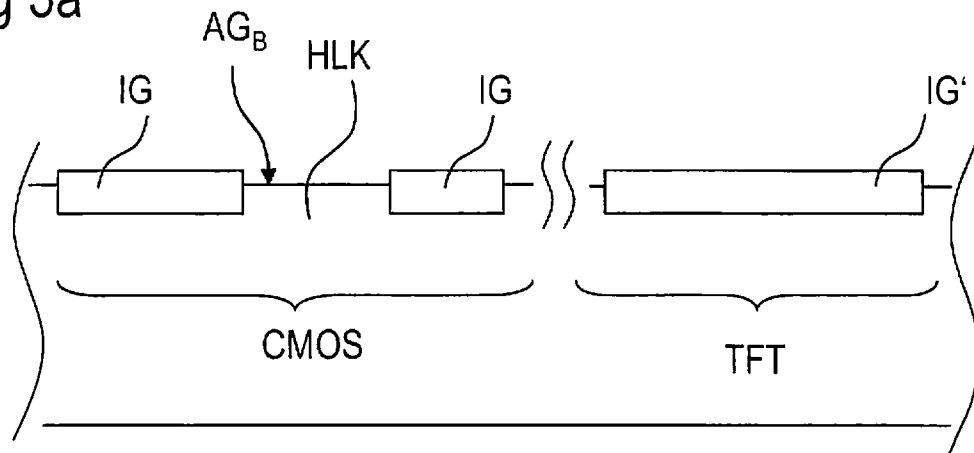


Fig 3b

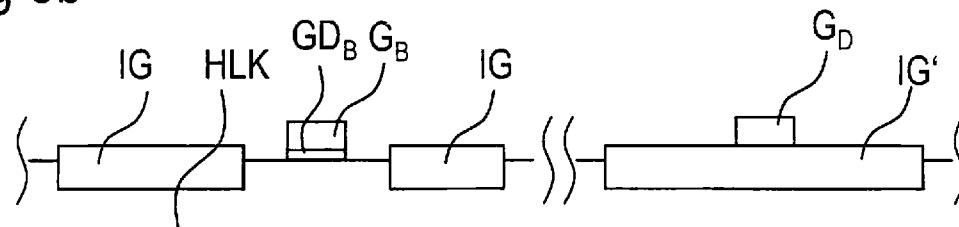


Fig 3c

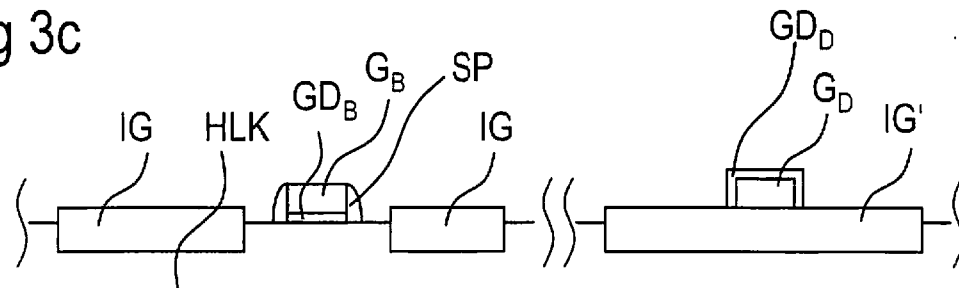
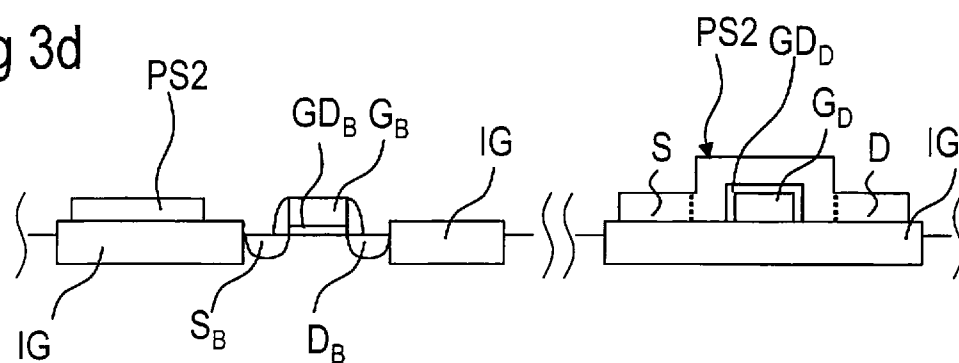


Fig 3d



INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2007/057675

A. CLASSIFICATION OF SUBJECT MATTER

INV. H01L21/8234 H01L21/8238 H01L27/088 H01L27/092 H01L21/84
H01L27/12 H01L21/822 H01L27/06

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	DE 195 31 629 C1 (SIEMENS AG [DE]) 9 January 1997 (1997-01-09)	1-3, 5, 9-20
Y	column 3, line 54 - column 5, line 25 figures 3,5	4,6-8
X	US 4 777 147 A (SCOTT DAVID B [US] ET AL) 11 October 1988 (1988-10-11)	1-3,5-7, 14-20
Y	column 2, line 14 - column 4, line 2; figures 1-2e	6-8
X	US 5 453 952 A (OKUDAIRA TOMONORI [JP] ET AL) 26 September 1995 (1995-09-26)	1,2,4,14
Y	column 2, line 10 - column 3, line 22 figures 32,34-36,39,40	4
	----- -/--	

☒ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents :

- *A* document defining the general state of the art which is not considered to be of particular relevance
- *E* earlier document but published on or after the international filing date
- *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- *O* document referring to an oral disclosure, use, exhibition or other means
- *P* document published prior to the international filing date but later than the priority date claimed

T later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

X document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

Y document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

& document member of the same patent family

Date of the actual completion of the international search

8 October 2007

Date of mailing of the international search report

16/10/2007

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Authorized officer

Markmann, Markus

INTERNATIONAL SEARCH REPORT

International application No

PCT/EP2007/057675

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	EP 0 152 625 A2 (SONY CORP [JP]) 28 August 1985 (1985-08-28) page 7, line 20 - page 9, line 1 figures 3a-3e -----	1,2
X	DE 197 32 237 A1 (NAT SEMICONDUCTOR CORP [US] NAT SEMICONDUCTOR CORP N D GES [US]) 16 July 1998 (1998-07-16) column 2, lines 3-51 figures 4,8 -----	1
A	US 5 202 849 A (NOZAKI SHIGEKI [JP]) 13 April 1993 (1993-04-13) figure 7i -----	1,2

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/EP2007/057675

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
DE 19531629	C1	09-01-1997	AT 210894 T 15-12-2001
		CN 1195425 A 07-10-1998	
		WO 9708747 A1 06-03-1997	
		EP 0847593 A1 17-06-1998	
		JP 11511297 T 28-09-1999	
		US 5970338 A 19-10-1999	
US 4777147	A	11-10-1988	NONE
US 5453952	A	26-09-1995	JP 5102430 A 23-04-1993
EP 0152625	A2	28-08-1985	CA 1228935 A1 03-11-1987
		DE 3485706 D1 11-06-1992	
DE 19732237	A1	16-07-1998	NONE
US 5202849	A	13-04-1993	NONE

INTERNATIONALER RECHERCHENBERICHT

Internationales Aktenzeichen

PCT/EP2007/057675

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES

INV. H01L21/8234 H01L21/8238 H01L27/088 H01L27/092 H01L21/84
H01L27/12 H01L21/822 H01L27/06

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)

H01L

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	DE 195 31 629 C1 (SIEMENS AG [DE]) 9. Januar 1997 (1997-01-09)	1-3,5, 9-20
Y	Spalte 3, Zeile 54 - Spalte 5, Zeile 25 Abbildungen 3,5	4,6-8
X	US 4 777 147 A (SCOTT DAVID B [US] ET AL) 11. Oktober 1988 (1988-10-11)	1-3,5-7, 14-20
Y	Spalte 2, Zeile 14 - Spalte 4, Zeile 2; Abbildungen 1-2e	6-8
X	US 5 453 952 A (OKUDAIRA TOMONORI [JP] ET AL) 26. September 1995 (1995-09-26)	1,2,4,14
Y	Spalte 2, Zeile 10 - Spalte 3, Zeile 22 Abbildungen 32,34-36,39,40	4
	----- -/--	



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

A Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

E älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

L Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

O Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

P Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

T Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

X Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

Y Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

Z Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

8. Oktober 2007

Absendedatum des internationalen Recherchenberichts

16/10/2007

Name und Postanschrift der Internationalen Recherchenbehörde

Europäisches Patentamt, P.B. 5818 Patentlaan 2
NL - 2280 HV Rijswijk
Tel. (+31-70) 340-2040, Tx. 31 651 epo nl,
Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Markmann, Markus

C. (Fortsetzung) ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	EP 0 152 625 A2 (SONY CORP [JP]) 28. August 1985 (1985-08-28) Seite 7, Zeile 20 - Seite 9, Zeile 1 Abbildungen 3a-3e -----	1,2
X	DE 197 32 237 A1 (NAT SEMICONDUCTOR CORP [US] NAT SEMICONDUCTOR CORP N D GES [US]) 16. Juli 1998 (1998-07-16) Spalte 2, Zeilen 3-51 Abbildungen 4,8 -----	1
A	US 5 202 849 A (NOZAKI SHIGEKI [JP]) 13. April 1993 (1993-04-13) Abbildung 7i -----	1,2

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2007/057675

Im Recherchenbericht angeführtes Patentdokument		Datum der Veröffentlichung	Mitglied(er) der Patentfamilie		Datum der Veröffentlichung
DE 19531629	C1	09-01-1997	AT	210894 T	15-12-2001
			CN	1195425 A	07-10-1998
			WO	9708747 A1	06-03-1997
			EP	0847593 A1	17-06-1998
			JP	11511297 T	28-09-1999
			US	5970338 A	19-10-1999

US 4777147	A	11-10-1988	KEINE		

US 5453952	A	26-09-1995	JP	5102430 A	23-04-1993

EP 0152625	A2	28-08-1985	CA	1228935 A1	03-11-1987
			DE	3485706 D1	11-06-1992

DE 19732237	A1	16-07-1998	KEINE		

US 5202849	A	13-04-1993	KEINE		
