



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl.
H01L 29/786 (2006.01)

(11) 공개번호 10-2007-0069480
(43) 공개일자 2007년07월03일

(21) 출원번호 10-2005-0131687
(22) 출원일자 2005년12월28일
심사청구일자 2005년12월28일

(71) 출원인 장 진
서울 서초구 잠원동 65-32 신반포7차아파트 302-908

(72) 발명자 장 진
서울 서초구 잠원동 65-32 신반포7차아파트 302-908
천준혁
서울 동대문구 회기동 1 경희대학교 정보디스플레이학과

(74) 대리인 김인한
김희곤

전체 청구항 수 : 총 21 항

(54) 박막 트랜지스터 및 이의 제조 방법

(57) 요약

본 발명은 박막 트랜지스터 및 이의 제조 방법에 관한 것으로, 특히 유기 발광 다이오드(Organic Light Emitting Diode; OLED)에 사용하는 화소 회로를 구성하는 박막 트랜지스터 및 이의 제조 방법에 관한 것이다.

본 발명의 박막 트랜지스터를 이루는 구성수단은 절연 기판 상에 형성되는 게이트 전극, 상기 게이트 전극 상에 형성되는 게이트 절연막, 상기 게이트 절연막 상에 형성되는 다결정 실리콘층, 상기 다결정 실리콘층 상에 형성되는 비정질 실리콘층, 상기 비정질 실리콘층 상에 형성되는 소스/드레인 전극을 포함하여 이루어진 것을 특징으로 한다.

대표도

도 3

특허청구의 범위

청구항 1.

복수의 주사선 중 선택된 주사선으로부터 출력되는 선택신호에 의해 턴온되고, 비선택신호에 의해 턴오프되는 트랜지스터(T2)와, 상기 트랜지스터(T2)를 통해 입력되는 휘도 정보에 해당하는 전압을 전달받아 커패시터(Cs)에 저장되도록 하는 트랜지스터(T1)와, 상기 트랜지스터(T1)에 의해 공급되는 구동전류에 의해 발광되는 유기 발광 다이오드를 포함하여 이루어진 화소회로에서 사용되는 박막 트랜지스터에 있어서,

절연 기판 상에 형성되는 게이트 전극;

상기 게이트 전극 상에 형성되는 게이트 절연막;

상기 게이트 절연막 상에 형성되는 다결정 실리콘층;

상기 다결정 실리콘층 상에 형성되는 비정질 실리콘층;

상기 비정질 실리콘층 상에 형성되는 소스/드레인 전극을 포함하여 이루어진 것을 특징으로 하는 박막 트랜지스터.

청구항 2.

청구항 1에 있어서,

상기 비정질 실리콘층 상에 인(P)이 고농도로 도핑된 오믹층이 더 형성되는 것을 특징으로 하는 박막 트랜지스터.

청구항 3.

청구항 1 또는 청구항 2에 있어서,

상기 게이트 절연막은 실리콘 산화막인 것을 특징으로 하는 박막 트랜지스터.

청구항 4.

청구항 3에 있어서,

상기 박막 트랜지스터는 표시장치에 포함되는 화소회로 내의 트랜지스터로 사용되는 것을 특징으로 하는 박막 트랜지스터.

청구항 5.

청구항 1 또는 청구항 2에 있어서,

상기 박막 트랜지스터는 상기 절연 기판 상부에 다결정 실리콘층과 비정질 실리콘층이 형성되는 평면형 박막 트랜지스터인 것을 특징으로 하는 박막 트랜지스터.

청구항 6.

청구항 1 또는 청구항 2에 있어서,

상기 박막 트랜지스터는 상기 절연 기판 상부에 소스 및 드레인 전극이 형성되는 스테거드형 박막 트랜지스터인 것을 특징으로 하는 박막 트랜지스터.

청구항 7.

복수의 주사선 중 선택된 주사선으로부터 출력되는 선택신호에 의해 턴온되고, 비선택신호에 의해 턴오프되는 트랜지스터(T2)와, 상기 트랜지스터(T2)를 통해 입력되는 휘도 정보에 해당하는 전압을 전달받아 커패시터(Cs)에 저장되도록 하는 트랜지스터(T1)와, 상기 트랜지스터(T1)에 의해 공급되는 구동전류에 의해 발광되는 유기 발광 다이오드를 포함하여 이루어진 화소회로에서 사용되는 박막 트랜지스터를 제조하는 방법에 있어서,

절연 기판 상에 게이트 전극을 형성하는 단계;

상기 게이트 전극 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 다결정 실리콘층을 형성하는 단계;

상기 다결정 실리콘층 상에 비정질 실리콘층을 형성하는 단계;

상기 비정질 실리콘층 상에 소스/드레인 전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 8.

청구항 6에 있어서,

상기 비정질 실리콘층과 소스/드레인 전극 사이에 인(P)이 고농도로 도핑된 오믹층을 형성시키는 단계를 더 포함하는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 9.

청구항 7 또는 청구항 8에 있어서,

상기 게이트 절연막은 실리콘 산화막인 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 10.

청구항 9에 있어서,

상기 게이트 절연막의 두께는 50nm ~ 1000nm 사이의 범위인 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 11.

청구항 8에 있어서, 상기 다결정 실리콘층을 형성하는 단계는,

상기 게이트 절연막 상부에 비정질 실리콘층을 형성하는 공정, 상기 비정질 실리콘층 상부에 금속 박막을 형성하는 공정, 상기 비정질 실리콘층을 금속 유도 결정화 방법으로 결정화하여 다결정 실리콘층을 형성하는 공정을 포함하여 이루어진 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 12.

청구항 8에 있어서, 상기 다결정 실리콘층을 형성하는 단계는,

상기 게이트 절연막 상부에 비정질 실리콘층을 형성하는 공정, 상기 비정질 실리콘층 상부에 덮개층을 형성하는 공정, 상기 덮개층 상부에 금속 박막을 형성하는 공정, 상기 비정질 실리콘층을 금속 유도 결정화 방법으로 결정화하여 다결정 실리콘층을 형성하는 공정을 포함하여 이루어진 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 13.

청구항 11 또는 청구항 12에 있어서,

상기 다결정 실리콘층은 레이저 또는 열처리에 의하여 결정화되는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 14.

청구항 13에 있어서,

상기 열처리는 400℃ ~ 700℃ 사이의 범위에서 이루어진 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 15.

청구항 11 또는 청구항 12에 있어서,

상기 비정질 실리콘층의 두께는 30nm ~ 300nm 사이의 범위인 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 16.

청구항 11 또는 청구항 12에 있어서,

상기 금속 박막은 니켈(Ni), 코발트(Co), 팔라듐(Pd), 백금(Pt), 철(Fe), 구리(Cu), 은(Ag), 금(Au), 인듐(In), 주석(Sn), 비소(As) 및 안티몬(Sb) 중 어느 하나 또는 이들의 합금으로 이루어지는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 17.

청구항 16에 있어서,

상기 금속 박막은 면 밀도가 $10^{12} \sim 10^{15} \text{ cm}^{-2}$ 사이의 범위인 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 18.

청구항 16에 있어서,

상기 금속 박막의 두께는 0.01nm ~ 1nm 사이의 범위인 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 19.

청구항 16에 있어서,

상기 금속 박막은 이온 주입법, 플라즈마를 이용한 화학기상증착법, 스퍼터링법 및 산 용액에 용해된 액상의 금속을 코팅하거나 점성이 있는 유기막과 액상의 금속을 혼합하여 스핀 코팅하는 방법 중 어느 하나를 이용하여 증착되는 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 20.

청구항 12에 있어서,

상기 덮개층은 실리콘 질화막 또는 실리콘 질화 산화막인 것을 특징으로 하는 박막 트랜지스터 제조 방법.

청구항 21.

청구항 20에 있어서,

상기 덮개층의 두께는 5nm ~ 500nm 사이의 범위인 것을 특징으로 하는 박막 트랜지스터 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 박막 트랜지스터 및 이의 제조 방법에 관한 것으로, 특히 유기 발광 다이오드(Organic Light Emitting Diode; OLED)에 사용하는 화소 회로를 구성하는 박막 트랜지스터 및 이의 제조 방법에 관한 것이다.

현재, 박막형 표시장치인 유기 발광 다이오드 표시장치는 상업적으로 널리 쓰이는 액정 표시기와 마찬가지로 화소들의 배열이 단순 매트릭스(Passive matrix)방식에서 나아가 액티브 매트릭스(Active matrix) 방식을 적용할 수 있다. 여기서, 단순 매트릭스 방식은 구조가 간단하며 각 화소마다 정확한 데이터를 인가할 수 있지만, 대형화와 고정세(高精細)화에 적용하기가 어려운 단점을 가지고 있어서 액티브 매트릭스 방식의 개발이 활발히 진행되고 있는 것이다.

이하에서는 종래의 액티브 매트릭스 방식에 따른 유기 발광 다이오드 표시장치의 화소 회로에 관하여 도면을 참조하여 설명한다.

도 1은 일반적인 액티브 매트릭스 방식에 따라 화소 회로를 구비하고 있는 표시장치를 나타내기 위한 개략도이다.

첨부된 도 1에 도시된 바와 같이, 표시장치는 소정의 주사 사이클(예를 들면, NTSC 규격에 따른 프레임 주기)로 화소를 선택 또는 비선택 하기 위한 복수의 주사선(X1, X2, X3, ...)과 화소(20)를 구동시키기 위한 휘도 정보를 공급하는 복수의 데이터선(Y1, Y2, Y3, ...)을 매트릭스형태로 배치되어 있다.

그리고, 상기 매트릭스 교차 지점에는 각각 화소(20)들이 형성되고, 각 화소(20)는 첨부된 도 2에 도시된 바와 같이 화소 회로로 이루어진다.

여기서, 주사선들(X1, X2, X3,...)은 주사선 구동회로(11)에 접속되고, 데이터선들(Y1, Y2, Y3,...)은 데이터선 구동회로(10)에 접속된다.

상기 주사선 구동회로(11)는 주사선들(X1, X2, X3, ...)을 차례로 선택하고, 데이터선 구동회로(10)의 구동에 따라 데이터선(Y1, Y2, Y3,...)으로부터 휘도 정보에 대한 전압을 공급받아서 선택된 주사선에 주입시키는 과정을 반복 수행하여, 단순 매트릭스형의 표시장치를 통해 원하는 화상이 표시되도록 한다.

이때, 단순 매트릭스형의 표시 장치를 구성하고 있는 각 화소(20)에 포함되는 발광 소자는 선택된 순간에만 발광한다.

여기서, 복수 개의 화소(20)로 이루어진 표시 장치의 구동을 자세히 살펴보면, 먼저, 주사선 구동회로(11)는 주사선들($X_1, X_2, X_3, \dots$) 중에서 하나의 주사선(X_N)을 선택하여 선택신호를 전송시키고, 데이터선 구동회로(10)는 휘도 정보의 데이터들이 데이터선들($Y_1, Y_2, Y_3, \dots$)을 통해 행 방향으로 배열된 화소에 전달되도록 구동된다

그리고 나서, 주사선 구동 회로(11)는 상기 선택된 주사선(X_N)에 비선택신호를 전송시키고, 다음 주사선(X_{N+1})을 선택하여 선택신호를 전송시킨다. 이렇게 주사선에 순차적으로 선택 및 비선택 신호를 전송시키면 데이터선 구동회로(10)에 의해 데이터 전달이 반복적으로 이루어져 표시장치에 원하는 영상이 표시되도록 할 수 있게 되는 것이다.

도 2a 내지 도 2c는 액티브 매트릭스 방식에 따른 종래의 화소 회로를 설명하기 위한 회로도이다.

첨부된 도 2a 내지 도 2c에 도시된 바와 같이, 화소(20)를 구동하기 위한 화소 회로는 NMOS 트랜지스터들(T_1, T_2)과 유기 발광 다이오드(OLED)로 이루어진다.

즉, 화소 회로는 유기 발광 다이오드(OLED)와, 전류를 제어하기 위한 제1 트랜지스터(T_1)와, 제2 트랜지스터(T_2), 그리고 커패시터(C_s)로 되어 있다.

이때, 첨부된 도 2a의 경우 제1 트랜지스터(T_1)는 소스(source)단자가 유기 발광 다이오드(OLED)의 양극(애노드)에 연결되고 드레인(drain)단자가 양의 전원(V_{DD})에 연결되어 있다.

그리고, 상기 제 2 트랜지스터(T_2)는 게이트(gate) 단자가 주사선(X_N)에 연결되고, 드레인 단자가 데이터선(Y_M)에 연결되며, 소스 단자가 제 1 트랜지스터(T_1)의 게이트 단자와 커패시터(C_s)에 연결되어 있다.

그리고, 유기 발광 다이오드(OLED)의 음극(캐소드)은 접지 전위에 연결되어 있다. 따라서, 데이터선(Y_M)의 전압이 제2 트랜지스터(T_2)를 통해 제1 트랜지스터(T_1)의 게이트 단자로 인가됨으로써, 유기 발광 다이오드(OLED)의 전류가 제어된다.

한편, 도 2b에 도시된 화소회로(20)는 커패시터(C_s)가 제 2 트랜지스터(T_2)의 소오스단과 제1 트랜지스터(T_1)의 게이트 단 사이에 연결되어 구성되며, 그 작용은 도 2a에 도시된 화소회로와 동일하므로 그 상세한 설명은 생략하기로 한다.

그리고, 도 2c에 도시된 화소회로(20)는 커패시터(C_s)가 제2 트랜지스터(T_2)의 소오스단과 제1 트랜지스터(T_1)의 소오스 단 사이에 연결되어 구성되고, 유기발광다이오드(OLED)의 양극(애노드)이 양의 전원(V_{DD})에 연결되고, 유기 발광다이오드(OLED)의 음극(캐소드)이 제1 트랜지스터(T_1)의 드레인단에 연결되어 구성되며, 그 작용은 도 2a에 도시된 화소 회로와 동일하므로 그 상세한 설명은 생략하기로 한다.

상기와 같이 구성된 화소 회로의 구동에 대해 설명하면 다음과 같다.

먼저 제2 트랜지스터(T_2)의 게이트 단자는 주사선(X_N)을 통해 출력되는 선택신호를 전송받고, 이에 따라 제2 트랜지스터(T_2)는 턴온된다. 이때, 상기 데이터선 구동회로(10)에서 데이터선(Y_M)에 인가한 휘도 정보에 해당하는 전압이, 제2 트랜지스터(T_2)를 통해서 제 1 트랜지스터(T_1)의 게이트 단자로 전달되는 한편, 상기 휘도 정보 전압은 커패시터(C_s)에 저장된다.

그리고, 제2 트랜지스터(T_2)의 게이트 단자는 주사선(X_N)을 통해 출력되는 비선택 신호를 전송받고, 이에 따라 제2 트랜지스터(T_2)가 턴오프된다. 상기 제2 트랜지스터(T_2)의 턴오프상태는 1 프레임 시간 동안 이루어지며, 상기 제2 트랜지스터(T_2)가 턴오프상태에도 제1 트랜지스터(T_1)의 게이트 단자 전압은 커패시터(C_s)에 의해 안정적으로 일정하게 유지하게 됨으로써, 제 1 트랜지스터(T_1)를 통해 유기 발광 다이오드(OLED)에 흐르는 전류도 일정하게 유지된다.

상기와 같이, 종래의 화소 회로에서는 유기 발광 다이오드(OLED)에 흐르는 전류는 제1 트랜지스터(T1)의 드레인 단자에서 소스 단자로 흐르는 전류와 같으므로, 이 전류는 제1 트랜지스터(T1)의 게이트 단자 전압에 의해 제어되지만, 제1 트랜지스터(T1)의 오랜 작동으로 인한 특성 열화에 의해서 원하는 전류의 크기와 달라지는 경우가 발생된다.

따라서, 표시 장치에 사용되는 박막 트랜지스터는 대형 고정세화의 추세에 용이한 능동 소자이지만, 동일 기관 상에 형성된 것이라도 그 문턱 전압이 시간에 따라 수백 mV, 경우에 따라서는 10V 이상 증가하기 때문에 문제가 되고 있다.

즉, 상기 박막 트랜지스터의 게이트에 동일 신호 전위(V_w)를 입력하더라도 일정 시간이 지나 화소에 구비된 트랜지스터의 특성이 열화되는 경우 상기 트랜지스터의 문턱 전압이 달라지고, 상기 문턱 전압이 달라지므로써 유기 발광 다이오드로 흐르는 전류 또한 각각의 화소에서 원하는 값으로부터 벗어나는 결과를 초래하게 된다. 이에 따라 디스플레이의 긴 수명을 기대할 수는 없다는 문제점이 있다.

또한, 상기 박막 트랜지스터의 문턱 전압의 증가는 피할 수가 없으며, 상기 박막 트랜지스터의 장기간 사용에 의한 특성 열화로 문턱 전압 초기 값에서 크게 변동되기도 한다. 상기와 같이 문턱전압이 크게 변동되게 되는 경우 표시장치가 사용되고 있는 동안에 디스플레이 화질 또는 밝기가 크게 달라지는 경우가 발생하며, 이는 디스플레이의 수명을 급격히 감소시키게 된다는 문제점이 있다.

또한, 상기와 같이 시간이 지나감에 따라 문턱 전압이 변동되는 현상을 방지할 수 있는 대책을 강구하는 것이 매우 어렵다는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 종래 기술의 문제점을 해결하기 위해 창안된 것으로서, 액티브 매트릭스에 이용되는 트랜지스터의 문턱 전압이 증가되지 않는 상태에서 유기 발광 다이오드에 구동 전류가 인가되도록 하는 유기 발광 다이오드에 사용되는 화소 회로를 구성하는 박막 트랜지스터 및 이의 제조 방법을 제공하는 것을 그 목적으로 한다.

또한, 각 화소에 포함되는 발광 소자가 선택된 순간에만 발광되도록 하던 종래 기술이 적용된 단순 매트릭스형의 표시 장치를 액티브 매트릭스형의 표시 장치로 대체시켜 휘도정보 주입 종료 후에도 각 화소의 발광 소자가 발광을 계속할 수 있도록 하여, 단순 매트릭스형 표시장치보다 발광 소자의 구동 전류 레벨을 낮출 수 있으며, 이에 대형 고정세화의 디스플레이에서 유리하게 작용되도록 하는 유기 발광 다이오드에 사용하는 화소 회로를 구성하는 박막 트랜지스터 및 이의 제조 방법을 제공하는 것을 그 목적으로 한다.

발명의 구성

상기와 같은 기술적 과제를 해결하기 위하여 제안된 본 발명인 박막 트랜지스터를 이루는 구성수단은 절연 기관 상에 형성되는 게이트 전극, 상기 게이트 전극 상에 형성되는 게이트 절연막, 상기 게이트 절연막 상에 형성되는 다결정 실리콘층, 상기 다결정 실리콘층 상에 형성되는 비정질 실리콘층, 상기 비정질 실리콘층 상에 형성되는 소스/드레인 전극을 포함하여 이루어진 것을 특징으로 한다. 상기 박막 트랜지스터는 복수의 주사선 중 선택된 주사선으로부터 출력되는 선택신호에 의해 턴온되고, 비선택신호에 의해 턴오프되는 트랜지스터(T2)와, 상기 트랜지스터(T2)를 통해 입력되는 휘도 정보에 해당하는 전압을 전달받아 커패시터(C_s)에 저장되도록 하는 트랜지스터(T1)와, 상기 트랜지스터(T1)에 의해 공급되는 구동전류에 의해 발광되는 유기 발광 다이오드를 포함하여 이루어진 화소회로에서 사용되는 박막 트랜지스터인 것이 바람직하다.

또한, 상기 비정질 실리콘층 상에 인(P)이 고농도로 도핑된 오믹층이 더 형성되는 것을 특징으로 한다.

또한, 상기 게이트 절연막은 실리콘 산화막인 것이 바람직하다.

또한, 상기 박막 트랜지스터는 표시장치에 포함되는 화소회로 내의 트랜지스터로 사용되는 것이 바람직하다. 즉, 상기 박막 트랜지스터는 유기발광 다이오드와 같은 표시 소자 내에 포함되는 화소 회로를 구성하는 트랜지스터로 사용될 뿐만 아니라, 각 종 표시장치에 포함되는 화소 회로를 구성하는 트랜지스터로 사용된다.

또한, 상기 박막 트랜지스터는 상기 절연 기관 상부에 다결정 실리콘층과 비정질 실리콘층이 형성되는 평면형 박막 트랜지스터인 것을 특징으로 한다.

또한, 상기 박막 트랜지스터는 상기 절연 기판 상부에 소스 및 드레인 전극이 형성되는 스테거드형 박막 트랜지스터인 것을 특징으로 한다.

한편, 또 다른 본 발명인 박막 트랜지스터 제조 방법을 이루는 구성수단은, 절연 기판 상에 게이트 전극을 형성하는 단계, 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 다결정 실리콘층을 형성하는 단계, 상기 다결정 실리콘층 상에 비정질 실리콘층을 형성하는 단계, 상기 비정질 실리콘층 상에 소스/드레인 전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 한다. 상기 박막 트랜지스터 제조 방법은 복수의 주사선 중 선택된 주사선으로부터 출력되는 선택신호에 의해 턴온되고, 비선택신호에 의해 턴오프되는 트랜지스터(T2)와, 상기 제2 트랜지스터(T2)를 통해 입력되는 휘도 정보에 해당하는 전압을 전달받아 커패시터(Cs)에 저장되도록 하는 트랜지스터(T1)와, 상기 제1 트랜지스터(T1)에 의해 공급되는 구동전류에 의해 발광되는 유기 발광 다이오드를 포함하여 이루어진 화소회로에서 사용되는 박막 트랜지스터를 제조하는 방법에 관한 것이다.

또한, 상기 비정질 실리콘층과 소스/드레인 전극 사이에 인(P)이 고농도로 도핑된 오믹층을 형성시키는 단계를 더 포함하는 것을 특징으로 한다.

또한, 상기 게이트 절연막은 실리콘 산화막인 것을 특징으로 하고, 상기 게이트 절연막의 두께는 50nm ~ 1000nm 사이의 범위인 것이 바람직하다.

또한, 상기 다결정 실리콘층을 형성하는 단계는, 상기 게이트 절연막 상부에 비정질 실리콘층을 형성하는 공정, 상기 비정질 실리콘층 상부에 금속 박막을 형성하는 공정, 상기 비정질 실리콘층을 금속 유도 결정화 방법으로 결정화하여 다결정 실리콘층을 형성하는 공정을 포함하여 이루어진 것을 특징으로 한다.

또한, 상기 다결정 실리콘층을 형성하는 단계는, 상기 게이트 절연막 상부에 비정질 실리콘층을 형성하는 공정, 상기 비정질 실리콘층 상부에 덮개층을 형성하는 공정, 상기 덮개층 상부에 금속 박막을 형성하는 공정, 상기 비정질 실리콘층을 금속 유도 결정화 방법으로 결정화하여 다결정 실리콘층을 형성하는 공정을 포함하여 이루어진 것을 특징으로 한다.

또한, 상기 다결정 실리콘층은 레이저 또는 열처리에 의하여 결정화되는 것을 특징으로 하고, 상기 열처리는 400℃ ~ 700℃ 사이의 범위에서 이루어진 것이 바람직하다.

또한, 상기 비정질 실리콘층의 두께는 30nm ~ 300nm 사이의 범위인 것을 특징으로 한다.

또한, 상기 금속 박막은 니켈(Ni), 코발트(Co), 팔라듐(Pd), 백금(Pt), 철(Fe), 구리(Cu), 은(Ag), 금(Au), 인듐(In), 주석(Sn), 비소(As) 및 안티몬(Sb) 중 어느 하나 또는 이들의 합금으로 이루어지는 것을 특징으로 한다.

또한, 상기 금속 박막은 면 밀도가 $10^{12} \sim 10^{15} \text{ cm}^{-2}$ 사이의 범위인 것을 특징으로 하고, 상기 금속 박막의 두께는 0.01nm ~ 1nm 사이의 범위인 것이 바람직하다.

또한, 상기 금속 박막은 이온 주입법, 플라즈마를 이용한 화학기상증착법, 스퍼터링법 및 산 용액에 용해된 액상의 금속을 코팅하거나 점성이 있는 유기막과 액상의 금속을 혼합하여 스핀 코팅하는 방법 중 어느 하나를 이용하여 증착되는 것을 특징으로 한다.

또한, 상기 덮개층은 실리콘 질화막 또는 실리콘 질화 산화막인 것을 특징으로 하고, 상기 덮개층의 두께는 5nm ~ 500nm 사이의 범위인 것이 바람직하다.

이하, 첨부된 도면을 참조하여 상기와 같은 구성수단으로 이루어져 있는 본 발명인 박막 트랜지스터 및 이의 제조 방법에 관한 작용 및 바람직한 실시예를 상세하게 설명한다.

먼저 본 발명인 박막 트랜지스터가 적용된 표시장치 및 화소회로를 회로도로 표시할 경우 종래 기술에서 언급한 첨부된 도 1 내지 도 2c와 동일하다. 그러나, 본 발명의 박막 트랜지스터는 첨부된 도 2a 내지 도 2c에 도시된 화소회로를 구성하는 종래의 트랜지스터(T1)(T2)의 구조와 다르므로, 본 발명의 상세한 설명에서는 첨부된 도 3을 참조하여 상기 화소 회로를 구성하는 박막 트랜지스터 구조 및 그 제조 방법을 위주로 설명하기로 한다.

도 3은 본 발명의 실시예에 따른 박막 트랜지스터의 단면도이다.

도 3에 도시된 바와 같이, 본 발명인 박막 트랜지스터는 절연기판(21) 상에 형성되는 게이트 전극(22)과, 상기 게이트 전극(22) 상에 형성되는 게이트 절연막(23)과, 상기 게이트 절연막(23) 상에 형성되는 다결정 실리콘층(24)과, 상기 다결정 실리콘층(24) 상에 형성되는 비정질 실리콘층(25b)과, 상기 비정질 실리콘층(25b) 상에 형성되는 소스/드레인 전극(27a, 27b)을 포함하여 이루어진다.

상기와 같은 구조로 이루어진 박막 트랜지스터는 화소 회로에서 사용되는 박막 트랜지스터이다. 즉, 본 발명인 박막 트랜지스터는 도 2a 내지 도 2c에 도시된 바와 같이 복수의 주사선 중 선택된 주사선으로부터 출력되는 선택신호에 의해 턴온되고, 비선택신호에 의해 턴오프되는 트랜지스터(T2)와, 상기 트랜지스터(T2)를 통해 입력되는 휘도 정보에 해당하는 전압을 전달받아 커패시터(Cs)에 저장되도록 하는 트랜지스터(T1)와, 상기 트랜지스터(T1)에 의해 공급되는 구동전류에 의해 발광되는 유기 발광 다이오드를 포함하여 이루어진 화소회로를 구성하는 상기 박막 트랜지스터이다.

본 발명인 박막 트랜지스터는 도 3에 도시된 바와 같이, 다결정 실리콘층(24)과 비정질 실리콘층(25b)이 적층되어 있는 구조이다. 한편, 도 3에 도시된 바와 같이, 상기 비정질 실리콘층(25b) 상에는 인(P)이 고농도로 도핑된 오믹층(26)이 더 형성되어 있다. 그리고, 상기 다결정 실리콘층(24)에는 채널(31)이 형성되어 있다. 그리고 상기 게이트 전극(22) 상부에 형성되는 상기 게이트 절연막(23)은 실리콘 산화막인 것이 바람직하다.

상기와 같은 구조로 이루어진 박막 트랜지스터는 유기 발광다이오드 표시 소자뿐만 아니라, 각 종 표시장치에 포함되는 화소회로를 구성하는 트랜지스터로 사용될 수 있다.

한편, 상기 박막 트랜지스터의 구조는 절연기판(21) 상부에 게이트 전극(22)과 게이트 절연막(23)이 형성되고, 이 게이트 절연막(23) 상부에 연속해서 다결정 실리콘층(24)과 비정질 실리콘층(25b)이 형성되는 구조이나, 경우에 따라서는, 상기 절연기판(21) 상부에 상기 다결정 실리콘층(24)과 비정질 실리콘층(25b)이 형성되는 평면형 박막 트랜지스터일 수도 있고, 상기 절연기판(21) 상부에 소스 및 드레인 전극이 형성되는 스테거드형 박막 트랜지스터일 수도 있다.

상기와 같은 구조로 이루어진 박막 트랜지스터는 절연 기판 상에 게이트 전극을 형성하는 단계 → 상기 게이트 전극 상에 게이트 절연막을 형성하는 단계 → 상기 게이트 절연막 상에 다결정 실리콘층을 형성하는 단계 → 상기 다결정 실리콘층 상에 비정질 실리콘층을 형성하는 단계 → 상기 비정질 실리콘층 상에 소스/드레인 전극을 형성하는 단계를 거쳐 제조된다. 한편, 상기 비정질 실리콘층과 소스/드레인 전극 사이에 인(P)이 고농도로 도핑된 오믹층을 형성시키는 단계를 더 포함시킬 수 있다.

상기와 같은 절차에 의하여 제조되는 박막 트랜지스터의 형성과정에 대해서 상세하게 설명하면 다음과 같다.

먼저, 절연기판(21)상에 박막 트랜지스터의 게이트 전극(22)을 형성한다. 이때, 상기 게이트 전극(22)은 절연기판(21) 상부에 직류 전압 또는 라디오 주파수 스퍼터링(DC, RF sputtering) 방식으로 100nm ~ 300nm두께의 금속을 증착시키고 패터닝 한 후 식각시함으로써 형성된다.

다음, 상기 게이트 전극(22)의 상부에 게이트 절연막(23)을 50nm ~ 1000nm 두께로 증착하여 형성한다. 상기 게이트 절연막(23)은 실리콘 산화막인 것이 바람직하다.

상기 게이트 절연막(23)을 형성한 후에는, 채널(31)이 포함되어 있는 다결정 실리콘층(24)을 상기 게이트 절연막(23) 상부에 형성한다.

상기 다결정 실리콘층(24)을 형성하는 방법은 일반적인 금속 유도 결정화 방법과 덮개층을 이용한 금속 유도 결정화 방법이 있다.

먼저, 상기 금속 유도 결정화 방법을 이용한 다결정 실리콘층 형성방법에 대하여 첨부된 도 4를 참조하여 설명하면 다음과 같다.

게이트 절연막(23) 상부에 비정질 실리콘층(25a)을 형성하고, 상기 비정질 실리콘층(25a) 상부에 금속 박막(33)을 형성한 후, 상기 비정질 실리콘층(25a)을 금속 유도 결정화 방법으로 결정화하여 다결정 실리콘층(24)을 형성한다.

이 때 상기 다결정 실리콘층(24)은 레이저 또는 열처리에 의하여 상기 비정질 실리콘층(25a)을 결정화함으로써 형성된다. 상기 열처리는 400℃에서 700℃ 사이의 범위에서 이루어지는 것이 바람직하다.

상기 열처리는 도가니(Furnace)에서 장시간 가열함으로써 이루어질 수 있는데, 이때 온도는 400℃에서 700℃ 사이에서 처리한다. 또한, 열처리는 온도를 급격히 변화시키는 급속 열처리 (Rapid Thermal Annealing : RTA)에 의해 이루어질 수 있으며, 이때의 온도는 400℃에서 750℃ 일 수 있다.

상기 게이트 절연막(23) 상부에 형성되는 비정질 실리콘층(25a)의 두께는 30nm에서 300nm 사이의 범위인 것이 바람직하다.

상기 비정질 실리콘층(25a) 상부에 형성되는 금속 박막(33)은 니켈(Ni), 코발트(Co), 팔라듐(Pd), 백금(Pt), 철(Fe), 구리(Cu), 은(Ag), 금(Au), 인듐(In), 주석(Sn), 비소(As) 및 안티몬(Sb) 중 어느 하나 또는 이들의 합금으로 형성된다. 이 금속 박막(33)은 이온 주입법, 플라즈마를 이용한 화학기상증착법, 스퍼터링법 및 산 용액에 용해된 액상의 금속을 코팅하거나 점성이 있는 유기막과 액상의 금속을 혼합하여 스핀 코팅하는 방법 중 어느 하나를 이용하여 증착되는 것이 바람직하다.

상기 방법에 의하여 형성되는 상기 금속 박막(33)의 면 밀도는 $10^{12} \sim 10^{15} \text{ cm}^{-2}$ 사이의 범위인 것이 바람직하고, 그 두께는 0.01nm ~ 1nm 사이의 범위인 것이 바람직하다.

다음은, 상기 덮개층을 이용한 급속 유도 결정화 방법을 이용하여 다결정 실리콘층을 형성하는 방법에 대하여 첨부된 도 5를 참조하여 설명하면 다음과 같다.

게이트 절연막(23) 상부에 비정질 실리콘층(25a)을 형성하고, 상기 비정질 실리콘층(25a) 상부에 덮개층(31)을 형성하며, 상기 덮개층(31) 상부에 금속 박막(33)을 형성한 후, 상기 비정질 실리콘층(25a)을 급속 유도 결정화 방법으로 결정화하여 다결정 실리콘층(24)을 형성한다. 이 때 상기 덮개층(31)과 금속박막(33)은 상기 비정질 실리콘층(25a)을 결정화한 후에 에칭(etching)으로 제거한다.

이 때 상기 다결정 실리콘층(24)은 레이저 또는 열처리에 의하여 상기 비정질 실리콘층(25a)을 결정화함으로써 형성된다. 상기 열처리는 400℃에서 700℃ 사이의 범위에서 이루어지는 것이 바람직하다.

상기 열처리는 도가니(Furnace)에서 장시간 가열함으로써 이루어질 수 있는데, 이때 온도는 상기와 같이 400℃에서 700℃ 사이에서 처리한다. 또한, 열처리는 온도를 급격히 변화시키는 급속 열처리 (Rapid Thermal Annealing : RTA)에 의해 이루어질 수 있으며, 이때의 온도는 400℃에서 750℃ 일 수 있다.

상기 게이트 절연막(23) 상부에 형성되는 비정질 실리콘층(25a)의 두께는 30nm에서 300nm 사이의 범위인 것이 바람직하다.

상기 비정질 실리콘층(25a) 상부에 형성되는 덮개층(31)은 실리콘 질화막 또는 실리콘 질화 산화막인 것이 바람직하고, 그 두께는 5nm에서 500nm 사이의 범위인 것이 바람직하다.

상기 덮개층(31)과 상기 덮개층(31) 상부에 형성되는 금속박막(33)은 결정화 후에 에칭(etching)으로 제거함으로써, 비정질 실리콘의 급속유도 결정화된 다결정 실리콘 박막에 필요 이상의 금속 오염을 막을 수 있다. 이와 같이, 덮개층(31)을 이용함으로써 금속과 비정질 혹은 다결정 실리콘 박막과의 직접 접촉을 막을 수 있고, 평평도가 우수한 다결정 실리콘 박막(24)을 형성할 수 있다. 본 발명에서는 덮개층을 실리콘 질화막으로 이용하였으나, 실리콘 산화막으로 이루어질 수 있으며, 또는 유기막으로 이루어질 수도 있다.

상기 덮개층(31) 상부에 형성되는 금속 박막(33)은 니켈(Ni), 코발트(Co), 팔라듐(Pd), 백금(Pt), 철(Fe), 구리(Cu), 은(Ag), 금(Au), 인듐(In), 주석(Sn), 비소(As) 및 안티몬(Sb) 중 어느 하나 또는 이들의 합금으로 형성된다. 이 금속 박막(33)은 이온 주입법, 플라즈마를 이용한 화학기상증착법, 스퍼터링법 및 산 용액에 용해된 액상의 금속을 코팅하거나 점성이 있는 유기막과 액상의 금속을 혼합하여 스핀 코팅하는 방법 중 어느 하나를 이용하여 증착되는 것이 바람직하다.

상기 방법에 의하여 형성되는 상기 금속 박막(33)의 면 밀도는 $10^{12} \sim 10^{15} \text{ cm}^{-2}$ 사이의 범위인 것이 바람직하고, 그 두께는 0.01nm ~ 1nm 사이의 범위인 것이 바람직하다.

상기와 같은 방법에 의하여, 게이트 절연막(23) 상에 다결정 실리콘층(24)을 형성한 후에는, 상기 다결정 실리콘층(24) 상부에 진성 비정질 실리콘층(25b)을 30nm ~ 300nm 두께로 형성하고, 상기 진성 비정질 실리콘 층(25b) 상부에는 오믹층(26)으로서의 N형 비정질 실리콘층을 20nm ~ 100nm 두께로 증착하여 형성한다.

이 때 상기 각 비정질 실리콘층은 200℃ ~ 350℃에서 플라즈마 화학기상증착 (Plasma Enhanced Chemical Vapor Deposition, PECVD)방식에 의해 이루어진다. 한편, 포토리소그래피(Photolithograph) 공정에 의해 상기 진성 비정질 실리콘층(25b)과 오믹층(26)으로서의 상기 N형 비정질 실리콘층은 동시에 패터닝된다.

그리고, 상기 오믹층(26)으로서의 N형 비정질 실리콘층 상부에 스위칭 박막트랜지스터의 소오스 전극(27a)과 드레인 전극(27b)이 증착되어 형성된다. 그 형성과정은 100nm ~ 500nm 두께의 금속을 스퍼터링으로 증착한 후 패터닝하는 과정을 통해 이루어진다.

한편, 스위칭 박막트랜지스터와 광센서의 채널에 있는 N형 비정질 실리콘 층(26)을 제거하기 위해서 상기 소오스 전극(27a), 드레인 전극(27b)을 마스크로 사용하여 상기 오믹층(26)으로서의 N형 비정질 실리콘층을 식각한다.

그 다음으로 상기 전극들(27a, 27b)과 연결부의 상면에 소자를 보호하기 위해 보호 절연막(28)을 형성시킨다. 상기 보호 절연막(28)은 200nm ~ 500nm 두께의 실리콘 질화막으로 이루어졌으며, 플라즈마화학기상(PECVD)방식에 의해 형성된다.

상기 보호 절연막 형성과정 후에, 보호 절연막(28) 상면에 비어 홀(via hole, 32)을 포토리소그래피 방식을 이용하여 형성시킨다. 상기 비어 홀은 상부 화소 전극과 연결되며 패드(PAD) 접촉을 가능하게 하기 위해 만들어진다.

도 6은 본 발명의 실시예에 의한 액티브 매트릭스 방식에 사용된 박막 트랜지스터의 특성을 설명하기 위한 전이 특성 그래프이다. 박막 트랜지스터 채널 폭은 20 μm , 채널 길이는 5 μm 이다. 트랜지스터의 이동도는 $0.46 \text{ cm}^2/\text{Vs}$, 문턱 전압은 4.4V, subthreshold slope 은 0.54V/dec 임을 알 수 있다.

본 발명의 실시 예에 따른 본 발명에 의한 액티브 매트릭스 방식에 이용된 박막 트랜지스터의 경우, 포화 영역에서 게이트 단과 드레인단에 오랫동안 전압 걸려도 일정한 문턱 전압을 유지한다. 따라서, 시간표시 소자의 사용 시간이 증가해도 문턱 전압 및 이동도가 변화되지 않은 화질의 영상을 얻을 수 있다.

발명의 효과

상기와 같은 구성 및 작용 그리고 바람직한 실시예를 가지는 본 발명인 박막 트랜지스터 및 이의 제조 방법에 의하면, 본 발명에 따른 박막 트랜지스터를 화소 회로에 적용하면, 드라이빙 소자인 트랜지스터의 특성 변화가 없기 때문에 시간에 따라서 발광 소자의 휘도를 일정하게 할 수 있다. 따라서 오랜 시간의 사용으로 인한 트랜지스터의 열화로 발생하는 문턱 전압의 변화를 최소화시켜, 표시 장치의 수명을 증가시킨다는 효과가 있다.

또한, 본 발명에 따른 박막 트랜지스터로 구성되는 화소 회로를 유기 발광 다이오드 표시장치에 적용하면, 각 화소마다의 유기 발광 다이오드에 원하는 전류가 흐르도록 제어하기 때문에 디스플레이의 고정세화에도 고품질의 화상을 제공할 수 있도록 하는 효과가 있다.

한편, 본 발명은 상술한 특정한 실시예에 한정되지 아니하며, 청구범위에서 청구하는 본 발명의 요지를 이탈함이 없이 당해 발명이 속하는 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변경 실시가 가능할 것이다.

도면의 간단한 설명

도 1은 통상적인 액티브 매트릭스 방식에 따라 화소 회로를 구비하고 있는 표시장치를 설명하기 위한 개략도이다.

도 2a 내지 도 2c는 통상적인 액티브 매트릭스 방식에 따른 화소 회로를 설명하기 위한 회로도이다.

도 3은 본 발명의 실시예에 따른 액티브 매트릭스 방식에 사용되는 박막 트랜지스터의 단면도이다.

도 4는 본 발명의 실시예에 따른 비정질 실리콘의 금속 유도 결정화 방법을 설명하기 위한 개략도이다.

도 5는 본 발명의 실시예에 따른 비정질 실리콘의 덮개층을 이용한 금속 유도 결정화 방법을 설명하기 위한 개략도이다.

도 6은 본 발명의 실시예에 따라 액티브 매트릭스에 사용되는 박막 트랜지스터의 특성을 설명하기 위한 전이 특성 그래프이다.

* 도면의 주요부분에 대한 부호의 설명 *

10: 데이터 구동회로 11: 주사선 구동회로

20 : 화소회로 21 : 절연기판

22 : 게이트 전극 23 : 게이트 절연막

24 : 다결정 실리콘층 25a, 25b : 비정질 실리콘층

26 : 오믹층 27a, 27b : 소오스/드레인 전극

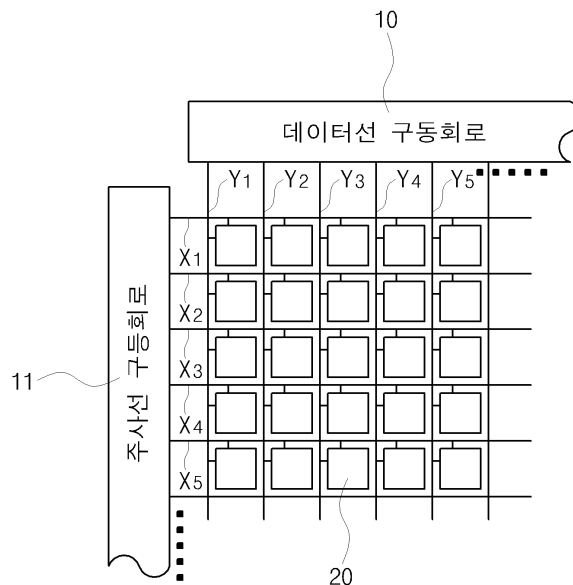
28 : 보호절연막 31 : 채널

32 : 비어홀(via hole) 33 : 금속 박막

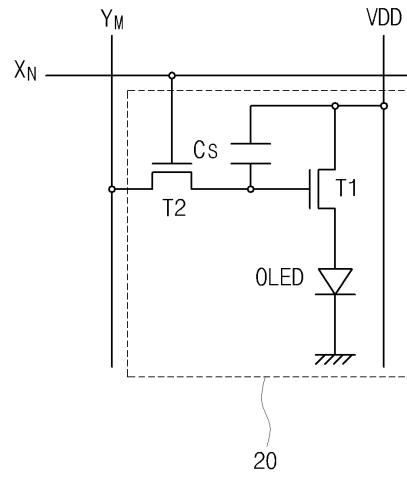
34 : 덮개층

도면

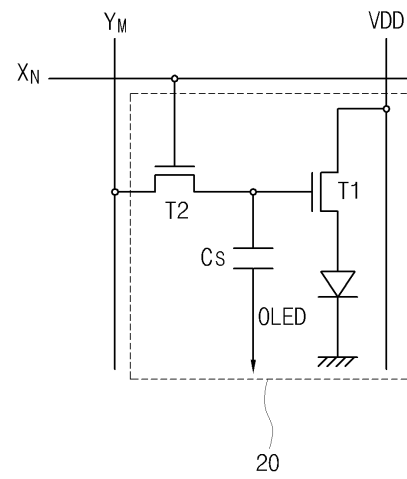
도면1



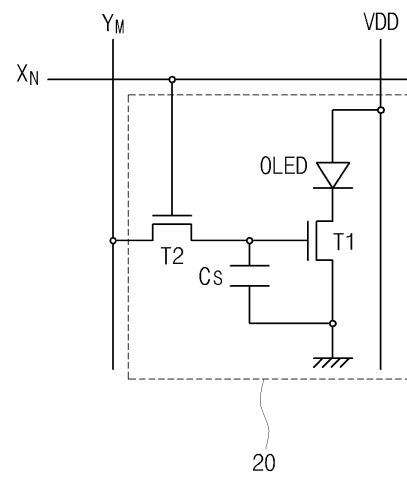
도면2a



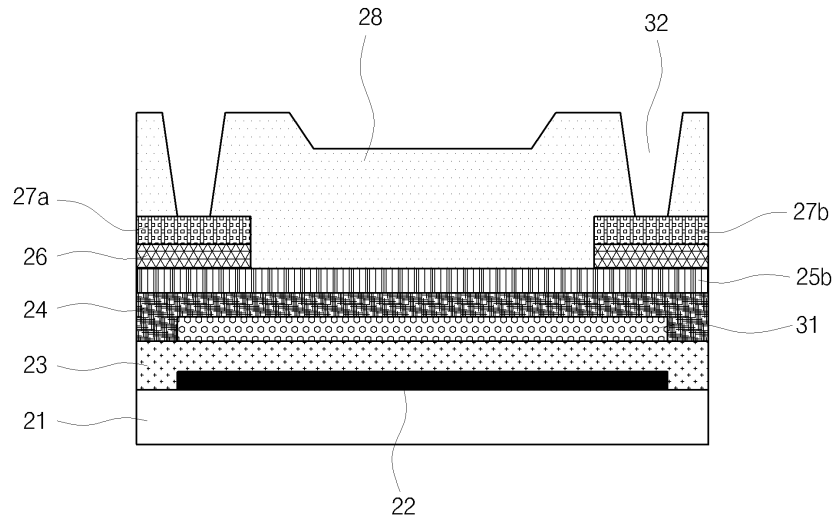
도면2b



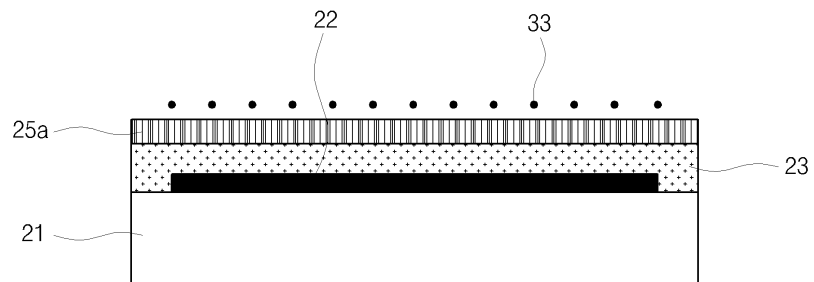
도면2c



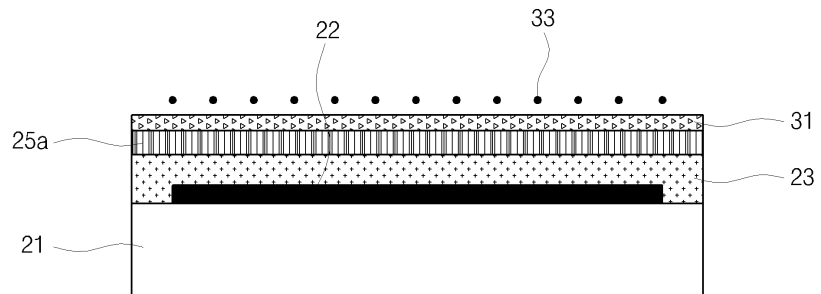
도면3



도면4



도면5



도면6

