



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년09월02일
(11) 등록번호 10-2440270
(24) 등록일자 2022년08월31일

(51) 국제특허분류(Int. Cl.)
H01L 23/498 (2006.01) H01L 21/48 (2006.01)
H01L 21/683 (2006.01) H01L 23/00 (2006.01)
(52) CPC특허분류
H01L 23/49827 (2013.01)
H01L 21/4853 (2013.01)
(21) 출원번호 10-2017-7011236
(22) 출원일자(국제) 2015년09월04일
심사청구일자 2020년08월21일
(85) 번역문제출일자 2017년04월25일
(65) 공개번호 10-2017-0077133
(43) 공개일자 2017년07월05일
(86) 국제출원번호 PCT/US2015/048514
(87) 국제공개번호 WO 2016/069112
국제공개일자 2016년05월06일
(30) 우선권주장
62/073,804 2014년10월31일 미국(US)
14/693,820 2015년04월22일 미국(US)
(56) 선행기술조사문헌
US20110254156 A1*
US20100140805 A1*
US20140048952 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
김, 동욱
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
위, 홍복
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
(뒷면에 계속)
특허법인 남앤남

전체 청구항 수 : 총 17 항

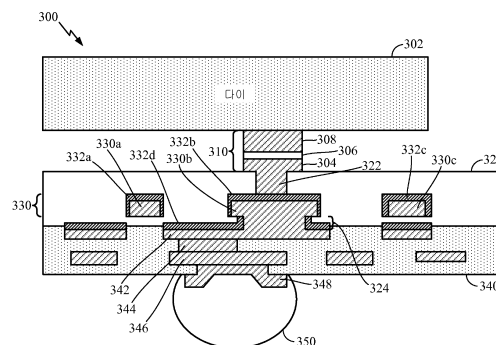
심사관 : 정구원

(54) 발명의 명칭 고밀도 팬 아웃 패키지 구조

(57) 요약

고밀도 팬 아웃 패키지 구조가 콘택트 층을 포함할 수 있다. 콘택트 층은 활성 다이를 향하는 제 1 표면 및 재분배 층을 향하는 제 2 표면을 갖는 전도성 상호접속부 층을 포함한다. 고밀도 팬 아웃 패키지 구조는 전도성 상호접속부 층의 제 1 표면 상에 배리어 층을 갖는다. 고밀도 팬 아웃 패키지 구조는 또한 전도성 라우팅 층들을 갖는 재분배 층을 포함할 수 있다. 전도성 라우팅 층들은 제 1 전도성 상호접속부를 전도성 상호접속부 층에 결합시키도록 구성될 수 있다. 고밀도 팬 아웃 패키지 구조는, 배리어 라이너에 결합되고 제 2 전도성 상호접속부와 활성 다이를 결합시키도록 구성되는 제 1 비아를 더 포함할 수 있다.

대표도 - 도3



(52) CPC특허분류

H01L 21/486 (2013.01)
H01L 21/6835 (2013.01)
H01L 23/49811 (2013.01)
H01L 23/49816 (2013.01)
H01L 23/49838 (2013.01)
H01L 23/49866 (2013.01)
H01L 24/03 (2013.01)
H01L 24/09 (2013.01)
H01L 24/81 (2013.01)

(72) 발명자

이, 재식

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

구, 시쿤

미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775

명세서

청구범위

청구항 1

팬 아웃 패키지 구조로서,

전도성 상호접속부 층을 포함하는 컨택트 층 — 상기 전도성 상호접속부 층은 복수의 전도성 부분들을 포함하고, 상기 복수의 전도성 부분들 각각은 활성 다이를 향하는 제 1 표면, 재분배 층을 향하는 제 2 표면, 및 적어도 하나의 측벽을 구비하며, 상기 전도성 상호접속부 층은 상기 전도성 상호접속부 층의 상기 복수의 전도성 부분들 각각의 상기 제 1 표면 및 상기 적어도 하나의 측벽 상에 제 1 배리어 라이너(barrier liner)를 포함하며, 상기 제 1 배리어 라이너는 상기 전도성 상호접속부 층의 상기 복수의 전도성 부분들 각각과 직접 접촉하고, 상기 제 1 배리어 라이너는 상기 전도성 상호접속부 층의 상기 전도성 부분들 각각의 상기 제 2 표면과 동일 레벨의(flush) 표면들을 가짐 —;

제 1 전도성 상호접속부를 상기 전도성 상호접속부 층에 커플링시키도록 구성되는 복수의 전도성 라우팅 층들을 포함하는 상기 재분배 층 — 상기 복수의 전도성 라우팅 층들의 제 1 층은 복수의 전도성 섹션들을 포함하고, 각각의 전도성 섹션은 상기 활성 다이를 향하는 제 1 표면, 상기 전도성 섹션들 각각의 상기 제 1 표면 상의 제 2 배리어 라이너를 구비하며, 상기 제 2 배리어 라이너는 상기 컨택트 층과 직접 접촉함 —; 및

상기 제 1 배리어 라이너에 커플링된 제 1 비아를 포함하고,

상기 제 1 비아는 제 2 전도성 상호접속부를 통과하여 상기 제 1 배리어 라이너를 상기 활성 다이에 커플링시키도록 구성되는, 팬 아웃 패키지 구조.

청구항 2

제 1 항에 있어서,

상기 제 1 전도성 상호접속부는 BGA(ball grid array)인, 팬 아웃 패키지 구조.

청구항 3

제 1 항에 있어서,

상기 제 1 및 제 2 배리어 라이너는 탄탈을 포함하는, 팬 아웃 패키지 구조.

청구항 4

제 1 항에 있어서,

상기 제 1 비아는, 상기 제 1 배리어 라이너 상의 언더 범프(under bump) 전도층 및 상기 언더 범프 전도층 상에 있고 제 2 전도성 상호접속부에 커플링되는 전도성 재료를 포함하는, 팬 아웃 패키지 구조.

청구항 5

제 1 항에 있어서,

상기 전도성 상호접속부 층은 제 1 BEOL(back-end-of-line) 전도성 상호접속부 층(M1)을 포함하는, 팬 아웃 패키지 구조.

청구항 6

제 1 항에 있어서,

상기 제 2 전도성 상호접속부는 전도성 필라(conductive pillar) 또는 전도성 범프를 포함하는, 팬 아웃 패키지 구조.

청구항 7

제 1 항에 있어서,

상기 제 2 전도성 상호접속부는 상기 활성 다이의 컨택트 패드에 커플링되는, 팬 아웃 패키지 구조.

청구항 8

제 1 항에 있어서,

상기 전도성 상호접속부 층의 상기 복수의 전도성 부분들 중 적어도 하나는 상기 전도성 라우팅 층 상의 전도성 트레이스 또는 제 2 비아를 통해 상기 재분배 층의 상기 복수의 전도성 라우팅 층들 중 하나에 커플링되는, 팬 아웃 패키지 구조.

청구항 9

제 8 항에 있어서,

상기 제 1 비아는 미들-오브-라인(middle-of-line) 제로 비아(V0)를 포함하고, 상기 제 2 비아는 BEOL(back-end-of-line) 제 1 비아(V1)를 포함하는, 팬 아웃 패키지 구조.

청구항 10

제 1 항에 있어서,

음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, PDA(personal digital assistant), 고정 위치 데이터 유닛 및 컴퓨터 중 적어도 하나에 통합되는, 팬 아웃 패키지 구조.

청구항 11

제 1 항에 있어서,

상기 제 2 배리어 라이너는 제 2 부분에 직교하는 제 1 부분을 포함하는, 팬 아웃 패키지 구조.

청구항 12

팬 아웃 패키지 구조로서,

전도성 상호접속부 층을 포함하는 컨택트 층 —상기 전도성 상호접속부 층은 복수의 전도성 부분들을 포함하고, 상기 복수의 전도성 부분들 각각은 활성 다이를 향하는 제 1 표면, 상기 제 1 표면 반대편의 제 2 표면, 및 적어도 하나의 측벽을 구비하며, 상기 전도성 상호접속부 층은 상기 전도성 상호접속부 층의 상기 복수의 전도성 부분들 각각의 상기 제 1 표면 및 상기 적어도 하나의 측벽 상에 제 1 배리어 라이너(barrier liner)를 포함하며, 상기 제 1 배리어 라이너는 상기 전도성 상호접속부 층의 상기 복수의 전도성 부분들 각각과 직접 접촉하고, 상기 제 1 배리어 라이너는 상기 전도성 상호접속부 층의 상기 전도성 부분들 각각의 상기 제 2 표면과 동일 레벨의(flush) 표면들을 가짐 —;

제 1 전도성 상호접속부를 상기 전도성 상호접속부 층에 커플링시키기 위한 수단 — 상기 전도성 상호접속부 층의 상기 제 2 표면은 상기 커플링시키기 위한 수단을 향하며, 상기 커플링시키기 위한 수단은 복수의 전도성 섹션들을 포함하고, 각각의 전도성 섹션은 상기 활성 다이를 향하는 제 1 표면, 상기 전도성 섹션들 각각의 상기 제 1 표면 상의 제 2 배리어 라이너를 구비하며, 상기 제 2 배리어 라이너는 상기 컨택트 층과 직접 접촉함 —; 및

상기 제 1 배리어 라이너에 커플링된 제 1 비아를 포함하고,

상기 제 1 비아는 제 2 전도성 상호접속부를 통과하여 상기 제 1 배리어 라이너를 상기 활성 다이에 커플링시키도록 구성되는, 팬 아웃 패키지 구조.

청구항 13

제 12 항에 있어서,

상기 제 1 전도성 상호접속부는 BGA(ball grid array)인, 팬 아웃 패키지 구조.

청구항 14

제 12 항에 있어서,

상기 제 1 및 제 2 배리어 라이너는 탄탈을 포함하는, 팬 아웃 패키지 구조.

청구항 15

제 12 항에 있어서,

상기 제 1 비아는, 상기 제1 배리어 라이너 상의 언더 범프 전도층 및 상기 언더 범프 전도층 상에 있고 제 2 전도성 상호접속부에 커플링되는 전도성 재료를 포함하는, 팬 아웃 패키지 구조.

청구항 16

제 12 항에 있어서,

음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 통신 디바이스, PDA(personal digital assistant), 고정 위치 데이터 유닛 및 컴퓨터 중 적어도 하나에 통합되는, 팬 아웃 패키지 구조.

청구항 17

제 12 항에 있어서,

상기 제 2 배리어 라이너는 제 2 부분에 직교하는 제 1 부분을 포함하는, 팬 아웃 패키지 구조.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

발명의 설명

기술 분야

[0001] 본 출원은, 2014년 10월 31일에 출원되고 명칭이 "HIGH DENSITY FAN OUT PACKAGE STRUCTURE"인 미국 가특허 출원 제62/073,804호를 35 U.S.C. 119(e) 하에서 우선권으로 주장하며, 상기 출원의 개시내용은 그 전체가 본원에 인용에 의해 명백히 포함된다.

[0002] 본 개시내용의 양상들은 반도체 디바이스들에 관한 것이며, 보다 구체적으로 고밀도 팬 아웃(HDFO; high density fan out) 구조의 제조를 위한 HDFO 기술들에 관한 것이다.

배경 기술

[0003] IC(integrated circuit)들의 반도체 제조를 위한 프로세스 흐름은 FEOL(front-end-of-line), MOL(middle-of-line), 및 BEOL(back-end-of-line) 프로세스들을 포함할 수 있다. 프론트-엔드-오브-라인 프로세스들은, 웨이퍼 준비, 절연, 웰 형성, 게이트 패터닝, 스페이서, 확장 및 소스/드레인 주입, 실리사이드 형성, 및 듀얼 스트레스 라이너 형성을 포함할 수 있다. 미들-오브-라인 프로세스는 게이트 콘택트 형성을 포함할 수 있다. 미들-오브-라인 층들은, 반도체 디바이스 트랜지스터들 또는 다른 유사한 활성 디바이스들에 매

우 근접하게 미들-오브-라인 컨택트들, 비아들 또는 다른 층들을 내부에 포함할 수 있지만, 이것으로 제한되지 않는다. 백-엔드-오브-라인 프로세스들은 프런트-엔드-오브-라인 및 미들-오브-라인 프로세스들 동안 생성된 반도체 디바이스들을 상호연결하기 위한 일련의 웨이퍼 프로세싱 단계들을 포함할 수 있다. 현대 반도체 칩 제품들의 성공적인 제조는 사용된 재료들과 프로세스들 간의 상호작용을 포함한다.

[0004] 인터포저는 다이-탑재 기술이며, 여기서 인터포저는 SoC(system on chip)의 반도체 다이스들이 상부에 탑재되는 베이스로서 역할을 한다. 인터포저는 팬 아웃 웨이퍼 레벨 패키지 구조의 예이다. 인터포저는 반도체 다이스들(예를 들어, 메모리 모듈들 및 프로세서들)과 시스템 보드 사이에 전기적 연결들을 라우팅하기 위한 전도성 트레이스들 및 전도성 비아들의 배선층들을 포함할 수 있다. 인터포저는 반도체 디바이스(예를 들어, 다이 또는 칩)의 활성 표면 상의 본드 패드들의 연결 패턴을, 시스템 보드에 대한 연결에 더욱 적합한 재분배 연결 패턴에 제공하는 RDL(redistribution layer)을 포함할 수 있다. 대부분의 애플리케이션들에서, 인터포저는 다이오드들 및 트랜지스터들과 같은 활성 디바이스들을 포함하지 않는다.

[0005] 웨이퍼 레벨 패키지 구조들의 제조는 재분배 층을 형성하기 전에 칩 우선 부착(chip first attach) 프로세스에 따라 웨이퍼 레벨 패키지 구조에 대한 반도체 디바이스(예를 들어, 다이 또는 칩)의 부착을 포함할 수 있다. 그러나, 칩 우선 부착 프로세스는, 재분배 층의 형성 동안 반도체 디바이스 상의 응력으로 인해 그리고/또는 재분배 층과 연관된 결함들로 인해 반도체 디바이스에 결함을 발생시킬 수 있다.

발명의 내용

[0006] 고밀도 팬 아웃 패키지 구조는 컨택트 층을 포함할 수 있다. 컨택트 층은 활성 다이를 향하는 제 1 표면 및 재분배 층을 향하는 제 2 표면을 갖는 전도성 상호접속부 층을 포함한다. 고밀도 팬 아웃 패키지 구조는 전도성 상호접속부 층의 제 1 표면 상에 배리어 층을 갖는다. 고밀도 팬 아웃 패키지 구조는 또한 전도성 라우팅 층들을 갖는 재분배 층을 포함할 수 있다. 전도성 라우팅 층들은 제 1 전도성 상호접속부를 전도성 상호접속부 층에 결합시키도록 구성될 수 있다. 고밀도 팬 아웃 패키지 구조는 배리어 라이너에 결합되고 제 2 전도성 상호접속부와 활성 다이를 결합시키도록 구성되는 제 1 비아를 더 포함할 수 있다.

[0007] 고밀도 팬 아웃 패키지 구조를 제조하는 방법은 캐리어 기판 상에 컨택트 층을 제조하는 단계를 포함할 수 있다. 컨택트 층은, 제 1 표면 상에 배리어 라이너를 갖는 전도성 상호접속부 층을 포함할 수 있다. 방법은 또한 RDL(redistribution layer)을 제조하는 단계를 포함할 수 있다. 재분배 층은 제 1 전도성 상호접속부를 전도성 상호접속부 층에 결합시키도록 구성된 전도성 라우팅 층들을 포함할 수 있다. 방법은, 캐리어 기판을 제거한 후 배리어 라이너 상에 배치되는 제 1 비아를 형성하기 위해서 컨택트 층의 개구 내에 전도성 재료를 증착하는 단계를 더 포함할 수 있다. 방법은 또한 활성 다이를 제 2 전도성 상호접속부를 사용하여 비아에 부착시키는 단계를 포함할 수 있다. 전도성 상호접속부 층의 제 1 표면 상의 배리어 라이너는 활성 다이를 향할 수 있다.

[0008] 고밀도 팬 아웃 패키지 구조는 컨택트 층을 포함할 수 있다. 컨택트 층은, 활성 다이를 향하는 제 1 표면을 갖는 전도성 상호접속부 층을 포함한다. 고밀도 팬 아웃 패키지 구조는 전도성 상호접속부 층의 제 1 표면 상에 배리어 층을 갖는다. 고밀도 팬 아웃 패키지 구조는 또한 제 1 전도성 상호접속부를 전도성 상호접속부 층에 결합시키기 위한 수단을 포함할 수 있다. 전도성 상호접속부 층의 제 2 표면은 결합 수단을 향할 수 있다. 고밀도 팬 아웃 패키지 구조는 배리어 라이너에 결합되고 제 2 전도성 상호접속부와 활성 다이를 결합시키도록 구성되는 제 1 비아를 더 포함할 수 있다.

[0009] 상기 설명은, 후속하는 상세한 설명이 더 양호하게 이해될 수 있도록, 본 개시내용의 특성(feature)들 및 기술적 이점들을 다소 광범위하게 요약하였다. 본 개시내용의 부가적인 특성들 및 이점들이 후술될 것이다. 본 개시내용의 동일한 목적들을 수행하기 위해 다른 구조들을 변형 또는 설계하기 위한 기반으로서 본 개시내용이 용이하게 이용될 수도 있다는 것을 당업자가 인식해야 한다. 그러한 등가 구성들이, 첨부된 청구항들에 기재된 바와 같은 본 개시내용의 교시들을 벗어나지 않는다는 것 또한 당업자가 인지해야 한다. 추가적인 목적들 및 이점들과 함께, 본 발명의 구성 및 동작 방법 둘 모두에 대해 본 개시내용의 특징인 것으로 믿어지는 신규한 특성들은, 첨부된 도면들과 함께 고려될 경우 다음의 설명으로부터 더 양호하게 이해될 것이다. 그러나, 도면들의 각각이 단지 예시 및 설명의 목적을 위해 제공되며, 본 개시내용의 제한들의 정의로서 의도되지 않다는 것이 명백히 이해될 것이다.

도면의 간단한 설명

- [0010] 본 개시내용의 더욱 완전한 이해를 위해서, 이제, 첨부 도면들과 함께 다음 설명이 참조된다.
- [0011] 도 1은 본 개시내용의 양상에 따른 반도체 웨이퍼의 사시도를 도시한다.
- [0012] 도 2는 본 개시내용의 양상에 따른 다이의 단면도를 도시한다.
- [0013] 도 3은 본 개시내용의 일 양상에 따른 고밀도 팬 아웃 패키지 구조를 도시한다.
- [0014] 도 4a 내지 도 4m은 본 개시내용의 일 양상에 따른 제조의 다양한 스테이지들에서의 고밀도 팬 아웃 패키지 구조를 도시한다.
- [0015] 도 5a 내지 도 5f는 본 개시내용의 일 양상에 따른 제조의 다양한 스테이지들에서의 고밀도 팬 아웃 패키지 구조를 도시한다.
- [0016] 도 6은 본 개시내용의 일 양상에 따른 고밀도 팬 아웃 패키지 구조를 제조하기 위한 방법을 도시하는 프로세스 흐름도이다.
- [0017] 도 7은 본 개시내용의 구성이 유리하게 활용될 수 있는 예시적인 무선 통신 시스템을 도시하는 블록도이다.
- [0018] 도 8은 일 구성에 따른 반도체 컴포넌트의 회로, 레이아웃, 및 로직 설계를 위해 사용되는 설계 워크스테이션을 도시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] [0019] 첨부된 도면들과 관련하여 후술되는 상세한 설명은 다양한 구성들의 설명으로 의도되며, 본원에 설명된 개념들이 실시될 수 있는 유일한 구성들을 나타내도록 의도되지 않는다. 상세한 설명은 다양한 개념들의 철저한 이해를 제공하려는 목적을 위해 특정한 세부사항들을 포함한다. 그러나, 이들 개념들이, 이들 특정 세부사항들 없이도 실시될 수 있음은 당업자에게 명백할 것이다. 어떤 경우에는, 이러한 개념들을 불명료하게 하는 것을 방지하기 위해, 잘 알려진 구조들 및 컴포넌트들은 블록도 형태로 도시된다. 본원에 설명된 바와 같이, 용어 "및/또는"의 사용은 "포괄적인 또는"을 나타내기 위한 것이며, 용어 "또는"의 사용은 "배타적 또는"을 나타내기 위한 것이다.
- [0012] [0020] 일부 설명된 구현들은 인터포저 기술과 같은 웨이퍼 레벨 패키지 구조들에 관한 것이다. 인터포저는 일반적으로, 하나의 컴포넌트 또는 기판과, 제 2 컴포넌트 또는 기판 사이(인터포저가 그 사이에 포지셔닝되어 있음)의 직접적인 전기적 상호연결을 위해 사용될 수 있는 중간층으로서 역할을 한다. 예를 들어, 인터포저는, 한쪽 면 상에, 제 1 컴포넌트(예를 들어, 다이) 상의 대응하는 패드들과 정렬될 수 있는 패드 구성과, 제 2 면 상에, 제 2 컴포넌트(예를 들어, 패키지 기판, 시스템 보드 등) 상의 패드들에 대응하는 상이한 패드 구성을 구비할 수 있다. 인터포저들은 하나의 패키지 상에 여러 개의 칩들을 통합시키는데 널리 사용된다. 이외에도, 인터포저 기판들은 유리 및 석영, 유기물 또는 다른 유사한 재료로 이루어지고 일반적으로 몇 개의 상호접속부층들을 포함할 수 있다.
- [0013] [0021] 인터포저들과 같은 웨이퍼 레벨 패키지 구조들의 제조는 RDL(redistribution layer)의 형성을 포함할 수 있다. 재분배 층은 활성 디바이스(예를 들어, 다이 또는 칩)의 활성 표면 상의 본드 패드들의 연결 패턴을, 기판(예를 들어, 시스템 보드, 패키지 기판, 인쇄 회로 보드 등)에 대한 연결에 더욱 적합한 재분배 연결 패턴으로 확장시키는 것을 가능하게 할 수 있다. 종래의 제조 기술들은, 칩 우선 부착 프로세스에 따라 재분배 층을 형성하기 전에 활성 디바이스를 부착하는 것을 포함한다. 그러나, 칩 우선 부착 프로세스는 재분배 층과 연관되는 결함들이 없다고 가정한다. 불행하게도, 재분배 층의 결함들이 활성 디바이스의 손실을 초래할 수 있다. 이외에도, 재분배 층의 형성 동안 활성 디바이스 상의 응력은 활성 디바이스에 결함을 발생시킬 수 있다.
- [0014] [0022] 개시내용의 다양한 양상들은, HDFO(high density fan out) 패키지 구조를 제조하기 위한 기술들을 제공한다. HDFO 패키지 구조의 반도체 제조를 위한 프로세스 흐름은 FEOL(front-end-of-line) 프로세스들, MOL(middle-of-line) 프로세스들, 및 BEOL(back-end-of-line) 프로세스들을 포함할 수 있다. 용어 "층"은 필름을 포함하며, 다르게 언급되지 않는 한 수직 또는 수평 두께를 나타내는 것으로 해석되어서는 안 된다는 것을 이해할 것이다. 본원에 설명된 바와 같이, 용어 "기판"은 다이싱된 웨이퍼의 기판을 지칭할 수 있거나 또는 다이싱되지 않은 웨이퍼의 기판을 지칭할 수 있다. 유사하게, 용어들 칩 및 다이는, 이러한 상호교환이 텍스 크레딧리티(tax credulity)를 갖지 않는다면 상호교환적으로 사용될 수 있다.

- [0015] [0023] 본원에 설명된 바와 같이, 미들-오브-라인 상호접속부 층들은 백-엔드-오브-라인의 제 1 전도층(예를 들어, 금속 층(M1))을 집적 회로의 OD(oxide diffusion) 층에 연결하고 M1을 또한 집적 회로의 활성 디바이스들에 연결하기 위한 전도성 상호접속부들을 지칭할 수 있다. M1을 집적 회로의 OD 층에 연결하기 위한 미들-오브-라인 상호접속부 층들은 "MD1" 및 "MD2"로 지칭될 수 있다. M1을 집적 회로의 폴리 게이트들에 연결하기 위한 미들-오브-라인 상호접속부 층들은 "MP"로 지칭될 수 있다. 미들-오브-라인 제로 비아(V0)는 M1을 미들-오브-라인 상호접속부 층들에 연결될 수 있다.
- [0016] [0024] 본 개시내용의 양상들에 따른, HDFO 패키지 구조는 다수 개의 활성 다이 또는 하나의 칩 구조를 포함한다. HDFO 패키지 구조는 칩 최종 부착(chip last attach) 프로세스에 따라 제조될 수 있다. 칩 최종 부착 프로세스는 재분배 층이 형성된 후 활성 다이를 HDFO 패키지 구조에 부착시키는 것을 포함한다. 예를 들어, 결합 있는 재분배 층에 활성 다이가 부착되는 것을 방지하기 위해 활성 다이가 부착되기 전에 재분배 층이 테스트를 통해 검증될 수 있다.
- [0017] [0025] 개시내용의 일 양상에서, HDFO 패키지 구조는 전도성 상호접속부 층을 포함하는 콘택트 층을 포함한다. 전도성 상호접속부 층은 활성 다이를 향하는 제 1 표면 및 재분배 층을 향하는 제 2 표면을 포함할 수 있다. 제 1 전도성 상호접속부(예를 들어, BGA(ball grid array))는 HDFO 패키지 구조를 외부 디바이스에 결합시킬 수 있다. 전도성 라이너가 전도성 상호접속부 층의 제 1 표면 상에 배치될 수 있다. 전도성 라이너는 탄탈의 배리어 또는 시드 라이너일 수 있다. 배리어 라이너는, 활성 다이에 대한 상호접속부들의 형성(예를 들어, 전기 도금) 동안 전도성 상호접속부 층에 대한 보호를 제공할 수 있다.
- [0018] [0026] 재분배 층(RDL)은 콘택트 층의 전도성 상호접속부 층에 결합된다. 재분배 층은 팬 아웃 라우팅 층일 수 있다. 재분배 층은 제 1 전도성 상호접속부를 전도성 상호접속부 층에 결합시키도록 구성된 전도성 라우팅 층들을 포함한다. 언급된 바와 같이, 재분배 층은, 재분배 층의 형성 동안 활성 다이의 손상을 방지하기 위해 활성 다이를 부착시키기 전에 형성된다. 재분배 층은, 전체 두께의 웨이퍼 상에 형성되는 BRDL(backside redistribution layer)일 수 있다. 이면 재분배 층 상에 HDFO 패키지 구조를 구현하는 것은 활성 다이의 수율을 향상시키고 HDFO 패키지 구조의 뒤틀림을 감소시킨다.
- [0019] [0027] 비아가, 활성 다이의 제 2 전도성 상호접속부를 상호접속하기 위해 배리어 라이너에 결합될 수 있다. 전도성 재료는 하나 또는 그 초과 전도성 상호접속부들을 포함할 수 있다. 예를 들어, 제 2 전도성 재료는 언더 범프 전도성 상호접속부, 솔더 재료 및/또는 전도성 필라(pillar)를 포함할 수 있다. 배리어 라이너의 표면을 노출시키는, 전도층 내의 개구에 언더 범프 전도성 상호접속부가 배치될 수 있다. 전도성 필라가 다이의 콘택트 패드에 결합될 수 있다. 땀납 재료가 언더 범프 전도성 상호접속부와 전도성 필라 사이에 존재한다. 언더 범프 전도성 상호접속부와 전도성 필라는 구리일 수 있다.
- [0020] [0028] 도 1은 본 개시내용의 양상에 따른 반도체 웨이퍼의 사시도를 도시한다. 웨이퍼(100)는 반도체 웨이퍼일 수 있거나, 웨이퍼(100)의 표면 상에 반도체 재료의 하나 또는 그 초과 층들을 갖는 기판 재료일 수 있다. 웨이퍼(100)가 반도체 재료인 경우, 웨이퍼(100)는 초크랄스키(Czochralski) 프로세스를 사용하여 시드 결정(seed crystal)으로부터 성장될 수 있으며, 시드 결정은 반도체 재료의 용융 배스에 침지되고 천천히 회전되어 배스로부터 제거된다. 그런 다음, 용융된 재료가 결정의 배향으로 시드 결정 상에서 결정화된다.
- [0021] [0029] 웨이퍼(100)는, 화합물 재료, 이를 테면, 갈륨 비소(GaAs) 또는 질화 갈륨(GaN), 3원 재료, 이를 테면, 인듐 갈륨 비소(InGaAs), 4원 재료들, 또는 다른 반도체 재료들을 위한 기판 재료일 수 있는 임의의 재료일 수 있다. 다수의 재료들이 사실상 결정질일 수 있지만, 다결정질 또는 비정질 재료들이 또한 웨이퍼(100) 용으로 사용될 수 있다.
- [0022] [0030] 웨이퍼(100), 또는 웨이퍼(100)에 결합된 층들에는, 웨이퍼(100)를 더욱 전도성있게 하는 재료들이 공급될 수 있다. 예를 들어, 제한없이, 실리콘 웨이퍼는, 전기 전하가 웨이퍼(100)에 흐르도록 하기 위해 웨이퍼(100)에 첨가되는 인 또는 붕소를 가질 수 있다. 이들 첨가제들은 도펀트(dopant)들로 지칭되고 웨이퍼(100) 내에 또는 웨이퍼(100)의 부분들 내에 여분의 전하 캐리어들(전자들 또는 정공들)을 제공한다. 여분의 전하 캐리어들이 제공되는 영역들, 어느 타입의 전하 캐리어들이 제공되는지, 그리고 웨이퍼(100) 내의 추가 전하 캐리어들의 양(밀도)을 선택함으로써, 상이한 타입들의 전자 디바이스들이 웨이퍼(100) 내에 또는 웨이퍼(100) 상에 형성될 수 있다.
- [0023] [0031] 웨이퍼(100)는 웨이퍼(100)의 결정 배향(crystalline orientation)을 나타내는 배향(102)을 갖는다. 배향(102)은 도 1에 도시된 바와 같이 웨이퍼(100)의 편평한 예지일 수 있거나, 또는 웨이퍼(100)의 노치 또는

결정 배향을 예시하기 위한 다른 표시일 수 있다. 배향(102)은 웨이퍼(100) 내의 결정 격자의 평면들에 대한 밀러 인덱스들(Miller Indices)을 나타낼 수 있다.

- [0024] [0032] 밀러 인덱스들은 결정 격자들의 결정학적(crystallographic) 평면들의 표기법 체계를 형성한다. 격자 평면들은, 결정의 평면(hk ℓ)에 대한 밀러 인덱스들인 3개의 정수들 h, k 및 ℓ 로 나타내어질 수 있다. 각각의 인덱스는 상호 격자 벡터들에 기초하여 방향(h, k, ℓ)에 직교하는 평면을 나타낸다. 정수들은 일반적으로 최하위 조건으로 기록된다(예를 들어, 이들의 최대 공약수는 1이어야 한다). 밀러 인덱스(100)는 방향(h)과 직교하는 평면을 나타내고, 인덱스(010)는 방향 k에 직교하는 평면을 나타내고, 인덱스(001)는 ℓ 에 직교하는 평면을 나타낸다. 일부 결정들의 경우, (인덱스 번호 위에 막대로 기록된) 음수들이 사용되고, 질화 갈륨과 같은 일부 결정들의 경우, 상이한 결정학적 평면들을 적절하게 기술하기 위해서 4개 이상의 수치들이 활용될 수 있다.
- [0025] [0033] 일단 웨이퍼(100)가 원하는 대로 프로세싱되었으면, 웨이퍼(100)는 다이싱 라인들(104)을 따라 분할된다. 다이싱 라인들(104)은, 웨이퍼(100)가 조각나거나 조각들로 분리되어야 하는 위치를 나타낸다. 다이싱 라인들(104)은, 웨이퍼(100) 상에 제조된 다양한 집적 회로들의 윤곽을 정의할 수 있다.
- [0026] [0034] 다이싱 라인들(104)이 정의되면, 웨이퍼(100)는 톱질되거나 또는 다른 식으로 조각들로 분리되어 다이(106)를 형성할 수 있다. 다이(106) 각각은 많은 디바이스들을 갖는 집적 회로일 수 있거나 또는 하나의 전자 디바이스일 수 있다. 칩 또는 반도체 칩으로도 지칭될 수 있는 다이(106)의 물리적 크기는, 적어도 부분적으로, 웨이퍼(100)를 특정 크기들로 분리하는 능력뿐만 아니라 다이(106)가 포함하도록 설계되는 개별 디바이스들의 수에 의존한다.
- [0027] [0035] 일단 웨이퍼(100)가 하나 또는 그 초과 다이(106)로 분리되면, 다이(106) 상에 제조된 디바이스들 및/또는 집적 회로들에 대한 액세스를 허용하기 위해서 다이(106)가 패키징에 장착될 수 있다. 패키징은, 단일 인-라인 패키징, 듀얼 인-라인 패키징, 마더보드 패키징, 플립-칩 패키징, 인덱스 도트/범프 패키징, 또는 다이(106)에 액세스를 제공하는 다른 타입들의 디바이스들을 포함할 수 있다. 다이(106)는 또한 다이(106)를 별도의 패키지에 장착하지 않고 와이어 본딩, 프로브들 또는 다른 연결부들을 통해 직접 액세스될 수 있다.
- [0028] [0036] 도 2는 본 개시내용의 양상에 따른 다이(106)의 단면도를 도시한다. 다이(106)에는, 반도체 재료일 수 있고 및/또는 전자 디바이스들에 대한 기계적 지지체로서 역할을 할 수 있는 기판(200)이 존재할 수 있다. 기판(200)은, 전자들(N-채널로 지정됨) 또는 정공들(P-채널로 지정됨) 전하 캐리어들이 기판(200) 전체에 걸쳐 존재하는 도핑된 반도체 기판일 수 있다. 이후, 전하 캐리어 이온들/원자들로 기판(200)을 도핑하는 것은 기판(200)의 전하 운반 능력들을 변경할 수 있다.
- [0029] [0037] 기판(200)(예를 들어, 반도체 기판) 내부에, FET(field-effect transistor)의 소스 및/또는 드레인일 수 있는 웰들(202 및 204)이 존재할 수 있거나, 웰들(202 및/또는 204)이 FinFET(fin structured FET)의 핀 구조들일 수 있다. 웰들(202 및/또는 204)은 또한, 웰들(202 및/또는 204)의 구조 및 다른 특성들 및 기판(200)의 주위 구조에 따라 다른 디바이스들(예를 들어, 저항기, 캐패시터, 다이오드 또는 다른 전자 디바이스들)일 수 있다.
- [0030] [0038] 반도체 기판은 또한 웰(206) 및 웰(208)을 구비할 수 있다. 웰(208)은 완전히 웰(206) 내에 있을 수 있고, 어떤 경우에는, BJT(bipolar junction transistor)를 형성할 수 있다. 또한, 웰(206)은 또한, 다이(106) 내에서 전기장 및/또는 자기장으로부터 웰(208)을 절연시키기 위한 절연 웰로서 사용될 수 있다.
- [0031] [0039] 층들(예를 들어, 210 내지 214)이 다이(106)에 추가될 수 있다. 층(210)은, 예를 들어, 웰들(예를 들어, 202-208)을 서로로부터 또는 다이(106) 상의 다른 디바이스들로부터 절연시킬 수 있는 산화물 또는 절연 층일 수 있다. 이러한 경우들에서, 층(210)은 이산화 규소, 폴리머, 유전체, 또는 다른 전기적 절연층일 수 있다. 층(210)은 또한 상호접속부 층일 수 있으며, 이 경우 상호접속부 층은 구리, 텅스텐, 알루미늄, 합금과 같은 전도성 재료 또는 다른 전도성 또는 금속성 재료들을 포함할 수 있다.
- [0032] [0040] 층(212)은 또한, 원하는 디바이스 특징들 및/또는 층들의 재료들(예를 들어, 210 및 214)에 따라 유전체 또는 전도층일 수 있다. 층(214)은, 외력들로부터 층들(예를 들어, 210 및 212)뿐만 아니라 웰들(202-208) 및 기판(200)을 보호할 수 있는 캡슐화 층일 수 있다. 예를 들어, 제한없이, 층(214)은 다이(106)를 기계적 손상으로부터 보호하는 층일 수 있거나, 또는 층(214)은 다이(106)를 전자기 또는 방사선 손상으로 부터 보호하는 재료의 층일 수 있다.
- [0033] [0041] 다이(106) 상에 설계된 전자 디바이스들은 많은 피쳐들 또는 구조적 컴포넌트들을 포함할 수 있다. 예

를 들어, 다이(106)는 기판(200), 웰들(202-208), 및 원한다면 층들(예를 들어, 210-214) 내로 도펀트들을 첨가하는 임의의 수의 방법들에 노출될 수 있다. 예를 들어, 제한없이, 다이(106)는 이온 주입, 확산 프로세스를 통해 결정질 격자 내로 유도되는 도펀트 원자들의 증착, 화학 기상 증착, 에피택셜 성장 또는 다른 방법들에 노출될 수 있다. 층들(예를 들어, 210-214)의 선택적 성장, 재료 선택, 및 부분들의 제거를 통해, 그리고 기판(200) 및 웰들(202-208)의 선택적 제거, 재료 선택, 및 도펀트 농도를 통해, 많은 상이한 구조들 및 전자 디바이스들이 본 개시내용의 범위 내에서 형성될 수 있다.

[0034] [0042] 또한, 기판(200), 웰들(202-208), 및 층들(예를 들어, 210-214)은 다양한 프로세스들을 통해 선택적으로 제거되거나 또는 추가될 수 있다. 화학 습식 에칭, CMP(chemical mechanical planarization), 플라즈마 에칭, 포토레지스트 마스크, 다마신 프로세스들, 및 다른 방법들이 본 개시내용의 구조들 및 디바이스들을 생성할 수 있다.

[0035] [0043] 도 3은 본 개시내용의 일 양상에 따른 HDFO(high density fan out) 패키지 구조(300)를 도시한다. HDFO 패키지 구조(300)는, 제 1 전도성 상호접속부(350)(예를 들어, 이면)를 제 2 전도성 상호접속부(310)(예를 들어, 전면)를 통해 활성 다이(302)에 결합시킬 수 있다. 이 어레인지먼트에서, 제 2 전도성 상호접속부(310)는 필라 형상을 가지며, 제 1 전도성 부분(304)(예를 들어, 전도성 트래이스 또는 콘택트 패드), 제 2 전도성 부분(306)(예를 들어, 솔더 재료) 및 제 3 전도성 부분(308)(예를 들어, 활성 다이(302)의 전도성 필라)을 포함한다. 다른 구성에서, 제 2 전도성 상호접속부는 전도성 범프(예를 들어, 솔더 재료)를 사용하여 제조될 수 있다. HDFO 패키지 구조(300)는 또한 하나 또는 그 초과 유전체 층들(예를 들어, 절화물) 사이에 형성된 전도성 상호접속부 층(330; 330a, 330b, 330c)을 갖는 콘택트 층(320)을 포함한다. HDFO 패키지 구조(300)는 또한, 예를 들어, 언더 필(fill) 상호접속부 층(348)을 통해 제 1 전도성 상호접속부(350)에 결합된 전도성 라우팅 층들(예를 들어, 342, 344, 346)을 포함하는 재분배 층(340)을 포함한다.

[0036] [0044] 콘택트 층(320)의 전도성 상호접속부 층(330; 예를 들어, 330a, 330b, 330c)과 결합하여 재분배 층(340)의 전도성 라우팅 층들(예를 들어, 342, 344, 346)이 활성 다이(302)와 제 1 전도성 상호접속부(350)(예를 들어, BGA(ball grid array)) 간의 연통을 촉진한다. 예를 들어, 전도성 상호접속부 층(330)은, 제 1 BEOL(back-end-of-line) 전도성 상호접속부 층(예를 들어, 금속층(M1))을 사용하여 형성된다. 전도성 상호접속부 층(330)은, 콘택트 층(320)의 유전체 층들에 의해 둘러싸이고 제 1 비아(322)(예를 들어, MOL(middle-of-line) 제로 비아(V0))를 통해 제 2 전도성 상호접속부(310)에 결합될 수 있다.

[0037] [0045] 이 어레인지먼트에서, 전도성 상호접속부 층(330)(예를 들어, 330b)이 제 2 비아(324)(예를 들어, BEOL 제 1 비아(V1) 또는 전도성 트래이스)를 통해 재분배 층(340)에 결합되고 제 1 비아(322)를 통해 활성 다이(302)에 결합된다. 제 1 비아(322)는 다마신 프로세스, 어디티브(additive) 에칭 및 증진 프로세스, 레이저 비아 및 증진 프로세스 또는 비아 형성을 위한 다른 유사한 프로세스에 의해 형성될 수 있다. 제 2 비아(324)는 재분배 층(340)의 전도성 라우팅 층일 수 있다. 전도성 라우팅 층들(예를 들어, 342, 344, 346)은 재분배 층(340)의 폴리머 유전체 재료 내에 형성될 수 있다. 전도성 상호접속부 층(330) 및 전도성 라우팅 층들(예를 들어, 342, 344, 346)은 구리 또는 다른 적절한 전도성 재료로 이루어질 수 있다.

[0038] [0046] 본 개시내용의 일 양상에서, 전도성 상호접속부 층(330)의 부분들(예를 들어, 330a, 330b, 330c)은 배리어 라이너(332; 예를 들어, 332a, 332b, 332c)에 의해 부분적으로 둘러싸인다. 예를 들어, 배리어 라이너(332)는 활성 다이(302)를 향하는 전도성 상호접속부 층(330)의 제 1 표면 및 측면들 상에 배치될 수 있다. 그러나, 배리어 라이너(332)는, 재분배 층(340)을 향하고 활성 다이(302)를 등지는 전도성 상호접속부 층(330)의 제 2 표면 상에는 있지 않다. 배리어 라이너(332)는 전도성 상호접속부 층(330)의 제조 프로세스 동안 파운드리(foundry)에 의해 제공될 수 있다. 배리어 라이너(332)가 HDFO 패키지 구조(300)의 제조 동안 형성될 수 있지만, 배리어 라이너(332)는 HDFO 패키지 구조(300)의 제조 전에 형성될 수도 있다. 배리어 라이너(332)는 탄탈 또는 다른 적절한 배리어 재료와 같은 배리어 재료로 이루어질 수 있다.

[0039] [0047] 재분배 층(340)은 제 2 비아(324)에 결합된 제 1 전도성 라우팅 층(342)을 포함한다. 이 어레인지먼트에서, 배리어 라이너(332)의 일 부분(예를 들어, 332d)이 제 2 비아(324)의 측면들 및 활성 다이(302)를 향하는 제 1 전도성 라우팅 층(342)의 표면 상에 배치된다. 제 1 전도성 라우팅 층(342)은, 예를 들어, 제 2 BEOL 상호접속부 층(예를 들어, 금속 2(M2))을 사용하여 형성된다. 제 2 전도성 라우팅 층(346)이 제 3 비아(344)(예를 들어, 제 2 BEOL 비아(V2))를 통해 제 1 전도성 라우팅 층(342)에 결합된다. 제 2 전도성 라우팅 층(346)은, 예를 들어, 제 3 BEOL 전도성 상호접속부 층(예를 들어, 금속 3(M3))을 사용하여 형성된다. 제 2 전도성 라우팅 층(346)은 또한, 예를 들어 언더 필(fill) 상호접속부 층(348)을 통해 제 1 전도성 상호접

속부(350)에 결합된다. 제 1 전도성 상호접속부(350)는 시스템 보드, 패키지 기판 또는 다른 적절한 캐리어 기판(미도시)에 결합될 수 있다. 제 1 전도성 상호접속부(350)는 BGA(ball grid array) 상호접속 구조에 따라 구성될 수 있다.

[0040] [0048] 도 4a 내지 도 4m은 본 개시내용의 양상들에 따른 제조의 다양한 스테이지들에서의 HDFO 패키지 구조(400)를 도시한다. 예를 들어, 도 4a-4l은 도 4m에 도시된 HDFO 패키지 구조(400)의 순차적 제조 접근법을 도시한다.

[0041] [0049] 도 4a를 시작으로, 캐리어 기판(예를 들어, 반도체 웨이퍼)(460)이 제공된다. 캐리어 기판(460)은, 예를 들어, 실리콘계 기판, 유리계 기판 또는 반도체 웨이퍼들을 위한 벌크 기판들로 구현되는 것과 같은 다른 재료들일 수 있다. 절연 층(462)이 캐리어 기판(460)의 활성 표면 상에 증착될 수 있다. 절연 층(462)은 산화물 또는 다른 적절한 절연체 재료일 수 있다. 콘택트 층(420)의 제 1 유전체 층이 절연층(462) 상에 증착될 수 있다. 콘택트 층(420)은 산화물, 질화물 또는 다른 유사한 절연체 재료를 포함하는 패시베이션 층일 수 있으며, 신호들을 절연시킴뿐만 아니라 다양한 회로들 및 전도성 엘리먼트들을 보호할 수 있다.

[0042] [0050] 도 4b에서, 재분배 층(440)과 활성 다이(402) 사이에서 신호들을 라우팅하기 위한 전도성 상호접속부 층(430)이, 콘택트 층(420)의 제 1 유전체 층 상에 전도성 재료(예를 들어, 구리)를 증착시킴으로써 형성된다. 전도성 상호접속부 층(430)은 전도성 부분들(430a, 430b 및 430c)을 포함할 수 있다. 전도성 부분들(430a, 430b 및 430c)은 제 1 BEOL 상호접속부 층(예를 들어, M1)을 이용하여 형성될 수 있다. 이 어레인지먼트에서, 전도성 부분들(430a, 430b 및 430c)은 배리어 라이너(432)(예를 들어, 432a, 432b, 432c)에 의해 부분적으로 둘러싸인다. 배리어 라이너(432)가, 캐리어 기판(460)을 향하는 전도성 부분들(430a, 430b 및 430c)의 측면들 및 제 1 표면 상에 배치된다. 그러나, 배리어 라이너(432)는, 캐리어 기판(460)을 등진 전도성 부분들(430a, 430b 및 430c)의 제 2 표면 상에는 배치되지 않는다. 배리어 라이너(432)(예를 들어, 탄탈)가, 전도성 상호접속부 층(430)의 제조 프로세스 동안 파운드리에 의해 제공될 수 있다.

[0043] [0051] 도 4c에서, 콘택트 층(420)의 부가적인 유전체 층들이 증착된다. 콘택트 층(420)의 유전체 층들이 질화물 층(예를 들어, 질화 실리콘(SiN))으로 이루어질 수 있다. 콘택트 층(420)의 유전체 재료 내의 하나 또는 그 초과 개구들(426a, 426b, 426c)이 배리어 라이너(432)에 의해 덮이지 않는, 전도성 부분들(430a, 430b 및 430c)의 제 2 표면을 노출시키도록 형성된다. 예를 들어, 전도성 부분들(430a, 430b 및 430c)의 노출 부분은 재분배 층의 전도성 라우팅 층들에 결합하기 위한 콘택트 영역을 한정할 수 있다.

[0044] [0052] 도 4d 내지 4i에서, 재분배 층(예를 들어, 도 4l 및 도 4m에 도시된 440)의 제 1 전도성 라우팅 층(442)이 콘택트 층(420) 상에 형성된다. 재분배 층은, 전체 두께의 웨이퍼(예를 들어, 캐리어 기판(460)) 상에 형성되는 BRDL(backside redistribution layer)일 수 있다. 개시내용의 일 양상에 따르면, 재분배 층은 하나 또는 그 초과 활성 다이를 HDFO 패키지 구조(400)에 부착하기 전에 형성된다. 재분배 층은 콘택트 층(420)의 유전체 층 상에 형성될 수 있다. 재분배 층을 형성하는 것은 전도성 라우팅 층들을 형성하는 것 및 비아들 또는 다른 상호접속부(예를 들어, 전도성 패드들, 전도성 트레이스들 등)에 의해 전도성 라우팅 층들을 상호접속하는 것을 포함한다.

[0045] [0053] 도 4d에서, 제 1 전도성 라우팅 층(442)이 콘택트 층(420) 상에 형성된다. 제 1 전도성 라우팅 층(442)이 제 2 BEOL 상호접속부(예컨대, M2)를 이용하여 형성될 수 있다. 제 1 전도성 라우팅 층(442)을 형성하는 것은 전도성 상호접속부 층(430)에 콘택트를 형성하는 것을 포함한다. 예를 들어, 제 2 비아(424)는 전도성 재료를 개구들(426b) 중 하나에 그리고 전도성 부분들(430b) 중 하나의 제 2 표면 상에 증착함으로써 형성될 수 있다. 제 2 비아(424)는 제 1 BEOL 비아(V1)를 이용하여 형성될 수 있다. 제 2 비아(424)는, 컴플렉스 관통 실리콘 비아(complex through silicon via)를 형성하기 위한 프로세스를 이용하기보다는, 콘택트 층(420) 내의 개구(450b)에 전도성 재료를 증착시킴으로써 형성된다. 제 1 전도성 라우팅 층(442)이, 콘택트 층(420)의 표면 상의 배리어 라이너(432d) 상에 그리고 제 2 비아(424) 상에 형성된다.

[0046] [0054] 도 4e에서, 재분배 층(440)의 제 1 재료 층(예를 들어, 폴리머 유전체 재료)이 콘택트 층(420) 상에 그리고 제 1 전도성 라우팅 층(442)의 부분들의 각각 상에 증착된다. 예를 들어, 제 1 층 폴리머 유전체가 제 1 전도성 라우팅 층(442)의 부분들 상에 증착된다.

[0047] [0055] 도 4f에서, 개구가 재분배 층(440)의 제 1 재료 층 내에 형성되어 제 1 전도성 라우팅 층(442)의 표면을 노출시킨다. 이 예에서, 재분배 층(440)의 제 1 재료 층은 제 1 전도성 라우팅 층(442)의 콘택트 영역을 노출시키는 개구(441)를 포함한다. 제 1 전도성 라우팅 층(442)의 콘택트 영역은 캐리어 기판(460)을 등진다.

- [0048] [0056] 도 4g에서, 재분배 층(440)의 제 2 전도성 라우팅 층(446)은 재분배 층(440)의 제 1 재료층 상에 형성된다. 제 2 전도성 라우팅 층(446)이, 전도성 부분들을 포함하는 제 2 BEOL 상호접속부(예를 들어, M2)를 이용하여 형성될 수 있다. 제 2 전도성 라우팅 층(446)을 형성하는 것은 재분배 층(440)의 제 1 재료 층 상에 재분배 전도성 부분들을 형성하는 것을 포함한다. 예를 들어, 제 2 전도성 라우팅 층(446)의 콘택트 영역은 제 3 비아(444)를 통해 제 1 전도성 라우팅 층(442)의 콘택트 영역에 결합된다. 제 3 비아(444)는 재분배 층(440)의 제 1 재료 층 내의 개구(441) 내에 형성된다. 제 3 비아(444)는 제 2 BEOL 비아(예를 들어, V2)로서 형성될 수 있다.
- [0049] [0057] 도 4h에서, 재분배 층(440)의 제 2 재료층이 재분배 층(440)의 제 1 재료층 상에 증착된다. 재분배 층(440)의 제 2 재료층이 제 2 전도성 라우팅 층(446)의 부분들 각각 상에 증착된다. 예를 들어, 폴리머 유전체 재료의 제 2 층이 제 2 전도성 라우팅 층(446)의 각각의 전도성 부분 상에 그리고 재분배 층(440)의 폴리머 유전체 재료의 제 1 층 상에 증착된다.
- [0050] [0058] 도 4i에서, 개구(443)가 재분배 층(440)의 제 2 재료 층 내에 형성되어 제 2 전도성 라우팅 층(446)의 표면을 노출시킨다. 이 예에서, 개구(443)는 제 2 전도성 라우팅 층(446)의 콘택트 영역을 노출시킨다. 제 2 전도성 라우팅 층(446)의 노출된 콘택트 영역은 외부 디바이스로의 연결을 위해 준비될 수 있다. 본 개시내용의 일 양상에서, 제 2 전도성 라우팅 층(446)의 콘택트 영역은 BGA(ball grid array) 상호접속 구조에 따라 구성될 수 있다. 예를 들어, 제 2 전도성 라우팅 층(446)의 콘택트 영역은 BGA(ball grid array) 상호접속부 구조를 외부 디바이스에 연결하기 위한 언더 필 상호접속부 층을 수용하도록 구성될 수 있다.
- [0051] [0059] 도 4j에서, 전도성 재료가 개구(443)에 증착되어 HDFO 패키지 구조(400)를 외부 디바이스들에 연결하는 것을 가능하게 할 수 있다. 이 어레이먼트에서, 제 2 전도성 라우팅 층(446)의 개구(443) 내에 그리고 콘택트 영역(470b) 상에 언더 필 상호접속부 층(448)(예를 들어, UBM(under bump metallization) 층, 시드 층 등)이 증착된다. 언더 필 상호접속부 층(448)은 외부 디바이스에 연결하기 위한 제 1 전도성 상호접속부(예를 들어, 도 4m의 450)를 수용하도록 구성될 수 있다.
- [0052] [0060] 도 4k에서, HDFO 패키지 구조(400)는, 캐리어 기판(460)을 제거함으로써 원하는 두께까지 박막화될 수 있다. 예를 들어, 캐리어 기판(460) 및 다른 층들(예를 들어, 절연 층(462) 및/또는 콘택트 층(420)의 유전체 층들의 부분)이 제거될 수 있다. 층들이 평탄화 프로세스 또는 다른 프로세스들(예를 들면, 그라인딩, 폴리싱 또는 에칭)에 의해 제거될 수 있다. 캐리어 기판(460) 및 절연층(462)의 제거는 콘택트 층(420)의 표면을 노출시킨다. 전도성 상호접속부 층(430)의 전도성 부분들 중 하나의 부분(430b) 상에 배리어 라이너 부분(432b)을 노출시키기 위해 콘택트 층(420)의 유전체 층 내에 개구(425)가 형성된다. 개구(425)는, 재분배 층(440)을 등지는, 배리어 라이너(432)의 배리어 라이너 부분(432b)의 콘택트 영역을 노출시킨다. 이 노출된 콘택트 영역은, 활성 다이를 HDFO 패키지 구조(400)에 결합하기 위해 상호접속부와 정합하도록 구성될 수 있다.
- [0053] [0061] 도 4l에서, 제 1 비아(422)는 개구(425) 내에 전도성 재료(예를 들어, 구리)를 증착시킴으로써 형성된다. 제 2 전도성 상호접속부(예를 들어, 도 4m의 제 2 전도성 상호접속부(410))의 제 1 전도성 부분(404)(예를 들어, 전도성 트레이스 또는 콘택트 패드)이 제 1 비아(422) 상에 그리고 콘택트 층(420) 상에 형성된다. 제 1 비아(422) 및 제 1 전도성 부분(404)이 듀얼 다마신 프로세스에 의해 형성될 수 있다. 제 1 비아(422) 및 제 1 전도성 부분(404)은 언더 필 상호접속부 층(예를 들어, UBM 층)일 수 있다. 도 4m에 도시된 바와 같이, 제 1 전도성 부분(404)은, 전도성 필라 또는 활성 다이를 HDFO 패키지 구조(400)에 결합시키기 위한 다른 유사한 상호접속부와 결합되도록 구성될 수 있다.
- [0054] [0062] 도 4m에서, 활성 다이(402)가 제 2 전도성 상호접속부(410)(예를 들어, 전면)를 통해 HDFO 패키지 구조(400)에 결합된다. 본 개시내용의 일 양상에서, 제 2 전도성 상호접속부(410)는 필라 형상을 가지며, 제 1 전도성 부분(404)(예를 들어, 전도성 트레이스 또는 콘택트 패드), 제 2 전도성 부분(406)(예를 들어, 솔더 재료) 및 제 3 전도성 부분(408)(예를 들어, 활성 다이(402)의 전도성 필라)을 포함한다. 이 어레이먼트에서, 제 1 전도성 부분(404), 제 2 전도성 부분(406) 및 제 3 전도성 부분(408)의 조합은 활성 다이(402)와 HDFO 패키지 구조(400) 사이에 전도성 필라 상호접속부를 형성한다.
- [0055] [0063] 도 5a 내지 도 5f는 본 개시내용의 양상들에 따른 제조의 다양한 스테이지들에서의 다른 HDFO 패키지 구조(500)를 도시한다. 도 4a 내지 도 4m과 유사하게, 도 5a 내지 5f는 HDFO 패키지 구조(500)의 제조를 위한 순차적인 프로세스를 도시한다.
- [0056] [0064] 도 5a를 시작으로, 제 1 캐리어 기판(예를 들어, 반도체 웨이퍼)(560)이 제공된다. 절연 층(562)은 제

1 캐리어 기판(560)의 표면(544) 상에 증착될 수 있다. 콘택트 층(520)의 제 1 유전체 층은 절연층(562) 상에 증착될 수 있다. 콘택트 층(520)의 제 1 유전체 층은 산화물, 질화물 또는 다른 유사한 절연체 재료를 포함하는 패시베이션 층일 수 있으며, 신호들을 절연시킬뿐만 아니라 다양한 회로들 및 전도성 엘리먼트들을 보호할 수 있다.

[0057] [0065] 도 5b에서, 재분배 층과 활성 다이 사이에서 신호들을 라우팅하기 위한 전도성 상호접속부 층(530)이 콘택트 층(520)의 제 1 유전체 층 상에 증착된다. 예를 들어, 전도성 상호접속부 층(530)은 전도성 부분들을 포함하는 제 1 BEOL 상호접속부 층(예컨대, M1)일 수 있다. 콘택트 층(520)의 제 2 유전체 층이 제 1 유전체 층 상에 그리고 전도성 상호접속부 층(530) 상에 증착된다. 전도성 부분들(420a, 420b 및 420c)과 유사하게, 전도성 부분들(520a, 520b 및 520c)은 배리어 라이너(532; 532a, 532b, 532c)에 의해 부분적으로 둘러싸일 수 있다. (예를 들어, 파운드리로부터의) 배리어 라이너(532)는 탄탈 또는 다른 적절한 배리어 재료들일 수 있다.

[0058] [0066] 도 4d 내지 도 4i와 유사하게, 도 5c는 콘택트 층(520) 상에 형성되고 전도성 상호접속부 층(530)의 전도성 부분(530b)에 결합된 재분배 층(540)을 도시한다. 언급된 바와 같이, 재분배 층(540)은 하나 또는 그 초과 활성 다이를 HDFO 패키지 구조(500)에 부착하기 전에 형성된다. 재분배 층(540)을 형성하는 것은 전도성 라우팅 층들(예를 들어, 542, 546)을 형성하는 것 및 비아들(예를 들어, 524, 544) 또는 다른 유사한 상호접속부에 의해 전도성 라우팅 층들(예를 들어, 542, 546)을 상호연결하는 것을 포함한다.

[0059] [0067] 예를 들어, 제 1 전도성 라우팅 층(542)(예를 들어, M2)이, 콘택트 층(520) 상에 형성되고 그리고 제 2 비아(524)(예를 들어, V1)를 이용하여 전도성 상호접속부 층(530)의 전도성 부분(530b)에 결합된다. 제 2 전도성 라우팅 층(546)(예를 들어, M3)이, 제 1 폴리머 유전체 층 상에 형성되고 그리고 제 3 비아(524)(예를 들어, V2)를 이용하여 제 1 전도성 라우팅 층(526)에 결합된다.

[0060] [0068] 제 2 전도성 라우팅 층(546)의 콘택트 영역이, HDFO 패키지 구조(500)를 하나 또는 그 초과 외부 디바이스들에 연결하기 위한 전도성 상호접속부에 결합될 수 있다. 본 개시내용의 일 양상에서, 제 2 전도성 라우팅 층(546)의 콘택트 영역은 BGA(ball grid array) 상호접속 구조에 따라 구성될 수 있다. 예를 들어, 제 2 전도성 라우팅 층(546)의 콘택트 영역은 BGA(ball grid array) 상호접속부 구조를 하나 또는 그 초과 외부 디바이스들에 연결하기 위한 솔더 상호접속부를 수용하도록 구성될 수 있다. 개시내용의 일 양상에서, 언더 필 상호접속부 층(548)(예를 들어, 이면 UBM 층)이 제 2 전도성 라우팅 층(546)의 콘택트 영역 상에 증착된다. 예를 들어, 언더 필 상호접속부 층(548)이 제 2 전도성 라우팅 층(546)의 콘택트 영역 상에 증착될 수 있다.

[0061] [0069] 본 개시내용의 일부 양상들에서, 나머지 프로세스들을 수행하기 위해 제 2 캐리어 기판(570)이 (도 5d에 도시된 바와 같이) HDFO 패키지 구조(500)에 부착될 수 있다.

[0062] [0070] 도 5d에서, HDFO 패키지 구조(500)의 층들이 제거되어 HDFO 패키지 구조(500)가 원하는 두께가 된다. HDFO 패키지 구조(500)의 층들이 제 2 캐리어 기판(570)의 지지로 인해 제거된다. 언급된 바와 같이, 제 2 캐리어 기판(570)이, 층들을 제거하면서 HDFO 패키지 구조(500)에 대한 지지를 제공한다. 제 2 캐리어 기판(570)은, 제거되었던 제 1 캐리어 기판(560) 반대쪽인 HDFO 패키지 구조(500)의 노출 표면들에 부착될 수 있다. 예를 들어, 제 2 캐리어 기판(570)은, 구조적 강성도 또는 제 1 캐리어 기판(560) 및 다른 층들(예를 들어, 절연층(562) 및 콘택트 층(520)의 유전체 층)의 제거를 위한 베이스를 제공하도록 구성될 수 있다. 층들이 평탄화 프로세스 또는 다른 유사한 프로세스들(예를 들면, 그라인딩, 폴리싱 또는 에칭)에 의해 제거될 수 있다.

[0063] [0071] 대안으로, 층들의 제거는 도 5e에 도시된 바와 같이 콘택트 층(520)의 표면을 노출시키기 위한, 제 1 캐리어 기판(560) 및 절연층(562)의 제거를 포함할 수 있다.

[0064] [0072] 도 5e에서, 활성 다이(502)는 하나 또는 그 초과 상호접속부들에 의해 HDFO 패키지 구조(500)에 결합된다. 이 어레이먼트에서, 제 1 비아(522)(예를 들어, V0)가 콘택트 층(520) 내에 형성된다. 제 1 비아(522)는 시드 층 또는 언더 필 상호접속부 층(504)으로 라이닝(lined)될 수 있다. 제 1 비아(522)는, 활성 다이를 HDFO 패키지 구조(500)에 결합시키기 위해 제 2 전도성 상호접속부(510)와 정렬된다. 예를 들어, 활성 다이(502)를 HDFO 패키지 구조(500)에 결합시키기 위한 콘택트 패드(508)와의 결합을 위해 땀납 재료가 언더 필 상호접속부 층(504) 상에 증착될 수 있다.

[0065] [0073] 도 5f에서, 몰드 재료(580)가 재분배 층(540)의 반대쪽 활성 다이(502)의 표면에 결합된다. 본 개시내용의 양상들에 따른, HDFO 패키지 구조는 도 4a 내지 도 4m 및 도 5a 내지 도 5f에 도시된 층들의 수로 제한되지 않는다는 것을 인식해야 한다.

[0066] [0074] 도 6은 본 개시내용의 일 양상에 따른 HDFO(high density fan out) 패키지 구조를 제조하기 위한 방법

(600)을 도시하는 흐름도이다. 블록(602)에서, 콘택트 층이 캐리어 기판 상에 제조된다. 콘택트 층은, 예를 들어, 도 3 및 4m에 도시된 바와 같이, 제 1 표면 상에 배리어 라이너를 갖는 전도성 상호접속부 층을 포함한다. 블록(604)에서, RDL(redistribution layer)이 제조된다. RDL은 제 1 전도성 상호접속부를 전도성 상호접속부 층에 결합시키도록 구성된 전도성 라우팅 층들을 포함한다. 블록(606)에서, 캐리어 기판을 제거한 후 배리어 라이너 상에 제 1 비아를 형성하기 위해 전도성 재료가 콘택트 층의 개구 내에 증착된다. 예를 들어, 도 4k 및 도 4l에 도시된 바와 같이, 캐리어 기판(460)을 제거한 후에 제 1 비아(422)가 형성된다. 블록(608)에서, 활성 다이가 제 2 전도성 상호접속부를 사용하여 비아에 부착된다. 이러한 어레이먼트에서, 전도성 상호접속부 층(430)의 제 1 표면 상의 배리어 라이너(432)가, 예를 들어, 도 4m에 도시된 바와 같이 활성 다이(402)를 향한다.

[0067] [0075] 일 구성에서, HDFO(high density fan out) 패키지 구조는 제 1 전도성 상호접속부를 전도성 상호접속부 층에 결합시키기 위한 수단을 포함한다. 이 구성에서, 전도성 상호접속부 층의 제 2 표면은 결합 수단을 향하고 전도성 상호접속부 층의 제 1 표면은 활성 다이를 향한다. 본 개시내용의 일 양상에서, 결합 수단은, 결합 수단에 의해 열거된 기능들을 수행하도록 구성되는, 도 4m 및 5f의 재분배 층(440/550)이다. 다른 양상에서, 상기 언급된 수단은 상기 언급된 수단에 의해 인용된 기능들을 수행하도록 구성되는 디바이스 또는 임의의 층일 수 있다.

[0068] [0076] 본 개시내용의 양상들에 따른 HDFO 패키지 구조는 다수의 활성 다이 또는 단일 칩 구조를 포함한다. HDFO 패키지 구조는 칩 최종 부착 프로세스에 따라 제조될 수 있다. 칩 최종 부착 프로세스는 재분배 층이 형성된 후 활성 다이를 HDFO 패키지 구조에 부착시키는 것을 포함한다. 예를 들어, 결합있는 재분배 층에 활성 다이가 부착되는 것을 방지하기 위해서 활성 다이가 부착되기 전에 재분배 층이 테스트를 통해 검증될 수 있다.

[0069] [0077] 개시내용의 일 양상에서, HDFO 패키지 구조는 전도성 상호접속부 층을 포함하는 콘택트 층을 포함한다. 전도성 상호접속부 층은 활성 다이를 향하는 제 1 표면 및 재분배 층을 향하는 제 2 표면을 포함할 수 있다. 제 1 전도성 상호접속부(예를 들어, BGA(ball grid array))는 HDFO 패키지 구조를 외부 디바이스에 결합시킬 수 있다. 전도성 라이너가 전도성 상호접속부 층의 제 1 표면 상에 배치될 수 있다. 전도성 라이너는 탄탈의 배리어 또는 시드 라이너일 수 있다. 배리어 라이너는, 활성 다이에 대한 상호접속부들의 형성(예를 들어, 전기 도금) 동안 전도성 상호접속부 층에 대한 보호를 제공할 수 있다.

[0070] [0078] 재분배 층(RDL)은 콘택트 층의 전도성 상호접속부 층에 결합된다. 재분배 층은 팬 아웃 라우팅 층일 수 있다. 재분배 층은 제 1 전도성 상호접속부를 전도성 상호접속부 층에 결합시키도록 구성된 전도성 라우팅 층들을 포함한다. 언급된 바와 같이, 재분배 층은, 재분배 층의 형성 동안 활성 다이의 손상을 방지하기 위해서 활성 다이를 부착시키기 전에 형성된다. 재분배 층은, 전체 두께의 웨이퍼 상에 형성되는 BRDL(backside redistribution layer)일 수 있다. 이면 재분배 층 상에 HDFO 패키지 구조를 구현하는 것은 활성 다이의 수율을 향상시키고 HDFO 패키지 구조의 뒤틀림을 감소시킨다.

[0071] [0079] 비아는, 활성 다이의 제 2 전도성 상호접속부를 상호접속하기 위해 배리어 라이너에 결합될 수 있다. 전도성 재료는 하나 또는 그 초과와 전도성 상호접속부들을 포함할 수 있다. 예를 들어, 제 2 전도성 재료는 언더 범프 전도성 상호접속부, 솔더 재료 및/또는 전도성 필라를 포함할 수 있다. 배리어 라이너의 표면을 노출시키는, 전도층 내의 개구에 언더 범프 전도성 상호접속부가 배치될 수 있다. 전도성 필라는 다이의 콘택트 패드에 결합될 수 있다. 땀납 재료가 언더 범프 전도성 상호접속부와 전도성 필라 사이에 존재한다. 언더 범프 전도성 상호접속부와 전도성 필라는 구리일 수 있다.

[0072] [0080] 도 7은, 본 개시내용의 양상이 유리하게 활용될 수 있는 예시적인 무선 통신 시스템(700)을 도시하는 블록도이다. 예시의 목적들을 위해, 도 7은 3개의 원격 유닛들(720, 730, 및 750) 및 2개의 기지국들(740)을 도시한다. 무선 통신 시스템들이 훨씬 더 많은 원격 유닛들 및 기지국들을 가질 수도 있음을 인식할 것이다. 원격 유닛들(720, 730, 및 750)은, 개시된 HDFO 패키지 구조를 포함하는 IC 디바이스들(725A, 725C 및 725B)을 포함한다. 다른 디바이스들은 또한, 기지국들, 스위칭 디바이스들, 및 네트워크 장비와 같은 개시된 HDFO 패키지 구조를 포함할 수 있다는 것을 인식할 것이다. 도 7은 기지국(740)으로부터 원격 유닛들(720, 730, 및 750)로의 순방향 링크 신호들(780) 및 원격 유닛들(720, 730, 및 750)로부터 기지국들(740)로의 역방향 링크 신호들(790)을 도시한다.

[0073] [0081] 도 7에서, 원격 유닛(720)은 모바일 전화로서 도시되고, 원격 유닛(730)은 휴대용 컴퓨터로서 도시되며, 원격 유닛(750)은 무선 로컬 루프 시스템에서 고정 위치 원격 유닛으로서 도시된다. 예를 들어, 원격 유닛들(720, 730 및 750)은 모바일 전화기, 핸드 헬드 PCS(personal communication system) 유닛, 통신 디

바이스, 포터블 데이터 유닛, 이를테면, PDA(personal digital assistant), GPS-가능 디바이스, 내비게이션 디바이스, 셋탑 박스, 음악 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 고정 위치 데이터 유닛, 이를 테면, 검침 장비, 또는 데이터 또는 컴퓨터 명령들을 저장하거나 또는 리트리빙하는 다른 디바이스들, 또는 이들의 임의의 조합들일 수 있다. 도 7이 본 개시내용의 양상들에 따라 원격 유닛들을 도시하지만, 본 개시내용은 이들 예시적인 도시된 유닛들로 제한되지 않는다. 본 개시내용의 양상들은 개시된 디바이스들을 포함하는 많은 디바이스들에서 적절히 활용될 수 있다.

[0074] [0082] 도 8은 위에서 개시된 디바이스들과 같은 반도체 컴포넌트의 회로, 레이아웃 및 로직 설계를 위해 이용되는 설계 워크스테이션을 도시하는 블록도이다. 설계 워크스테이션(800)은 운영 시스템 소프트웨어, 지원 파일들, 및 Cadence 또는 OrCAD와 같은 설계 소프트웨어를 포함하는 하드 디스크(802)를 포함한다. 설계 워크스테이션(800)은 회로(806) 또는 반도체 컴포넌트(808), 이를 테면, HDF0 패키지 구조의 설계를 용이하게 하기 위해 디스플레이(804)를 또한 포함한다. 저장 매체(810)는 회로(806)의 설계 또는 반도체 컴포넌트(808)를 유형으로(tangibly) 저장하기 위해 제공된다. 회로(806) 또는 반도체 컴포넌트(808)의 설계는 GDSII 또는 GERBER과 같은 파일 포맷으로 저장 매체(810) 상에 저장될 수 있다. 저장 매체(810)는 CD-ROM, DVD, 하드 디스크, 플래시 메모리 또는 다른 적절한 디바이스일 수 있다. 또한 설계 워크스테이션(800)은 저장 매체(810)로부터의 입력을 받아들이거나 저장 매체(810)에 출력을 기록하기 위한 드라이브 장치(812)를 포함한다.

[0075] [0083] 저장 매체(810) 상에 레코딩된 데이터는 로직 회로 구성들, 포토리소그래피 마스크들에 대한 패턴 데이터 또는 전자 빔 리소그래피와 같은 직렬 기록 톨들에 대한 마스크 패턴 데이터를 특정할 수 있다. 데이터는 추가로 로직 시뮬레이션들과 연관되는 타이밍도들 또는 넷(net) 회로들과 같은 로직 검증 데이터를 포함할 수 있다. 저장 매체(810) 상에 데이터를 제공하는 것은 반도체 웨이퍼들을 설계하기 위한 프로세스들의 수를 감소 시킴으로써 반도체 컴포넌트(808) 또는 회로(806)의 설계를 용이하게 한다.

[0076] [0084] 펌웨어 및/또는 소프트웨어 구현의 경우, 방법들은 본원에 설명된 기능들을 수행하는 모듈들(예를 들어, 절차들, 함수들 등)을 이용하여 구현될 수도 있다. 명령들을 유형으로 구현하는 머신 판독가능 매체가, 본원에 설명된 방법들의 구현 시에 사용될 수도 있다. 예를 들어, 소프트웨어 코드들은 메모리에 저장되고 프로세서 유닛에 의해 실행될 수도 있다. 메모리는 프로세서 유닛 내부에서 또는 프로세서 유닛 외부에서 구현될 수도 있다. 본원에 사용된 바와 같이, 용어 "메모리"는 장기, 단기, 휘발성, 비휘발성, 또는 다른 메모리의 타입들을 지칭하며, 특정한 타입의 메모리 또는 메모리들의 수, 또는 메모리가 저장되는 매체들의 타입에 제한되지 않는다.

[0077] [0085] 펌웨어 및/또는 소프트웨어로 구현되는 경우, 기능들은 하나 또는 그 초과 명령들 또는 코드로서 컴퓨터-판독가능 매체로서 저장될 수 있다. 예시로서 데이터 구조로 인코딩된 컴퓨터 판독가능 매체 및 컴퓨터 프로그램으로 인코딩된 컴퓨터 판독가능 매체를 포함한다. 컴퓨터-판독가능 매체는 물리적 컴퓨터 저장 매체를 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 이용가능한 매체일 수도 있다. 제한이 아닌 예로서, 그러한 컴퓨터-판독가능 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장부, 자기 디스크 저장 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 저장하는 데 사용될 수 있고 컴퓨터에 의해 액세스될 수 있는 다른 매체를 포함할 수 있다; 본원에 사용된 바와 같이, 디스크(disk) 및/또는 디스크(disc)는 CD(compact disc), 레이저 디스크(disc), 광학 디스크(disc), DVD(digital versatile disc), 및 블루-레이 디스크(Blu-ray disc)를 포함하며, 여기서, 디스크(disk)들은 일반적으로 데이터를 자기적으로 재생하지만, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 상기의 결합들이 또한 컴퓨터 판독가능 매체들의 범위 내에 포함되어야 한다.

[0078] [0086] 컴퓨터 판독가능 매체 상의 저장에 부가하여, 명령들 및/또는 데이터가 통신 장치에 포함된 송신 매체들 상의 신호들로서 제공될 수도 있다. 예를 들어, 통신 장치는 명령들 및 데이터를 표시하는 신호들을 갖는 트랜시버를 포함할 수도 있다. 명령들 및 데이터는, 하나 또는 그 초과 프로세서들로 하여금 청구항들에서 약속된 기능들을 구현하게 하도록 구성된다.

[0079] [0087] 본 발명의 교시들 및 그들의 이점들이 상세히 설명되었지만, 첨부된 청구항들에 의해 정의된 바와 같은 본 개시내용의 기술을 벗어나지 않으면서 다양한 변화들, 치환들 및 수정들이 본원에서 행해질 수 있음을 이해해야 한다. 예를 들어, "상부" 및 "하부"와 같은 상대적인 용어들은 기관 또는 전자 디바이스에 대하여 사용된다. 물론, 기관 또는 전자 디바이스가 반전되는 경우, 상부는 하부가 되고, 그 역의 경우도 성립된다. 추가로, 좌측들로 배향되는 경우, 위와 아래는 기관 또는 전자 디바이스의 측면들을 지칭할 수 있다. 또한, 본 출원의 범위는, 본 명세서에 설명된 프로세스, 머신, 제조법, 물질의 조성, 수단, 방법들 및 단계들의 특정한

구성들로 제한되도록 의도되지 않는다. 당업자가 본 개시내용으로부터 용이하게 인식할 바와 같이, 본원에 설명된 대응하는 구성들과 실질적으로 동일한 기능을 수행하거나 실질적으로 동일한 결과를 달성하는, 현재 존재하거나 추후에 개발될 프로세스들, 머신들, 제조법, 물질의 합성, 수단, 방법들, 또는 단계들이 본 개시내용에 따라 활용될 수도 있다. 따라서, 첨부된 청구범위는 그들의 범위 내에, 그러한 프로세스들, 머신들, 제조법, 물질의 조성, 수단, 방법들, 또는 단계들을 포함하도록 의도된다.

[0080] [0088] 본원의 개시내용과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 회로들, 및 알고리즘 단계들은, 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이 둘의 조합들로 구현될 수 있다는 것을 당업자는 추가로 인식한다. 하드웨어와 소프트웨어의 상호교환 가능성을 명확하게 설명하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들이 이들의 기능성의 관점에서 일반적으로 상술되었다. 이러한 기능이 하드웨어로 구현되는지 아니면 소프트웨어로 구현되는지는 전체 시스템에 부과된 설계 제약 및 특정 애플리케이션에 좌우된다. 당업자들은 설명된 기능을 특정 애플리케이션마다 다양한 방식으로 구현할 수도 있지만, 이러한 구현 결정들이 본 개시내용의 범위를 벗어나게 하는 것으로 해석되지는 않아야 한다.

[0081] [0089] 본원의 개시내용과 관련하여 설명되는 다양한 예시적인 로직 블록들, 모듈들, 및 회로들이 범용 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적회로(ASIC), 필드 프로그래머블 게이트 어레이(FPGA) 또는 다른 프로그래머블 논리 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들 또는 본원에 설명된 기능들을 수행하도록 설계된 이들의 임의의 결합으로 구현되거나 또는 수행될 수 있다. 범용 프로세서는 마이크로프로세서일 수도 있지만, 대안으로 프로세서는 임의의 종래 프로세서, 제어기, 마이크로제어기 또는 상태 머신일 수도 있다. 프로세서는 또한 컴퓨팅 디바이스들의 결합, 예를 들어 DSP와 마이크로프로세서의 결합, 다수의 마이크로프로세서들, DSP 코어와 결합된 하나 이상의 마이크로프로세서들, 또는 임의의 다른 이러한 구성으로서 구현될 수도 있다.

[0082] [0090] 본원의 개시내용과 관련하여 설명되는 알고리즘 또는 방법의 단계들은 직접적으로 하드웨어로, 프로세서에 의해 실행되는 소프트웨어 모듈로, 또는 이 둘의 조합으로 구현될 수 있다. 소프트웨어 모듈은 RAM, 플래시 메모리, ROM, EPROM, EEPROM, 레지스터들, 하드 디스크, 이동식 디스크, CD-ROM, 또는 당업계에 알려진 임의의 다른 형태의 저장 매체에 상주할 수 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기입할 수 있도록 프로세서에 커플링될 수 있다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수 있다. ASIC은 사용자 단말에 상주할 수 있다. 대안으로, 프로세서 및 저장 매체는 사용자 단말에서 개별 컴포넌트들로서 상주할 수 있다.

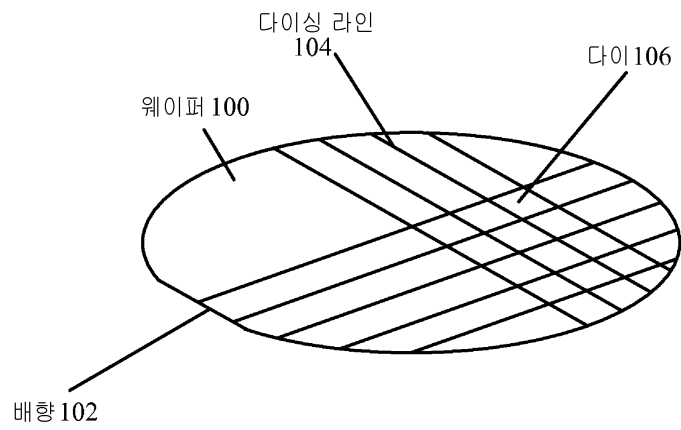
[0083] [0091] 하나 또는 그 초과 예시적인 설계들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합으로 구현될 수 있다. 소프트웨어로 구현되는 경우, 기능들은 하나 또는 그 초과 명령들 또는 코드로서 컴퓨터 판독가능 매체 상에 저장되거나 또는 이를 통해 송신될 수 있다. 컴퓨터 판독 가능 매체는 한 장소에서 다른 장소로 컴퓨터 프로그램의 전달을 가능하게 하는 임의의 매체를 포함하는 통신 매체와 컴퓨터 저장 매체를 모두 포함한다. 저장 매체는 범용 또는 특수 목적용 컴퓨터에 의해 액세스될 수 있는 임의의 이용 가능한 매체일 수 있다. 한정이 아닌 예시로, 이러한 컴퓨터 판독 가능 매체는 RAM, ROM, EEPROM, CD-ROM이나 다른 광 디스크 저장소, 자기 디스크 저장소 또는 다른 자기 저장 디바이스들, 또는 명령들이나 데이터 구조들의 형태로 지정된 프로그램 코드 수단을 전달 또는 저장하는데 사용될 수 있으며 범용 또는 특수 목적용 컴퓨터나 범용 또는 특수 목적용 프로세서에 의해 액세스 가능한 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 접속이 컴퓨터 판독 가능 매체로 적절히 지칭된다. 예를 들어, 소프트웨어가 웹사이트, 서버, 또는 다른 원격 소스로부터 동축 케이블, 광섬유 케이블, 연선, 디지털 가입자 라인(DSL), 또는 적외선, 라디오, 및 마이크로웨이브와 같은 무선 기술들을 이용하여 전송되는 경우, 동축 케이블, 광섬유 케이블, 연선, DSL, 또는 적외선, 라디오 및 마이크로웨이브와 같은 무선 기술들이 매체의 정의에 포함된다. 본원에서 사용되는 디스크(disk 및 disc)는 CD(compact disc), 레이저 디스크(disc), 광학 디스크(disc), DVD(digital versatile disc) 및 블루레이 디스크(Blu-ray disc)를 포함하며, 여기서 디스크(disk)들은 대개 데이터를 자기적으로 재생하지만, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 상기의 결합들이 또한 컴퓨터 판독가능 매체들의 범위 내에 포함되어야 한다.

[0084] [0092] 본 개시내용의 상기의 설명은 당업자가 본 개시내용을 이용하거나 실시할 수 있게 하도록 제공된다. 본 개시내용에 대한 다양한 변형들은 당업자들에게 용이하게 명백할 것이며, 본원에 정의된 일반적인 원리들은 본 개시내용의 사상 또는 범위를 벗어나지 않으면서 다른 변형들에 적용될 수 있다. 따라서, 본 개시는 본 명세서에 설명된 예들 및 설계들로 제한되도록 의도된 것이 아니라, 본 명세서에 개시된 원리들 및 신규한 특징들

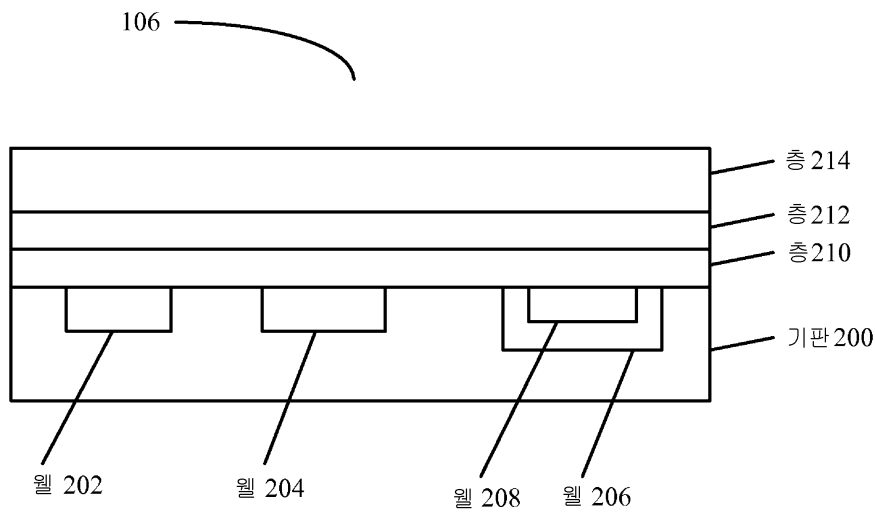
과 일치하는 가장 넓은 범위에 부합할 것이다.

도면

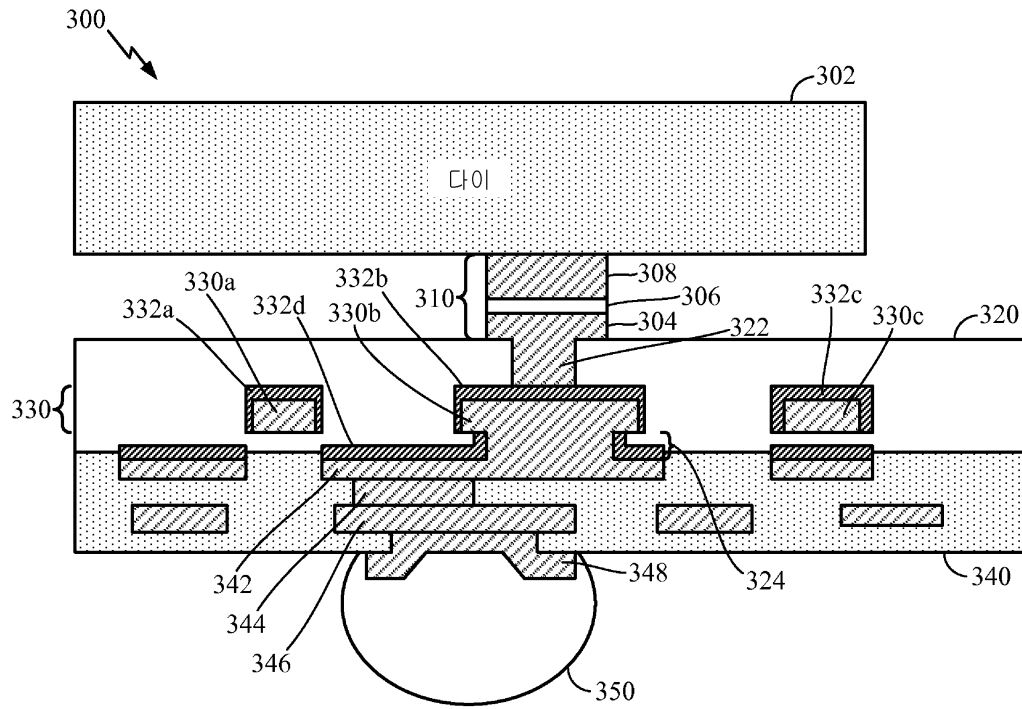
도면1



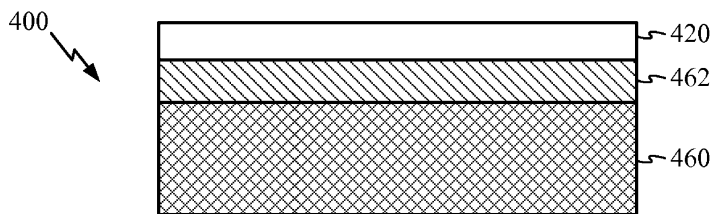
도면2



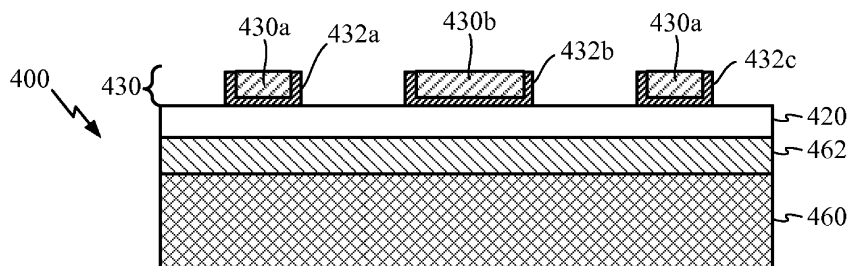
도면3



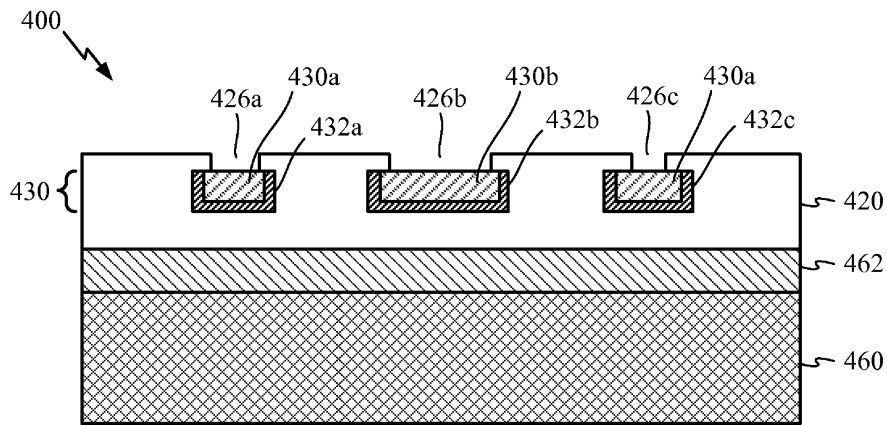
도면4a



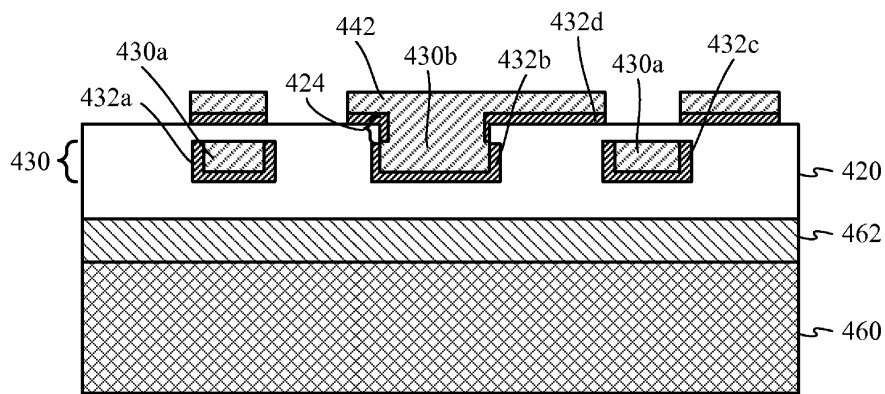
도면4b



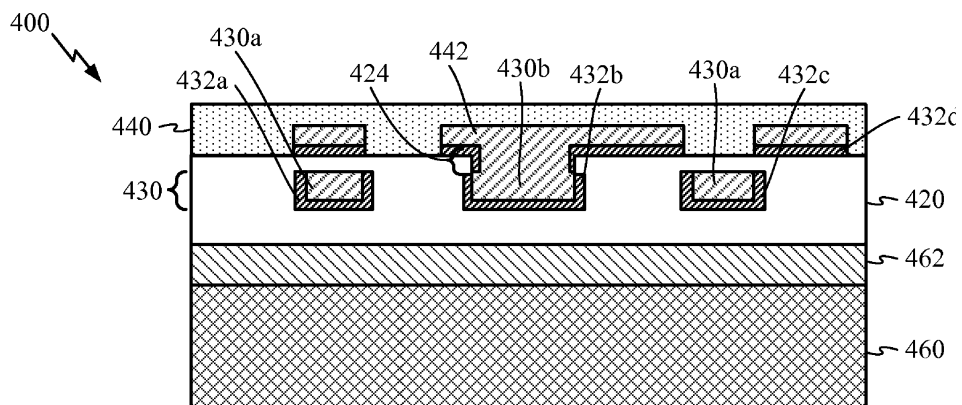
도면4c



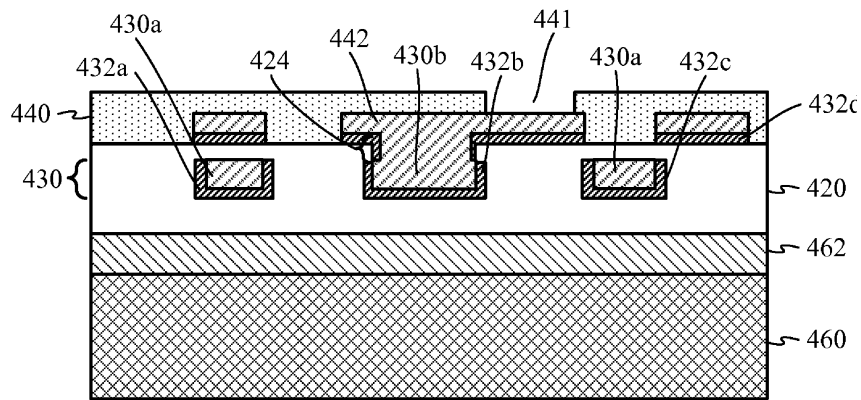
도면4d



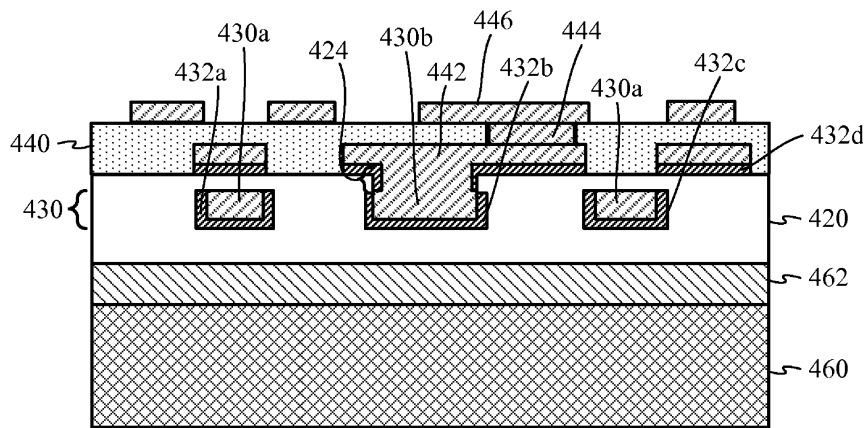
도면4e



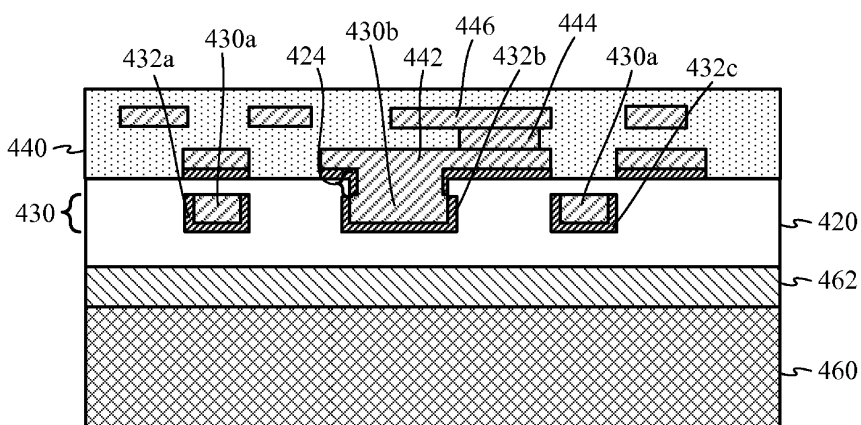
도면4f



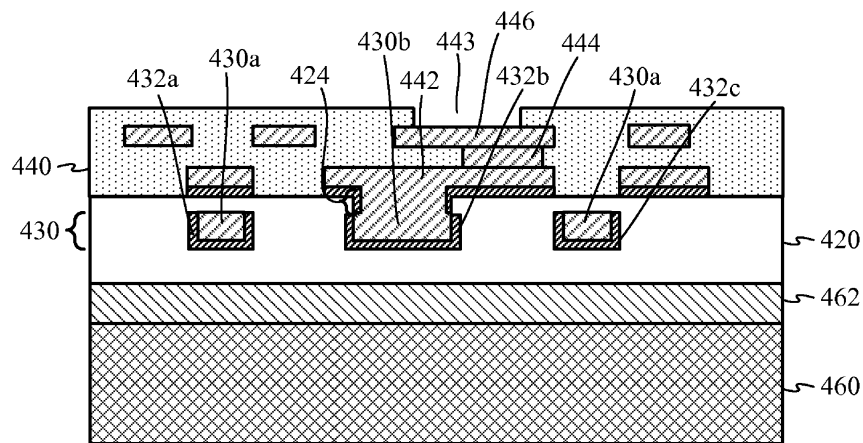
도면4g



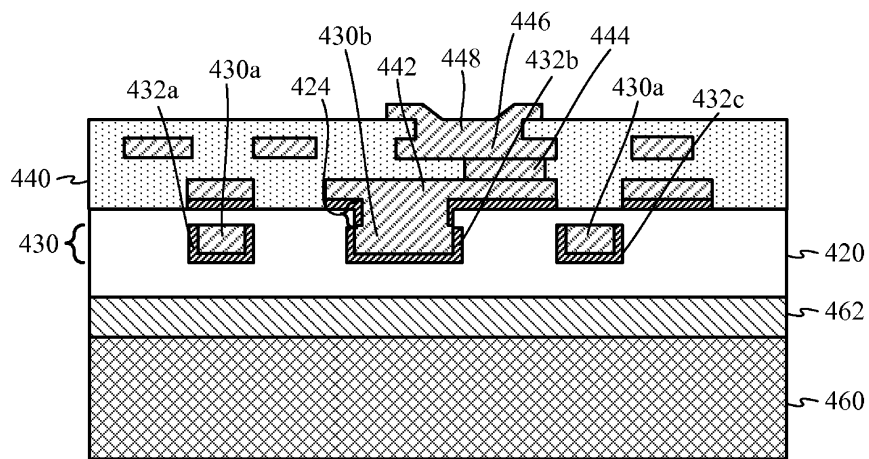
도면4h



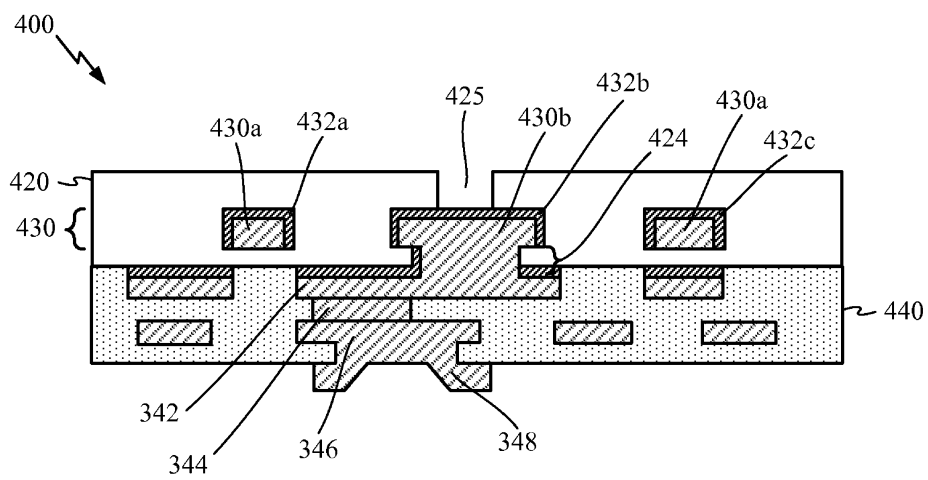
도면4i



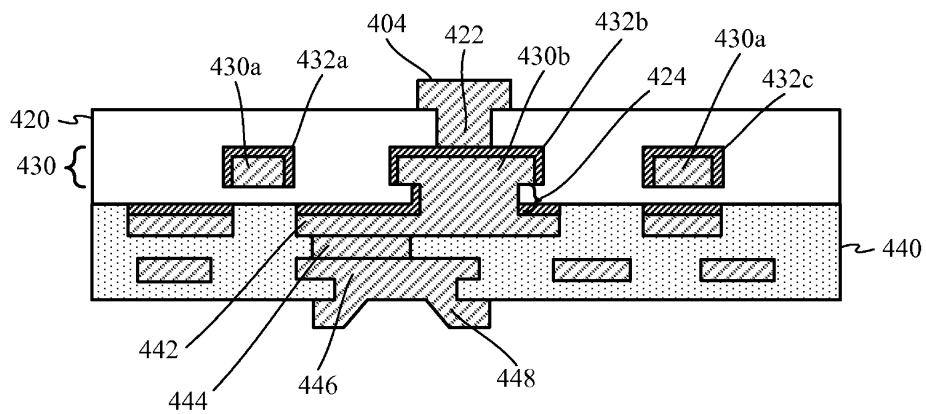
도면4j



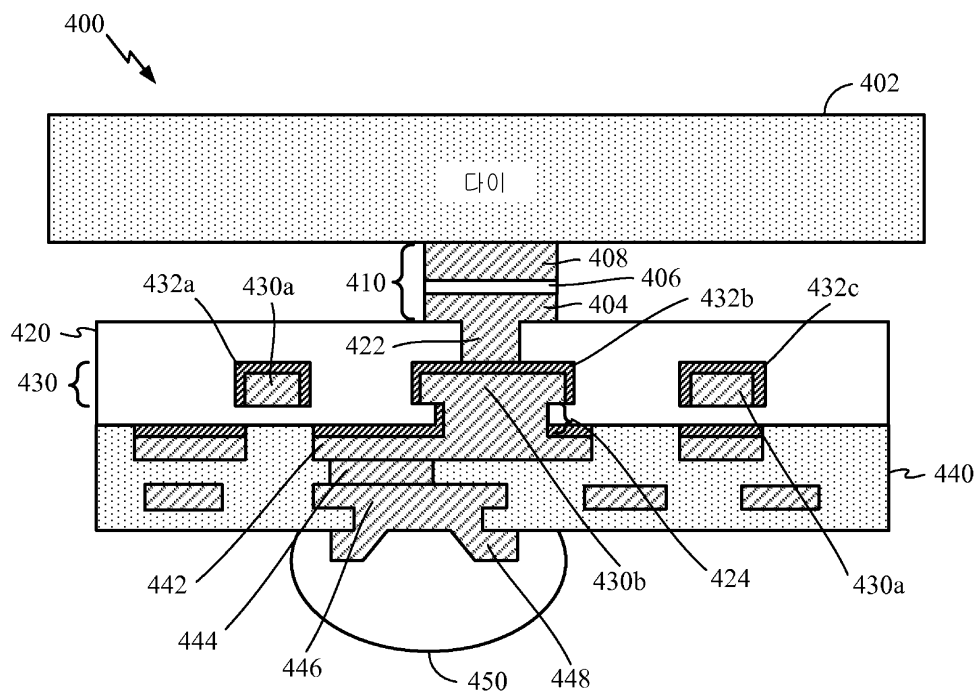
도면4k



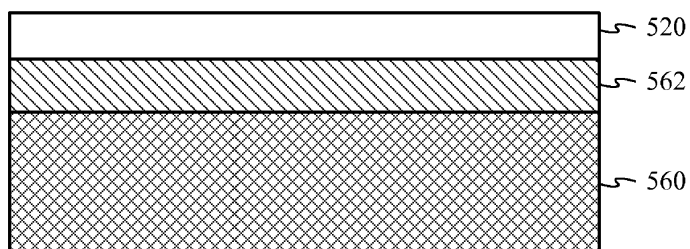
도면41



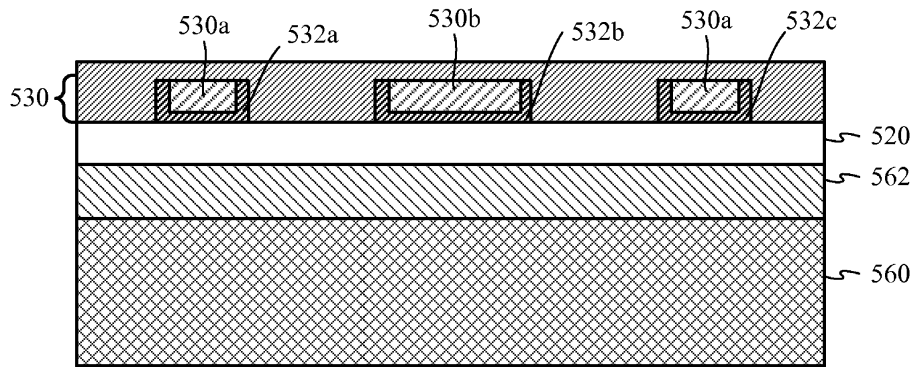
도면 4m



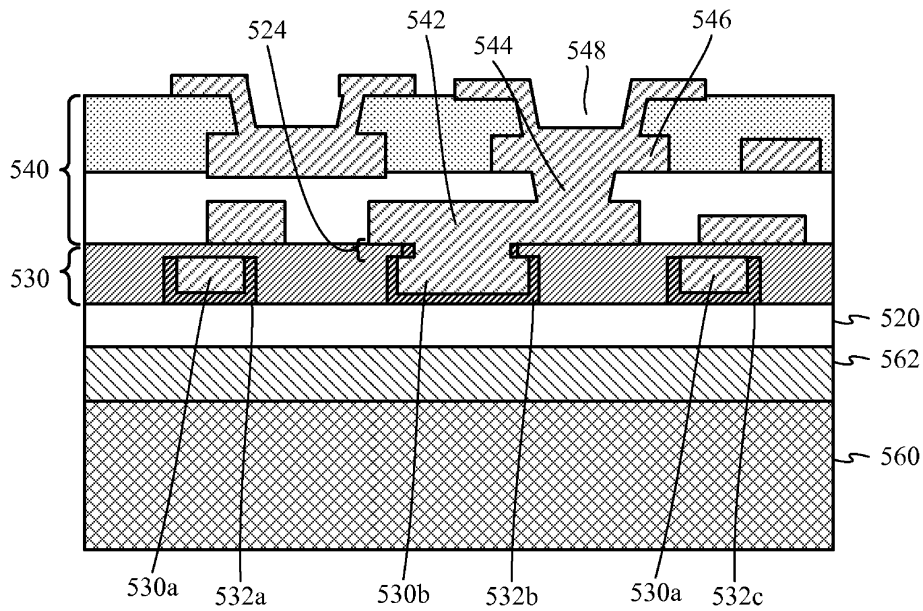
도면 5a



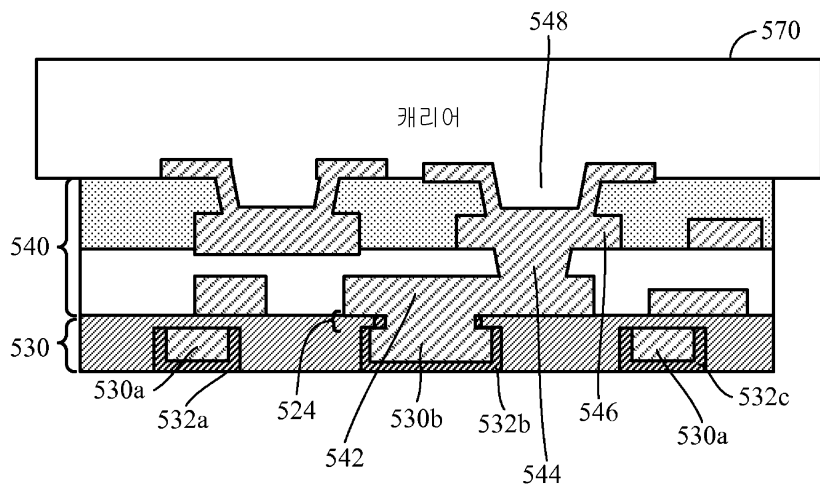
도면5b



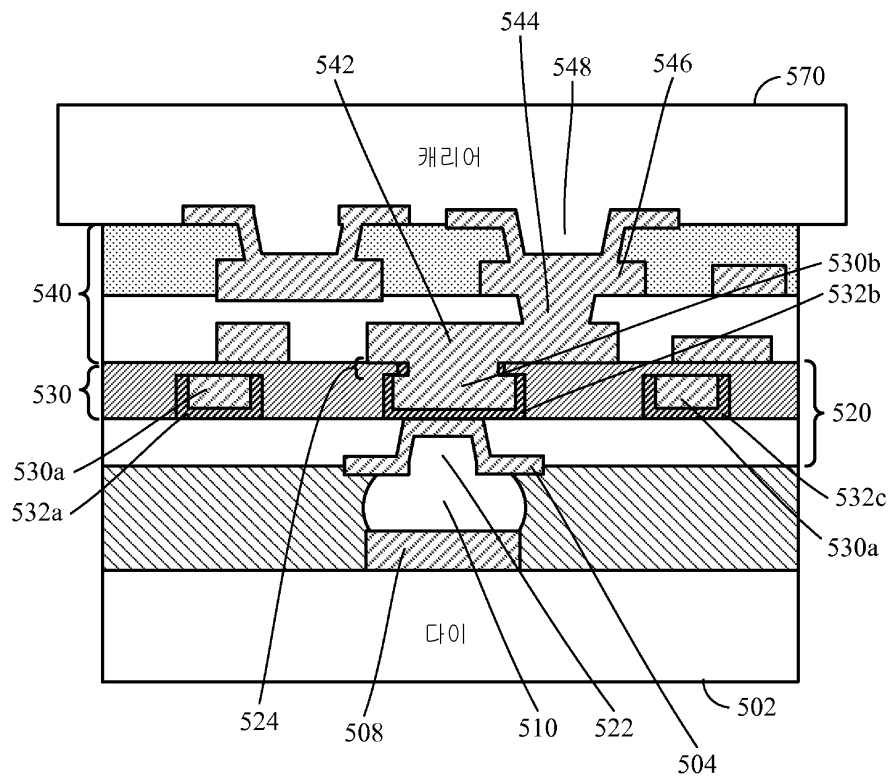
도면5c



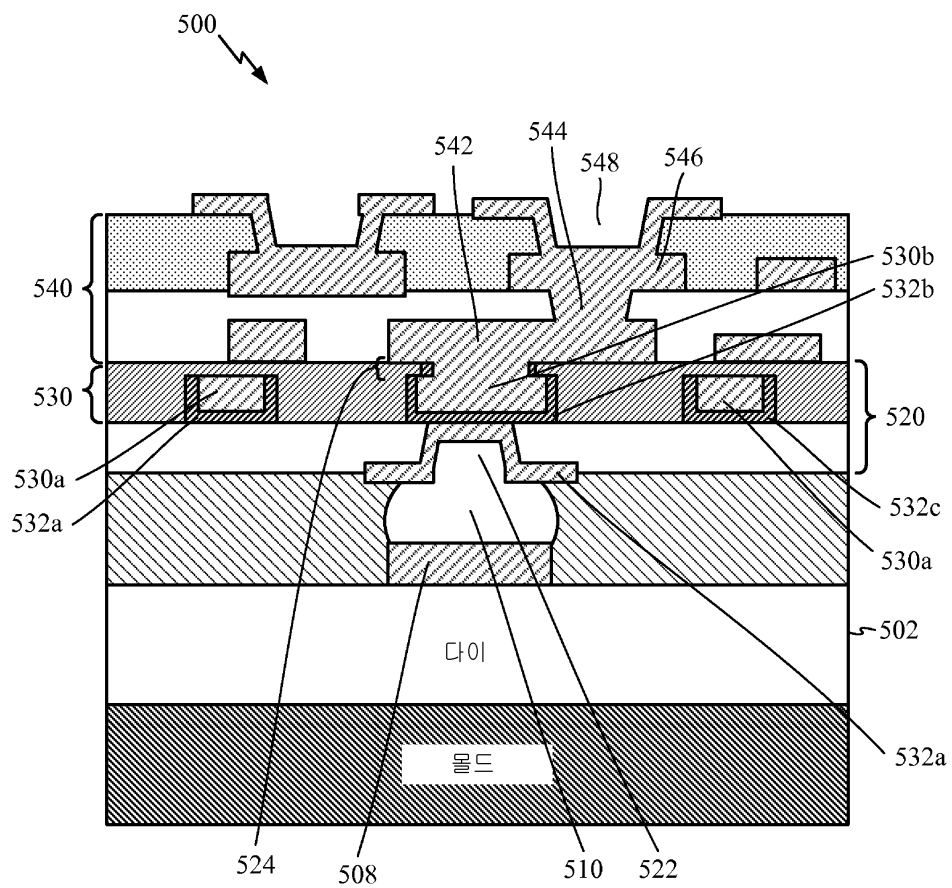
도면5d



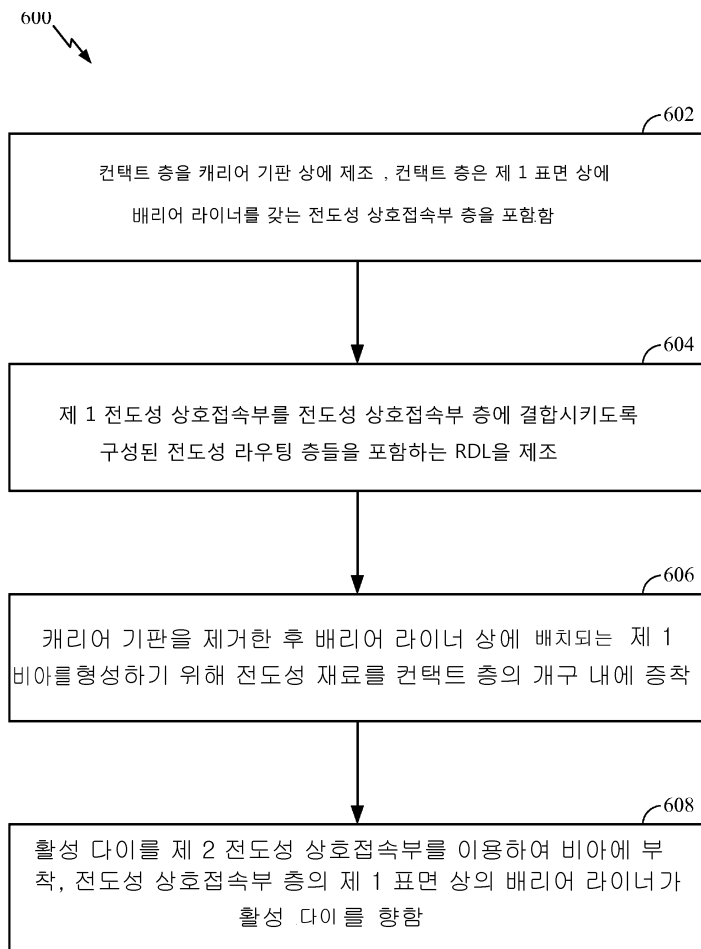
도면5e



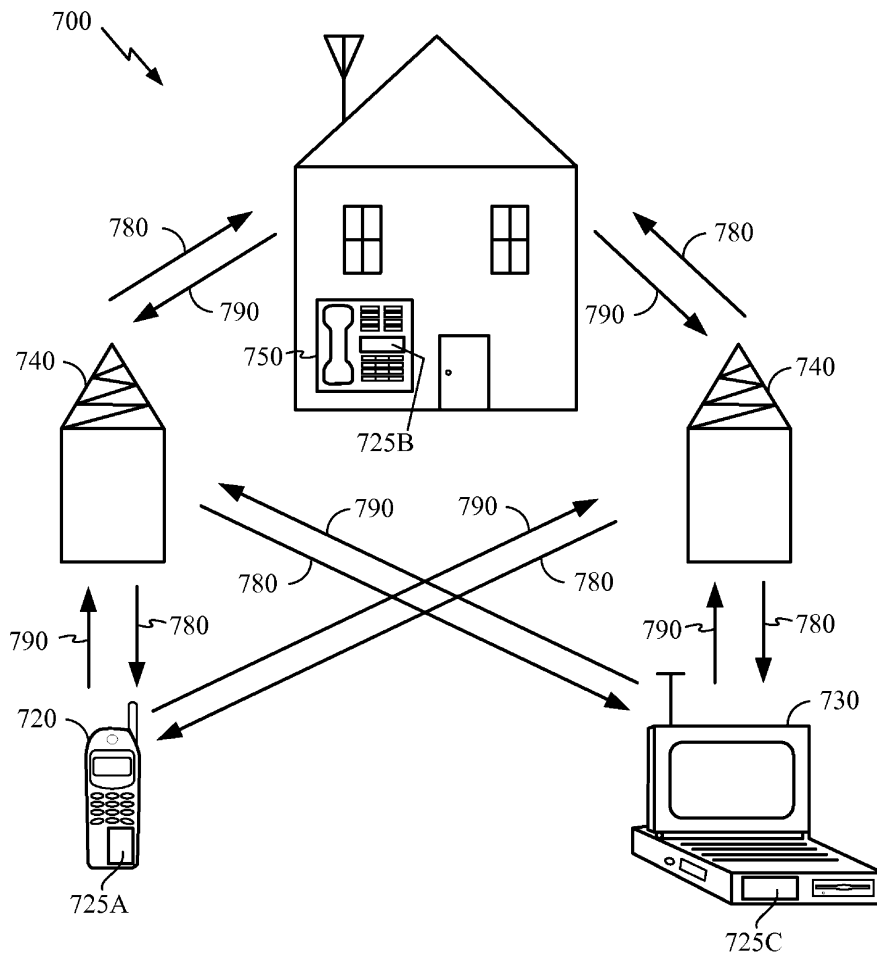
도면5f



도면6



도면7



도면8

