

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-178593

(P2012-178593A)

(43) 公開日 平成24年9月13日(2012.9.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/338 (2006.01)	HO 1 L 29/80 H	4M104
HO 1 L 29/812 (2006.01)	HO 1 L 29/06 3O1F	5F102
HO 1 L 29/778 (2006.01)	HO 1 L 29/80 F	
HO 1 L 29/06 (2006.01)	HO 1 L 29/44 Y	
HO 1 L 29/41 (2006.01)		

審査請求 有 請求項の数 11 O L 外国語出願 (全 19 頁)

(21) 出願番号 特願2012-106266 (P2012-106266)
 (22) 出願日 平成24年5月7日(2012.5.7)
 (62) 分割の表示 特願2007-245497 (P2007-245497) の分割
 原出願日 平成19年9月21日(2007.9.21)
 (31) 優先権主張番号 11/603,427
 (32) 優先日 平成18年11月21日(2006.11.21)
 (33) 優先権主張国 米国 (US)

(71) 出願人 592054856
 クリー インコーポレイテッド
 CREE INC.
 アメリカ合衆国 ノースカロライナ州 2
 7703 ダラム シリコン ドライブ
 4600
 (74) 代理人 110000877
 龍華国際特許業務法人
 (72) 発明者 ウー イーフェン
 アメリカ合衆国 93117 カリフォル
 ニア州 グレータ ファイアーサイド レ
 ーン 528

最終頁に続く

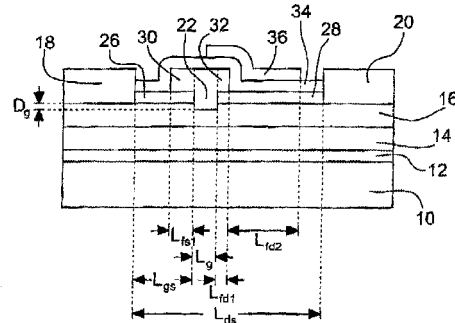
(54) 【発明の名称】 トランジスタ装置

(57) 【要約】 (修正有)

【課題】 より高い破壊電圧およびより低いオン抵抗を含み、高周波数において十分に機能するパワースwitchングデバイスを提供する。

【解決手段】 多重フィールドプレートトランジスタが、活性領域、ならびにソース18、ドレイン20、およびゲート22を含む。第1のスペーサ層26が、活性領域の上方でソースとゲートの間にあり、第2のスペーサ層28が、活性領域の上方でドレインとゲートの間にある。第1のスペーサ層上の第1のフィールドプレート30、及び第2のスペーサ層上の第2のフィールドプレート32が、ゲートに接続される。第3のスペーサ層34が、第1のスペーサ層、第2のスペーサ層、第1のフィールドプレート、ゲート、および第2のフィールドプレート上にあり、第3のフィールドプレート36が、第3のスペーサ層上にあり、ソースに接続される。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

多重フィールドプレートトランジスタであって、
 活性領域と、
 前記活性領域と電氣的に接触しているソース電極と、
 前記活性領域と電氣的に接触しているドレイン電極と、
 前記活性領域と電氣的に接触している、前記ソースと前記ドレインの間のゲートと、
 前記活性領域の上方で前記ソースと前記ゲートの間に配設された第 1 の絶縁性スペーサ層と、
 前記活性領域の上方で前記ドレインと前記ゲートの間に配設された第 2 の絶縁性スペーサ層と、
 前記ソースと前記ゲートの間にある前記第 1 のスペーサ層上に配設され、前記ゲートに電氣的に接続され、前記ソースに向かって延びる第 1 の導電性フィールドプレートと、
 前記ドレインと前記ゲートの間にある前記第 2 のスペーサ層上に配設され、前記ゲートに電氣的に接続され、前記ドレインに向かって延びる第 2 の導電性フィールドプレートと、
 前記第 1 のスペーサ層、前記第 2 のスペーサ層、前記第 1 のフィールドプレート、前記ゲート、および前記第 2 のフィールドプレート上で、前記ソースと前記ドレインの間に配設された第 3 の絶縁性スペーサ層と、
 前記第 3 のスペーサ層上に、前記ゲート、前記第 2 のフィールドプレート、および前記第 2 のスペーサ層の上方で配設され、前記ソースに電氣的に接続され、前記ドレインに向かって延びる第 3 の導電性フィールドプレートと
 を備えたことを特徴とする多重フィールドプレートトランジスタ。

【請求項 2】

少なくとも 600 ボルトの阻止電圧を呈するとともに、 $5.0 \text{ m}^2 - \text{cm}^2$ 以下のオン抵抗で少なくとも 2 アンペアの電流に対応するように構成されたことを特徴とする請求項 1 に記載のトランジスタ。

【請求項 3】

少なくとも 600 ボルトの阻止電圧を呈するとともに、 $5.3 \text{ m}^2 - \text{cm}^2$ 以下のオン抵抗で少なくとも 3 アンペアの電流に対応するように構成されたことを特徴とする請求項 1 に記載のトランジスタ。

【請求項 4】

少なくとも 900 ボルトの阻止電圧を呈するとともに、 $6.6 \text{ m}^2 - \text{cm}^2$ 以下のオン抵抗で少なくとも 2 アンペアの電流に対応するように構成されたことを特徴とする請求項 1 に記載のトランジスタ。

【請求項 5】

少なくとも 900 ボルトの阻止電圧を呈するとともに、 $7.0 \text{ m}^2 - \text{cm}^2$ 以下のオン抵抗で少なくとも 3 アンペアの電流に対応するように構成されたことを特徴とする請求項 1 に記載のトランジスタ。

【請求項 6】

前記第 1 のスペーサ層および前記第 2 のスペーサ層が、前記活性領域の表面上に配設された単一層の部分を備えたことを特徴とする請求項 1 に記載のトランジスタ。

【請求項 7】

高電子移動度トランジスタを備えたことを特徴とする請求項 1 に記載のトランジスタ。

【請求項 8】

基板と、
 前記基板上に配設されたバッファ層と、
 前記バッファ層上に配設されたバリア層と
 をさらに備え、
 前記活性領域が、前記バッファ層と前記バリア層との間のヘテロ界面に誘起される 2 次

元電子ガスによって画定されたことを特徴とする請求項 7 に記載のトランジスタ。

【請求項 9】

前記ゲートが、前記バリア層内に部分的に凹んだことを特徴とする請求項 8 に記載のトランジスタ。

【請求項 10】

前記基板が、半絶縁性 SiC 基板を備えたことを特徴とする請求項 8 に記載のトランジスタ。

【請求項 11】

前記第 1 のスペーサ層は、第 1 の SiN スペーサ層を備え、前記第 2 のスペーサ層は、第 2 の SiN スペーサ層を備え、前記第 3 のスペーサ層は、第 3 の SiN スペーサ層を備えたことを特徴とする請求項 8 に記載のトランジスタ。

10

【請求項 12】

前記第 1 のフィールドプレートは、第 1 の金属フィールドプレートを備え、前記第 2 のフィールドプレートは、第 2 の金属フィールドプレートを備え、前記第 3 のフィールドプレートは、第 3 の金属フィールドプレートを備えたことを特徴とする請求項 8 に記載のトランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に、半導体に関し、より詳細には、フィールドプレートを利用するパワースイッチング用トランジスタに関する。

20

【背景技術】

【0002】

パワー半導体デバイスは、スイッチモード電源などのパワー電子回路内で、スイッチまたは整流器として使用される。一般的なパワーデバイスは、パワーダイオード、サイリスタ (thyristor)、パワー MOSFET、および IGBT (絶縁ゲートバイポーラトランジスタ) を含む。例えば、パワーダイオードまたはパワー MOSFET は、その低電力に相当するものと同様の原理で動作するが、より大量の電流を伝えることができ、また一般に、オフ状態においてより大きな逆バイアス電圧に対応することができる。

【0003】

必要とされる、より高い電流密度、より高い電力消費、および / またはより高い逆方向破壊電圧に対応するために、パワーデバイスの構造の変更がしばしば行われている。小信号デバイスは横型構造 (lateral structure) を使用するが、ディスクリット (すなわち、集積されていない) パワーデバイスの大部分は、縦型構造 (vertical structure) を使用して形成される。縦型構造を用いると、デバイスの電流定格がその面積に比例し、電圧阻止能力がダイ (die) の高さによって達成される。縦型構造では、デバイスの接続点の 1 つが、半導体の底面に配置される。

30

【0004】

高電子移動度トランジスタ (HEMT) は、通常はシリコン (Si) またはガリウムヒ素 (GaAs) などの半導体材料から製作される半導体トランジスタの一般的なタイプである。Si の 1 つの欠点は、Si が低電子移動度 ($600 \sim 1450 \text{ cm}^2 / \text{V} \cdot \text{s}$) を有し、それが高い性能利得を低下させ得る高ソース抵抗を生み出すことである (例えば、非特許文献 1 参照)。

40

【0005】

GaAs ベースの HEMT は、民間および軍用のレーダ通信、ハンドセット携帯電話 (handset cellular) 通信、および衛星通信における信号増幅の標準になっている。GaAs は、Si よりも高い電子移動度 (約 $6000 \text{ cm}^2 / \text{V} \cdot \text{s}$)、および低いソース抵抗を有し、それによって、GaAs ベースのデバイスの方がより高い周波数で機能することが可能になる。しかし GaAs は、シリコンと同様に比較的小さなバンドギャップ (室温で、シリコンの場合 1.12 eV 、GaAs の場合 1.42 eV)、および比較的低い破

50

壊電圧を有し、そのため、GaAsベースおよびシリコンベースのHEMTは、高周波数において高電力をもたらすことができない。

【0006】

高電力応用分野向けのSiおよびGaAs材料系に伴うこうした欠点に应运、シリコンをシリコンカーバイド(SiC)やIII族窒化物、例えば窒化ガリウム(GaN)などの広バンドギャップ半導体で置き換えることで、パワー半導体デバイスの大きな進歩が達成された。GaAsおよびSiに比べて、これらの材料の方が一般に、より高い電界破壊強度およびより高い電子飽和速度を呈する。例えば、シリコンカーバイドMOSFETは、等価なシリコンベースのデバイスよりも、10から100倍優れた性能(または、より小さなサイズ)をもたらす。1200Vの破壊電圧を有するSiCショットキーダイオードが、商業的に入手可能である。そのどちらも、多数キャリアデバイスであるので、高速で動作することができる。パイポーラデバイスが、最大20kVまでのより高い電圧向けに開発されている。シリコンカーバイドは、その諸利点の内、シリコンよりも高い温度(最大400)で動作することができ、またより低い熱抵抗を有し、それによってより優れた冷却が可能になる。

10

【0007】

具体的には、GaNパワーHEMTは、SiC MOSFETおよびSi MOSFETの両方よりも高い効率を呈するだけでなく、Siが全く機能しない、より高い周波数において十分に機能もする。GaNは、パワースイッチング用の任意の半導体デバイスの中で、最も高い性能指数を有する。GaN HEMTは、その高電子移動度および高破壊電界のため、他のあらゆる利用可能な半導体より優れた、高電圧パワーデバイスに関するBaliga DC figure)を呈し、その結果、超低オン抵抗(ultra-low on resistance)および小さなダイサイズをもたらす。

20

【0008】

HEMTは、HEMT構造内にある、異なるバンドギャップエネルギーを有し、またバンドギャップの小さな方の材料がより高い電子親和力を有する2種類の半導体材料のヘテロ接合部で、2次元電子ガス(2DEG)が形成されるため、多くの状況において動作上の利点をもたらすことができる。2DEGは、非ドープの、バンドギャップが小さい方の材料内の蓄積層であり、例えば、 1×10^{13} キャリア/cm²を上回る、非常に高いシート(sheet)電子濃度を含有することができる。さらに、バンドギャップが広い方の半導体中からの電子が2DEGに移動し、そこではイオン化不純物散乱が低減されているため、高い電子移動度が可能になる。高キャリア濃度と高キャリア移動度とが組み合わさることにより、非常に大きな相互コンダクタンスをHEMTに与えることができ、高周波数応用分野向けの金属-半導体電界効果トランジスタ(MESFET)に勝る、強力な性能上の利点をもたらすことができる。

30

【0009】

GaN HEMTデバイス技術における革新によって、0.5GHzを上回る無線周波およびマイクロ波周波数で動作可能なデバイスの破壊電圧および電力性能が増大されてきた。窒化ガリウム/窒化アルミニウムガリウム(GaN/AlGaN)材料系で製作される高電子移動度トランジスタは、前述の高破壊電界、広バンドギャップ、大きな伝導帯オフセット、および/または高飽和電子ドリフト速度を含む材料特性を併せ持つため、大きな無線周波電力を発生する可能性を有する。2DEG内の電子の大部分は、AlGaN中の分極によるものとされている。GaN/AlGaN系によるHEMTが、これまでに実証されている。AlGaN/GaN HEMTの構造および製作方法が、文献に記載されている(例えば、特許文献1、及び特許文献2参照)。半絶縁性シリコンカーバイド基板、該基板上に窒化アルミニウムバッファ層、該バッファ層上に絶縁性窒化ガリウム層、該窒化ガリウム層上に窒化アルミニウムガリウムバリア層、および該窒化アルミニウムガリウム活性構造上にパッシベーション層を有するHEMTデバイスが、開示されている(例えば、特許文献3参照)。

40

【0010】

50

AlGa_N/Ga_Nなどの広バンドギャップ半導体材料製作の改良は、高周波数、高温、および高電力応用分野向けの高電子移動度トランジスタ(HEMT)などのAlGa_N/Ga_Nトランジスタの開発を進展させる助けとなってきた。AlGa_N/Ga_Nは、大きなバンドギャップ、ならびに高いピーク電子速度値および飽和電子速度値を有する(例えば、非特許文献2参照。)。AlGa_N/Ga_N HEMTは、 $10^{13}/\text{cm}^2$ を超える2次元電子ガス(2DEG)層シート密度、および比較的高い電子移動度(最大 $2019\text{cm}^2/\text{Vs}$)を呈することもできる(例えば、非特許文献3参照。)。これらの特性により、AlGa_N/Ga_N HEMTが、無線周波、マイクロ波、およびミリメートル波周波数において非常に高い電圧および高い電力動作を実現することが可能になる。

【0011】

AlGa_N/Ga_N HEMTがサファイア基板上に成長され、 $4.6\text{W}/\text{mm}$ の電力密度および 7.6W の合計電力を示している(例えば、非特許文献4参照。)。より最近では、SiC上に成長させたAlGa_N/Ga_N HEMTが、 8GHz において $30\text{W}/\text{mm}$ の電力密度を示しており(例えば、非特許文献5参照)、また 9GHz において 22.9W の合計出力電力を示している(例えば、非特許文献6参照。)。

【0012】

バッファおよび基板上に成長させたGa_N/AlGa_NベースのHEMTが開示されている(例えば、特許文献1参照。)。その他のAlGa_N/Ga_N HEMTおよび電界効果トランジスタ(FET)も、開示されている(例えば、非特許文献7、及び非特許文献8参照。)。これらのデバイスのいくつかは、 100 ギガヘルツもの高い利得-帯域幅積(f_T)を示し(例えば、非特許文献9参照)、またX帯において最大 $10\text{W}/\text{mm}$ の高電力密度を示している(例えば、非特許文献10、及び非特許文献11参照。)。

【0013】

電子トラッピング、およびその結果生じる直流特性と無線周波特性との差が、これらのデバイスの性能における制限要因となっている。このトラッピングの問題を軽減するために、窒化シリコン(SiN)パッシベーションが成功裏に使用され、その結果、電力密度が 10GHz において $10\text{W}/\text{mm}$ を超える高性能デバイスがもたらされている。Ga_Nベースのトランジスタ内でトラッピング効果を低減させるための方法および構造が開示されている(例えば、特許文献4参照。)。しかし、これらの構造内に存在する高電界のため、電荷トラッピングは依然として問題である。

【0014】

オーバラップゲート構造(overlapping gate structure)、すなわちフィールドプレートが、電界を修正し、それによってマイクロ波周波数におけるGa_NベースのHEMTの性能を高めるために使用されてきた(例えば、非特許文献12参照。)。Karmalkarらは、フィールドプレート構造に関するシミュレーションを実施し、最大5倍の破壊電圧の増大を予測した(例えば、非特許文献13参照。)。Andoらは、より小さなゲート寸法を有する同様の構造を使用し、 2GHz において 10.3W 出力電力という性能を、SiC基板上の 1mm 幅のデバイスを使用して実証した(例えば、非特許文献14参照。)。Chiniらは、ゲート寸法がさらに低減された新種のフィールドプレートを設計し、サファイア基板上の $150\mu\text{m}$ 幅のデバイスから、 4GHz において $12\text{W}/\text{mm}$ を得た(例えば、非特許文献15参照。)。フィールドプレートを備えたGa_NベースのHEMTが、電力密度を、最大 8GHz の周波数において $30\text{W}/\text{mm}$ を上回るどころまで増大させた(例えば、非特許文献16参照。)。

【0015】

【特許文献1】米国特許第5,192,987号明細書

【特許文献2】米国特許第5,296,395号明細書

【特許文献3】米国特許第6,316,793号明細書

【特許文献4】米国特許第6,586,781号明細書

【特許文献5】米国再発行特許第34,861号明細書

【特許文献6】米国特許第4,946,547号明細書

10

20

30

40

50

- 【特許文献7】米国特許第5,200,022号明細書
- 【特許文献8】米国特許第6,218,680号明細書
- 【特許文献9】米国特許第5,210,051号明細書
- 【特許文献10】米国特許第5,393,993号明細書
- 【特許文献11】米国特許第5,523,589号明細書
- 【特許文献12】米国特許第5,592,501号明細書
- 【特許文献13】米国特許第5,290,393号明細書
- 【特許文献14】米国特許第5,686,738号明細書
- 【特許文献15】米国特許第5,739,554号明細書
- 【特許文献16】米国特許出願公開第2003/0102482号明細書 10
- 【特許文献17】米国特許出願公開第2004/0012015号明細書
- 【特許文献18】米国特許第6,548,333号明細書
- 【特許文献19】米国特許出願公開第2002/0167023号明細書
- 【特許文献20】米国特許出願公開第2003/0020092号明細書
- 【特許文献21】米国特許出願公開第2005/0051796号明細書
- 【特許文献22】米国特許出願公開第2005/0051800号明細書
- 【特許文献23】国際公開第2005/024909号パンフレット
- 【特許文献24】米国特許出願公開第2002/0066908号明細書
- 【特許文献25】米国特許出願公開第2004/0061129号明細書
- 【特許文献26】米国特許出願公開第2005/0173728号明細書 20
- 【特許文献27】米国特許出願公開第2006/0019435号明細書
- 【特許文献28】米国特許出願公開第2005/0258451号明細書
- 【特許文献29】米国特許出願公開第2005/0258450号明細書
- 【特許文献30】米国特許出願公開第2006/0108606号明細書
- 【非特許文献1】CRC Press, The Electrical Engineering Handbook, Second Edition, Dorf, p.994, (1997)
- 【非特許文献2】B. Gelmont, K. Kim and M. Shur, Monte Carlo Simulation of Electron Transport in Gallium Nitride, J. Appl. Phys. 74, (1993), pp. 1818-1821
- 【非特許文献3】R. Gaska, et al., Electron Transport in AlGaIn-GaN Heterostructures Grown on 6H-SiC Substrates, Appl. Phys. Lett. 72, (1998), pp. 707-709 30
- 【非特許文献4】Y.F. Wu et al., GaN-Based FETs for Microwave Power Amplification, IEICE Trans. Electron. E-82-C, (1999), pp. 1895-1905
- 【非特許文献5】Y.-F. Wu, A. Saxler, M. Moore, R.P. Smith, S. Sheppard, P.M. Chavarrak, T. Wisleder, U.K. Mishra, and P. Parikh, "30-W/mm GaN HEMTs by Field Plate Optimization", IEEE Electron Device Letters, Vol. 25, No. 3, pp. 117-119, March 2004
- 【非特許文献6】M. Micovic, et al., AlGaIn/GaN Heterojunction Field Effect Transistors Grown by Nitrogen Plasma Assisted Molecular Beam Epitaxy, IEEE Trans. Electron. Dev. 48, (2001), pp. 591-596
- 【非特許文献7】Gaska, et al., High-Temperature Performance of AlGaIn/GaN HFETs on SiC Substrates, IEEE Electron Device Letters, 18, (1997), pp. 492-494 40
- 【非特許文献8】Wu, et al. "High Al-content AlGaIn/GaN HEMTs With Very High Performance", IEDM-1999 Digest, pp. 925-927, Washington D.C., December 1999
- 【非特許文献9】Lu, et al. "AlGaIn/GaN HEMTs on SiC With Over 100 GHz ft and Low Microwave Noise", IEEE Transactions on Electron Devices, Vol. 48, No. 3, March 2001, pp. 581-585
- 【非特許文献10】Wu et al., "Bias-dependent Performance of High-Power AlGaIn/GaN HEMTs", IEDM-2001, Washington D.C., Dec. 2-6, 2001
- 【非特許文献11】Wu et al., High Al-Content AlGaIn/GaN MOSFETs for Ultrahigh Performance, IEEE Electron Device Letters 19, (1998), pp. 50-53 50

【非特許文献 1 2】Zhang et al., IEEE Electron Device Letters, Vol. 21, pp. 421-423 (September 2000)

【非特許文献 1 3】Karmalkar et al., IEEE Trans. Electron Devices, Vol. 48, pp. 1515-1521 (August 2001)

【非特許文献 1 4】Ando et al., IEEE Electron Device Letters, Vol. 24, pp. 289-291 (May 2003)

【非特許文献 1 5】Chini et al., IEEE Electron Device Letters, Vol. 25, No. 5, pp. 229-231 (May 2004)

【非特許文献 1 6】Y-F Wu et al., IEEE Electron Device Letters, Vol. 25, No. 3, pp. 117-119 (March 2004)

【発明の開示】

【発明が解決しようとする課題】

【0016】

しかしながら、当技術分野で知られる手法には、パワースイッチングでの高性能用途に関して制限がある。したがって、当技術分野では、より高い破壊電圧およびより低いオン抵抗 (on resistance) を含み、高周波数において十分に機能するパワースイッチングデバイス の必要性が生じてきた。

【課題を解決するための手段】

【0017】

本発明は、600ボルト以上の高い阻止電圧を維持すると共に、 $7.0 \text{ m}^2 - \text{cm}^2$ 以下のオン抵抗を呈することができる、多重フィールドプレートトランジスタ (multiple field plate transistor) を提供する。

【0018】

本発明に従って製作される多重フィールドプレートトランジスタは、活性領域、該活性領域と電氣的に接触しているソース電極、該活性領域と電氣的に接触しているドレイン電極、および該活性領域と電氣的に接触している、ソースとドレインの間のゲートを含む。

【0019】

第1の絶縁性スペーサ層が、活性領域の上方でソースとゲートの間に配設され、第2の絶縁性スペーサ層が、活性領域の上方でドレインとゲートの間に配設される。

【0020】

ソースとゲートの間にある第1のスペーサ層上に配設された第1の導電性フィールドプレートが、ゲートに電氣的に接続され、ソースに向かって延びる。ドレインとゲートの間にある第2のスペーサ層上に配設された第2の導電性フィールドプレートが、ゲートに電氣的に接続され、ドレインに向かって延びる。

【0021】

第3の絶縁性スペーサ層が、第1のスペーサ層、第2のスペーサ層、第1のフィールドプレート、ゲート、および第2のフィールドプレート上で、ソースとドレインの間に配設される。第3の導電性フィールドプレートが、第3のスペーサ層上に、ゲート、第2のフィールドプレート、および第2のスペーサ層の上方で配設され、ソースに電氣的に接続され、ドレインに向かって延びる。

【0022】

このトランジスタは、

少なくとも600ボルトの阻止電圧を呈するとともに、 $5.0 \text{ m}^2 - \text{cm}^2$ 以下のオン抵抗で少なくとも2アンペアの電流に対応するように、

少なくとも600ボルトの阻止電圧を呈するとともに、 $5.3 \text{ m}^2 - \text{cm}^2$ 以下のオン抵抗で少なくとも3アンペアの電流に対応するように、

少なくとも900ボルトの阻止電圧を呈するとともに、 $6.6 \text{ m}^2 - \text{cm}^2$ 以下のオン抵抗で少なくとも2アンペアの電流に対応するように、または、

少なくとも900ボルトの阻止電圧を呈するとともに、 $7.0 \text{ m}^2 - \text{cm}^2$ 以下のオン抵抗で少なくとも3アンペアの電流に対応するように、さまざまに構成することができる

10

20

30

40

50

。

【0023】

より特定の実施形態では、このトランジスタは、高電子移動度トランジスタ（HEMT）であり、基板、該基板上にバッファ層、および該バッファ層上にバリア層を含み、活性領域が、バッファ層とバリア層の間のヘテロ界面に誘起される2次元電子ガスによって画定される。

【0024】

特定の構成では、HEMTの実施形態は、バリア層、半絶縁性SiC基板、GaNバッファ層、AlNバリア層、AlN層とAlGaN層のどちらも含むバリア層、SiNからなるスペーサ層、および/または金属フィールドプレート内に、部分的に凹んだゲートを含んでよい。

10

【0025】

本発明は、

少なくとも600ボルトの阻止電圧を呈するとともに、 $5.0 \text{ m}^{-2} \text{ cm}^2$ 以下のオン抵抗で少なくとも2アンペアの電流に対応するように構成された、多重フィールドプレートトランジスタ、

少なくとも600ボルトの阻止電圧を呈するとともに、 $5.3 \text{ m}^{-2} \text{ cm}^2$ 以下のオン抵抗で少なくとも3アンペアの電流に対応するように構成された、多重フィールドプレートトランジスタ、

少なくとも900ボルトの阻止電圧を呈するとともに、 $6.6 \text{ m}^{-2} \text{ cm}^2$ 以下のオン抵抗で少なくとも2アンペアの電流に対応するように構成された、多重フィールドプレートトランジスタ、および

20

少なくとも900ボルトの阻止電圧を呈するとともに、 $7.0 \text{ m}^{-2} \text{ cm}^2$ 以下のオン抵抗で少なくとも3アンペアの電流に対応するように構成された、多重フィールドプレートトランジスタも包含する。

【発明を実施するための最良の形態】

【0026】

本発明は、破壊電圧の増大および電力性能の改善、すなわちパワースイッチング用途に特に有利な特性を呈する、多重フィールドプレートトランジスタを提供する。例えば、いくつかの実施形態では、本発明は、少なくとも600ボルトの阻止電圧を有するとともに、 $5.0 \text{ m}^{-2} \text{ cm}^2$ 以下のオン抵抗で少なくとも2アンペアの電流に対応するトランジスタ、および $5.3 \text{ m}^{-2} \text{ cm}^2$ 以下のオン抵抗で少なくとも3アンペアの電流に対応するトランジスタ、ならびに少なくとも900ボルトの阻止電圧を有するとともに、 $6.6 \text{ m}^{-2} \text{ cm}^2$ 以下のオン抵抗で少なくとも2アンペアの電流に対応するトランジスタ、および $7.0 \text{ m}^{-2} \text{ cm}^2$ 以下のオン抵抗で少なくとも3アンペアの電流に対応するトランジスタを提供する。

30

【0027】

本発明の諸実施形態は、III族窒化物ベースのHEMTなど、窒化物ベースのデバイスで使用するのに特に十分に適切となり得る。本明細書では、「III族窒化物」という用語は、窒素と周期表のIII族の元素、一般にアルミニウム（Al）、ガリウム（Ga）、および/またはインジウム（In）との間で形成された半導体化合物を指す。この用語は、AlGaNやAlInGaNなどの三元化合物および四元化合物も指す。当業者には十分に理解されるように、III族元素は窒素と結合して、二元化合物（例えば、GaN）、三元化合物（例えば、AlGaNおよびAlInN）、ならびに四元化合物（例えばAlInGaN）を形成することができる。これらの化合物は全て、1モルの窒素が合計1モルのIII族元素と一緒にした実験式を有する。したがって、それらを記述するために、 $\text{Al}_x \text{Ga}_{1-x} \text{N}$ （ただし、 $0 < x < 1$ ）などの式がしばしば使用される。

40

【0028】

本発明の多重フィールドプレートトランジスタは、金属のソース電極およびドレイン電極が電氣的に接触している活性領域、ならびにソース電極とドレイン電極の間にあり、活

50

性領域内の電界を変調するためのゲートを含む。第1の絶縁性スペーサ層が、活性領域の少なくとも一部分の上方でソースとゲートの間に配置される。1層の誘電体層または複数の誘電体層の組合せで形成することができる第1のスペーサ層は、好ましくは、活性領域をゲート電極とソース電極の間で覆うが、それよりも少なく覆ってもよい。

【0029】

第2の絶縁性スペーサ層が、活性領域の少なくとも一部分の上方でドレインとゲートの間に配置される。第1のスペーサ層と同様に、第2のスペーサ層も、1層の誘電体層または複数の誘電体層の組合せで形成することができ、第2のスペーサ層は、好ましくは活性領域をゲート電極とソース電極の間で覆うが、それよりも少なく覆ってもよい。

【0030】

第1の導電性フィールドプレートが、第1のスペーサ層上に配置され、ゲートに電氣的に接続され、ソースに向かって延び、第1のスペーサ層は、第1のフィールドプレートと活性領域の間に電氣的な分離をもたらす。やはりゲートに電氣的に接続される第2の導電性フィールドプレートが、第2のスペーサ層上に配置され、ドレインに向かって延び、第2のスペーサ層は、第2のフィールドプレートと活性領域の間に電氣的な分離をもたらす。

【0031】

第1および第2のスペーサ層、第1および第2のフィールドプレート、ならびにゲート上に位置付けられる第3の絶縁性スペーサ層が、ソースとドレインの間に配置される。第3のスペーサ層上に配置される第3の導電性フィールドプレートが、ゲート、第2のフィールドプレート、および第2のスペーサの上方に位置付けられ、ソースに電氣的に接続され、ドレインに向かって延び、第3のスペーサ層は、第3のフィールドプレートを分離する。

【0032】

このようなフィールドプレートの配置は、トランジスタ内のピーク電界を低減させる助けになり、その結果、破壊電圧の増大およびトラッピングの低減をもたらされる。電界を低減させると、漏れ電流の低減や信頼性の向上など、他の利点を生み出すこともできる。フィールドプレートをソース電極に電氣的に接続することによって、フィールドプレートがゲートに接続されることから生じる利得の低減および不安定性が、低減される。本発明に従って配置すると、ソースに接続されたフィールドプレートの遮蔽効果によって、ゲートとドレインの間の容量 (C_{gd}) が低減され、それにより入力 - 出力の分離が強化され得る。

【0033】

本発明の多重フィールドプレート配置を効果的に利用することができるトランジスタの1つのタイプが、高電子移動度トランジスタ (HEMT) である。本発明に従って製作されたHEMTが、図1および2に示してあり、図1はHEMTの平面図であり、図2は断面図である。HEMTは、基板10を含み、基板10は、例えば4Hポリタイプのシリコンカーバイドなどの半絶縁性シリコンカーバイド (SiC) 基板でよい。シリコンカーバイドポリタイプの他の候補は、3C、6Hおよび15Rポリタイプを含む。「半絶縁性」という用語は、絶対的な意味ではなく、説明的なものとして使用される。本発明の特定の諸実施形態では、シリコンカーバイドのバルク結晶が、室温で約 1×10^5 - cm以上の抵抗率を有する。

【0034】

適当なSiC基板が、例えば、ノースカロライナ州ダラム在の本件特許出願人により製造されており、そのような材料を製作する方法が、文献に記載されている (例えば、特許文献5、特許文献6、特許文献7、特許文献8参照)。同様に、III族窒化物のエピタキシャル成長技法についても開示されている (例えば、特許文献9、特許文献10、特許文献11、特許文献12参照)。

【0035】

シリコンカーバイドは、基板材料として使用することができるが、本発明の諸実施形態

10

20

30

40

50

では、サファイア、窒化アルミニウム、窒化アルミニウムガリウム、窒化ガリウム、シリコン、GaAs、LGO、ZnO、LAO、InPなど、任意の適切な基板、あるいはIII族窒化物材料の成長に対応することができる他の任意の材料または材料の組合せを利用することができる。

【0036】

基板10上に、核形成層および/または遷移層を、任意選択で設けることができる。例えば、核形成層12が図2に示してある。核形成層が使用されるかどうかは、基板に使用される材料による。核形成層は、基板と、デバイス内の次の層との間の格子不整合を低減させるための適当な結晶構造の遷移をもたらす。例えば、さまざまな基板上に核形成層を形成する方法が教示されている(例えば、特許文献13、特許文献14参照。)。シリコンカーバイド基板上に核形成層を形成する方法が、開示されている(例えば、特許文献10、特許文献11、特許文献15参照。)。核形成層12は、約1000の厚さとすべきだが、他の厚さを使用することもできる。核形成層を、適切な材料が $Al_xGa_{1-x}N$ ($0 < x < 1$)である多くのさまざまな材料を使用して、また有機金属化学気相成長(MOCVD)、ハイドライド気相エピタキシ(HVPE)、または分子線エピタキシ(MBE)など、既知の半導体成長技法を使用して、基板上に堆積させることができる。

10

【0037】

さらに、1層または複数層の歪バランス遷移層(strain balancing transition layer)を、文献に開示されているように含むこともできる(例えば、特許文献16、及び特許文献17参照。)

20

【0038】

高抵抗率GaNバッファ層14が、核形成層12によってもたらされる遷移構造を使用して、基板10上に堆積される。バッファ層14は、圧縮歪み(compressive strain)を受けてよい。さらに、バッファ層、および核形成層や遷移層などの他の層は、MOCVD(有機金属化学気相成長)によって、あるいはMBE(分子線エピタキシ)またはHVPE(ハイドライド気相エピタキシ)など、当業者には公知の他の半導体成長技法によって堆積させることができる。

【0039】

バッファ層は、III族窒化物材料からなるドーブ層または非ドーブ層で製作することができ、好ましいバッファ層は、 $Al_xGa_yIn_{1-x-y}N$ ($0 < x < 1$ 、 $0 < y < 1$ 、 $x + y < 1$)などのIII族窒化物材料で形成される。

30

【0040】

バリア層16が、バリア層のバンドギャップ未満のバンドギャップを有し、バリア層よりも大きな電子親和力を有するバッファ層14上に堆積される。バッファ層14と同様に、バリア層16も、III族窒化物材料からなるドーブ層または非ドーブ層でよい。バリア層はAlNでよく、またはいくつかの実施形態では、バリア層は、AlN層やAlGaN層など、複数の層を含むことができる。適切なバリア層の例が、文献に開示されている(例えば、特許文献3、特許文献4、特許文献18、特許文献19、特許文献20参照。)。他の窒化物ベースHEMT構造が、文献に例示されている(例えば、特許文献1、特許文献2参照。)

40

【0041】

バリア層は、例えば、約0.8nmの厚さを有するAlN層と、24%のAlおよび約250の厚さを有するAlGaN層とを含むことができる。バリア層は、十分に厚くあるべきであり、バッファ層14とバリア層16の間の境界面に分極効果によって十分なキャリア濃度を誘起するために、十分に高いAlの組成およびドーピングを有すべきである。こうすることにより、活性領域として知られる2次元電子ガス(2DEG)が、バッファ層とバリア層の間のヘテロ界面に形成される。

【0042】

ソース接点18およびドレイン接点20が、バリア層16へのオーム接点として設けられる。オーム接点は、バリア層を通じて活性領域に抵抗率の低い接続をもたらすように、

50

(例えば、アニールによって)処理される。バリア層上のゲート接点22が、バリア層内に深さ D_g まで広がってよい。図1に示すように、外部電気接続24を、ゲート22に設けることができる。ゲートに適当なレベルでバイアスがかけられると、電流が、ソース電極とドレイン電極の間に、パuffa層とバリア層の間のヘテロ界面に誘起された2DEGを流れることができる。

【0043】

ソース電極18およびドレイン電極20は、チタン、アルミニウム、金、およびニッケルの合金を含むがそれらに限定されない、さまざまな材料で形成することができる。ゲート22も、金、ニッケル、白金、チタン、クロム、チタンとタングステンの合金、および白金シリサイドを含むがそれらに限定されない、さまざまな材料で形成することができる。ゲート22の長さ L_g はさまざまによく、適切な長さは0.1から2 μm の範囲内であるが、他のゲート長を使用することもできる。本発明による一実施形態では、好ましいゲート長 L_g は、約0.5 μm である。

10

【0044】

第1の絶縁性スペーサ層26が、バリア層上でソースとゲートの間に堆積され、第2の絶縁性スペーサ層28が、バリア層上でドレインとゲートの間に堆積される。任意選択で、層26および28を初めに単一の層として形成し、それを後にエッチングにより貫通して、ゲート22を形成してもよい。スペーサ層26および28は、1層の誘電体層でも、複数の誘電体層の組合せでもよい。 SiN 、 SiO_2 、 Si 、 Ge 、 MgO_x 、 MgN_x 、 ZnO 、 SiN_x 、 SiO_x 、ならびにそれらの合金および層を並べたものなどの、さまざまな誘電体材料を使用することができる。スペーサ層は、さまざまな厚さにすることができ、適切な厚さの範囲は、約0.05から2 μm である。

20

【0045】

スペーサ層は、デバイスのメタライゼーションの前に形成される場合、Al、GaまたはInの合金などの異なるIII族元素を有する、III族窒化物材料などのエピタキシャル材料とすることができ、適切なスペーサ層材料は、 $\text{Al}_x\text{Ga}_{1-x}\text{N}$ (0.1 x 1)である。バリア層16をエピタキシャル成長させた後、スペーサ層26および28を、同じエピタキシャル成長法を使用して成長させることができる。

【0046】

スペーサ層26上でソースとゲートの間にある第1の導電性フィールドプレート30が、ゲート22に電氣的に接続される。スペーサ層28上でドレインとゲートの間にある第2の導電性フィールドプレート32も、ゲートに電氣的に接続される。フィールドプレート30および32は、さまざまな導電性材料から形成することができ、適切な材料は、標準的なメタライゼーション技法を使用して堆積される金属である。フィールドプレートを備えるトランジスタおよびそうしたトランジスタを製作する方法が、文献に開示されている(例えば、特許文献21、特許文献22、特許文献23参照。)

30

【0047】

第3の絶縁性スペーサ層34が、第1のスペーサ層26および第2のスペーサ層28、第1のフィールドプレート30および第2のフィールドプレート32、ならびにゲート22上で、ソースとドレインの間に形成される。このスペーサ層は、第1および第2のスペーサ層に関して上述したものと同様の材料で、また同様の処理によって形成することができる。

40

【0048】

第3の導電性フィールドプレート36が、第3のスペーサ層上に、ゲート、第2のフィールドプレート、および第2のスペーサ層の上方で堆積され、ドレインに向かって延び、ソースに電氣的に接続される。第3のフィールドプレートは、ソースにさまざまな方法で電氣的に接続することができる。図1は、例えば、導電性バス38および40を介した接続を示す。あるいは、外部バス42が接続を形成することもできる。他の接続構造を使用することもできる。さまざまな数のバスを使用することができるが、使用されるバスが多いほど、生じ得る望ましくない容量が大きくなる。生じる望ましくない容量の総量を最小

50

限に抑えるために、できるだけ少ないHEMTの活性領域を覆いながら、電流がソースからフィールドプレート内に効果的に分散することができるように、十分な本数のバスがあるべきである。

【0049】

第3のフィールドプレートを堆積させ、それをソース電極に接続した後、活性構造を、窒化シリコンなどの誘電体パッシベーション層（図示せず）によって覆うことができる。誘電体パッシベーション層を形成する方法が、上述した特許文献および非特許文献に詳細に記載されている。

【0050】

図1および2に示すHEMTと同様に製作されたデバイスに関する性能結果が得られた。図3および4に示すように、2Aの電流を伝えることができるデバイスにおいて、600Vを上回る阻止電圧が、 5.0 m^2 未満のオン抵抗とともに達成された。このデバイスは、3Aの電流を伝えるときに 5.3 m^2 未満のオン抵抗も呈した。このデバイスは、 0.01 cm^2 ($1 \times 1 \text{ mm}^2$)のデバイス面積、ならびに4の厚さのAlN層および250の厚さのAlGaIn層を含むバリア層を有する、SiC基板上のGaN HEMTであった。第1のスペーサ層の厚さが0であり、第2のスペーサ層の厚さが約1200であり、第3のスペーサ層の厚さが約1500であった。設計寸法は、（図2を参照して）ゲート接点長 L_g $1.2 \mu\text{m}$ 、ゲートからドレインまでの距離 L_{gd} $13.3 \mu\text{m}$ 、ドレインからソースまでの距離 L_{ds} $16 \mu\text{m}$ 、第2のフィールドプレート幅 L_{fd1} $1.8 \mu\text{m}$ 、および第3のフィールドプレート幅 L_{fd2} $4.5 \mu\text{m}$ を含んだ。

10

20

【0051】

図3は、このデバイスに関する、ゲート電圧 V_g が1Vから2Vまで変化する場合の、ドレイン電流 I_D 対ドレイン-ソース電圧 V_{DS} のプロット図である。図4は、このデバイスが600Vの阻止電圧 V_{BD} を達成した様子を示す。

【0052】

図5および6に示すように、2Aの電流を伝えることができるデバイスにおいて、900Vを上回る阻止電圧が、 6.6 m^2 未満のオン抵抗とともに達成された。このデバイスは、3Aの電流を伝えるときに 7.0 m^2 未満のオン抵抗も呈した。このデバイスは、 0.01 cm^2 ($1 \times 1 \text{ mm}^2$)のデバイス面積、ならびに4の厚さのAlN層および250の厚さのAlGaIn層を含むバリア層を有する、SiC基板上のGaN HEMTであった。第1のスペーサ層の厚さが0であり、第2のスペーサ層の厚さが約1200であり、第3のスペーサ層の厚さが約1500であった。設計寸法は、（図2を参照して）ゲート接点長 L_g $1.5 \mu\text{m}$ 、ゲートからドレインまでの距離 L_{gd} $18.0 \mu\text{m}$ 、ドレインからソースまでの距離 L_{ds} $21.5 \mu\text{m}$ 、第2のフィールドプレート幅 L_{fd1} $1.5 \mu\text{m}$ 、および第3のフィールドプレート幅 L_{fd2} $4.5 \mu\text{m}$ を含んだ。

30

【0053】

図5は、このデバイスに関する、ゲート電圧 V_g が1Vから-2Vまで変化する場合の、ドレイン電流 I_D 対ドレイン-ソース電圧 V_{DS} のプロット図である。図6は、このデバイスが900Vの阻止電圧 V_{BD} を達成した様子を示す。

40

【0054】

以上、本発明の諸実施形態を、特定の構造を参照して説明したが、本発明のいくつかの実施形態では、本発明のデバイスを製作するための他の構造および/または技法を利用することもできる。そうした構造および/または技法は、例えば、米国の本願の譲受人に譲渡された、「Nitride Based Transistors on Semi-Insulating Silicon Carbide Substrates」（特許文献3）、「Aluminum Gallium Nitride/Gallium Nitride High Electron Mobility Transistors having a Gate Contact on a Gallium Nitride Based Cap Segment and Methods of Fabricating Same」（特許文献24）、「Group III Nitride Based High Electron Mobility Transistor (HEMT) with Barrier/Spacer Layer」（特許文献19

50

)、「Nitride-based Transistors and Methods of Fabrication Thereof Using Non-Etched Contact Recesses」(特許文献25)、「Nitride Heterojunction Transistors Having Charge-Transfer Induced Energy Barriers and Methods of Fabricating the Same」(特許文献26)、「Methods of Fabricating Nitride-Based Transistors with a Cap Layer and a Recessed Gate」(特許文献27)、「Methods of Fabricating Nitride-Based Transistors having Regrown Ohmic Contact Regions and Nitride-Based Transistors having Regrown Ohmic Contact Regions」(特許文献28)、「Semiconductor Devices having a Hybrid Channel Layer, Current Aperture Transistors and Methods of Fabricating Same」(特許文献29)、「Insulating Gate AlGaIn/GaN HEMT」(特許文献20)、「Cap Layers and/or Passivation Layers for Nitride-Based Transistors, Transistor Structures and Methods of Fabricating Same」(特許文献30)に記載されているものを含むことができる。

10

【0055】

本明細書で使用される用語は、特定の諸実施形態についてのみ説明するものであり、本発明を限定するものではないことに留意されたい。図面では、層や領域などの構成要素の厚さが、見やすくするために誇張される場合がある。同じ数字は、明細書全体を通じて同じ要素を表す。「および/または」という語は、列挙された関連する諸項目の1つまたは複数のあらゆる組合せを含む。

【0056】

単数形「1つの(a、an)」、および「その(the)」は、文脈上明らかに示す場合を除き、複数形も含むものとする。「備える(comprises、comprising)」という語は、本明細書中で使用される場合、述べられた特徴、整数、ステップ、動作、要素および/または構成要素の存在を特定するが、1つあるいは複数の他の特徴、整数、ステップ、動作、要素、構成要素および/またはそれらの群の、存在または追加を妨げない。

20

【0057】

層、領域、または基板などの要素が、別の要素「上に」ある、または別の要素「上に」延びているという場合、その要素は、直接他の要素上にあっても、他の要素上に延びてもよく、または介在する要素が存在してもよい。それとは対照的に、要素が、別の要素の「直接上に」ある、または別の要素の「直接上に」延びているという場合、介在する要素は存在しない。さらに、要素が別の要素に「接続されている」または「結合されている」という場合、その要素は、直接他の要素に接続されても、結合されてもよく、または介在する要素が存在してもよい。それとは対照的に、要素が別の要素に「直接接続されている」または「直接結合されている」という場合、介在する要素は存在しない。

30

【0058】

構成要素、領域、層および/または部分などのさまざまな要素について説明するために、第1、第2などの語が使用されることがあるが、それらの要素は、こうした語によって限定されない。そうではなく、こうした語は、ある要素、構成要素、領域、層、または部分を、別のものと区別するために使用される。したがって、例えば、第1の要素、構成要素、領域、層または部分は、本発明の教示から逸脱することなく、第2の要素、構成要素、領域、層または部分と呼ぶことができる。

40

【0059】

「低い方の」または「底部の」や、「高い方の」または「上部の」などの相対語が、図面中に示した、ある要素の別の要素との関係を説明するために使用されることがある。そのような相対語は、図面内に示された向きに加えて、デバイスのさまざまな向きを含むものである。例えば、図面内のデバイスが裏返しにされる場合、他の要素の「低い方の」側にあると説明された要素は、他の要素の「高い方の」側に向けられることになる。したがって、「低い方の」という例示的な語は、図面の特定の向きに応じて、「低い方の」と「高い方の」のどちらも含むことができる。同様に、「下の(below、beneath)」という例示的な語は、上の向きと下の向きのどちらも含むことができる。さらに、「

50

外側の」という語は、基板から最も遠く離れた表面および/または層を指すのに使用することができる。

【0060】

本発明の諸実施形態は、本発明の理想化された諸実施形態を概略的に示す平面図、断面図および/または他の図を参照して説明される。したがって、例えば製造技法および/または公差 (tolerance) の結果として、図の形状との違いが予想される。したがって、本発明の諸実施形態は、図示の特定の形状に限定されると解釈すべきではなく、例えば製造から生じるずれを含むべきである。例えば、長方形として示されるエッチングされた領域は、実際には一般に、テーパ状の特徴、丸い特徴または曲線状の特徴を有する。別の特徴に「隣接して」配設される構造または特徴という言葉及は、隣接する特徴とオーバーラップする、またはその下にある部分を含むことがある。

10

【0061】

別段定義されない限り、技術用語および科学用語を含む、本明細書で使用されるあらゆる用語は、本発明に係る当業者によって一般に理解される意味を有する。さらに、一般に使用される辞書で定義されるような用語は、関連技術の文脈におけるその意味と一致する意味を有すると解釈すべきであり、そのような用語は、本明細書において明示的にそのように定義されない限り、理想化されたまたは過度に形式的な意味として解釈すべきでない。

【0062】

本発明は、いくつかの好ましい構成を参照して詳細に説明および図示されたが、変更形態および追加の実施形態を含む他のバージョンが、当業者には疑問の余地なく明らかとなるであろう。例えば、フィールドプレートの配置を、多くのさまざまなデバイスで使用することができる。フィールドプレートは、さまざまな形状を有することもでき、ソース接点にさまざまな方法で接続することができる。さらに、本発明は、パワースイッチング用途に特に有用であるが、例えばスイッチモード電源および高電圧モータ駆動装置用の直流-直流変換器などの他の用途にも、そうしたシステムでの効率増大およびサイズ低減を助けるために使用することができる。したがって、本発明の趣旨および範囲は、本明細書に記載の本発明の諸実施形態に限定すべきではない。そうではなく、それらの実施形態は、本開示を網羅的で完全なものにするために、また本発明の範囲を当業者に十分に伝えるために、提供されるものである。

20

30

【0063】

さらに、等価な要素を、本明細書に示し記載したものの代わりに用いることができ、部品または接続を逆にする、あるいは交換することができる。本発明のいくつかの特徴を、他の特徴とは関わりなく利用することができる。したがって、例示的な諸実施形態は、包括的ではなく例示的なものと見なすべきであるとともに、添付の特許請求の範囲が、本発明の全範囲を定義するものとする。

【図面の簡単な説明】

【0064】

【図1】本発明の一実施形態による高電子移動度トランジスタ (HEMT) の平面図である。

40

【図2】図1に示されるHEMTを示す断面図である。

【図3】本発明の一実施形態による600V HEMTの、1Vから-2Vのさまざまなゲート電圧での性能を示す、ドレイン電流 I_D 対ドレイン-ソース電圧 V_{DS} のプロット図である。

【図4】図3に示すHEMTが600Vの阻止電圧を達成した様子を示す、ドレイン電流 I_D 対ドレイン-ソース電圧 V_{DS} のプロット図である。

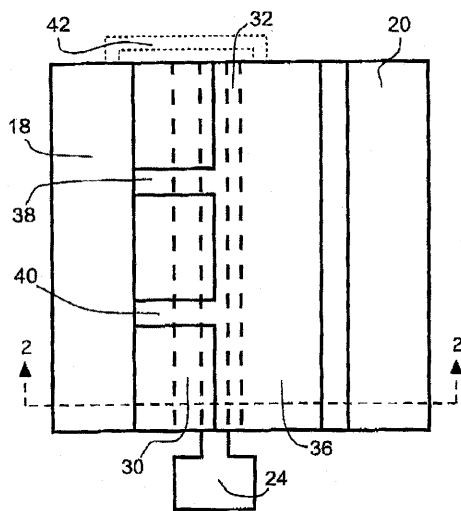
【図5】本発明の一実施形態による900V HEMTの、1Vから-2Vのさまざまなゲート電圧での性能を示す、ドレイン電流 I_D 対ドレイン-ソース電圧 V_{DS} のプロット図である。

【図6】図5に示すHEMTが900Vを超える阻止電圧を達成した様子を示す、ドレイ

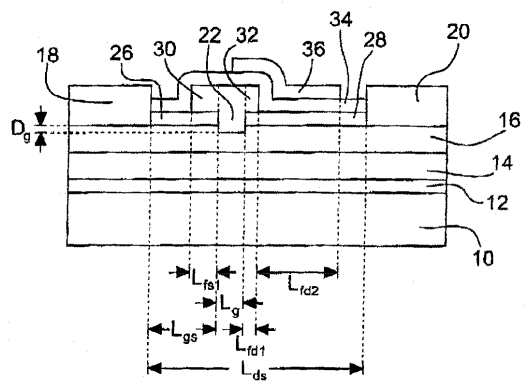
50

ン電流 I_D 対ドレイン - ソース電圧 V_{DS} のプロット図である。

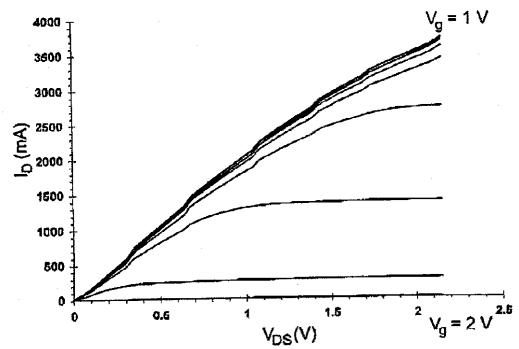
【 図 1 】



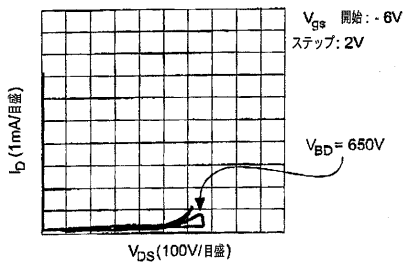
【 図 2 】



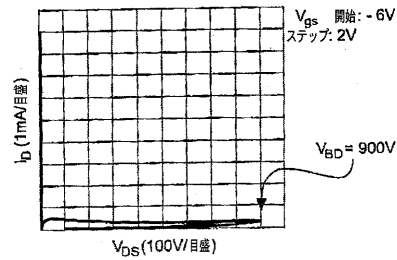
【 図 3 】



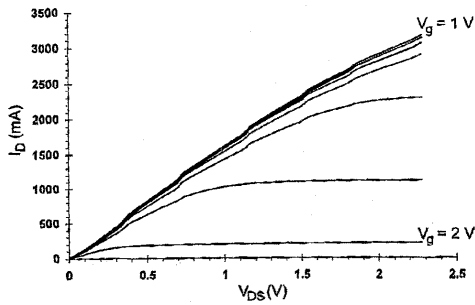
【 図 4 】



【 図 6 】



【 図 5 】



【 手続補正書 】

【 提出日 】平成24年6月6日(2012.6.6)

【 手続補正 1 】

【 補正対象書類名 】特許請求の範囲

【 補正対象項目名 】全文

【 補正方法 】変更

【 補正の内容 】

【 特許請求の範囲 】

【 請求項 1 】

トランジスタ装置であって、

半導体層に設けられた活性領域と、

前記活性領域と電氣的に接触しているソース電極とドレイン電極と、

前記ソースと前記ドレインの間で、前記活性領域と電氣的に接触しているゲート電極と

、

前記活性領域上に設けられた複数のフィールドプレートと

を備え、

少なくとも600ボルトの阻止電圧を呈するとともに、少なくとも2アンペアの電流に対応するトランジスタ装置。

【 請求項 2 】

5.0 m²以下のオン抵抗を有する請求項1に記載のトランジスタ装置。

【 請求項 3 】

5.3 m²以下のオン抵抗で少なくとも3アンペアの電流に対応する請求項1に記載のトランジスタ装置。

【 請求項 4 】

それぞれの前記フィールドプレートの下にさらに絶縁層を備える請求項1から3のいずれ

れか一項に記載のトランジスタ装置。

【請求項 5】

複数の絶縁性スペーサ層をさらに備え、第 1 の絶縁性スペーサ層は第 1 のフィールドプレートと前記活性領域の間に配置され、他の絶縁性スペーサ層は前記第 1 のフィールドプレート上に有する請求項 1 から 4 のいずれか一項に記載のトランジスタ装置。

【請求項 6】

少なくとも 1 つの前記フィールドプレートが前記ゲート電極に電氣的に接続される請求項 1 から 5 のいずれか一項に記載のトランジスタ装置。

【請求項 7】

前記第 1 のフィールドプレートが前記ゲート電極に接続され、前記第 1 の絶縁性スペーサ層上で前記ソース電極に向けて延び、少なくとも 1 つの前記フィールドプレートが前記ソース電極に接続されている請求項 5 に記載のトランジスタ装置。

【請求項 8】

最も外側の前記フィールドプレートが前記ゲート電極から最も離れており、最も外側の前記フィールドプレートが前記ソース電極に電氣的に接続されている請求項 1 から 7 のいずれか一項に記載のトランジスタ装置。

【請求項 9】

最も外側の前記フィールドプレートから前記ソース電極に延びる、少なくとも 1 つの導電性バスを介して、最も外側の前記フィールドプレートが前記ソースに電氣的に接続される請求項 1 から 8 のいずれか一項に記載のトランジスタ装置。

【請求項 10】

最も外側の前記フィールドプレートが導電性バスを介して前記ソースに接続され、前記導電性バスの少なくとも 1 部が前記半導体層の上面より外側に配置される請求項 8 に記載のトランジスタ装置。

【請求項 11】

第 2 の前記フィールドプレートが前記ゲート電極に接続され、前記第 1 の絶縁性スペーサ層から前記ドレインに向けて延びる請求項 7 に記載のトランジスタ装置。

フロントページの続き

(72)発明者 プリミット パリク

アメリカ合衆国 9 3 1 1 7 カリフォルニア州 ゴレータ シャドウブルック ドライブ 6 8
3 2

(72)発明者 ウメシュ ミシュラ

アメリカ合衆国 9 3 1 0 8 カリフォルニア州 モンテシト クリークサイド ドライブ 2 0
4 0Fターム(参考) 4M104 AA04 AA07 BB02 BB05 BB06 BB09 BB13 BB14 EE14 EE16
EE17 FF01 FF10 GG12
5F102 FA01 GB01 GC01 GD01 GJ02 GJ04 GJ05 GJ06 GJ10 GK04
GK08 GL04 GM04 GQ01 GR04 GR12 GS04 GS06 GV05 GV07
GV08 HC01

【外国語明細書】

2012178593000001.pdf