

(12) NACH DEM VERTRAG ÜBER DIE INTERNATIONALE ZUSAMMENARBEIT AUF DEM GEBIET DES
PATENTWESENS (PCT) VERÖFFENTLICHTE INTERNATIONALE ANMELDUNG

(19) Weltorganisation für geistiges
Eigentum

Internationales Büro

(43) Internationales
Veröffentlichungsdatum
23. August 2012 (23.08.2012)



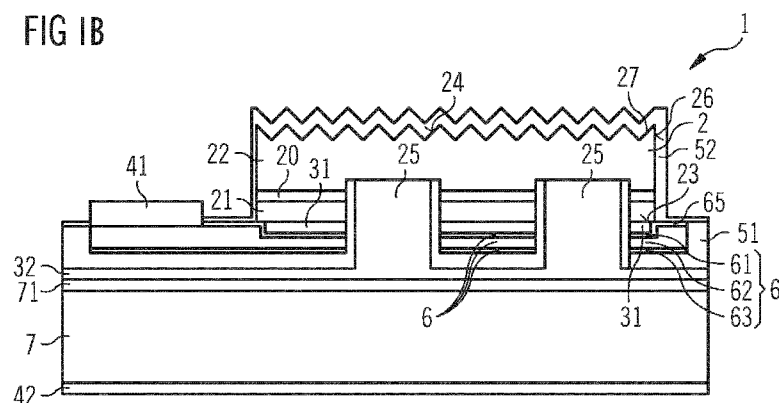
(10) Internationale Veröffentlichungsnummer
WO 2012/110364 A1

- (51) Internationale Patentklassifikation:
H01L 33/40 (2010.01)
- (21) Internationales Aktenzeichen: PCT/EP2012/052053
- (22) Internationales Anmeldedatum:
7. Februar 2012 (07.02.2012)
- (25) Einreichungssprache: Deutsch
- (26) Veröffentlichungssprache: Deutsch
- (30) Angaben zur Priorität:
10 2011 011 140.9
14. Februar 2011 (14.02.2011) DE
- (71) Anmelder (für alle Bestimmungsstaaten mit Ausnahme von US): **OSRAM OPTO SEMICONDUCTORS GMBH** [DE/DE]; Leibnizstr. 4, 93055 Regensburg (DE).
- (72) Erfinder; und
- (75) Erfinder/Anmelder (nur für US): **ENGL, Karl** [DE/DE]; Rehfeld 25a, 93080 Pentling - Niedergerbraching (DE). **MAUTE, Markus** [DE/DE]; Köferinger Weg 15, 93087 Alteglofsheim (DE). **RAMMELBERGER, Stefanie** [DE/DE]; Hopfenweg 30, 93197 Zeitlarn (DE). **KASPRZAK-ZABLOCKA, Anna** [PL/DE]; Gertrud-von-le-Fort-Straße 5, 93051 Regensburg (DE).
- (74) Anwalt: **EPPING HERMANN FISCHER PATENTANWALTSGESELLSCHAFT MBH**; Ridlerstraße 55, 80339 München (DE).
- (81) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare nationale Schutzrechtsart): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) Bestimmungsstaaten (soweit nicht anders angegeben, für jede verfügbare regionale Schutzrechtsart): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), eurasisches (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), europäisches (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[Fortsetzung auf der nächsten Seite]

(54) Title: OPTOELECTRONIC SEMICONDUCTOR CHIP AND METHOD FOR PRODUCING OPTOELECTRONIC SEMICONDUCTOR CHIPS

(54) Bezeichnung : OPTOELEKTRONISCHER HALBLEITERCHIP UND VERFAHREN ZUR HERSTELLUNG VON OPTOELEKTRONISCHEN HALBLEITERCHIPS



(57) Abstract: The invention relates to an optoelectronic semiconductor chip (1) having a semiconductor body (2) and a substrate (7) on which the semiconductor body is disposed, wherein the semiconductor body has an active region (20) which is disposed between a first semiconductor layer (21) of a first conductor type and a second semiconductor layer (22) of a second conductor type different from the first conductor type. The first semiconductor layer is disposed on the side of the active region facing the substrate. The first semiconductor layer is electrically conductively connected to a first termination layer (31) which is disposed between the substrate and the semiconductor body. An encapsulation layer is disposed between the first termination layer and the substrate and, in plan view of the semiconductor chip, projects at least in some regions over a side face (26) which delimits the semiconductor body. The invention further relates to a method for producing a plurality of optoelectronic semiconductor chips.

(57) Zusammenfassung:

[Fortsetzung auf der nächsten Seite]

WO 2012/110364 A1

Veröffentlicht:

- mit internationalem Recherchenbericht (Artikel 21 Absatz 3)

Es wird ein optoelektronischer Halbleiterchip (1) mit einem Halbleiterkörper (2) und einem Träger (7), auf dem der Halbleiterkörper angeordnet ist, angegeben, wobei der Halbleiterkörper einen aktiven Bereich (20) aufweist, der zwischen einer ersten Halbleiterschicht (21) eines ersten Leitungstyps und einer zweiten Halbleiterschicht (22) eines vom ersten Leitungstyp verschiedenen zweiten Leitungstyps angeordnet ist. Die erste Halbleiterschicht ist auf der dem Träger zugewandten Seite des aktiven Bereichs angeordnet. Die erste Halbleiterschicht ist elektrisch leitend mit einer ersten Anschlussschicht (31) verbunden, die zwischen dem Träger und dem Halbleiterkörper angeordnet ist. Zwischen der ersten Anschlussschicht und dem Träger ist eine Verkapselungsschicht angeordnet, die in Aufsicht auf den Halbleiterchip zumindest bereichsweise über eine den Halbleiterkörper begrenzende Seitenfläche (26) hinausragt. Weiterhin wird ein Verfahren zur Herstellung einer Mehrzahl von optoelektronischen Halbleiterchips angegeben.

Beschreibung

Optoelektronischer Halbleiterchip und Verfahren zur Herstellung von optoelektronischen Halbleiterchips

Die vorliegende Anmeldung betrifft einen optoelektronischen Halbleiterchip sowie ein Verfahren zur Herstellung einer Mehrzahl von optoelektronischen Halbleiterchips.

Es sind Lumineszenzdiodechips bekannt, bei denen zwischen einem Halbleiterkörper mit einem zur Erzeugung von Strahlung vorgesehenen aktiven Bereich und einem Trägerelement eine Spiegelschicht angeordnet ist, die dafür vorgesehen ist, im aktiven Bereich erzeugte Strahlung zu reflektieren und so die insgesamt emittierte Strahlungsleistung zu erhöhen. Es hat sich jedoch herausgestellt, dass bei solchen Halbleiterchips eine Degradation auftreten kann, beispielsweise aufgrund einer Oxidation der Spiegelschicht oder beim Einwirken von Feuchtigkeit auf den Halbleiterchip.

Eine Aufgabe ist es, einen Halbleiterchip anzugeben, der eine verbesserte Alterungsstabilität und eine verringerte Empfindlichkeit gegenüber Feuchtigkeit aufweist. Weiterhin soll ein Verfahren angegeben werden, mit dem effiziente optoelektronische Halbleiterchips auf einfache und zuverlässige Weise hergestellt werden können.

Diese Aufgabe wird durch den Gegenstand der unabhängigen Patentansprüche gelöst. Ausgestaltungen und Weiterbildungen sind Gegenstand der abhängigen Patentansprüche.

Ein optoelektronischer Halbleiterchip weist gemäß einer Ausführungsform einen Halbleiterkörper und einen Träger auf,

auf dem der Halbleiterkörper angeordnet ist. Der Halbleiterkörper weist einen aktiven Bereich auf, der vorzugsweise zur Erzeugung oder zum Empfangen von Strahlung vorgesehen ist. Der aktive Bereich ist zwischen einer ersten Halbleiterschicht eines ersten Leitungstyps und einer zweiten Halbleiterschicht eines vom ersten Leitungstyp verschiedenen zweiten Leitungstyps angeordnet. Die erste Halbleiterschicht ist auf der dem Träger zugewandten Seite des aktiven Bereichs angeordnet. Die erste Halbleiterschicht ist elektrisch leitend mit einer ersten Anschlussschicht verbunden, die zwischen dem Träger und dem Halbleiterkörper angeordnet ist und vorzugsweise unmittelbar an die erste Halbleiterschicht angrenzt. Zwischen der ersten Anschlussschicht und dem Träger ist eine Verkapselungsschicht angeordnet. In Aufsicht auf den Halbleiterchip ragt die Verkapselungsschicht zumindest bereichsweise über eine den Halbleiterkörper begrenzende Seitenfläche hinaus.

Mittels der Verkapselungsschicht ist die vorzugsweise als Spiegelschicht für die im aktiven Bereich zu erzeugende oder zu empfangende Strahlung ausgeführte erste Anschlussschicht von der Umgebung entkoppelt. Sie kann ein Eindringen von Luft oder Feuchtigkeit in die erste Anschlussschicht verhindern. Weiterhin kann die Verkapselungsschicht eine Migration von Material der ersten Anschlussschicht, beispielsweise Silber, unterdrücken.

Die Verkapselungsschicht bedeckt vorzugsweise die Bereiche einer dem Träger zugewandten Hauptfläche des Halbleiterkörpers, in denen die Hauptfläche nicht von der ersten Anschlussschicht bedeckt ist. Besonders bevorzugt sind diese Bereiche vollständig von der Verkapselungsschicht

bedeckt, wobei die Verkapselungsschicht weiterhin bevorzugt unmittelbar an die Hauptfläche angrenzt.

In einer bevorzugten Ausgestaltung umläuft die Verkapselungsschicht den Halbleiterkörper in Aufsicht vollumfänglich, also entlang des gesamten Umfangs des Halbleiterkörpers. Weiterhin bevorzugt grenzt die Verkapselungsschicht vollumfänglich entlang der Seitenfläche des Halbleiterkörpers an die erste Halbleiterschicht an. Mittels der über den Halbleiterkörper hinausragenden Ausgestaltung ist die Verkapselungsschicht derart ausgebildet, dass die Hauptfläche des Halbleiterkörpers auch bei geringfügigen Justageabweichungen während der Herstellung entlang den Seitenflächen des Halbleiterkörpers vollständig von der Verkapselungsschicht bedeckt ist.

Mit anderen Worten ist der Halbleiterkörper in Aufsicht auf den Halbleiterchip vorzugsweise vollständig innerhalb einer äußeren Umrandung der Verkapselungsschicht angeordnet.

In einer weiteren bevorzugten Ausgestaltung verläuft eine Haupterstreckungsebene eines über die Seitenfläche des Halbleiterkörpers hinausragenden Bereichs der Verkapselungsschicht parallel zu einer Haupterstreckungsebene des aktiven Bereichs. Mit anderen Worten setzt sich die Verkapselungsschicht über die Seitenfläche des Halbleiterkörpers hinaus eben oder im Wesentlichen eben fort. Die Seitenfläche des Halbleiterkörpers ist also frei von Material der Verkapselungsschicht.

In einer weiteren bevorzugten Ausgestaltung verläuft eine äußere Umrandung der ersten Anschlussschicht in Aufsicht auf den Halbleiterchip vollständig innerhalb des

Halbleiterkörpers. Die erste Anschlussschicht ragt also an keiner Stelle über den Halbleiterkörper hinaus. Ein Schutz der ersten Anschlussschicht vor äußeren Umwelteinflüssen ist so vereinfacht realisierbar.

In einer weiteren bevorzugten Ausgestaltung ist die Verkapselungsschicht metallisch ausgebildet. Weiterhin bevorzugt ist die Verkapselungsschicht mehrschichtig ausgebildet. Besonders bevorzugt weist die Verkapselungsschicht eine Goldschicht auf.

Die erste Anschlussschicht enthält vorzugsweise Silber oder besteht aus Silber. Silber zeichnet sich im sichtbaren Spektralbereich durch eine besonders hohe Reflektivität aus. Alternativ oder ergänzend kann die erste Anschlussschicht ein anderes Material mit einer hohen Reflektivität enthalten, beispielsweise Aluminium oder Palladium.

In einer weiteren bevorzugten Ausgestaltung bedeckt die Verkapselungsschicht die erste Anschlussschicht auf der dem Halbleiterkörper abgewandten Seite vollständig. Weiterhin bevorzugt grenzt die Verkapselungsschicht unmittelbar an die erste Anschlussschicht an.

In einer bevorzugten Ausgestaltung weist der Halbleiterkörper zumindest eine Ausnehmung auf, die sich vom Träger her durch den aktiven Bereich hindurch erstreckt. In der Ausnehmung ist die zweite Halbleiterschicht vorzugsweise mit einer zweiten Anschlussschicht elektrisch leitend verbunden.

Die erste Anschlussschicht ist vorzugsweise bereichsweise zwischen dem Halbleiterkörper und der zweiten Anschlussschicht angeordnet.

Zur Vermeidung eines elektrischen Kurzschlusses ist bevorzugt zwischen der ersten Anschlussschicht und der zweiten Anschlussschicht, insbesondere zwischen der Verkapselungsschicht und der zweiten Anschlussschicht, eine erste Isolationsschicht angeordnet. Die Verkapselungsschicht ist vorzugsweise derart ausgebildet, dass die erste Isolationsschicht nicht an die erste Hauptfläche des Halbleiterkörpers angrenzt. Mit anderen Worten ist die erste Isolationsschicht an jeder Stelle der Hauptfläche in einer senkrecht zur Hauptfläche und zum Träger hin verlaufenden Richtung vom Träger beabstandet.

Bei einem Verfahren zum Herstellen einer Mehrzahl von optoelektronischen Halbleiterchips wird eine Halbleiterschicht auf einem Substrat bereitgestellt, wobei die Halbleiterschicht einen aktiven Bereich aufweist, der zwischen einer ersten Halbleiterschicht eines ersten Leitungstyps und einer zweiten Halbleiterschicht eines vom ersten Leitungstyp verschiedenen zweiten Leitungstyps angeordnet ist. Eine erste Anschlussschicht wird auf der Halbleiterschichtenfolge ausgebildet. Eine Verkapselungsschicht wird auf der ersten Anschlussschicht ausgebildet. Ein Verbund wird ausgebildet, der die Halbleiterschichtenfolge und einen Träger aufweist. Eine Mehrzahl von Halbleiterkörpern wird aus der Halbleiterschichtenfolge ausgebildet, wobei die Verkapselungsschicht bereichsweise freigelegt wird. Der Verbund wird in eine Mehrzahl von Halbleiterchips vereinzelt.

Die Verfahrensschritte werden vorzugsweise in der Reihenfolge der obigen Aufzählung durchgeführt. Es können aber zumindest hinsichtlich einzelner Schritte auch andere Abfolgen zweckmäßig sein.

Das Ausbilden der Halbleiterkörper erfolgt vorzugsweise derart, dass die beim Ausbilden der Halbleiterkörper entstehenden Seitenflächen in Aufsicht auf die Halbleiterschichtenfolge vollständig innerhalb einer äußeren Umrandung der Verkapselung liegen.

In einer bevorzugten Ausgestaltung wird ein Aufwachssubstrat für die Halbleiterschichtenfolge entfernt. Dies erfolgt vorzugsweise nach dem Ausbilden des Verbunds. Der Träger dient insbesondere der mechanischen Stabilisierung der Halbleiterschichtenfolge, so dass das Aufwachssubstrat hierfür nicht mehr erforderlich ist.

Das beschriebene Verfahren ist zur Herstellung eines weiter oben beschriebenen Halbleiterchips besonders geeignet. Im Zusammenhang mit dem Halbleiterchip ausgeführte Merkmale können daher auch für das Verfahren herangezogen werden und umgekehrt.

Weitere Merkmale, Ausgestaltungen und Zweckmäßigkeiten ergeben sich aus der folgenden Beschreibung der Ausführungsbeispiele in Verbindung mit den Figuren.

Es zeigen:

Figuren 1A und 1B ein Ausführungsbeispiel für einen Halbleiterchip in schematischer Aufsicht (Figur 1A) und zugehöriger Schnittansicht (Figur 1B) entlang der Linie AA'; und die

Figuren 2A bis 2F ein Ausführungsbeispiel für ein Verfahren zur Herstellung einer Mehrzahl von optoelektronischen Halbleiterchips.

Gleiche, gleichartige oder gleich wirkende Elemente sind in den Figuren mit denselben Bezugszeichen versehen.

Die Figuren und die Größenverhältnisse der in den Figuren dargestellten Elemente untereinander sind nicht als maßstäblich zu betrachten. Vielmehr können einzelne Elemente zur besseren Darstellbarkeit und/oder zum besseren Verständnis übertrieben groß dargestellt sein.

In den Figuren 1A und 1B ist ein Ausführungsbeispiel für einen Halbleiterchip 1 gezeigt, der exemplarisch als ein Lumineszenzdiode-Halbleiterchip, insbesondere als ein Leuchtdiode-Halbleiterchip, ausgeführt ist. Der Halbleiterchip 1 weist einen Halbleiterkörper 2 mit einem aktiven Bereich 20 auf, der zur Erzeugung von Strahlung vorgesehen ist. Der aktive Bereich 20 ist zwischen einer p-leitenden Halbleiterschicht 21 und einer n-leitenden Halbleiterschicht 22 angeordnet. Die Halbleiterschichten 21, 22 können bezüglich ihres Leitungstyps aber auch invertiert ausgestaltet sein.

Der Halbleiterkörper 2, insbesondere der aktive Bereich 20, basiert vorzugsweise auf Nitrid-Verbindungshalbleitermaterial und ist weiterhin bevorzugt zur Erzeugung von Strahlung im sichtbaren oder im ultravioletten Spektralbereich vorgesehen. „Auf Nitrid-Verbindungshalbleitern basierend“ bedeutet im vorliegenden Zusammenhang, dass die aktive Epitaxie-Schichtenfolge oder zumindest eine Schicht davon ein Nitrid-III/V-Verbindungshalbleitermaterial, vorzugsweise $\text{Al}_n\text{Ga}_m\text{In}_{1-n-m}\text{N}$ umfasst, wobei $0 \leq n \leq 1$, $0 \leq m \leq 1$ und $n+m \leq 1$. Dabei muss dieses Material nicht zwingend eine mathematisch exakte Zusammensetzung nach obiger Formel aufweisen. Vielmehr kann es einen oder mehrere Dotierstoffe sowie zusätzliche

Bestandteile aufweisen, die die charakteristischen physikalischen Eigenschaften des $\text{Al}_n\text{Ga}_m\text{In}_{1-n-m}\text{N}$ -Materials im Wesentlichen nicht ändern. Der Einfachheit halber beinhaltet obige Formel jedoch nur die wesentlichen Bestandteile des Kristallgitters (Al, Ga, In, N), auch wenn diese teilweise durch geringe Mengen weiterer Stoffe ersetzt sein können. Davon abweichend können auch andere Halbleitermaterialien, insbesondere III/V-Verbindungshalbleitermaterialien Anwendung finden.

Der Halbleiterkörper 2 ist mittels einer Verbindungsschicht 71, beispielsweise einer Lotschicht oder einer elektrisch leitfähigen Klebeschicht, an einem Träger 7 befestigt. Die erste Halbleiterschicht 21 bildet eine dem Träger zugewandte Hauptfläche 23 des Halbleiterkörpers. In einer vertikalen Richtung, also einer senkrecht zu einer Hauptstreckungsebene der Halbleiterschichten des Halbleiterkörpers 2 verlaufenden Richtung, erstreckt sich der Halbleiterkörper zwischen der Hauptfläche 23 und einer Strahlungsausstrittsfläche 24. Zur Erhöhung der Auskoppelleffizienz der im Betrieb im aktiven Bereich 20 erzeugten Strahlung ist die Strahlungsausstrittsfläche 24 mit einer Strukturierung 27 versehen. Die Strukturierung kann regelmäßig oder unregelmäßig sein. Beispielsweise kann die Strukturierung mittels pyramidenförmiger oder pyramidenstumpfförmiger Vertiefungen oder einer Aufrauung gebildet sein.

In lateraler Richtung, also entlang der Hauptstreckungsebene der Halbleiterschichten des Halbleiterkörpers, ist der Halbleiterkörper 2 durch eine den Halbleiterkörper umlaufende Seitenfläche 26 begrenzt. In Aufsicht auf den Halbleiterchip 1 verläuft die Seitenfläche

26 des Halbleiterkörpers vollumfänglich vollständig innerhalb einer äußeren Umrandung 60 der Verkapselung 6.

An die Hauptfläche 23 grenzt eine erste Anschlussschicht 31 an, die vorzugsweise als eine Spiegelschicht für die im aktiven Bereich 20 erzeugte Strahlung ausgebildet ist. Die erste Anschlussschicht enthält vorzugsweise Silber, Palladium oder Aluminium oder besteht aus einem solchen Material oder aus einer metallischen Legierung mit mindestens einem der genannten Materialien. Die genannten Materialien weisen im sichtbaren Spektralbereich eine hohe Reflektivität auf.

Eine äußere Umrandung 310 der ersten Anschlussschicht 31 verläuft in Aufsicht auf den Halbleiterchip vollständig innerhalb der Seitenfläche 26 des Halbleiterkörpers 2, sodass die erste Anschlussschicht 31 die Hauptfläche 23 nur bereichsweise bedeckt.

Auf der dem Halbleiterkörper 2 abgewandten Seite der ersten Anschlussschicht 31 grenzt eine Verkapselungsschicht 6 an, die in dem gezeigten Ausführungsbeispiel mittels einer ersten Schicht 61, einer zweiten Schicht 62 und einer dritten Schicht 63 gebildet ist.

In den Bereichen der Hauptfläche 23, die nicht von der ersten Anschlussschicht 31 bedeckt sind, grenzt die Verkapselungsschicht 6 unmittelbar an die erste Halbleiterschicht 21 an. Weiterhin ragt die Verkapselungsschicht 6 in lateraler Richtung über die Seitenfläche 26 des Halbleiterkörpers hinaus und umläuft die Seitenfläche in Aufsicht auf den Halbleiterchip entlang des gesamten Umfangs. Die Verkapselungsschicht 6 ist vorzugsweise in lateraler Richtung so dimensioniert, dass die Hauptfläche

23 auch im Fall einer geringfügigen Justageabweichung beim Ausbilden des Halbleiterkörpers 2 entlang der Seitenfläche vollständig von der Verkapselungsschicht bedeckt ist. Vorzugsweise ragt die Verkapselungsschicht in Aufsicht auf den Halbleiterchip 1 zumindest bereichsweise um mindestens 1 µm über die Seitenfläche hinaus.

Ein sich in Aufsicht auf den Halbleiterchip 1 über die Seitenfläche 26 hinaus erstreckender Bereich 65 der Verkapselung 6 setzt sich in lateraler Richtung eben fort. Die Seitenflächen 26 sind somit frei von Material für die Verkapselung 6.

Die erste Schicht 61 enthält vorzugsweise Platin, Titan, Palladium, Rhodium oder Wolfram oder besteht aus einem solchen Material oder einer Legierung mit zumindest einem der genannten Materialien. Insbesondere kann die erste Schicht Titan-Wolfram-Nitrid oder Platin-Titan-Wolfram-Nitrid enthalten oder aus einem solchen Material bestehen.

Die zweite Schicht 62 ist vorzugsweise als eine Goldschicht ausgeführt. Die zweite Schicht 62 ist zweckmäßigerweise so dick, dass sie als Stromaufweitungsschicht eine in lateraler Richtung gleichmäßige Injektion von Ladungsträgern über die erste Anschlussschicht 31 in die erste Halbleiterschicht 21 bewirkt.

Die dritte Schicht 63 ist vorzugsweise als eine Haftvermittlungsschicht zu dem trägerseitig nachfolgenden Material ausgebildet. Für die dritte Schicht eignet sich beispielsweise ein TCO-Material (Transparent Conductive Oxide) oder ein Metall, beispielsweise Titan oder Chrom.

Seitens der Hauptfläche 23 sind Ausnehmungen 25 im Halbleiterkörper 2 ausgebildet, die sich durch die erste Halbleiterschicht 21 und den aktiven Bereich 20 in die zweite Halbleiterschicht 22 hinein erstrecken.

Die zweite Halbleiterschicht 22 ist über eine zweite Anschlussschicht 32, die in den Ausnehmungen 25 unmittelbar an die zweite Halbleiterschicht 22 angrenzt, elektrisch kontaktiert. Zwischen der ersten Anschlussschicht 31 und der zweiten Anschlussschicht 32 ist eine erste Isolationsschicht 51 angeordnet. Diese Isolationsschicht ist dafür vorgesehen, eine direkte elektrische Verbindung zwischen den Anschlussschichten 31, 32 sowie eine direkte elektrische Verbindung der zweiten Anschlussschicht 32 mit der ersten Halbleiterschicht 21 zu unterbinden.

Mittels der Verkapselung 6 wird vermieden, dass die Isolationsschicht 51 unmittelbar an die Hauptfläche 23 angrenzt. Es hat sich herausgestellt, dass im Fall einer unmittelbar an die erste Halbleiterschicht 21 angrenzenden Isolationsschicht die Migration von Material der Verkapselungsschicht, beispielsweise Gold, durch die Isolationsschicht hindurch erfolgen kann und dieses Material in der ersten Halbleiterschicht 21 zu einer katalytisch verstärkten Degradation von Galliumnitrid zu Galliumoxid führen kann, wenn Feuchtigkeit durch die erste Isolationsschicht hindurch zur Hauptfläche 23 gelangt. Insbesondere dadurch, dass die Verkapselung die Bereiche der Hauptfläche 23, die nicht von der ersten Anschlussschicht 31 bedeckt sind, vollständig bedeckt und in diesen Bereichen unmittelbar an die Hauptfläche 23 angrenzt, wird diese Gefahr der Degradation vermieden. Die Empfindlichkeit des Halbleiterchips 1 gegenüber Feuchtigkeit sowie die

Alterungsstabilität des Halbleiterchips kann so erhöht werden.

Weiterhin weist der Halbleiterchip eine zweite Isolationsschicht 52 auf, die zumindest die Seitenflächen 26 des Halbleiterkörpers 2 und vorzugsweise auch die Strahlungsausstrittsfläche 24 bedeckt.

Für die Isolationsschichten 51, 52 eignet sich insbesondere ein Oxid, beispielsweise Siliziumoxid, ein Nitrid, beispielsweise Siliziumnitrid, oder ein Oxinitrid, beispielsweise Siliziumoxinitrid.

Zur externen elektrischen Kontaktierung weist der Halbleiterchip 1 einen ersten Kontakt 41 und einen zweiten Kontakt 42 auf, die mit der ersten Anschlussschicht 31 beziehungsweise über den Träger 7 und die Verbindungsschicht 71 mit der zweiten Anschlussschicht 32 elektrisch leitend verbunden sind, sodass im Betrieb des Halbleiterchips Ladungsträger von verschiedenen Seiten des aktiven Bereichs 20 in diesen injiziert werden und dort unter Emission von Strahlung rekombinieren können.

In dem beschriebenen Ausführungsbeispiel ist der Träger 7 aus einem elektrisch leitfähigen Material gebildet, beispielsweise einem dotierten Halbleitermaterial, etwa Silizium oder Germanium. Davon abweichend kann der Träger auch aus einem elektrisch isolierenden Material gebildet sein, in dem zur elektrischen Kontaktierung elektrisch leitfähige Durchkontaktierungen ausgebildet sind. Als elektrisch isolierendes Material eignet sich beispielsweise eine Keramik, etwa Aluminiumnitrid oder Bornitrid.

Zum Schutz des Halbleiterchips vor einer Schädigung durch elektrostatische Entladung (electrostatic discharge, ESD) kann in den Halbleiterchip, insbesondere in den Halbleiterkörper oder in den Träger, eine Schutzdiode integriert sein (nicht explizit dargestellt).

Zur Erzeugung von für das menschliche Auge weiß erscheinender Strahlung kann dem Halbleiterchip 1 ein Strahlungskonversionselement nachgeordnet sein, das die im aktiven Bereich erzeugte Primärstrahlung teilweise oder vollständig in Sekundärstrahlung umwandelt. Das Strahlungskonversionselement kann beispielsweise als ein Plättchen ausgeführt sein, das an der Strahlungsaustrittsfläche 24 befestigt ist (nicht explizit dargestellt).

Von dem beschriebenen Ausführungsbeispiel abweichend kann der Halbleiterchip 1 auch als eine Laserdiode oder als ein Strahlungsempfänger ausgebildet sein.

Ein Ausführungsbeispiel für ein Verfahren zur Herstellung einer Mehrzahl von Halbleiterchips ist anhand der in den Figuren 2A bis 2F schematisch dargestellten Zwischenschritte gezeigt. Wie in Figur 2A dargestellt, wird auf einem Substrat 28 eine Halbleiterschichtenfolge 200 mit einem zur Erzeugung von Strahlung vorgesehenen aktiven Bereich 20 bereitgestellt, wobei der aktive Bereich zwischen einer auf der dem Substrat zugewandten Seite des aktiven Bereich ausgebildeten ersten Halbleiterschicht 21 und einer zweiten Halbleiterschicht 22 angeordnet ist. Das Substrat kann beispielsweise das Aufwachssubstrat für die epitaktische Abscheidung der Halbleiterschichtenfolge 200, etwa mittels MBE oder MOVPE,

sein. Beispielsweise eignet sich für das Substrat Saphir oder Silizium

Zur vereinfachten Darstellung ist lediglich ein Teil der Halbleiterschichtenfolge 200 gezeigt, aus dem bei der Herstellung der Halbleiterchips genau ein optoelektronischer Halbleiterchip hervorgeht.

Wie in Figur 2B dargestellt, wird nach dem Ausbilden der Halbleiterschichtenfolge 200 von der dem Substrat 28 abgewandten Seite her eine Mehrzahl von Ausnehmungen 25 ausgebildet, die sich durch die erste Halbleiterschicht 21 und den aktiven Bereich 20 in die zweite Halbleiterschicht 22 hinein erstrecken.

Auf der ersten Halbleiterschicht 21 wird bereichsweise eine erste Anschlussschicht 31 ausgebildet, beispielsweise mittels Aufdampfens oder Sputterns.

Wie in Figur 2C dargestellt, wird die erste Anschlussschicht 31 mittels einer mehrschichtigen Verkapselung 6 überzogen. Die Schichten der Verkapselung können mittels Sputterns oder Aufdampfens aufgebracht werden.

Auf der Verkapselung 6 wird eine erste Isolationsschicht 51 aufgebracht, beispielsweise mittels Sputterns oder Aufdampfens. Die erste Isolationsschicht bedeckt die Verkapselung 6 sowie die erste Halbleiterschicht 21 und den aktiven Bereich 20 im Bereich der Ausnehmungen 25. Auf der ersten Isolationsschicht 51 wird eine zweite Anschlussschicht 32 ausgebildet, die im Bereich der Ausnehmungen 25 mit der zweiten Halbleiterschicht 22 einen elektrischen Kontakt bildet (Figur 2D).

Wie in Figur 2E dargestellt, wird ein Verbund 8 hergestellt, der das Substrat 28 mit den darauf angeordneten Schichten sowie einen Träger 7 aufweist. Die Befestigung an dem Träger erfolgt mittels einer Verbindungsschicht 71, etwa einem Lot oder einem elektrisch leitfähigen Klebemittel.

Nach der mechanisch stabilen Verbindung mit dem Träger 7 kann das Substrat 28 entfernt werden. Dies kann beispielsweise mittels kohärenter Strahlung erfolgen, etwa mittels eines Laser-Ablöse-Verfahrens (Laser Lift-Off). Davon abweichend kann das Entfernen auch mechanisch, etwa mittels Schleifens, Läppens oder Polierens und/oder chemisch, etwa mittels nasschemischen oder trockenchemischen Ätzens, erfolgen.

Nach dem Entfernen des Substrats 28 werden aus der Halbleiterschichtenfolge 200 Halbleiterkörper 2 ausgebildet. Beim Ausbilden der Halbleiterkörper wird die Verkapselung 6 bereichsweise freigelegt.

Das Ausbilden der Halbleiterkörper kann insbesondere chemisch, etwa mittels nasschemischen oder trockenchemischen Ätzens, erfolgen.

Zur Erhöhung der Auskoppelleffizienz wird die dem Träger 7 abgewandte Strahlungsausstrittsfläche 24 strukturiert, etwa mittels nasschemischen Ätzens zur Ausbildung von pyramidenförmigen Vertiefungen oder durch mechanische Aufrauung.

Für eine externe elektrische Kontaktierung werden ein erster Kontakt 41 und ein zweiter Kontakt 42 ausgebildet, beispielsweise mittels Aufdampfens oder Sputterns.

Nach dem Ausbilden der Seitenfläche 26 wird auf dem Halbleiterkörper 2 eine zweite Isolationsschicht 52 ausgebildet, die die Seitenfläche, insbesondere den aktiven Bereich 20 bedeckt.

Für die Herstellung der Halbleiterchips wird der Verbund 8 vereinzelt. Dies kann beispielsweise mittels kohärenter Strahlung, etwa in einem Laser-Trennverfahren, oder mechanisch, etwa mittels Sägens, Spaltens oder Brechens, oder chemisch, etwa mittels nasschemischen oder trockenchemischen Ätzens, erfolgen. Ein fertig gestellter Halbleiterchip, der exemplarisch wie im Zusammenhang mit den Figuren 1A und 1B beschrieben ausgeführt ist, ist in Figur 2F schematisch dargestellt.

Mit dem beschriebenen Verfahren kann auf einfache und zuverlässige Weise ein Halbleiterchip hergestellt werden, bei dem die erste Anschlussschicht 31 eine alterungsstabile, hochreflektive Spiegelschicht für im aktiven Bereich 20 erzeugte Strahlung bildet. Mittels der Verkapselung 6, die sich über die Seitenfläche 26 des Halbleiterkörpers 2 in lateraler Richtung hinaus erstreckt, ist gewährleistet, dass die Isolationsschichten 51, 52 im Bereich der Hauptfläche 23 nicht in unmittelbarer Nähe zur Verkapselung 6 an die erste Halbleiterschicht 21 angrenzen. Die Gefahr einer Degradation des Halbleitermaterials, etwa aufgrund einer katalytisch verstärkten Umwandlung von Galliumnitrid zu Galliumoxid, wird somit auch beim Betrieb unter feuchten Bedingungen vermieden.

Diese Patentanmeldung beansprucht die Priorität der deutschen Patentanmeldung 10 2011 011 140.9, deren Offenbarungsgehalt hiermit durch Rückbezug aufgenommen wird.

Die Erfindung ist nicht durch die Beschreibung anhand der Ausführungsbeispiele beschränkt. Vielmehr umfasst die Erfindung jedes neue Merkmal sowie jede Kombination von Merkmalen, was insbesondere jede Kombination von Merkmalen in den Patentansprüchen beinhaltet, auch wenn dieses Merkmal oder diese Kombination selbst nicht explizit in den Patentansprüchen oder den Ausführungsbeispielen angegeben ist.

Patentansprüche

1. Optoelektronischer Halbleiterchip (1) mit einem Halbleiterkörper (2) und einem Träger (7), auf dem der Halbleiterkörper angeordnet ist, wobei
 - der Halbleiterkörper einen aktiven Bereich (20) aufweist, der zwischen einer ersten Halbleiterschicht (21) eines ersten Leitungstyps und einer zweiten Halbleiterschicht (22) eines vom ersten Leitungstyp verschiedenen zweiten Leitungstyps angeordnet ist;
 - die erste Halbleiterschicht auf der dem Träger zugewandten Seite des aktiven Bereichs angeordnet ist;
 - die erste Halbleiterschicht elektrisch leitend mit einer ersten Anschlussschicht (31) verbunden ist, die zwischen dem Träger und dem Halbleiterkörper angeordnet ist;
 - zwischen der ersten Anschlussschicht und dem Träger eine Verkapselungsschicht (6) angeordnet ist; und
 - die Verkapselungsschicht in Aufsicht auf den Halbleiterchip zumindest bereichsweise über eine den Halbleiterkörper begrenzende Seitenfläche (26) hinausragt.

2. Halbleiterchip nach Anspruch 1, bei dem die Verkapselungsschicht den Halbleiterkörper vollumfänglich umläuft.

3. Halbleiterchip nach Anspruch 1 oder 2, bei dem die Verkapselungsschicht bereichsweise unmittelbar an die erste Halbleiterschicht angrenzt.

4. Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem die Verkapselungsschicht vollumfänglich entlang der Seitenfläche des Halbleiterkörpers an die erste Halbleiterschicht angrenzt.

5. Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem eine Haupterstreckungsebene eines über die Seitenfläche des Halbleiterkörpers hinausragenden Bereichs (65) der Verkapselungsschicht parallel zu einer Haupterstreckungsebene des aktiven Bereichs verläuft.

6. Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem eine äußere Umrandung (310) der ersten Anschlussschicht in Aufsicht auf den Halbleiterchip vollständig innerhalb des Halbleiterkörpers verläuft.

7. Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem die Verkapselungsschicht metallisch ausgebildet ist.

8. Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem die erste Anschlussschicht Silber, Palladium oder Aluminium enthält und die Verkapselungsschicht eine Goldschicht aufweist.

9. Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem die Verkapselungsschicht die erste Anschlussschicht auf der dem Halbleiterkörper abgewandten Seite vollständig bedeckt.

10. Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem der Halbleiterkörper zumindest eine Ausnehmung (25) aufweist, die sich vom Träger her durch den aktiven Bereich hindurch erstreckt, wobei die zweite Halbleiterschicht in der Ausnehmung mit einer zweiten Anschlussschicht (32) elektrisch leitend verbunden ist.

11. Halbleiterchip nach einem der vorhergehenden Ansprüche, bei dem die erste Anschlussschicht bereichsweise zwischen dem

Halbleiterkörper und der zweiten Anschlussschicht angeordnet ist.

12. Halbleiterchip nach Anspruch 1, bei dem die Verkapselungsschicht unmittelbar an die erste Anschlussschicht angrenzt und die Bereiche einer dem Träger zugewandten Hauptfläche (23) des Halbleiterkörpers, in denen die Hauptfläche nicht von der ersten Anschlussschicht bedeckt ist, vollständig bedeckt und unmittelbar an die Hauptfläche angrenzt.

13. Verfahren zum Herstellen einer Mehrzahl von optoelektronischen Halbleiterchips (1) mit den Schritten:

- a) Bereitstellen einer Halbleiterschichtenfolge (200) auf einem Substrat (28), wobei die Halbleiterschichtenfolge einen aktiven Bereich (20) aufweist, der zwischen einer ersten Halbleiterschicht (21) eines ersten Leitungstyps und einer zweiten Halbleiterschicht (22) eines vom ersten Leitungstyp verschiedenen zweiten Leitungstyps angeordnet ist;
- b) Ausbilden einer ersten Anschlussschicht (31) auf der Halbleiterschichtenfolge;
- c) Ausbilden einer Verkapselungsschicht (6) auf der ersten Anschlussschicht;
- d) Ausbilden eines Verbunds (8), der die Halbleiterschichtenfolge und einen Träger aufweist;
- e) Ausbilden einer Mehrzahl von Halbleiterkörpern (2) aus der Halbleiterschichtenfolge, wobei die Verkapselungsschicht bereichsweise freigelegt wird; und
- f) Vereinzeln des Verbunds in eine Mehrzahl von Halbleiterchips.

14. Verfahren nach Anspruch 13,

bei dem ein Aufwachssubstrat (28) für die Halbleiterschichtenfolge entfernt wird.

15. Verfahren nach Anspruch 13 oder 14,
bei dem ein Halbleiterchip nach einem der Ansprüche 1 bis 12 hergestellt wird.

FIG IA

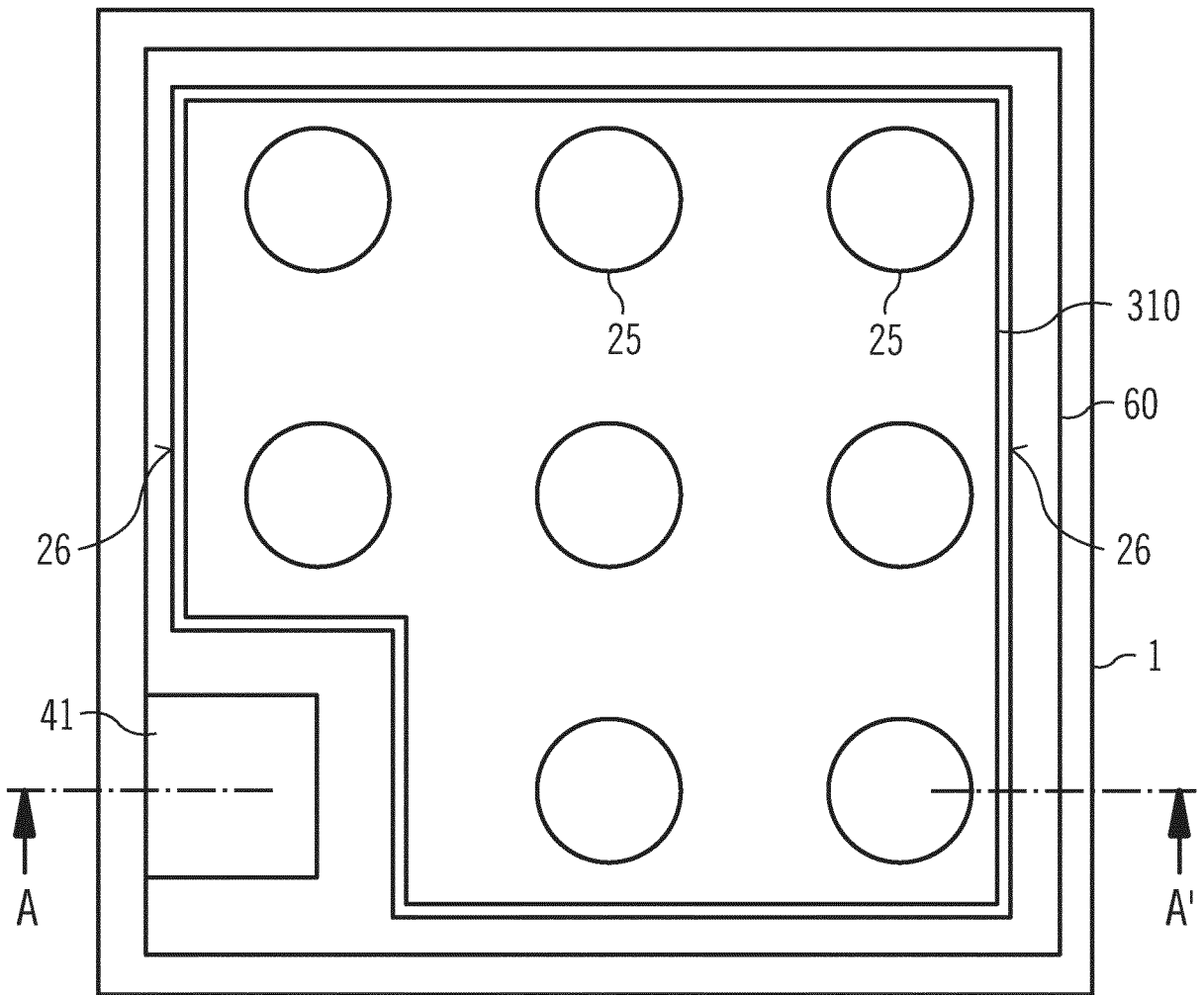


FIG IB

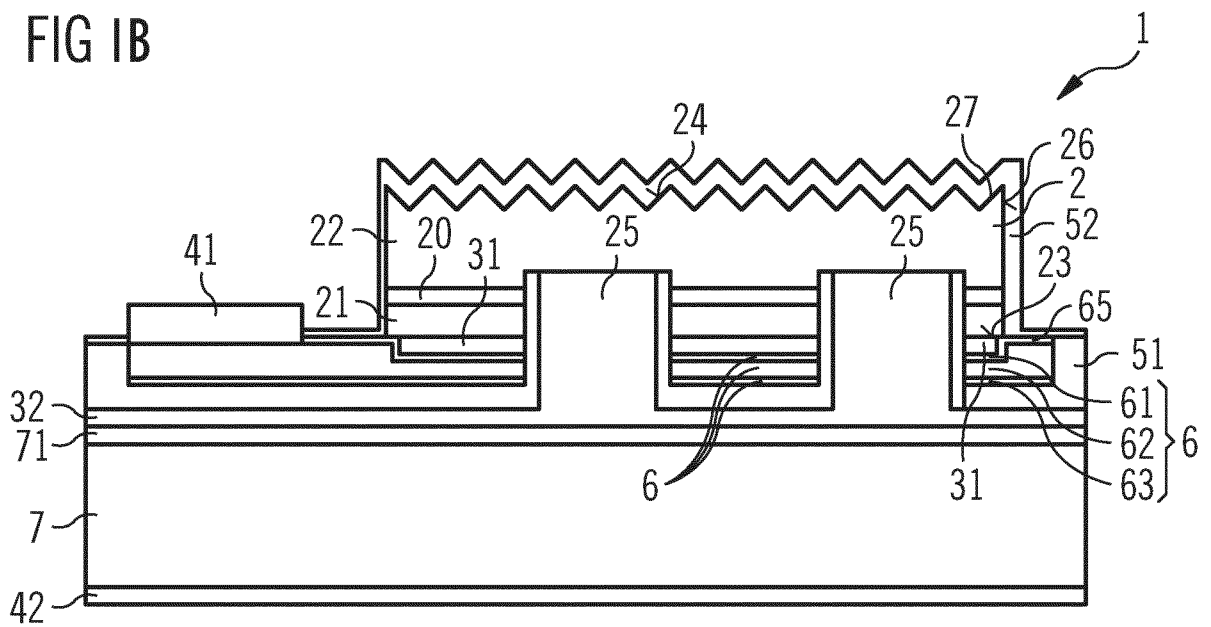


FIG 2A

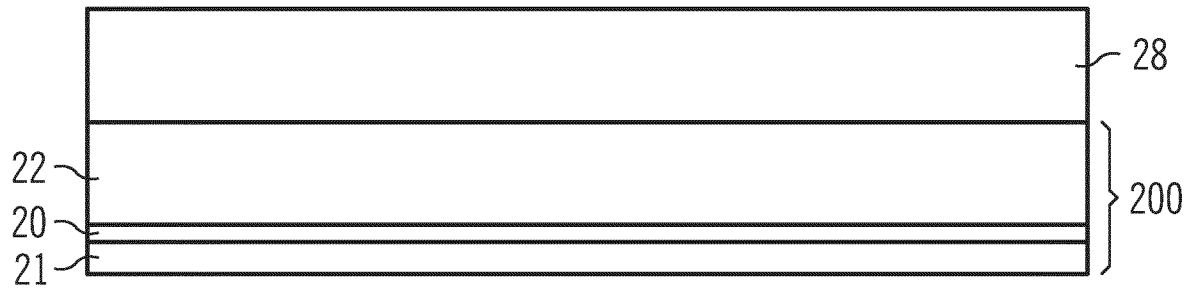


FIG 2B

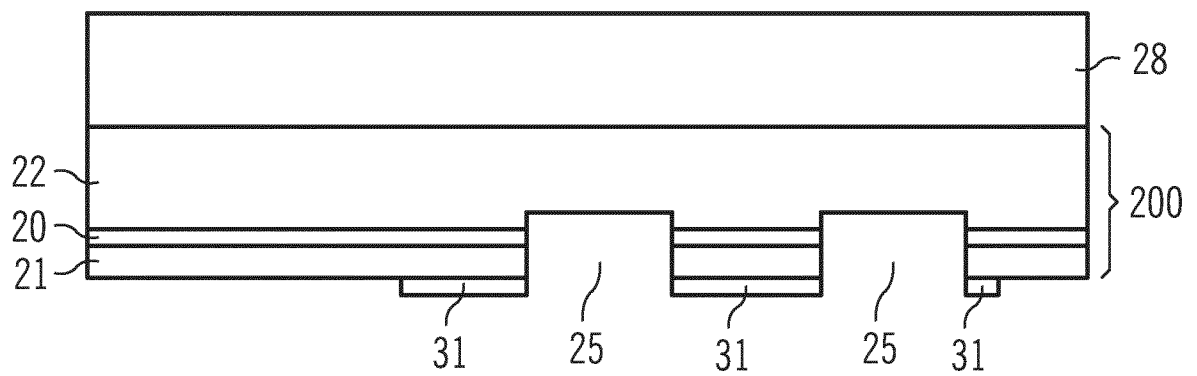


FIG 2C

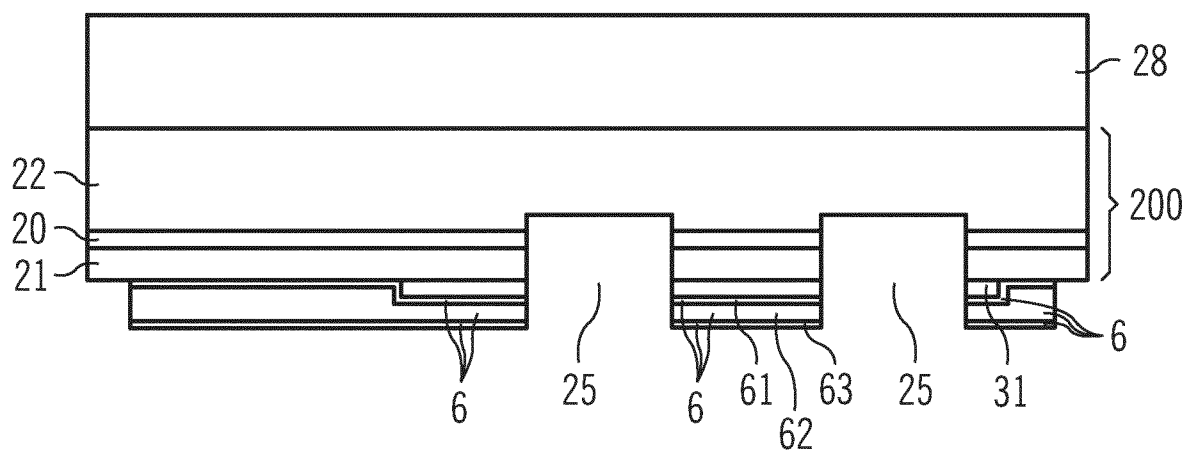


FIG 2D

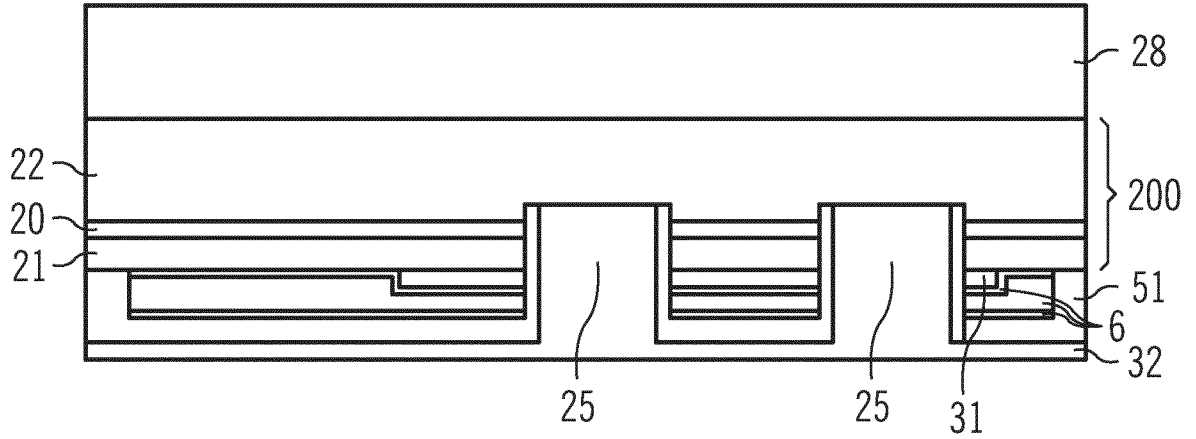


FIG 2E

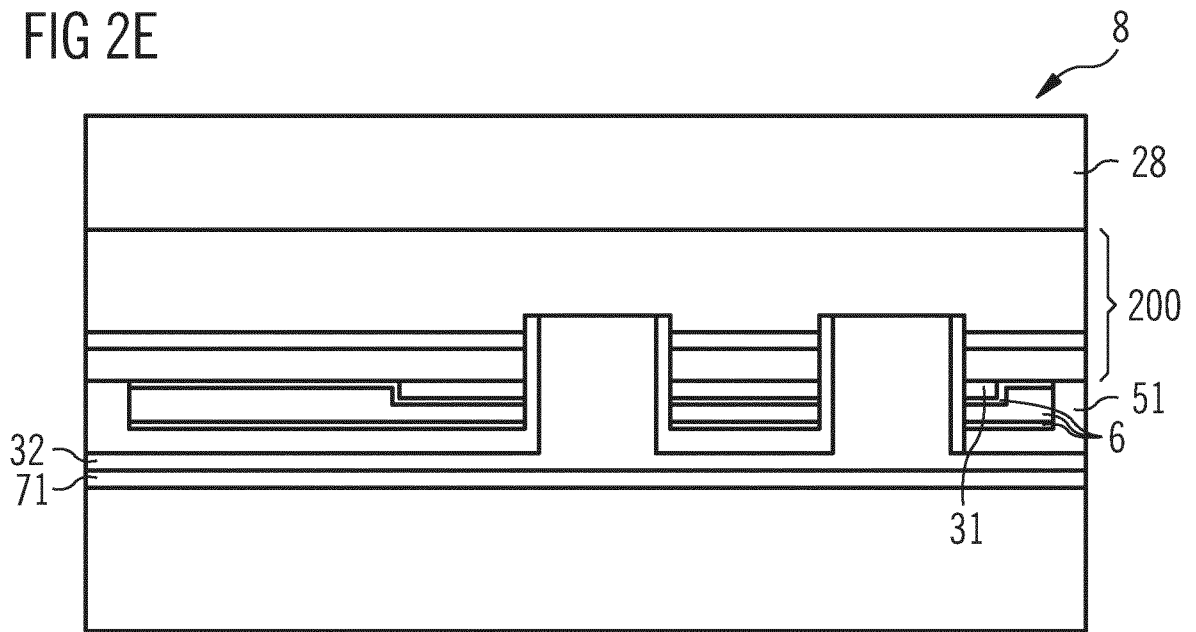
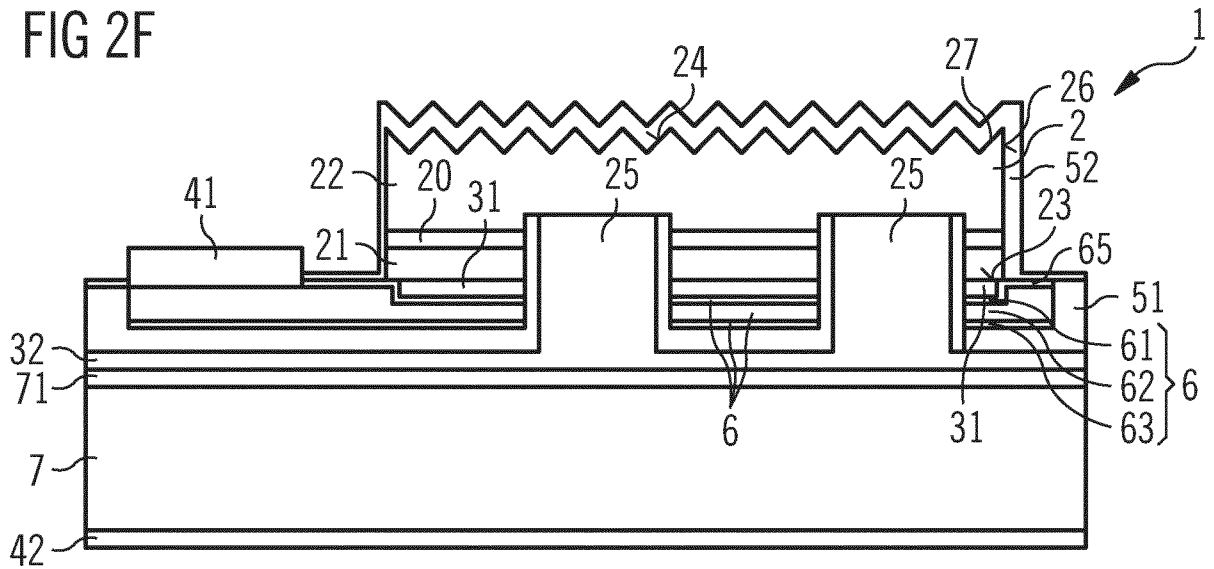


FIG 2F



INTERNATIONAL SEARCH REPORT

International application No
PCT/EP2012/052053

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L33/40
ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
Minimum documentation searched (classification system followed by classification symbols)
H01L H01S

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, INSPEC, IBM-TDB, WPI Data

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2010/125931 A1 (SHOWA DENKO KK [JP]; OKABE TAKEHIKO [JP]; MASUYA KYOSUKE [JP]; HODOTA) 4 November 2010 (2010-11-04) paragraph [0049] figure 4 abstract	1,13
Y	DE 10 2008 022942 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 12 November 2009 (2009-11-12) paragraphs [0063] - [0065] claim 1 figure 1A	1-15
Y	US 2007/023777 A1 (SONOBE SHINYA [JP] ET AL) 1 February 2007 (2007-02-01) paragraphs [0022], [0023], [0108], [0109] figure 1	1-15

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents :

- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.
- "&" document member of the same patent family

Date of the actual completion of the international search 16 April 2012	Date of mailing of the international search report 27/04/2012
--	--

Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016	Authorized officer Adams, Richard
--	--

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No PCT/EP2012/052053

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2010125931 A1	04-11-2010	JP 2010263016 A	18-11-2010
		TW 201044638 A	16-12-2010
		US 2012012889 A1	19-01-2012
		WO 2010125931 A1	04-11-2010

DE 102008022942 A1	12-11-2009	CN 102017143 A	13-04-2011
		DE 102008022942 A1	12-11-2009
		EP 2274774 A1	19-01-2011
		JP 2011520270 A	14-07-2011
		KR 20110006650 A	20-01-2011
		US 2011272728 A1	10-11-2011
		WO 2009135457 A1	12-11-2009

US 2007023777 A1	01-02-2007	EP 1804301 A1	04-07-2007
		US 2007023777 A1	01-02-2007
		WO 2006043422 A1	27-04-2006

A. KLASSIFIZIERUNG DES ANMELDUNGSGEGENSTANDES
 INV. H01L33/40
 ADD.

Nach der Internationalen Patentklassifikation (IPC) oder nach der nationalen Klassifikation und der IPC

B. RECHERCHIERTE GEBIETE

Recherchierter Mindestprüfstoff (Klassifikationssystem und Klassifikationssymbole)
 H01L H01S

Recherchierte, aber nicht zum Mindestprüfstoff gehörende Veröffentlichungen, soweit diese unter die recherchierten Gebiete fallen

Während der internationalen Recherche konsultierte elektronische Datenbank (Name der Datenbank und evtl. verwendete Suchbegriffe)

EPO-Internal, INSPEC, IBM-TDB, WPI Data

C. ALS WESENTLICH ANGESEHENE UNTERLAGEN

Kategorie*	Bezeichnung der Veröffentlichung, soweit erforderlich unter Angabe der in Betracht kommenden Teile	Betr. Anspruch Nr.
X	WO 2010/125931 A1 (SHOWA DENKO KK [JP]; OKABE TAKEHIKO [JP]; MASUYA KYOSUKE [JP]; HODOTA) 4. November 2010 (2010-11-04) Absatz [0049] Abbildung 4 Zusammenfassung	1,13
Y	DE 10 2008 022942 A1 (OSRAM OPTO SEMICONDUCTORS GMBH [DE]) 12. November 2009 (2009-11-12) Absätze [0063] - [0065] Anspruch 1 Abbildung 1A	1-15
Y	US 2007/023777 A1 (SONOBE SHINYA [JP] ET AL) 1. Februar 2007 (2007-02-01) Absätze [0022], [0023], [0108], [0109] Abbildung 1	1-15



Weitere Veröffentlichungen sind der Fortsetzung von Feld C zu entnehmen



Siehe Anhang Patentfamilie

* Besondere Kategorien von angegebenen Veröffentlichungen :

"A" Veröffentlichung, die den allgemeinen Stand der Technik definiert, aber nicht als besonders bedeutsam anzusehen ist

"E" älteres Dokument, das jedoch erst am oder nach dem internationalen Anmeldedatum veröffentlicht worden ist

"L" Veröffentlichung, die geeignet ist, einen Prioritätsanspruch zweifelhaft erscheinen zu lassen, oder durch die das Veröffentlichungsdatum einer anderen im Recherchenbericht genannten Veröffentlichung belegt werden soll oder die aus einem anderen besonderen Grund angegeben ist (wie ausgeführt)

"O" Veröffentlichung, die sich auf eine mündliche Offenbarung, eine Benutzung, eine Ausstellung oder andere Maßnahmen bezieht

"P" Veröffentlichung, die vor dem internationalen Anmeldedatum, aber nach dem beanspruchten Prioritätsdatum veröffentlicht worden ist

"T" Spätere Veröffentlichung, die nach dem internationalen Anmeldedatum oder dem Prioritätsdatum veröffentlicht worden ist und mit der Anmeldung nicht kollidiert, sondern nur zum Verständnis des der Erfindung zugrundeliegenden Prinzips oder der ihr zugrundeliegenden Theorie angegeben ist

"X" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann allein aufgrund dieser Veröffentlichung nicht als neu oder auf erfinderischer Tätigkeit beruhend betrachtet werden

"Y" Veröffentlichung von besonderer Bedeutung; die beanspruchte Erfindung kann nicht als auf erfinderischer Tätigkeit beruhend betrachtet werden, wenn die Veröffentlichung mit einer oder mehreren anderen Veröffentlichungen dieser Kategorie in Verbindung gebracht wird und diese Verbindung für einen Fachmann naheliegend ist

"&" Veröffentlichung, die Mitglied derselben Patentfamilie ist

Datum des Abschlusses der internationalen Recherche

16. April 2012

Absenddatum des internationalen Recherchenberichts

27/04/2012

Name und Postanschrift der Internationalen Recherchenbehörde
 Europäisches Patentamt, P.B. 5818 Patentlaan 2
 NL - 2280 HV Rijswijk
 Tel. (+31-70) 340-2040,
 Fax: (+31-70) 340-3016

Bevollmächtigter Bediensteter

Adams, Richard

INTERNATIONALER RECHERCHENBERICHT

Angaben zu Veröffentlichungen, die zur selben Patentfamilie gehören

Internationales Aktenzeichen

PCT/EP2012/052053

Im Recherchenbericht angeführtes Patentdokument	Datum der Veröffentlichung	Mitglied(er) der Patentfamilie	Datum der Veröffentlichung
WO 2010125931 A1	04-11-2010	JP 2010263016 A TW 201044638 A US 2012012889 A1 WO 2010125931 A1	18-11-2010 16-12-2010 19-01-2012 04-11-2010

DE 102008022942 A1	12-11-2009	CN 102017143 A DE 102008022942 A1 EP 2274774 A1 JP 2011520270 A KR 20110006650 A US 2011272728 A1 WO 2009135457 A1	13-04-2011 12-11-2009 19-01-2011 14-07-2011 20-01-2011 10-11-2011 12-11-2009

US 2007023777 A1	01-02-2007	EP 1804301 A1 US 2007023777 A1 WO 2006043422 A1	04-07-2007 01-02-2007 27-04-2006
