



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0127793  
(43) 공개일자 2013년11월25일

(51) 국제특허분류(Int. Cl.)  
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)  
(21) 출원번호 10-2012-0051572  
(22) 출원일자 2012년05월15일  
심사청구일자 없음

(71) 출원인  
에스케이하이닉스 주식회사  
경기도 이천시 부발읍 경충대로 2091  
(72) 발명자  
안영수  
경기도 부천시 원미구 상3동 진달래마을 푸르지오  
아파트 2209-1403  
오정섭  
충청북도 청주시 흥덕구 비하동 효성아파트 1차  
203-1205  
(74) 대리인  
특허법인 신성

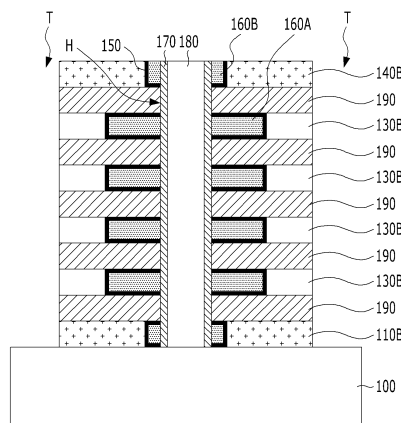
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 비휘발성 메모리 장치 및 그 제조 방법

**(57) 요약**

본 기술은 비휘발성 메모리 장치 및 그 제조 방법에 관한 것이다. 본 기술에 따른 비휘발성 메모리 장치는, 기판으로부터 수직으로 돌출된 채널층; 상기 채널층의 측면을 둘러싸는 터널 절연막; 상기 채널층을 따라 복수의 플로팅 게이트 전극 및 복수의 컨트롤 게이트 전극이 교대로 적층된 적층 구조물; 및 상기 플로팅 게이트 전극과 상기 컨트롤 게이트 전극 사이에 개재되는 전하 차단막을 포함하고, 상기 플로팅 게이트 전극은, 두 개의 상기 컨트롤 게이트 전극 사이의 제1 플로팅 게이트 전극, 및 상기 적층 구조물의 최하부 및 최상부에 위치하면서 상기 제1 플로팅 게이트 전극보다 상기 기판에 수평한 방향의 폭이 더 좁은 제2 플로팅 게이트 전극을 포함할 수 있다. 본 기술에 따르면, 더미 플로팅 게이트 전극의 크기를 최소화하여 더미 플로팅 게이트 전극과 컨트롤 게이트 전극의 결합비를 감소시킴으로써 비휘발성 메모리 장치의 동작 특성을 개선할 수 있다.

**대표도** - 도2j



## 특허청구의 범위

### 청구항 1

기관으로부터 수직으로 돌출된 채널층;

상기 채널층의 측면을 둘러싸는 터널 절연막;

상기 채널층을 따라 복수의 플로팅 게이트 전극 및 복수의 컨트롤 게이트 전극이 교대로 적층된 적층 구조물;  
및

상기 플로팅 게이트 전극과 상기 컨트롤 게이트 전극 사이에 개재되는 전하 차단막을 포함하고,

상기 플로팅 게이트 전극은, 두 개의 상기 컨트롤 게이트 전극 사이의 제1 플로팅 게이트 전극, 및 상기 적층 구조물의 최하부 및 최상부에 위치하면서 상기 제1 플로팅 게이트 전극보다 상기 기관에 수평한 방향의 폭이 더 좁은 제2 플로팅 게이트 전극을 포함하는

비휘발성 메모리 장치.

### 청구항 2

제1 항에 있어서,

상기 채널층을 따라 복수의 메모리 셀이 배치되고,

상기 메모리 셀은, 상기 제1 플로팅 게이트 전극 및 상기 제1 플로팅 게이트 전극에 인접하는 한 쌍의 상기 컨트롤 게이트 전극을 포함하는

비휘발성 메모리 장치.

### 청구항 3

제1 항에 있어서,

상기 제2 플로팅 게이트 전극은, 더미 플로팅 게이트 전극인

비휘발성 메모리 장치.

### 청구항 4

제1 항에 있어서,

상기 컨트롤 게이트 전극은, 상기 플로팅 게이트 전극보다 상기 기관에 수평한 방향의 폭이 더 넓은

비휘발성 메모리 장치.

### 청구항 5

제1 항에 있어서,

상기 플로팅 게이트 전극의 외측면을 둘러싸는 절연막을 더 포함하는

비휘발성 메모리 장치.

### 청구항 6

기관 상에 제1 층간 절연막을 형성하는 단계;

상기 제1 층간 절연막 상에 복수의 희생층 및 복수의 제2 층간 절연막이 교대로 적층된 적층 구조물을 형성하는 단계;

상기 적층 구조물의 최상부에 형성된 상기 희생층 상에 제3 층간 절연막을 형성하는 단계;

상기 제1, 제2 및 제3 층간 절연막 및 상기 희생층을 관통하여 상기 기관을 노출시키는 홈을 형성하는 단계; 및

상기 홈에 의해 노출된 상기 제1, 제2 및 제3 층간 절연막 일부를 식각하여 형성된 홈에 전하 차단막 및 플로팅 게이트 전극을 순차로 형성하는 단계를 포함하고,

상기 제1 및 제3 층간 절연막은, 상기 제2 층간 절연막보다 식각률이 낮은

비휘발성 메모리 장치의 제조 방법.

#### 청구항 7

제6 항에 있어서,

상기 제1 및 제3 층간 절연막은, 상기 제2 층간 절연막보다 조밀한

비휘발성 메모리 장치의 제조 방법.

#### 청구항 8

제6 항에 있어서,

상기 제1 또는 제3 층간 절연막 형성 단계는,

절연막을 증착하는 단계; 및

상기 절연막을 열처리하여 치밀화하는 단계를 포함하는

비휘발성 메모리 장치의 제조 방법.

#### 청구항 9

제6 항에 있어서,

상기 플로팅 게이트 전극 형성 단계에서,

상기 제1 및 제3 층간 절연막 내측부의 상기 홈에 형성된 상기 플로팅 게이트 전극은, 상기 제2 층간 절연막 내측부의 상기 홈에 형성된 상기 플로팅 게이트 전극보다 상기 기관에 수평한 방향의 폭이 더 좁은

비휘발성 메모리 장치의 제조 방법.

#### 청구항 10

제6 항에 있어서,

상기 희생층은, 상기 제1, 제2 및 제3 층간 절연막과 식각 선택비를 갖는 물질로 형성하는

비휘발성 메모리 장치의 제조 방법.

#### 청구항 11

제6 항에 있어서,  
 상기 플로팅 게이트 전극 형성 단계 후에,  
 상기 홀의 측벽을 따라 터널 절연막 및 채널층을 순차로 형성하는 단계를 더 포함하는  
 비휘발성 메모리 장치의 제조 방법.

**청구항 12**

제11 항에 있어서,  
 상기 채널층 형성 단계 후에,  
 상기 홀 양측의 상기 복수의 희생층을 관통하는 깊이의 트렌치를 형성하는 단계;  
 상기 트렌치에 의해 노출된 상기 희생층을 제거하는 단계; 및  
 상기 희생층이 제거된 공간에 컨트롤 게이트 전극을 형성하는 단계를 더 포함하는  
 비휘발성 메모리 장치의 제조 방법.

**청구항 13**

제12 항에 있어서,  
 상기 컨트롤 게이트 전극은, 상기 플로팅 게이트 전극보다 상기 기판에 수평한 방향의 폭이 더 넓은  
 비휘발성 메모리 장치의 제조 방법.

**명세서**

**기술분야**

[0001] 본 발명은 비휘발성 메모리 장치 및 그 제조 방법에 관한 것으로, 더욱 상세하게는 기판으로부터 수직 방향으로 복수의 메모리 셀이 적층되는 3차원 구조의 비휘발성 메모리 장치 및 그 제조 방법에 관한 것이다.

**배경기술**

[0002] 비휘발성 메모리 장치는 전원공급이 차단되더라도 저장된 데이터가 그대로 유지되는 메모리 장치이다. 현재 다양한 비휘발성 메모리 장치 예컨대, 플래시 메모리(Flash Memory) 등이 널리 이용되고 있다.

[0003] 한편, 최근 반도체 기판 상에 단층으로 메모리 셀을 형성하는 2차원 구조의 비휘발성 메모리 장치의 집적도 향상이 한계에 도달함에 따라, 반도체 기판으로부터 수직 방향으로 돌출된 채널층을 따라 복수의 메모리 셀을 형성하는 3차원 구조의 비휘발성 메모리 장치가 제안되었다. 구체적으로 보면, 이러한 3차원 구조의 비휘발성 메모리 장치에는 도전체인 플로팅 게이트 전극에 전하를 저장하는 구조와 절연체인 전하 트랩막에 전하를 저장하는 구조가 있다.

[0004] 도 1a 및 도 1b는 종래의 3차원 구조의 비휘발성 메모리 장치를 나타내는 단면도이다.

[0005] 도 1a 및 도 1b를 참조하면, 플로팅 게이트 전극에 전하를 저장하는 3차원 구조의 비휘발성 메모리 장치는, 기판(10) 상에 교대로 적층된 복수의 층간 절연막(20) 및 복수의 컨트롤 게이트 전극(30)을 관통하는 채널층(70)과 이를 둘러싸는 터널 절연막(60), 및 층간 절연막(20)과 터널 절연막(60) 사이에 개재되는 플로팅 게이트 전극(50)과 이를 둘러싸는 전하 차단막(40)을 포함할 수 있다.

[0006] 그런데 도 1a의 장치에서 최상부 및 최하부에 위치하는 플로팅 게이트 전극(50)은 더미 플로팅 게이트 전극으로서, 하나의 컨트롤 게이트 전극(30)에만 인접하므로 제어하기가 어렵다. 이로 인해 비정상적인 프로그램(Program) 동작이 발생하며, 리드(Read) 동작 시에 채널 전류가 감소하는 문제가 있다.

[0007] 한편, 도 1b의 장치와 같이 기관(10) 상에 컨트롤 게이트 전극(30)을 배치하는 경우에는 최하부에 더미 플로팅 게이트 전극이 형성되지는 않지만, 컨트롤 게이트 전극(30)이 기관(10)에 직접 연결되므로 웰 픽업(Well Pick-up) 영역과 단락(Short)되어 이와 독립적으로 제어할 수 없게 된다. 따라서 이러한 문제들을 해결할 수 있는 구조의 개발이 요구되고 있다.

**발명의 내용**

**해결하려는 과제**

[0008] 본 발명의 일 실시예는, 더미 플로팅 게이트 전극의 크기를 최소화하여 더미 플로팅 게이트 전극과 컨트롤 게이트 전극의 결합비를 감소시킴으로써 동작 특성이 개선된 비휘발성 메모리 장치 및 그 제조 방법을 제공한다.

**과제의 해결 수단**

[0009] 본 발명의 일 실시예에 따른 비휘발성 메모리 장치는, 기관으로부터 수직으로 돌출된 채널층; 상기 채널층의 측면을 둘러싸는 터널 절연막; 상기 채널층을 따라 복수의 플로팅 게이트 전극 및 복수의 컨트롤 게이트 전극이 교대로 적층된 적층 구조물; 및 상기 플로팅 게이트 전극과 상기 컨트롤 게이트 전극 사이에 개재되는 전하 차단막을 포함하고, 상기 플로팅 게이트 전극은, 두 개의 상기 컨트롤 게이트 전극 사이의 제1 플로팅 게이트 전극, 및 상기 적층 구조물의 최하부 및 최상부에 위치하면서 상기 제1 플로팅 게이트 전극보다 상기 기관에 수평한 방향의 폭이 더 좁은 제2 플로팅 게이트 전극을 포함할 수 있다.

[0010] 또한, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치의 제조 방법은, 기관 상에 제1 층간 절연막을 형성하는 단계; 상기 제1 층간 절연막 상에 복수의 희생층 및 복수의 제2 층간 절연막이 교대로 적층된 적층 구조물을 형성하는 단계; 상기 적층 구조물의 최상부에 형성된 상기 희생층 상에 제3 층간 절연막을 형성하는 단계; 상기 제1, 제2 및 제3 층간 절연막 및 상기 희생층을 관통하여 상기 기관을 노출시키는 홈을 형성하는 단계; 및 상기 홈에 의해 노출된 상기 제1, 제2 및 제3 층간 절연막 일부를 식각하여 형성된 홈에 전하 차단막 및 플로팅 게이트 전극을 순차로 형성하는 단계를 포함하고, 상기 제1 및 제3 층간 절연막은, 상기 제2 층간 절연막보다 식각률이 낮을 수 있다.

**발명의 효과**

[0011] 본 기술에 따르면, 더미 플로팅 게이트 전극의 크기를 최소화하여 더미 플로팅 게이트 전극과 컨트롤 게이트 전극의 결합비를 감소시킴으로써 비휘발성 메모리 장치의 동작 특성을 개선할 수 있다.

**도면의 간단한 설명**

[0012] 도 1a 및 도 1b는 종래의 3차원 구조의 비휘발성 메모리 장치를 나타내는 단면도이다.  
 도 2a 내지 도 2j는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치 및 그 제조 방법을 설명하기 위한 단면도이다.

**발명을 실시하기 위한 구체적인 내용**

[0013] 이하에서는, 본 발명의 가장 바람직한 실시예가 설명된다. 도면에 있어서, 두께와 간격은 설명의 편의를 위하여 표현된 것이며, 실제 물리적 두께에 비해 과장되어 도시될 수 있다. 본 발명을 설명함에 있어서, 본 발명의 요지와 무관한 공지 구성은 생략될 수 있다. 각 도면의 구성요소들에 참조 번호를 부가함에 있어서, 동일한 구성 요소들에 한해서는 비록 다른 도면상에 표시되더라도 가능한 한 동일한 번호를 가지도록 하고 있음에 유의하여야 한다.

- [0014] 도 2a 내지 도 2j는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치 및 그 제조 방법을 설명하기 위한 단면도이다. 특히, 도 2j는 본 발명의 일 실시예에 따른 비휘발성 메모리 장치를 나타내는 단면도이고, 도 2a 내지 도 2i는 도 2j의 장치를 제조하기 위한 공정 중간 단계의 일례를 나타내는 단면도이다.
- [0015] 도 2a를 참조하면, 기판(100) 상에 제1 층간 절연막(110)을 형성한다. 기판(100)은 단결정 실리콘과 같은 반도체 기판일 수 있으며, 소정의 하부 구조물(미도시됨)을 포함할 수 있다.
- [0016] 여기서, 제1 층간 절연막(110)은 후술하는 제2 층간 절연막보다 식각률이 낮도록 조밀하게 형성하되, 산화막 계열의 물질로 형성할 수 있다. 특히, 실리콘 산화막(SiO<sub>2</sub>)의 경우 조성이 동일하더라도 증착 방법, 예컨대 저압 화학 증착(Low Pressure Chemical Vapor Deposition; LP-CVD), 플라즈마 화학 증착(Plasma Enhanced CVD; PE-CVD), 원자층 증착(Atomic Layer Deposition; ALD) 또는 물리 증착(Physical Vapor Deposition; PVD) 등에 따라 박막의 밀도가 달라지게 된다. 예를 들어, 상압 화학 증착(Atmospheric Pressure CVD; AP-CVD) 방법으로 형성된 산화막은 TEOS(Tetra Ethyl Ortho Silicate) 또는 HTO(High Temperature Oxide)보다 습식 식각액, 예컨대 완충 산화막 식각제(Buffered Oxide Etchant; BOE) 또는 불산(Hydro-Fluoric acid; HF)에 대한 내성이 크다.
- [0017] 또한, 동일한 증착 방법을 사용하더라도 치밀화(Densification) 공정을 통해 식각률을 낮출 수 있다. 예를 들어, 절연막을 증착하고 나서 어닐링(Annealing) 또는 급속 열처리(Rapid Thermal Processing; RTP) 등을 실시하여 상기 절연막을 치밀화함으로써 습식 식각에 대한 내성을 키울 수 있다.
- [0018] 도 2b를 참조하면, 제1 층간 절연막(110) 상에 복수의 희생층(120) 및 복수의 제2 층간 절연막(130)을 교대로 적층한다. 이하에서는 설명의 편의를 위해 복수의 희생층(120) 및 복수의 제2 층간 절연막(130)이 교대로 적층된 구조물을 적층 구조물이라 하기로 한다.
- [0019] 여기서, 적층 구조물의 최하부 및 최상부에는 희생층(120)이 배치되도록 할 수 있으며, 제2 층간 절연막(130)은 제1 층간 절연막(110) 및 후술하는 제3 층간 절연막보다 식각률이 높은 산화막 계열의 물질로 형성할 수 있다. 또한, 희생층(120)은 후속 공정에서 제거되어 후술하는 컨트롤 게이트 전극이 형성될 공간을 제공하는 층으로서 제1 층간 절연막(110), 제2 층간 절연막(130) 및 후술하는 제3 층간 절연막과 식각 선택비를 갖는 물질, 예컨대 질화막 계열의 물질로 형성할 수 있다. 한편, 본 단면도에는 5개의 희생층(120)이 도시되어 있으나, 이는 예시에 불과하며 그 이상 또는 그 이하로도 형성할 수 있다.
- [0020] 도 2c를 참조하면, 적층 구조물의 최상부에 형성된 희생층(120) 상에 제3 층간 절연막(140)을 형성한다. 제3 층간 절연막(140)은 제2 층간 절연막(130)보다 식각률이 낮도록 조밀하게 형성하되, 제1 층간 절연막(110)과 같은 산화막 계열의 물질로 형성할 수 있다.
- [0021] 여기서, 제3 층간 절연막(140)은 증착 방법, 예컨대 저압 화학 증착(LP-CVD), 플라즈마 화학 증착(PE-CVD), 원자층 증착(ALD) 또는 물리 증착(PVD) 등을 제2 층간 절연막(130)과 달리하거나, 또는 동일한 방법으로 절연막을 증착하더라도 어닐링 또는 급속 열처리(RTP) 등의 치밀화 공정을 수행함으로써 식각률을 낮출 수 있다.
- [0022] 도 2d를 참조하면, 제3 층간 절연막(140), 적층 구조물 및 제1 층간 절연막(110)을 선택적으로 식각하여 기판(100)을 노출시키는 홈(H)을 형성한다.
- [0023] 여기서, 홈(H)은 평면상에서 볼 때 원 또는 타원 모양을 가질 수 있으며, 복수개가 매트릭스(Matrix) 형태로 배열될 수 있다. 특히, 산화막과 질화막을 교대로 적층하여 적층 구조물을 형성한 경우에는 산화막과 폴리실리콘을 교대로 적층하는 기존의 방식에 비하여 수직 식각 프로파일을 갖도록 식각하는 것이 용이하다.
- [0024] 도 2e를 참조하면, 홈(H)에 의해 노출된 제1 내지 제3 층간 절연막(110, 130, 140) 일부를 식각하여 희생층(120)의 측면으로부터 리세스(Recess)되도록 한다.
- [0025] 여기서, 제1 내지 제3 층간 절연막(110, 130, 140)을 리세스하기 위해 제1 내지 제3 층간 절연막(110, 130, 140)과 희생층(120) 간의 식각 선택비를 이용한 습식 식각 공정을 수행할 수 있다. 이때, 식각률이 낮은 제1 및 제3 층간 절연막(110, 140)은 제2 층간 절연막(130)보다 적게 식각되며, 나아가 제2 층간 절연막(130)과의 식각률 차이가 큰 경우에는 거의 식각되지 않을 수 있다. 본 공정 결과, 홈(H)의 측벽에 요철 형태의 홈이 형성되며, 잔류하는 제1 내지 제3 층간 절연막(110, 130, 140)을 각각 제1 내지 제3 층간 절연막 1차 패턴(110A, 130A, 140A)이라 한다.
- [0026] 도 2f를 참조하면, 홈(H)의 측벽에 형성된 홈에 전하 차단막(150) 및 플로팅 게이트 전극(160A, 160B)을 순차로

형성한다. 이때, 제1 및 제3 층간 절연막 1차 패턴(110A, 140A) 내측부의 홈에 형성되는 최상부 및 최하부의 플로팅 게이트 전극은 더미(Dummy) 플로팅 게이트 전극(160B)으로서, 제2 층간 절연막 1차 패턴(130A) 내측부의 홈에 형성되는 플로팅 게이트 전극(160A)보다 기관(100)에 수평한 방향의 폭이 더 좁게 형성된다.

[0027] 여기서, 전하 차단막(150)은 플로팅 게이트 전극(160A, 160B)에 저장된 전하가 외부로 이동하는 것을 차단하기 위한 것으로서, 원자층 증착(ALD) 또는 화학 증착(CVD) 방식으로 절연 물질을 홀(H)의 측벽에 형성된 홈의 내벽을 따라 콘포멀(Conformal)하게 증착하여 형성할 수 있다. 또한, 플로팅 게이트 전극(160A, 160B)은 도핑된 폴리실리콘과 같은 도전 물질을 홀(H)의 측벽에 형성된 홈을 매립하는 두께로 증착한 후, 희생층(120)의 측면이 드러날 때까지 식각하여 층별로 분리함으로써 형성할 수 있다.

[0028] 도 2g를 참조하면, 홀(H)의 측벽을 따라 터널 절연막(170)을 형성한다. 터널 절연막(170)은 전하 터널링을 위한 것으로서 원자층 증착(ALD) 또는 화학 증착(CVD) 방식으로 산화막 계열의 물질을 증착하여 형성할 수 있다.

[0029] 이어서, 터널 절연막(170)이 형성된 홀(H) 내에 채널층(180)을 형성한다. 채널층(180)은 반도체 물질, 예컨대 폴리실리콘을 증착 또는 성장시켜 형성할 수 있다. 한편, 본 실시예에서는 채널층(180)이 홀(H)을 완전히 매립하는 두께로 형성될 수 있으나 본 발명이 이에 한정되지 않으며, 다른 실시예에서는 채널층(180)이 홀(H)을 완전히 매립하지 않는 얇은 두께로 형성될 수도 있다.

[0030] 도 2h를 참조하면, 홀(H) 양측의 제1 내지 제3 층간 절연막 1차 패턴(110A, 130A, 140A) 및 희생층(120)을 선택적으로 식각하여 희생층(120)의 측면을 노출시키는 트렌치(T)를 형성한다.

[0031] 여기서, 트렌치(T)는 본 단면과 교차하는 방향으로 연장되는 슬릿(Slit) 형태로 복수개가 평행하게 배열될 수 있으며, 잔류하는 제1 내지 제3 층간 절연막 1차 패턴(110A, 130A, 140A) 및 희생층(120)을 각각 제1 내지 제3 층간 절연막 2차 패턴(110B, 130B, 140B) 및 희생층 패턴(120A)이라 한다.

[0032] 도 2i를 참조하면, 트렌치(T)에 의해 노출된 희생층 패턴(120A)을 제거한다. 이때, 희생층 패턴(120A)을 제거하기 위해 제1 내지 제3 층간 절연막 2차 패턴(110B, 130B, 140B)과의 식각 선택비를 이용한 딥아웃(Dip-out) 방식의 습식 식각 공정을 수행할 수 있다.

[0033] 도 2j를 참조하면, 희생층 패턴(120A)이 제거된 공간에 컨트롤 게이트 전극(190)을 형성한다. 컨트롤 게이트 전극(190)은 플로팅 게이트 전극(160A, 160B)보다 기관(100)에 수평한 방향의 폭이 더 넓게 형성될 수 있다.

[0034] 여기서, 컨트롤 게이트 전극(190)은 도핑된 폴리실리콘 또는 금속과 같은 도전 물질을 희생층 패턴(120A)이 제거된 공간을 매립하는 두께로 증착한 후, 제1 내지 제3 층간 절연막 2차 패턴(110B, 130B, 140B)의 측면이 드러날 때까지 식각하여 층별로 분리함으로써 형성할 수 있다. 한편, 컨트롤 게이트 전극(190)을 형성하기 전에 계면 특성을 향상시키기 위해 희생층 패턴(120A)이 제거된 공간의 내벽을 따라 티타늄 질화물(TiN) 등을 콘포멀하게 증착하여 장벽 금속막을 형성할 수 있다.

[0035] 이상에서 설명한 제조 방법에 의하여, 도 2j에 도시된 것과 같은 본 발명의 일 실시예에 따른 비휘발성 메모리 장치가 제조될 수 있다.

[0036] 도 2j를 참조하면, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치는, 기관(100)으로부터 수직으로 돌출된 채널층(180), 채널층(180)의 측면을 둘러싸는 터널 절연막(170), 채널층(180)을 따라 복수의 플로팅 게이트 전극(160A, 160B) 및 복수의 컨트롤 게이트 전극(190)이 교대로 적층된 적층 구조물, 플로팅 게이트 전극(160A, 160B)과 컨트롤 게이트 전극(190) 사이에 개재되는 전하 차단막(150), 및 플로팅 게이트 전극(160A, 160B)의 외측면을 둘러싸는 제1 내지 제3 층간 절연막 2차 패턴(110B, 130B, 140B)을 포함할 수 있다.

[0037] 여기서, 상기 적층 구조물의 최하부 및 최상부에 위치하는 플로팅 게이트 전극(160B)은 더미 플로팅 게이트 전극으로서, 두 개의 컨트롤 게이트 전극(190) 사이에 위치하는 플로팅 게이트 전극(160A)보다 기관(100)에 수평한 방향의 폭이 더 좁다. 또한, 컨트롤 게이트 전극(190)은 플로팅 게이트 전극(160A, 160B)보다 기관(100)에 수평한 방향의 폭이 더 넓을 수 있다.

[0038] 한편, 본 발명의 일 실시예에 따른 비휘발성 메모리 장치는 채널층(180)을 따라 복수의 메모리 셀이 배치되며, 상기 메모리 셀은 플로팅 게이트 전극(160A) 및 플로팅 게이트 전극(160A)에 인접하는 한 쌍의 컨트롤 게이트 전극(190)을 포함할 수 있다.

[0039] 이상에서 설명한 본 발명의 일 실시예에 따른 비휘발성 메모리 장치 및 그 제조 방법에 의하면, 기판으로부터 수직으로 돌출된 채널층을 따라 형성되는 복수의 플로팅 게이트 전극 중 최상부 또는 최하부에 위치하여 선택 게이트 전극 또는 기판에 인접하는 더미 플로팅 게이트 전극의 크기를 최소화할 수 있다. 이에 따라 더미 플로팅 게이트 전극과 컨트롤 게이트 전극이 접하는 면적이 줄어 이들의 결합비(Coupling Ratio)가 감소되며, 이로써 더미 플로팅 게이트 전극에서의 비정상적인 프로그램(Program) 동작을 방지함과 동시에 리드(Read) 동작 시에 채널 전류가 감소하는 현상을 막을 수 있다.

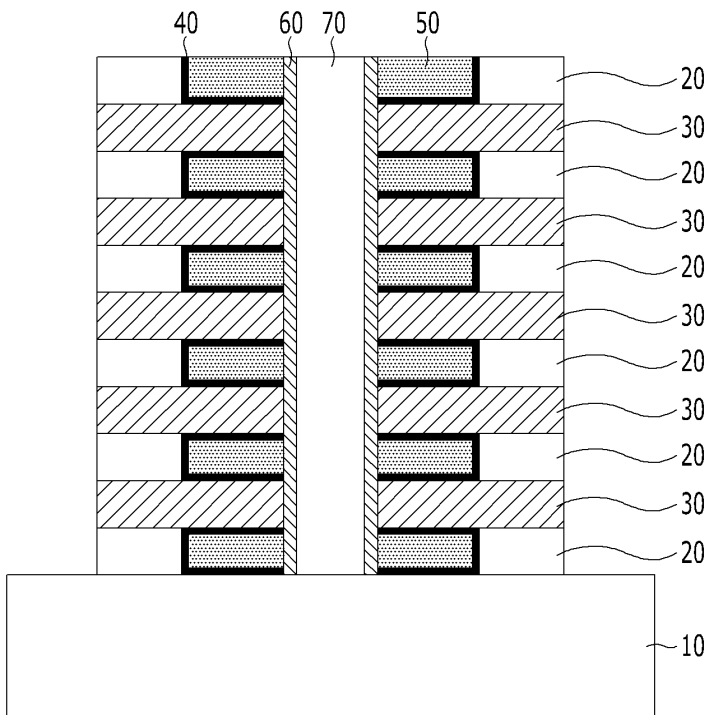
[0040] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기록되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

**부호의 설명**

- [0041] 100 : 기판  
 110A : 제1 층간 절연막 2차 패턴  
 110B : 제1 층간 절연막 2차 패턴  
 120A : 희생층 패턴  
 130B : 제2 층간 절연막 2차 패턴  
 140B : 제3 층간 절연막 2차 패턴  
 150 : 전하 차단막  
 160A : 플로팅 게이트 전극  
 160B : 더미 플로팅 게이트 전극  
 170 : 터널 절연막  
 180 : 채널층  
 190 : 컨트롤 게이트 전극  
 H : 홈  
 T : 트렌치

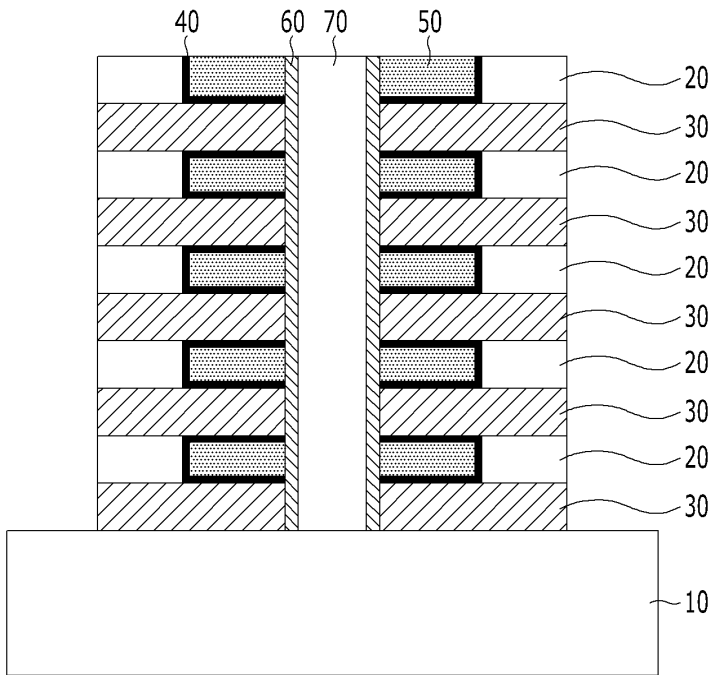
**도면**

**도면1a**

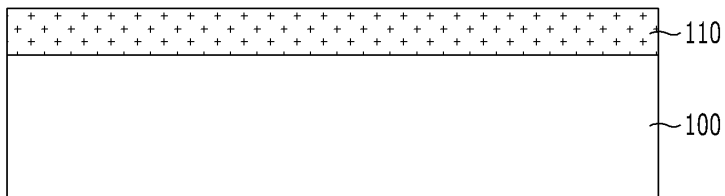




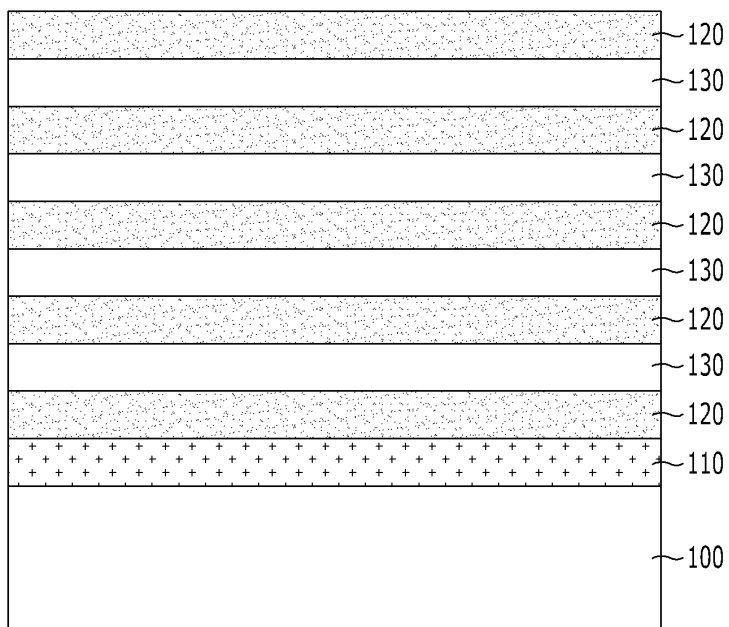
도면1b



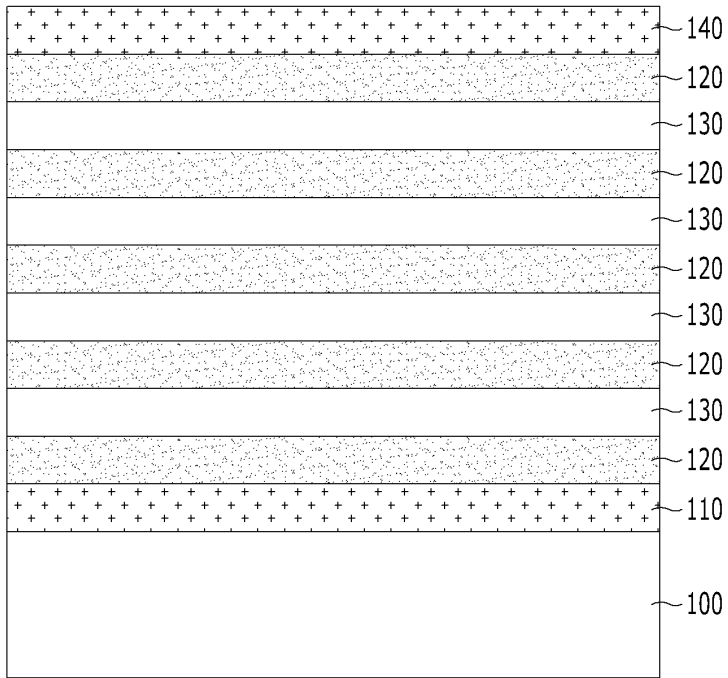
도면2a



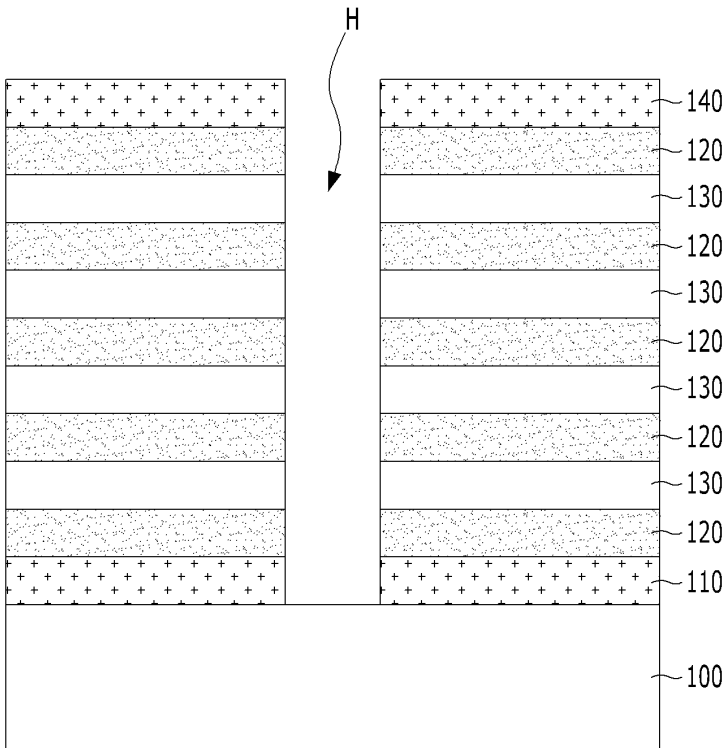
도면2b



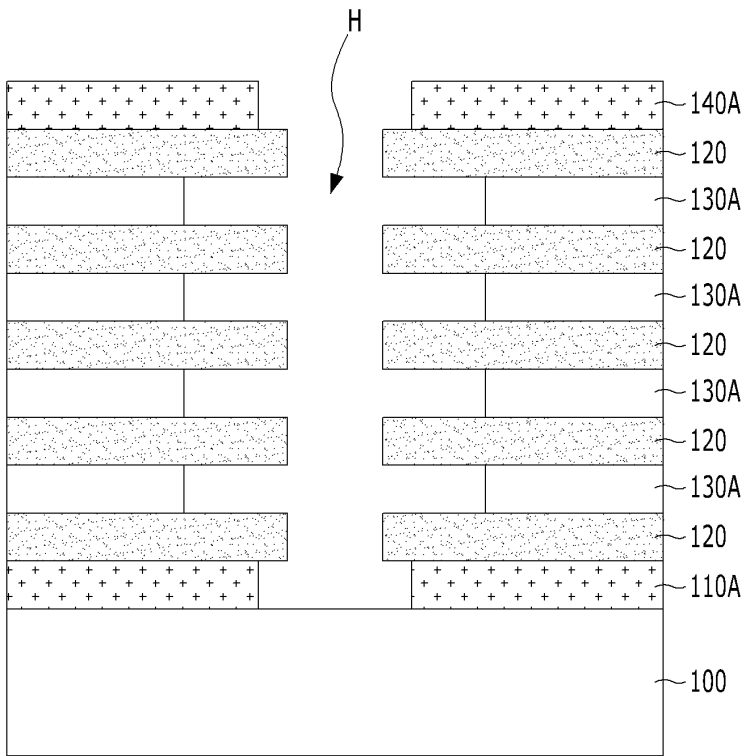
도면2c



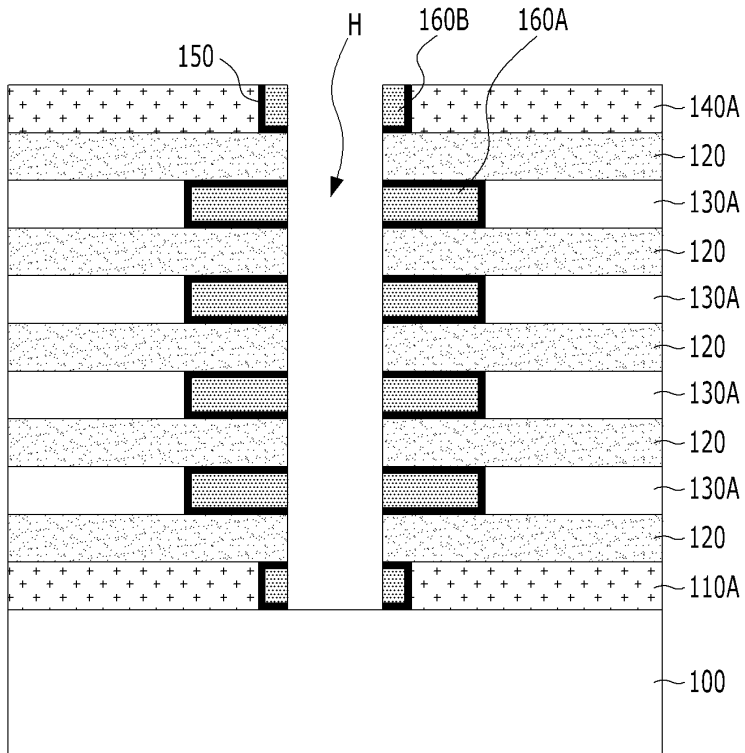
도면2d



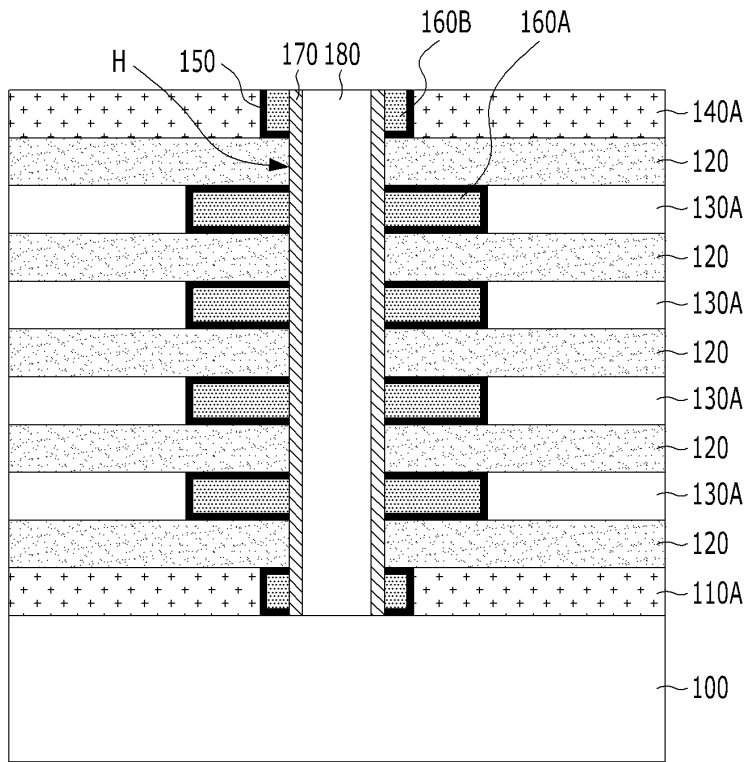
도면2e



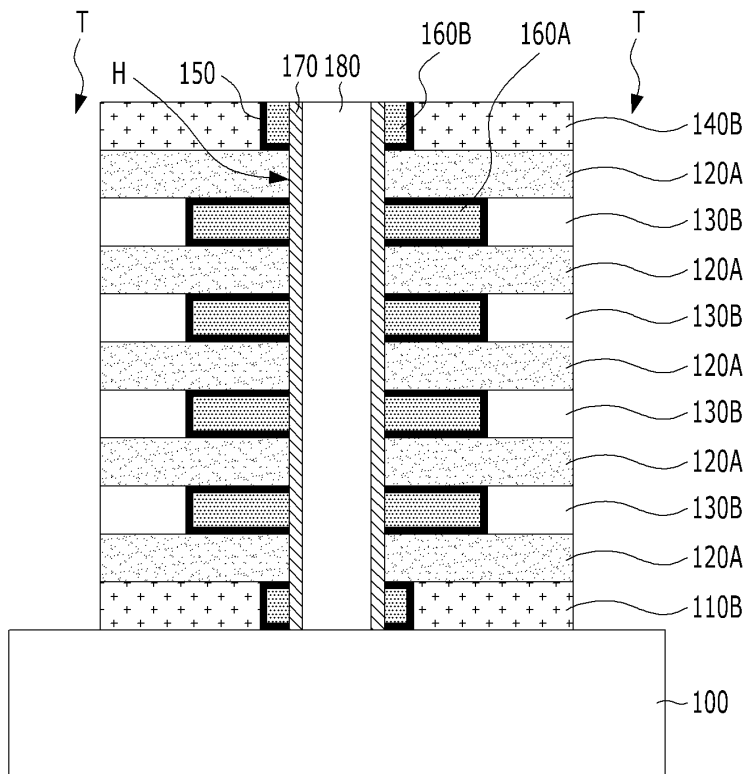
도면2f



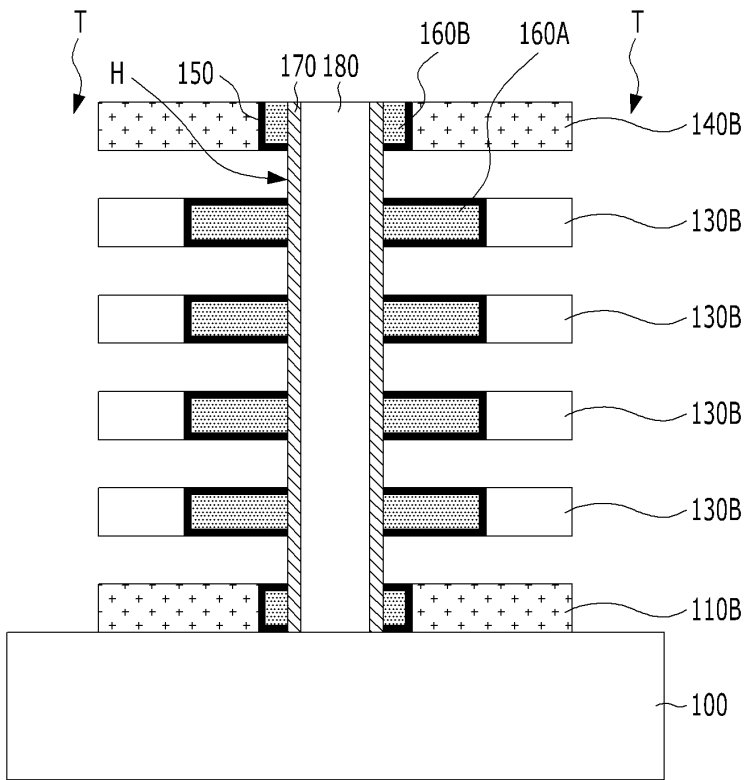
도면2g



도면2h



도면2i



도면2j

