

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3609660号
(P3609660)

(45) 発行日 平成17年1月12日(2005. 1. 12)

(24) 登録日 平成16年10月22日(2004. 10. 22)

(51) Int.Cl.⁷

H 0 1 L 21/76

F I

H 0 1 L 21/76

L

請求項の数 8 (全 17 頁)

(21) 出願番号	特願平11-228164	(73) 特許権者	503121103
(22) 出願日	平成11年8月12日(1999. 8. 12)		株式会社ルネサステクノロジ
(65) 公開番号	特開2001-53139(P2001-53139A)		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成13年2月23日(2001. 2. 23)	(74) 代理人	100077816
審査請求日	平成14年10月4日(2002. 10. 4)		弁理士 春日 譲
		(72) 発明者	石塚 典男
			茨城県土浦市神立町502番地
			株式会社 日立製作所 機械
			研究所内
		(72) 発明者	三浦 英生
			茨城県土浦市神立町502番地
			株式会社 日立製作所 機械
			研究所内

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法及び半導体装置

(57) 【特許請求の範囲】

【請求項1】

半導体装置の製造方法において、

- (1) 半導体基板の回路形成面にパット酸化膜を形成する工程と、
 (2) 上記工程(1)に続いて、上記パット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンを形成する工程と、
 (3) 上記工程(2)に続いて、アモルファスシリコンもしくは多結晶シリコンの上に酸化防止膜を形成する工程と、
 (4) 上記工程(3)に続いて、所望の位置の上記酸化防止膜、アモルファスシリコンもしくは多結晶シリコン、パット酸化膜を除去し、半導体基板表面を露出させる工程と、
 (5) 上記工程(4)に続いて、上記パット酸化膜を後退させる工程と、
 (6) 上記工程(5)に続いて、等方性エッチング法にて半導体基板と、アモルファスシリコンもしくは多結晶シリコンの一部を除去する工程と、
 (7) 上記工程(6)に続いて、上記酸化防止膜をマスクとして、所定の深さの溝を形成する工程と、
 (8) 上記工程(7)に続いて、上記パット酸化膜を後退させる工程と、
 (9) 上記工程(8)に続いて、上記半導体基板に形成した溝部分を酸化する工程と、
 (10) 上記工程(9)に続いて、上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、
 (11) 上記工程(10)に続いて、上記酸化防止膜の上に形成された上記埋め込み絶縁

10

20

膜を除去する工程と、

(12) 上記工程(11)に続いて、上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、

(13) 上記工程(12)に続いて、上記半導体基板の回路形成面の上に形成されたアモルファスシリコンもしくは多結晶シリコンと上記パット酸化膜とを除去する工程と、
を備えることを特徴とする半導体装置の製造方法。

【請求項2】

半導体装置の製造方法において、

(1) 半導体基板の回路形成面にパット酸化膜を形成する工程と、

(2) 上記工程(1)に続いて、上記パット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンを形成する工程と、 10

(3) 上記工程(2)に続いて、アモルファスシリコンもしくは多結晶シリコンの上に酸化防止膜を形成する工程と、

(4) 上記工程(3)に続いて、所望の位置の上記酸化防止膜、アモルファスシリコンもしくは多結晶シリコン、パット酸化膜を除去し、半導体基板表面を露出させる工程と、

(5) 上記工程(4)に続いて、上記パット酸化膜を後退させる工程と、

(6) 上記工程(5)に続いて、等方性エッチング法にて半導体基板と、アモルファスシリコンもしくは多結晶シリコンの一部を除去する工程と、

(7) 上記工程(6)に続いて、上記酸化防止膜をマスクとして、所定の深さの溝を形成する工程と、 20

(8) 上記工程(7)に続いて、上記パット酸化膜を後退させる工程と、

(9) 上記工程(8)に続いて、半導体基板の溝表面を除去する工程と、

(10) 上記工程(9)に続いて、上記半導体基板に形成した溝部分を酸化する工程と、

(11) 上記工程(10)に続いて、上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、

(12) 上記工程(11)に続いて、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、

(13) 上記工程(12)に続いて、上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、

(14) 上記工程(13)に続いて、上記半導体基板の回路形成面の上に形成されたアモルファスシリコンもしくは多結晶シリコンと、上記パット酸化膜を除去する工程と、 30
を備えることを特徴とする半導体装置の製造方法。

【請求項3】

半導体装置の製造方法において、

(1) 半導体基板の回路形成面にパット酸化膜を形成する工程と、

(2) 上記工程(1)に続いて、上記パット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンを形成する工程と、

(3) 上記工程(2)に続いて、アモルファスシリコンもしくは多結晶シリコンの上に酸化防止膜を形成する工程と、

(4) 上記工程(3)に続いて、所望の位置の上記酸化防止膜、アモルファスシリコンもしくは多結晶シリコン、パット酸化膜を除去させ、半導体基板表面を露出させる工程と、 40

(5) 上記工程(4)に続いて、上記パット酸化膜を後退させる工程と、

(6) 上記工程(5)に続いて、上記(4)工程のパット酸化膜の後退量を $T\text{ nm}$ とし、上記(5)工程の基板エッチング量を $R\text{ nm}$ とした場合、 T/R の範囲が $1.5 \sim 2.5$ となるように、等方性エッチング法にて半導体基板とアモルファスシリコンもしくは多結晶シリコンの一部を除去する工程と、

(7) 上記工程(6)に続いて、上記酸化防止膜をマスクとして、所定の深さの溝を形成する工程と、

(8) 上記工程(7)に続いて、上記パット酸化膜を後退させる工程と、

(9) 上記工程(8)に続いて、上記半導体基板に形成した溝部分を酸化する工程と、 50

(10) 上記工程(9)に続いて、上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、

(11) 上記工程(10)に続いて、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、

(12) 上記工程(11)に続いて、上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、

(13) 上記工程(12)に続いて、上記半導体基板の回路形成面の上に形成されたアモルファスシリコンもしくは多結晶シリコンと、上記パット酸化膜を除去する工程と、
を備えることを特徴とする半導体装置の製造方法。

【請求項4】

10

半導体装置の製造方法において、

(1) 半導体基板の回路形成面にパット酸化膜を形成する工程と、

(2) 上記工程(1)に続いて、上記パット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンを形成する工程と、

(3) 上記工程(2)に続いて、アモルファスシリコンもしくは多結晶シリコンの上に酸化防止膜を形成する工程と、

(4) 上記工程(3)に続いて、所望の位置の上記酸化防止膜、アモルファスシリコンもしくは多結晶シリコン、パット酸化膜を除去させ、半導体基板表面を露出させる工程と、

(5) 上記工程(4)に続いて、上記パット酸化膜を後退させる工程と、

(6) 上記工程(5)に続いて、上記(4)工程のパット酸化膜の後退量を $T\text{ nm}$ とし、
上記(5)工程の基板エッチング量を $R\text{ nm}$ とした場合、 T/R の範囲が $1.5 \sim 2.5$ となるように、等方性エッチング法にて半導体基板とアモルファスシリコンもしくは多結晶シリコンの一部を除去する工程と、

20

(7) 上記工程(6)に続いて、上記酸化防止膜をマスクとして、所定の深さの溝を形成する工程と、

(8) 上記工程(7)に続いて、上記パット酸化膜を後退させる工程と、

(9) 上記工程(8)に続いて、等方性エッチング法にて半導体基板とアモルファスシリコンもしくは多結晶シリコンの一部を除去する工程と、

(10) 上記工程(9)に続いて、上記半導体基板に形成した溝部分を酸化する工程と、

(11) 上記工程(10)に続いて、上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、

30

(12) 上記工程(11)に続いて、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、

(13) 上記工程(12)に続いて、上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、

(14) 上記工程(13)に続いて、上記半導体基板の回路形成面の上に形成されたアモルファスシリコンもしくは多結晶シリコンと上記パット酸化膜を除去する工程と、
を備えることを特徴とする半導体装置の製造方法。

【請求項5】

半導体基板の回路形成面にパット酸化膜を形成し、このパット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンと酸化防止膜を順次形成し、所望の位置の上記酸化防止膜、パット酸化膜を除去し、半導体基板表面を露出し、上記パット酸化膜を後退させ、等方性エッチング法にて半導体基板とアモルファスシリコンもしくは多結晶シリコンの一部を除去し、上記酸化防止膜をマスクとして、所定の深さの溝を形成し、上記パット酸化膜を後退させ、上記半導体基板に形成した溝部分を酸化し、上記酸化させた溝内部に埋め込み絶縁膜を埋め込み、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去し、上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去し、上記半導体基板の回路形成面の上に形成された上記パット酸化膜とアモルファスシリコンもしくは多結晶シリコンを除去することによって製造されることを特徴とする半導体装置。

40

【請求項6】

50

半導体基板の回路形成面にパット酸化膜を形成し、このパット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンと酸化防止膜を順次形成し、所望の位置の上記酸化防止膜、パット酸化膜を除去し、半導体基板表面を露出し、パット酸化膜の後退量を $T\text{ nm}$ 、基板エッチング量を $R\text{ nm}$ とした場合、 T/R の範囲が $1.5 \sim 2.5$ となるように、上記パット酸化膜を後退させ、等方性エッチング法にて半導体基板とアモルファスシリコンもしくは多結晶シリコンの一部を除去し、上記酸化防止膜をマスクとして、所定の深さの溝を形成し、パット酸化膜を後退させ、半導体基板の溝表面を除去し、上記半導体基板に形成した溝部分を酸化し、上記酸化させた溝内部に埋め込み絶縁膜を埋め込み、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去し、上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去し、上記半導体基板の回路形成面の上に形成されたアモルファスシリコンもしくは多結晶シリコンと上記パット酸化膜を除去することによって製造されることを特徴とする半導体装置。

10

【請求項 7】

半導体基板の回路形成面にパット酸化膜を形成し、このパット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンと酸化防止膜を順次形成し、所望の位置の上記酸化防止膜、パット酸化膜を除去し、半導体基板表面を露出し、パット酸化膜の後退量を $T\text{ nm}$ 、基板エッチング量を $R\text{ nm}$ とした場合、 T/R の範囲が $1.5 \sim 2.5$ となるように、上記パット酸化膜を後退させ、等方性エッチング法にて半導体基板とアモルファスシリコンもしくは多結晶シリコンの一部を除去し、上記酸化防止膜をマスクとして、所定の深さの溝を形成し、上記パット酸化膜を後退させ、上記半導体基板に形成した溝部分を酸化し、
上記酸化させた溝内部に埋め込み絶縁膜を埋め込み、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去し、上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去し、上記半導体基板の回路形成面の上に形成されたアモルファスシリコンもしくは多結晶シリコンと上記パット酸化膜を除去したことによって製造されることを特徴とする半導体装置。

20

【請求項 8】

半導体基板の回路形成面にパット酸化膜を形成し、このパット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンと酸化防止膜を順次形成し、所望の位置の上記酸化防止膜、パット酸化膜を除去し、半導体基板表面を露出し、上記パット酸化膜を後退させ、等方性エッチング法にて半導体基板とアモルファスシリコンもしくは多結晶シリコンの一部
を除去し、上記酸化防止膜をマスクとして、所定の深さの溝を形成し、パット酸化膜を後退させ、半導体基板の溝表面を除去し、上記半導体基板に形成した溝部分を酸化し、上記酸化させた溝内部に埋め込み絶縁膜を埋め込み、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去し、上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去し、上記半導体基板の回路形成面の上に形成されたアモルファスシリコンもしくは多結晶シリコンと上記パット酸化膜を除去することによって製造されることを特徴とする半導体装置。

30

【発明の詳細な説明】**【0001】****【発明の属する技術分野】**

40

本発明は、信頼性の高い溝分離構造を有する半導体装置及びその製造方法に関する。

【0002】**【従来の技術】**

半導体基板上で隣接したトランジスタ等の素子間を電氣的に絶縁分離する構造としてSGI (Shallow Groove Isolation) 構造がある。このSGI構造は加工寸法精度が従来まで用いられてきたLOCOS構造に比べ高いことから、 $0.25\text{ }\mu\text{m}$ プロセス以降のデバイスに好適な構造となっている。

【0003】

このSGI形成プロセスは、図8に示すように、シリコン基板1上にパット酸化膜2と酸化防止膜3とを堆積し、酸化防止膜3をマスクとしてシリコン基板1に溝を形成し（図8

50

の (b))、その溝内部を酸化する (図 8 の (c))。

【0004】

その後、埋込み絶縁膜 6 を埋め込み (図 2 (d))、CMP で埋込み絶縁膜 6 を平坦化する (図 8 の (e))。その後、酸化防止膜 3 とパット酸化膜 2 とを除去するものである (図 8 の (f))。

【0005】

しかしながら、溝上端部では図 8 の (c) に示すように、溝内の酸化後のシリコン基板 1 の角部位置 L' が酸化防止膜 3 の端部位置 L より内側に入った構造となり、この状態でパット酸化膜 2 を多く除去すると、埋込み絶縁膜 6 がパット酸化膜 2 より密度が粗なことから埋め込み絶縁膜 6 が多く除去され、溝上端部は埋込み絶縁膜が落込んだ形状 (図 8 の (f) の符号 16 参照、以後、この落ち込みをリセスと言う) となる場合がある。

10

【0006】

このように、溝上端部は埋込み絶縁膜が落込んだ形状で電極材料を形成すると、溝上端部で電界集中が発生し、MOS トランジスタの Vth バラツキを引き起こす場合がある。そのため、例えば、Tai-su Park 等が「Technical Digest of IEDM '96, pp. 747-750」に公表しているように、薄めた HF でパット酸化膜 2 をジャストエッチングし、そのリセス量を小さくする方法が記載されている。

【0007】

また、この SGI 構造では溝を異方性のドライエッチングを用いて形成することから、溝上端部には角部 A が形成され (図 8 の (b))、さらに、そのまま酸化した場合、溝上端部の Si 基板形状が図 8 の (c) のように鋭角部 4 が形成される場合がある。このような鋭角部 4 が基板に存在すると電界集中や応力集中が発生するため、トランジスタの電気的特性に異常が生じる場合がある。

20

【0008】

そのため、溝上端部の基板に曲率を形成する方法として、例えば、A. Chatterjee 等が「Technical Digest of IEDM '96, pp. 829-832」に公表している。

【0009】

これは、図 9 の (a) のように、レジスト 13、TEOS 膜 15、酸化防止膜 3 をパターンニングした後に、図 9 の (b) のように、酸化によって LOCOS 12 を形成する。その後、図 9 の (c) のように、LOCOS 12 膜を除去して、酸化膜である TEOS 膜 15 を酸化防止膜 3 側壁に形成し、これをマスクとして、図 9 の (d) のように溝を形成する。そして、図 9 の (e) のように、この溝内部を酸化して、SGI の溝上端部に曲率を形成させる。

30

【0010】

【発明が解決しようとする課題】

しかしながら、従来の技術において、リセス対策に関しては、ウエハ数十枚を一括で処理するような場合、酸化膜のエッチングバラツキがウエハ内、ウエハ間で生じ、パット酸化膜 2 が溝上端部以外で残留する場合がある。

40

【0011】

そのため、一般的には、このパット酸化膜の除去は数十パーセントのオーバエッチングを行なっている。

【0012】

そのため、ウエハ数十枚を一括で処理するような場合、上記リセス量は改善されにくかった。

【0013】

また、溝上端部に曲率を形成する方法に関しては、上記基板形状を得るために、酸化工程 2 回、膜堆積工程 1 回を行なっており、工程が複雑であった。

【0014】

50

本発明の目的は、製造工程を簡略化し、かつ、ウエハ数十枚を一括で処理するような場合でもリセス量を低減でき、さらに溝上端部に大きな曲率を形成できる半導体装置の製造方法及び製造装置を実現することである。

【0015】

【課題を解決するための手段】

パット酸化膜と酸化防止膜の間にアモルファスシリコンもしくは多結晶シリコンを形成し、これらをパターニングした後に、パット酸化膜を後退させる。そして、パット酸化膜を後退させた後に形成される半導体基板表面の素子分離用溝上端部の角部とアモルファスシリコンもしくは多結晶シリコンの角部をエッチングにより除去させる。これにより、上記本発明の目的が達成される。

10

【0016】

つまり、上記目的を達成するために、本発明は次のように構成される。

(A) 半導体装置の製造方法において、

(1) 半導体基板の回路形成面にパット酸化膜を形成する工程と、(2) 上記工程(1)に続いて、上記パット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンを形成する工程と、(3) 上記工程(2)に続いて、アモルファスシリコンもしくは多結晶シリコンの上に酸化防止膜を形成する工程と、(4) 上記工程(3)に続いて、所望の位置の上記酸化防止膜、アモルファスシリコンもしくは多結晶シリコン、パット酸化膜を除去し、半導体基板表面を露出させる工程と、(5) 上記工程(4)に続いて、上記パット酸化膜を後退させる工程と、(6) 上記工程(5)に続いて、等方性エッチング法にて半導体
基板と、アモルファスシリコンもしくは多結晶シリコンの一部を除去する工程と、(7) 上記工程(6)に続いて、上記酸化防止膜をマスクとして、所定の深さの溝を形成する工程と、(8) 上記工程(7)に続いて、上記パット酸化膜を後退させる工程と、(9) 上記工程(8)に続いて、上記半導体基板に形成した溝部分を酸化する工程と、(10) 上記工程(9)に続いて、上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、(11) 上記工程(10)に続いて、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、(12) 上記工程(11)に続いて、上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、(13) 上記工程(12)に続いて、上記半導体基板の回路形成面の上に形成されたアモルファスシリコンもしくは多結晶シリコンと上記パット酸化膜とを除去する工程とを備える。

20

30

【0017】

(B) 半導体装置の製造方法において、(1) 半導体基板の回路形成面にパット酸化膜を形成する工程と、(2) 上記工程(1)に続いて、上記パット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンを形成する工程と、(3) 上記工程(2)に続いて、アモルファスシリコンもしくは多結晶シリコンの上に酸化防止膜を形成する工程と、(4) 上記工程(3)に続いて、所望の位置の上記酸化防止膜、アモルファスシリコンもしくは多結晶シリコン、パット酸化膜を除去し、半導体基板表面を露出させる工程と、(5) 上記工程(4)に続いて、上記パット酸化膜を後退させる工程と、(6) 上記工程(5)に
続いて、等方性エッチング法にて半導体基板と、アモルファスシリコンもしくは多結晶シリコンの一部を除去する工程と、(7) 上記工程(6)に続いて、上記酸化防止膜をマスクとして、所定の深さの溝を形成する工程と、(8) 上記工程(7)に続いて、上記パット酸化膜を後退させる工程と、(9) 上記工程(8)に続いて、半導体基板の溝表面を除去する工程と、(10) 上記工程(9)に続いて、上記半導体基板に形成した溝部分を酸化する工程と、(11) 上記工程(10)に続いて、上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、(12) 上記工程(11)に続いて、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、(13) 上記工程(12)に続いて、上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、(14) 上記工程(13)に続いて、上記半導体基板の回路形成面の上に形成されたアモルファスシリコンもしくは多結晶シリコンと、上記パット酸化膜を除去する工程とを備える。

40

【0018】

50

(C) 半導体装置の製造方法において、(1) 半導体基板の回路形成面にパット酸化膜を形成する工程と、(2) 上記工程(1)に続いて、上記パット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンを形成する工程と、(3) 上記工程(2)に続いて、アモルファスシリコンもしくは多結晶シリコンの上に酸化防止膜を形成する工程と、(4) 上記工程(3)に続いて、所望の位置の上記酸化防止膜、アモルファスシリコンもしくは多結晶シリコン、パット酸化膜を除去させ、半導体基板表面を露出させる工程と、(5) 上記工程(4)に続いて、上記パット酸化膜を後退させる工程と、(6) 上記工程(5)に続いて、上記(4)工程のパット酸化膜の後退量を $T\text{ nm}$ とし、上記(5)工程の基板エッチング量を $R\text{ nm}$ とした場合、 T/R の範囲が $1.5 \sim 2.5$ となるように、等方性エッチング法にて半導体基板とアモルファスシリコンもしくは多結晶シリコンの一部を除去する工程と、(7) 上記工程(6)に続いて、上記酸化防止膜をマスクとして、所定の深さの溝を形成する工程と、(8) 上記工程(7)に続いて、上記パット酸化膜を後退させる工程と、(9) 上記工程(8)に続いて、上記半導体基板に形成した溝部分を酸化する工程と、(10) 上記工程(9)に続いて、上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、(11) 上記工程(10)に続いて、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、(12) 上記工程(11)に続いて、上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、(13) 上記工程(12)に続いて、上記半導体基板の回路形成面の上に形成されたアモルファスシリコンもしくは多結晶シリコンと、上記パット酸化膜を除去する工程とを備える。

10

【0019】

20

(D) 半導体装置の製造方法において、(1) 半導体基板の回路形成面にパット酸化膜を形成する工程と、(2) 上記工程(1)に続いて、上記パット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンを形成する工程と、(3) 上記工程(2)に続いて、アモルファスシリコンもしくは多結晶シリコンの上に酸化防止膜を形成する工程と、(4) 上記工程(3)に続いて、所望の位置の上記酸化防止膜、アモルファスシリコンもしくは多結晶シリコン、パット酸化膜を除去させ、半導体基板表面を露出させる工程と、(5) 上記工程(4)に続いて、上記パット酸化膜を後退させる工程と、(6) 上記工程(5)に続いて、上記(4)工程のパット酸化膜の後退量を $T\text{ nm}$ とし、上記(5)工程の基板エッチング量を $R\text{ nm}$ とした場合、 T/R の範囲が $1.5 \sim 2.5$ となるように、等方性エッチング法にて半導体基板とアモルファスシリコンもしくは多結晶シリコンの一部を除去する工程と、(7) 上記工程(6)に続いて、上記酸化防止膜をマスクとして、所定の深さの溝を形成する工程と、(8) 上記工程(7)に続いて、上記パット酸化膜を後退させる工程と、(9) 上記工程(8)に続いて、等方性エッチング法にて半導体基板とアモルファスシリコンもしくは多結晶シリコンの一部を除去する工程と、(10) 上記工程(9)に続いて、上記半導体基板に形成した溝部分を酸化する工程と、(11) 上記工程(10)に続いて、上記酸化させた溝内部に埋め込み絶縁膜を埋め込む工程と、(12) 上記工程(11)に続いて、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去する工程と、

30

(13) 上記工程(12)に続いて、上記半導体基板の回路形成面の上に形成された上記酸化防止膜を除去する工程と、(14) 上記工程(13)に続いて、上記半導体基板の回路形成面の上に形成されたアモルファスシリコンもしくは多結晶シリコンと上記パット酸化膜を除去する工程とを備える。

40

【0020】

(E) 半導体装置において、半導体基板の回路形成面にパット酸化膜を形成し、このパット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンと酸化防止膜を順次形成し、所望の位置の上記酸化防止膜、パット酸化膜を除去し、半導体基板表面を露出し、上記パット酸化膜を後退させ、等方性エッチング法にて半導体基板とアモルファスシリコンもしくは多結晶シリコンの一部を除去し、上記酸化防止膜をマスクとして、所定の深さの溝を形成し、上記パット酸化膜を後退させ、上記半導体基板に形成した溝部分を酸化し、上記酸化させた溝内部に埋め込み絶縁膜を埋め込み、上記酸化防止膜の上に形成された上記

50

埋め込み絶縁膜を除去し、上記半導体基板の回路形成面上に形成された上記酸化防止膜を除去し、上記半導体基板の回路形成面上に形成された上記パット酸化膜とアモルファスシリコンもしくは多結晶シリコンを除去することによって製造される。

【0021】

(F) 半導体装置において、半導体基板の回路形成面にパット酸化膜を形成し、このパット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンと酸化防止膜を順次形成し、所望の位置の上記酸化防止膜、パット酸化膜を除去し、半導体基板表面を露出し、パット酸化膜の後退量を $T\text{ nm}$ 、基板エッチング量を $R\text{ nm}$ とした場合、 T/R の範囲が $1.5 \sim 2.5$ となるように、上記パット酸化膜を後退させ、等方性エッチング法にて半導体基板とアモルファスシリコンもしくは多結晶シリコンの一部を除去し、上記酸化防止膜をマスクとして、所定の深さの溝を形成し、パット酸化膜を後退させ、半導体基板の溝表面を除去し、上記半導体基板に形成した溝部分を酸化し、上記酸化させた溝内部に埋め込み絶縁膜を埋め込み、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去し、上記半導体基板の回路形成面上に形成された上記酸化防止膜を除去し、上記半導体基板の回路形成面上に形成されたアモルファスシリコンもしくは多結晶シリコンと上記パット酸化膜を除去することによって製造される。

10

【0022】

(G) 半導体装置において、半導体基板の回路形成面にパット酸化膜を形成し、このパット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンと酸化防止膜を順次形成し、所望の位置の上記酸化防止膜、パット酸化膜を除去し、半導体基板表面を露出し、パット酸化膜の後退量を $T\text{ nm}$ 、基板エッチング量を $R\text{ nm}$ とした場合、 T/R の範囲が $1.5 \sim 2.5$ となるように、上記パット酸化膜を後退させ、等方性エッチング法にて半導体基板とアモルファスシリコンもしくは多結晶シリコンの一部を除去し、上記酸化防止膜をマスクとして、所定の深さの溝を形成し、上記パット酸化膜を後退させ、上記半導体基板に形成した溝部分を酸化し、上記酸化させた溝内部に埋め込み絶縁膜を埋め込み、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去し、上記半導体基板の回路形成面上に形成された上記酸化防止膜を除去し、上記半導体基板の回路形成面上に形成されたアモルファスシリコンもしくは多結晶シリコンと上記パット酸化膜を除去したことによって製造される。

20

【0023】

(H) 半導体装置において、半導体基板の回路形成面にパット酸化膜を形成し、このパット酸化膜の上にアモルファスシリコンもしくは多結晶シリコンと酸化防止膜を順次形成し、所望の位置の上記酸化防止膜、パット酸化膜を除去し、半導体基板表面を露出し、上記パット酸化膜を後退させ、等方性エッチング法にて半導体基板とアモルファスシリコンもしくは多結晶シリコンの一部を除去し、上記酸化防止膜をマスクとして、所定の深さの溝を形成し、パット酸化膜を後退させ、半導体基板の溝表面を除去し、上記半導体基板に形成した溝部分を酸化し、上記酸化させた溝内部に埋め込み絶縁膜を埋め込み、上記酸化防止膜の上に形成された上記埋め込み絶縁膜を除去し、上記半導体基板の回路形成面上に形成された上記酸化防止膜を除去し、上記半導体基板の回路形成面上に形成されたアモルファスシリコンもしくは多結晶シリコンと上記パット酸化膜を除去することによって製造される。

30

40

【0024】

【発明の実施の形態】

以下、本発明の実施形態を図を参照して説明する。

本発明の第1の実施例である半導体装置の溝分離構造の製造工程を図1、図2を用いて説明する。

【0025】

図1は、本発明の第1の実施形態における半導体装置の断面構造図、図2はその製造工程の概略を示すフローチャートである。以下、図2のフローチャートに添って製造工程(1)～(12)を図1を参照しながら説明する。

50

【0026】

(1) シリコン基板1の表面を熱酸化して厚さ約5nmのパット酸化膜2を形成する {図2のステップ(101)、(102)、図1の(a)}。

【0027】

(2) パット酸化膜2の上にアモルファスシリコンもしくは多結晶シリコン17を約20~30nm堆積する {図2のステップ(103)、図1の(b)}。

【0028】

(3) アモルファスシリコンもしくは多結晶シリコン17の上に酸化防止膜(Si_3N_4 膜)3を厚さ約200nm程度堆積する。 {図2のステップ(104)}。

【0029】

(4) 酸化防止膜3上にホトレジスト13を形成する {図2のステップ工程(105)、図1の(c)}。

【0030】

(5) 通常の露光法を使用して、所望の位置のホトレジスト13を除去した後、酸化防止膜3、アモルファスシリコンもしくは多結晶シリコン17、パット酸化膜2をドライエッチング等により除去する。

この際、エッチングはパット酸化膜2で止まらず、通常、シリコン基板1の表面がオーバーエッチングされる {図2のステップ(106)、(107)、図1の(d)}。

【0031】

(6) その後、ホトレジスト13を除去し、パット酸化膜2をHF等により後退させ、さらに等方性エッチング法(ウェット、もしくはドライエッチング法)を用いて露出したシリコン基板1とアモルファスシリコンもしくは多結晶シリコン17の一部を除去する {図2のステップ(108)~(110)、図1の(e)、(f)}。

このウェットエッチング法で使用される液は、基板洗浄の際に一般的に使用される、 NH_3 、 H_2O 、 H_2O_2 の混合液でもよい。また、このパット酸化膜2の後退量は0.14 μm プロセスを考えた場合、約10~30nmが好ましく、また、等方性エッチング法にて露出したシリコン基板を除去する量は5~10nm程度が好ましい。

また、アモルファスシリコンもしくは多結晶シリコン17はシリコン基板1に対してエッチングレートが速いため、より多く除去される。

【0032】

(7) 酸化防止膜3をマスクとして、シリコン基板1の表面の側壁がシリコン基板1に対して所定の角度(例えば図中A部の角度が90~110度)を有する浅溝を形成する {図2のステップ(111)、図1の(g)}。

【0033】

(8) 次に、パット酸化膜2をHF等により約10nmエッチング除去して後退させる {図2のステップ(112)、図1の(h)}。

【0034】

(9) その後、例えば、900~1100℃のドライ酸化雰囲気中で酸素濃度を希釈してシリコン基板1表面を約10nm熱酸化し、溝部分に素子分離熱酸化膜5を形成する {図2のステップ(113)、図1の(i)}。

【0035】

(10) 化学気相蒸着(CVD)法、スパッタ法等でシリコン酸化膜等の絶縁膜を堆積し、埋め込む(以下、埋め込み絶縁膜6とする)。この際、酸化防止膜3の端部と素子分離熱酸化膜5に生じる空間は埋込み絶縁膜6で満たされる。

また、これら埋め込み絶縁膜6等は一般に粗な膜であることから、埋め込み絶縁膜6の堆積後、緻密化を目的として、1100℃前後のアニールまたは酸化雰囲気中でシリコン基板1を酸化させてもよい {図2のステップ(114)、図1の(j)}。

【0036】

(11) 埋め込み絶縁膜6を化学機械研磨法(CMP)法あるいはドライエッチング法を使用してエッチバックする。この場合、酸化防止膜3はエッチングストッパーとなり、酸

10

20

30

40

50

化防止膜 3 下のシリコン基板 1 がエッチングされることを防止する働きを持つ {図 2 のステップ (115)、図 1 の (k)}。

【0037】

(12)そして、酸化防止膜 3、アモルファスシリコンもしくは多結晶シリコン 17 を除去し、さらにパット酸化膜 2 を数十パーセントのオーバエッチングで除去することで溝埋め込み構造は完了する {図 2 のステップ (116)、図 1 の (l)}。

その後、トランジスタ構造の製造に必要な、例えばゲート酸化膜、ゲート電極の形成、不純物の導入、配線、層間絶縁膜等、多層配線構造の形成、表面保護膜の形成等を経て、半導体装置が完成する。

【0038】

10

次に、本発明の第 1 の実施形態の作用効果について説明する。

埋込み絶縁膜 6 のリセス量を低減するためには、酸化防止膜 3 の中央近傍の酸化膜厚 (図 1 の (k) 中の t_1) を酸化防止膜 3 端部の下の酸化膜厚 (図 1 の (k) 中の t_0) に比べ厚くすればよい。原理的にはパット酸化膜 2 のオーバエッチング分だけ厚くすることができればリセス量を零にすることができる。

【0039】

工程 (5) において、パット酸化膜 2 後退後、シリコン基板 1 とアモルファスシリコンもしくは多結晶シリコン 17 の角部を除去することで、酸化防止膜 3 端部下で空間が広く開く (図 1 の (f))。この空間に素子分離熱酸化膜 5、埋め込み絶縁膜 6 が充満されるので、溝上端部近傍で酸化膜を厚く形成することが可能となり、リセス量を低減することが

20

【0040】

本発明の第 1 の実施形態ではアモルファスシリコンもしくは多結晶シリコン 17 の膜厚を 20~30 nm としたが、当然ながら、この値はパット酸化膜 2 のオーバエッチング量に依存する。

【0041】

また、シリコン基板 1 に不純物を打ち込む際に、シリコン基板 1 の表面には酸化膜を形成する場合があります、不純物を打ち込んだ後、この酸化膜は除去される。この際に埋め込み酸化膜 6 も除去され、リセス量が増加するので、この酸化膜厚分 (オーバエッチング含む) を考慮してアモルファスシリコンもしくは多結晶シリコン 17 の膜厚を決定してもよい。

30

【0042】

また、工程 (11) の埋込み酸化膜 6 の除去で酸化防止膜 3 をエッチングストッパーとしたが、アモルファスシリコンもしくは多結晶シリコン 17 をエッチングストッパーとして代用することが可能であれば、酸化防止膜 3 は不要となり、この場合のアモルファスもしくは多結晶シリコン 17 の膜厚は 100~200 nm 程度となる。

【0043】

また、シリコン基板 1 の角部 (図 8 の (b) の A に対応する部分) をパット酸化膜 2 の後退後、等方性エッチングにより除去し、曲率を形成しやすくしている。

【0044】

次に、第 1 の実施形態の効果について、図 3 を用いて説明する。

40

図 3 は、酸化防止膜 3 のエッチング後に、パット酸化膜 2 の後退なしにシリコン基板 1 の等方性エッチングを行なった際の実験結果を模式的に書いたものである。

【0045】

図 3 の (a) に示すように、溝上端部のパット酸化膜 2 と接している A の箇所では基板形状が鋭角化してしまっている。

これは、パット酸化膜 2 に接しない領域ではあらゆる方向からエッチングが進行するが、パット酸化膜 2 に接している箇所では一方向からのエッチングとなるため、上記形状になったものである。そのため、溝上端部に大きな曲率を形成することが困難となる。

【0046】

この等方性エッチングの前に、パット酸化膜 2 を後退させておけば、上記形状のように形

50

状が鋭角化することではなく、しかも、等方性のエッチングでは、角部が優先的に除去されるため、図3の(b)に示すような形状を得ることができ、この後の酸化で曲率が形成されやすいものとなる。

【0047】

しかし、このパット酸化膜2の後退量Tとエッチング量Rとを適正に行なわないと、図4の(a)に示すように、Aにおいて、また角部が形成され、曲率の形成が困難となる。図4の(b)は、その様子を示したもので、 T/R を1から3まで0.5ステップで示したものである。図4の(b)から明らかなように、 T/R が1.5から2.5では角部が除去された形状となっているが、 $T/R=1$ では基板形状は垂直、また、 T/R が3では、段差が大きくなり、角部が形成されている。

10

【0048】

$T/R=1$ や3で酸化すると、曲率を形成し難くなるため、 T/R は1.5～2.5の範囲が好ましい。

【0049】

次に、上記工程(7)のパット酸化膜2の後退の作用効果について図5を用いて説明する。

図5の(a)、(b)の破線は酸化工程(7)終了後の形状を示しており、パット酸化膜2の端部ではシリコン基板1が除去され段差14が生じている。この状態で酸化を行なうと、図5の(a)のように、さらに段差が鋭角となる。これは以下のような理由によるものである。

20

【0050】

パット酸化膜2端部近傍では、酸化による体積膨張(約2倍)で酸化防止膜3が反り、その反力として酸化膜中に圧縮応力が生じる。酸化膜中に圧縮応力が生じると酸化が抑制されることが知られており、そのため、パット酸化膜2の端部近傍では酸化が抑制される。

【0051】

一方、パット酸化膜2の端部より少し離れた領域ではこれらの影響が少ないことから、酸化がスムーズに進行し、結果として段差が鋭角となる。そのため、図5の(b)のように、パット酸化膜2を後退させると、これらの影響が段差より遠ざかり、エッチングの際に生じた段差が酸化により除去されるので、滑らかな形状を形成することができる。

【0052】

また、工程(7)でのシリコン基板1に溝を形成した後では、溝表面にドライエッチング時のダメージが生じる場合がある。このダメージ除去にはシリコン基板1の表面を数nm除去する必要があるため、パット酸化膜2の端部のシリコン基板1は、さらに段差が大きくなる。

30

【0053】

そのため、この処理の前に、HF等によりパット酸化膜2を後退しておくこと、段差を軽減できるので、ドライエッチング時のダメージが生じる場合には、ダメージ除去の前に、パット酸化膜2を後退しておいた方が好ましい。

【0054】

また、工程(2)において、パット酸化膜2上にアモルファスシリコンもしくは多結晶シリコン17を堆積した。この材料の目的は、工程(6)での等方性エッチングの際に、酸化防止膜3の端部下の空間を広げることであり、この目的を達成できるのであれば、アモルファスシリコンもしくは多結晶シリコン17に限定するものではない。

40

【0055】

上記理由により、本発明の第1の実施形態によれば、溝上端の曲率を従来方法と同等に形成させることができ、さらに工程を簡略化する事ができる。

つまり、等方性エッチングを用いて基板1の上端部に曲率を形成するように構成したので、基板1の曲率を構成するための工程{工程(5)～(9)}においては、必要な酸化処理は1回{工程(9)}のみとなり、工程を簡略化することができる。

【0056】

50

したがって、本発明の第1の実施形態によれば、製造工程を簡略化し、かつ、ウエハ数十枚を一括で処理するような場合でもリセス量を低減でき、さらに溝上端部に大きな曲率を形成できる半導体装置の製造方法及び製造装置を実現することができる。

【0057】

次に、本発明の第2の実施形態である半導体装置の溝分離構造の製造工程を図6、図7を用いて説明する。

図6は本発明の第2の実施形態における半導体装置の断面構造図、図7はその製造工程の概略を示すフローチャートである。以下、図7のフローチャートに添って製造工程(1)～(15)を図6を参照しながら説明する。

【0058】

10

(1) シリコン基板1の表面を熱酸化して厚さ約5nmのパット酸化膜2を形成する{図7のステップ(101)、(102)}。

【0059】

(2) パット酸化膜2の上にアモルファスシリコンもしくは多結晶シリコン17を約20～30nm堆積する{図7のステップ(103)、図6の(a)}。

【0060】

(3) アモルファスシリコンもしくは多結晶シリコン17の上に酸化防止膜(Si_3N_4 膜)3を厚さ約200nm程度堆積する{図7のステップ(104)}。

【0061】

(4) 酸化防止膜3上にホトレジスト13を形成する{図7のステップ(105)、図6の(b)}。 20

【0062】

(5) 通常の露光法を使用して、所望の位置のホトレジスト13を除去した後、酸化防止膜3、アモルファスシリコンもしくは多結晶シリコン17、パット酸化膜2をドライエッチング等により除去する。この際、エッチングはパット酸化膜2で止まらず、通常シリコン基板1の表面がオーバーエッチングされる{図7のステップ(106)、(107)、図6の(c)}。

【0063】

(6) その後、ホトレジスト13を除去する{図7のステップ(108)}。

【0064】

30

(7) 酸化防止膜3の上に酸化膜18を数十nm形成し、ドライエッチングを用いて、酸化防止膜3の側壁のみに、酸化膜18を残す{図7のステップ(109)、図6の(d)}。

【0065】

(8) 酸化防止膜3をマスクとして、シリコン基板1の表面の側壁がシリコン基板1に対して所定の角度(例えば、図中A部の角度が90～110度)を有する浅溝を形成する{図7のステップ(110)、図6の(e)}。

【0066】

(9) HF等により、酸化膜18を除去する。この時、パット酸化膜2は端部が除去され酸化防止膜3の端部より後退する{図7のステップ(111)、図6の(f)}。 40

【0067】

(10) その後、等方性エッチング法(ウエット、もしくはドライエッチング法)を用いて露出したシリコン基板1とアモルファスシリコンもしくは多結晶シリコン17の角部を除去する{図7のステップ(112)、図6の(g)}。このウエットエッチング法での液は基板洗浄の際に一般的に使用される、 NH_3 、 H_2O 、 H_2O_2 の混合液でもよい。また、このパット酸化膜2の後退量は0.14 μm プロセスを考えた場合、約10～30nmが好ましく、また、等方性エッチング法で露出したシリコン基板1を除去する量は5～10nm程度が好ましい。この際、アモルファスシリコンもしくは多結晶シリコン17はシリコン基板1に対してエッチングレートが速いため、より多く除去される。

【0068】

50

(11) 次に、パット酸化膜2をHF等により約10nmエッチング除去して後退させる{図7のステップ(113)、図6の(h)}。

【0069】

(12) その後、例えば900~1100℃のドライ酸化雰囲気中で酸素濃度を希釈してシリコン基板1の表面を約10nm熱酸化し、溝部分に素子分離熱酸化膜5を形成する{図7のステップ(114)、図6の(i)}。

【0070】

(13) 化学気相蒸着(CVD)法、スパッタ法等でシリコン酸化膜等の絶縁膜を堆積し、埋め込む。この際、酸化防止膜3の端部と素子分離熱酸化膜5に生じる空間は埋込み酸化膜6で満たされる。

10

また、これら埋め込み絶縁膜6等は一般に粗な膜であることから、埋め込み絶縁膜6の堆積後、緻密化を目的として、1100℃前後のアニールまたは酸化雰囲気中でシリコン基板1を酸化させてもよい{図7のステップ(115)、図6の(j)}。

【0071】

(14) 埋め込み絶縁膜6を化学機械研磨法(CMP)法あるいはドライエッチング法を使用してエッチバックする。この場合、酸化防止膜3はエッチングストッパーとなり、酸化防止膜3下のシリコン基板1がエッチングされることを防止する働きを持つ{図7のステップ(116)、図6の(k)}。

【0072】

(15) そして、酸化防止膜3、アモルファスシリコンもしくは多結晶シリコン17及びパット酸化膜2を除去することで溝埋め込み構造は完了する{図7のステップ(117)、図6の(l)}。その後、トランジスタ構造製造に必要な、例えばゲート酸化膜、ゲート電極の形成、不純物の導入、配線、層間絶縁膜等、多層配線構造の形成、表面保護膜の形成等を経て、半導体装置が完成する。

20

【0073】

次に、本発明の第2の実施形態の作用効果について説明する。

この第2の実施形態の、第1の実施形態と異なる箇所は、工程(7)で酸化膜18を酸化防止膜側壁に形成し、その後、この酸化膜18をマスクにシリコン基板1に溝を形成している点である。今後の半導体装置においては、シリコン基板1の幅(アクティブ幅)は素子寸法の微細化と共に小さくなる傾向にある。溝上端部のシリコン基板1に曲率半径を形成するために、酸化やシリコン基板1の除去を行なう必要があるが、これらを行なうとアクティブ幅(シリコン幅)の減少につながり、電氣的な不良を生じる場合がある。そのため、あらかじめアクティブ幅を大きく形成することでこれら不具合をなくそうとするものである。

30

【0074】

以上のように、本発明の第2の実施形態によれば、製造工程を簡略化し、かつ、ウエハ数十枚を一括で処理するような場合でもリセス量を低減でき、さらに溝上端部に大きな曲率を形成できる半導体装置の製造方法及び製造装置を実現することができる。

【0075】

なお、本発明の第2の実施形態では工程(1)の後に、アモルファスシリコン膜または多結晶シリコン膜17を堆積し、工程(10)で等方性エッチングで酸化防止膜端部下の空間を拡げ、この空間に酸化膜を埋め込んだのものであるが、酸化防止膜4である Si_3N_4 膜は上記エッチング液で少し除去されるので、アモルファスシリコン膜または多結晶シリコン膜17を堆積しなくてもリセス量を低減することができる。

40

【0076】

【発明の効果】

本発明によれば、酸化工程を増やさなくてもトランジスタや容量の耐压特性を劣化させることのない半導体装置及び製造方法を実現することができる。

【0077】

つまり、製造工程を簡略化し、かつ、ウエハ数十枚を一括で処理するような場合でもリセ

50

量を低減でき、さらに溝上端部に大きな曲率を形成できる半導体装置の製造方法及び製造装置を実現することができる。

【図面の簡単な説明】

【図 1】 本発明の第 1 の実施形態における半導体装置の断面構造図である。

【図 2】 本発明の第 1 の実施形態による半導体装置の製造工程の概略を示すフローチャートである。

【図 3】 シリコン基板の等方性エッチングを行なった際の実験結果の模式図である。

【図 4】 本発明に係る第 1 の実施形態の作用効果を説明する図である。

【図 5】 本発明に係る第 1 の実施形態の作用効果を説明する図である。

【図 6】 本発明の第 2 の実施形態における半導体装置の断面構造図である。

10

【図 7】 本発明の第 2 の実施形態による半導体装置の製造工程の概略を示すフローチャートである。

【図 8】 従来における半導体装置の溝分離構造の製造工程を説明する図である。

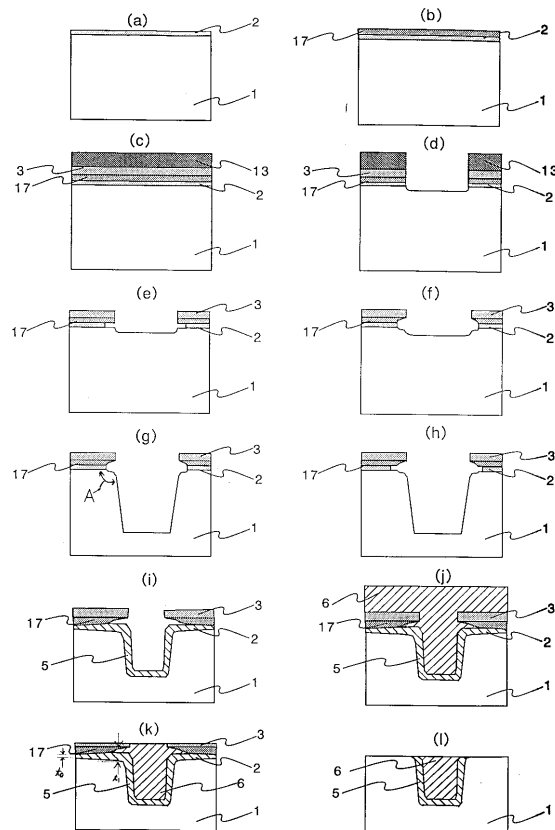
【図 9】 従来における半導体装置の溝分離構造の製造工程を説明する図である。

【符号の説明】

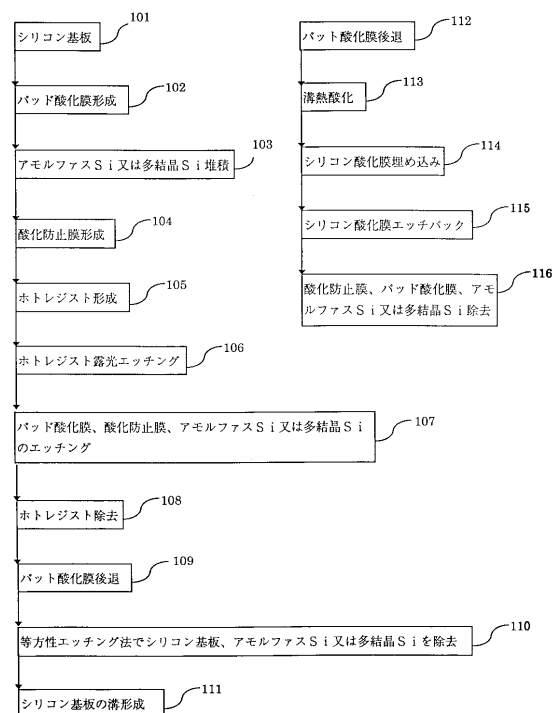
- 1 シリコン基板
- 2 パット酸化膜
- 3 酸化防止膜
- 5 素子分離熱酸化膜
- 6 埋め込み絶縁膜
- 13 ホトレジスト
- 14 基板段差
- 16 リセス
- 17 アモルファスシリコンまたは多結晶シリコン

20

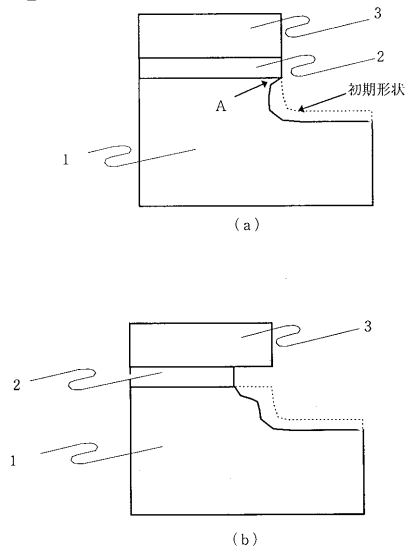
【図 1】



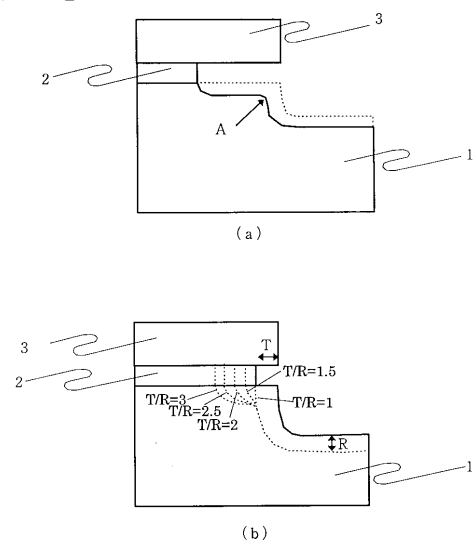
【図 2】



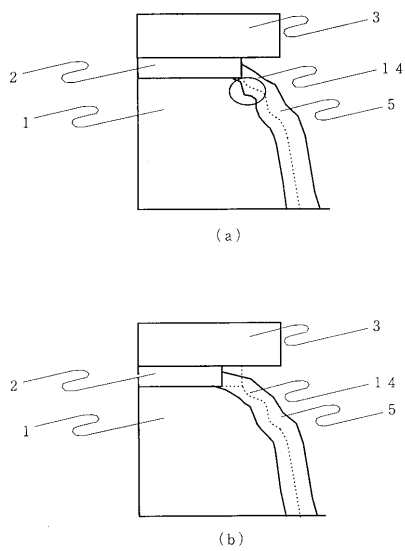
【図 3】



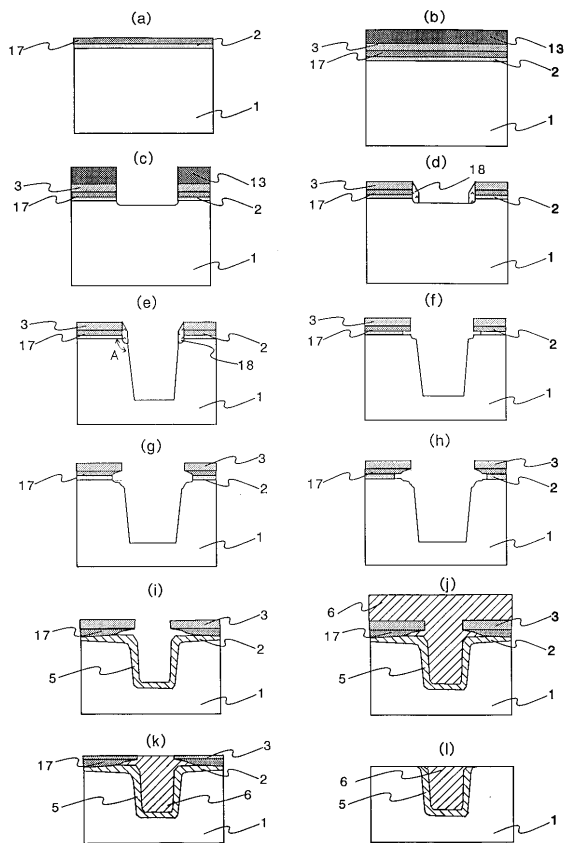
【図 4】



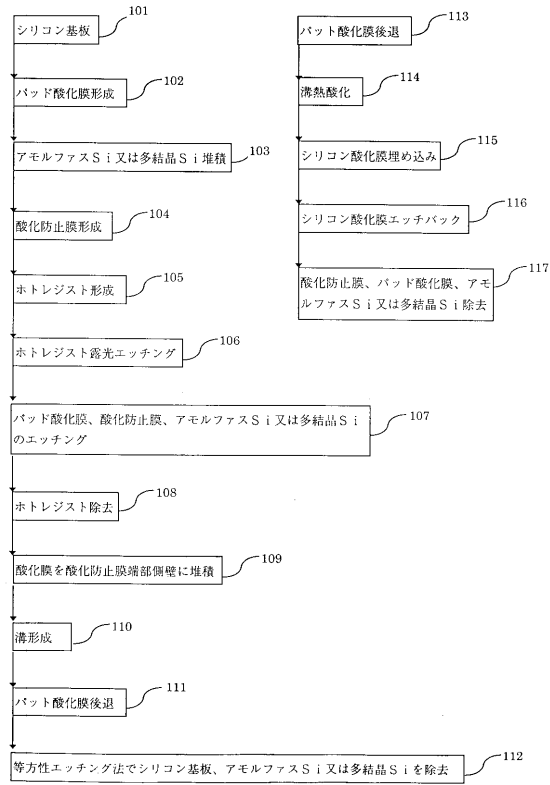
【図 5】



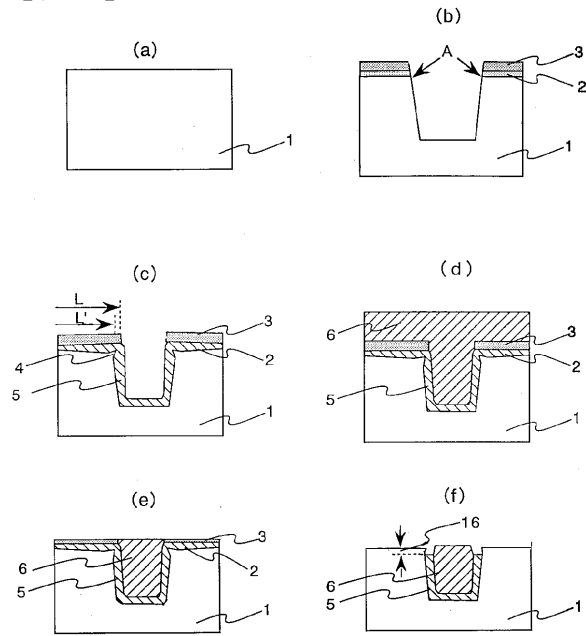
【図 6】



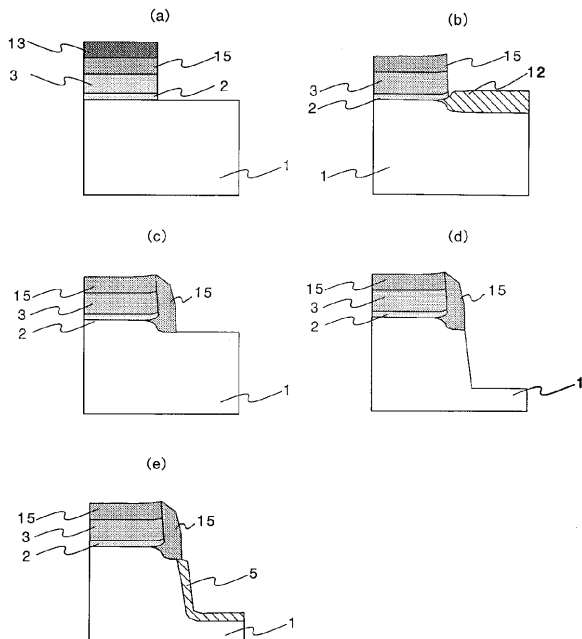
【図 7】



【図 8】



【図 9】



フロントページの続き

- (72)発明者 池田 修二
東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体グループ内
- (72)発明者 吉田 安子
東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体グループ内
- (72)発明者 内山 博之
東京都小平市上水本町五丁目20番1号 株式会社 日立製作所 半導体グループ内
- (72)発明者 鈴木 範夫
東京都青梅市新町六丁目16番地の3
タ内 株式会社 日立製作所 デバイス開発セン
- (72)発明者 茶木原 啓
東京都小平市上水本町5丁目22番1号
テムズ内 株式会社 日立超エル・エス・アイ・シス

審査官 井原 純

- (56)参考文献 特開2001-044273 (JP, A)
特開2000-340558 (JP, A)
特開平11-145273 (JP, A)
特開平02-260660 (JP, A)
特開昭58-009333 (JP, A)

- (58)調査した分野(Int.Cl.⁷, DB名)
H01L 21/76