

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-111431

(P2004-111431A)

(43) 公開日 平成16年4月8日(2004.4.8)

(51) Int. Cl.⁷

H 0 1 L 25/07

H 0 1 L 23/48

H 0 1 L 25/18

F I

H 0 1 L 25/04

H 0 1 L 23/48

テーマコード (参考)

C

L

審査請求 未請求 請求項の数 7 O L (全 12 頁)

(21) 出願番号 特願2002-268071 (P2002-268071)

(22) 出願日 平成14年9月13日 (2002. 9. 13)

(71) 出願人 000006622

株式会社安川電機

福岡県北九州市八幡西区黒崎城石2番1号

(72) 発明者 竹中 国浩

福岡県北九州市八幡西区黒崎城石2番1号

株式会社安川電機内

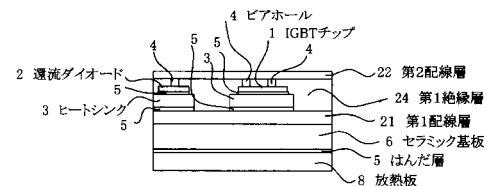
(54) 【発明の名称】 パワーモジュールとその製造方法

(57) 【要約】

【課題】 小型化で、かつアプリケーションとの接続方法の選択の幅が広く、製造工程が簡単なパワーモジュールとその製造方法を得る。

【解決手段】 本発明のパワーモジュールは、少なくとも1枚の基板6と、その表面に配線層21を介して設けたヒートシンク3と、さらにその上に実装されたI G B Tチップ1、還流ダイオード2及び整流ダイオードなどからなるパワー半導体チップと、パワー半導体チップを被覆する絶縁層24と、基板の裏面に設けられた放熱板8とを備えており、絶縁層の表面に設けた第2配線層22と、絶縁層にパワー半導体チップと第2配線層を接続したマイクロ接続とを設けたものである。また、第2配線層の表面に設けた第2絶縁層と、第2絶縁層の表面に設けた第3配線層と、第2絶縁層に第2配線層と第3配線層とを接続するマイクロ接続とを設けてもよい。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

少なくとも 1 枚の基板と、その表面に配線層を介して設けたヒートシンクと、さらにその上に実装された I G B T チップ、還流ダイオード及び整流ダイオードなどからなるパワー半導体チップと、前記パワー半導体チップを被覆する絶縁層と、前記基板の裏面に設けられた放熱板とを備えたパワーモジュールにおいて、
前記絶縁層の表面に設けた第 2 配線層と、前記絶縁層に前記パワー半導体チップと前記第 2 配線層を接続したマイクロ接続とを設けたことを特徴とするパワーモジュール。

【請求項 2】

前記第 2 配線層の表面に設けた第 2 絶縁層と、前記第 2 絶縁層の表面に設けた第 3 配線層と、前記第 2 絶縁層に前記第 2 配線層と第 3 配線層とを接続したマイクロ接続とを設けたことを特徴とする請求項 1 記載のパワーモジュール。 10

【請求項 3】

前記マイクロ接続は、ビアホール又はスルーホールであることを特徴とする請求項 1 または 2 記載のパワーモジュール。

【請求項 4】

前記絶縁層は、結晶化ガラスと熱伝導性の高いセラミックスフィラーとの混合物、または高流動性のエポキシ系樹脂であることを特徴とする請求項 1 から 3 のいずれか 1 項に記載のパワーモジュール。

【請求項 5】

基板の表面に配線層を設ける配線層形成工程と、前記配線層の上にはんだ層を介してヒートシンクを固定し、前記ヒートシンクの上に I G B T チップ、還流ダイオード及び整流ダイオードなどのパワー半導体チップを実装する実装工程と、前記パワー半導体チップを絶縁層にて被覆する絶縁層形成工程とからなるパワーモジュールの製造方法において、
前記配線層形成工程は、前記絶縁層の上に第 2 配線層を設けたものとし、前記絶縁層に前記パワー半導体チップの電極と前記第 2 配線層との間に導通部を形成するマイクロ接続工程を設けたことを特徴とするパワーモジュールの製造方法。 20

【請求項 6】

前記配線層形成工程は、前記第 2 配線層の上に第 2 絶縁層を設けたものとし、更にその上に第 3 配線層を設け、前記マイクロ接続工程は前記第 2 配線層と前記第 3 配線層との間に導通部を形成することを特徴とする請求項 5 記載のパワーモジュールの製造方法。 30

【請求項 7】

前記マイクロ接続工程の導通部は、ビアホール又はスルーホールとし、ホールをフォトリソグラフィまたはマイクロドリルで形成し、導電部をフォトリソグラフィ、めっき法、スクリーン印刷法の少なくとも一つにより形成することを特徴とする請求項 5 または 6 記載のパワーモジュールの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、パワーエレクトロニクス分野、特にモータドライブ用インバータやサーボパックに使用する半導体チップ及び還流ダイオードを内蔵したパワーモジュール及びパワー半導体装置に関する。 40

【0002】

【従来の技術】

従来のパワーモジュールにおいては、6つの半導体チップ、及び6つの還流ダイオードを内蔵し、特に I G B T チップを内蔵した I G B T モジュールと呼ばれるものや、前記 I G B T モジュールにゲートドライブ回路や保護回路を付加し、インテリジェント化させたインテリジェントパワーモジュールが一般的である。
方法が提案されている（特許文献 1 参照）。

【0003】

【特許文献 1】

特開 9-246732 号公報（第 1-3 頁、第 1 図）

【0004】

以下、インテリジェントパワーモジュールについて説明する。

図 8 は従来のインテリジェントパワーモジュールを示す分解斜視図、図 9 は IGBT 実装部分の拡大断面図、図 10 は図 8 の機能ブロック図である。図 8、9 において、1 は IGBT チップ、2 は IGBT チップに付属する還流ダイオード、3 はヒートシンク、5 ははんだ層、6 はセラミック基板、7 はボンディングワイヤ、8 は放熱板（主に銅ベース）、9 はケース、10 は外部接続用ピンヘッド、11 は充填樹脂、21 は第 1 配線層（例えば銅配線）である。

10

31 は図 9 を実装し、モータ電源 3 相分のレグを構成する IGBT 実装エリア、32 は図 9 と同様の構成で IGBT チップと還流ダイオードチップの代わりに整流用ダイオード用のダイオードチップを実装し全波整流回路を構成するエリアで整流ダイオード実装エリア、33 は IGBT チップを保護するための保護回路が実装されているエリアで保護回路実装エリア、34 は IGBT を駆動するドライブ回路を実装するエリアでドライブ回路実装エリア、35 はインバータなどのアプリケーションに使用する際の接続用部品を実装する接続部品実装エリアである。

これらを以下に示すように構成する。

IGBT チップ 1 は、図 9 に示すように、はんだ層 5 を介してヒートシンク 3 へダイボンディングされる。ヒートシンク 3 はセラミック基板 6 上に形成された第 1 配線層 21 へ、はんだ層 5 などを介して接続され、セラミック基板 6 は、放熱板 8 へはんだ付けされる。また、還流ダイオードチップ 2 も同様に構成される。

20

図 9 の IGBT チップ 1 及び、還流ダイオードチップ 2 は、ボンディングワイヤ 7 及びはんだ層 5 を介して、インバータ回路を構成する。以上を IGBT 実装エリア 31 とする。また、整流ダイオード実装エリアも同様の構成で全波整流回路を構成する。また、保護回路実装エリア 33、ドライブ回路実装エリア 34、外部接続用ピンヘッドが実装される外部接続部品実装エリアなどの付加回路は、セラミック基板 6 上、もしくは、樹脂製基板 上に実装され、一般のプリント基板と同様に配線され、構成される。特に、耐ノイズ性を考慮した場合、付加回路は樹脂製基板に実装されるようである。

以上述べた回路により、図 10 の機能を満足する。このように、構成されたセラミック基板 6、もしくは、樹脂製基板は、ケース 9 にて覆われ、その内部の空間には、電気絶縁及び放熱効果を高めるためにエポキシ系及びシリコン系の樹脂 11 が充填され、インテリジェントパワーモジュールとなる。

30

このインテリジェントパワーモジュールの製造工程を図 11 を用いて説明する。図 11 は、従来の製造工程を示す概略図で、(a) から (f) は製造工程を示している。

工程 (a) : IGBT チップ 1 及び還流ダイオードチップ 2 は、ヒートシンク 3 へ、それぞれはんだ層 5 を介してダイボンディングされた後、IGBT チップ 1 をヒートシンク 3 にダイボンディングしたものをセラミック基板 6 の上の第 1 配線層 21 へはんだ付けする。セラミック基板 6 には、あらかじめフォトレジスト、露光及び現像により必要な配線パターンが形成されている。このとき、整流ダイオード実装エリアにも同様に、整流ダイオードチップをはんだ層 5 を介してダイボンディングする。また、保護回路実装エリアやドライブ回路実装エリアは、前記セラミック基板 6、もしくは、樹脂製の基板に形成される。これらのエリアは、一般的なプリント基板製作と同様の手順となる。

40

工程 (b) : IGBT チップ 1 及び還流ダイオードチップ 2 などが実装されたセラミック基板 6 は、放熱板 8 へはんだ付けされる。このはんだ付けはセラミック基板のそりなどを考慮して、あらかじめ放熱板をそらしておくなどの様々な工夫がなされる。

工程 (c) : 放熱板 8 をはんだ付けしたセラミック基板 8 の上の外部接続用部品実装エリア 35 に、外部接続用ピンヘッド 10 をはんだ層 5 を介して実装する。

工程 (d) : ケース 9 が接着剤などにより組み付けられモジュールの形となる。ケースは、外部接続用ピンヘッドが最初から組み付けられたものなど様々な形態のものが用いられ

50

ている。

工程（e）：ワイヤボンダによりボンディングワイヤ7を形成し、回路が完成する。

工程（f）：ケース内の空間に充填樹脂11が充填されてインテリジェントパワーモジュールとなる。

このインテリジェントパワーモジュールは、モータドライブ用インバータやサーボパックに使用される際は、セラミック基板により絶縁されているため、そのまま冷却用ヒートシンクにネジ止めされる。

動作としては、図10に示すように、外部接続用ピンヘッダより、ゲート信号などが入力され、それによりIGBTがスイッチングし、出力端子に任意の周波数の交流電圧を得ることができる。

10

【0005】

【発明が解決しようとする課題】

しかしながら、上記従来の技術において、図9の構成のパワーモジュールでは、ワイヤボンディングを使用して回路の配線を行うため、ワイヤボンディングのループ高さが必要となり、また、ワイヤボンディングするパッドスペースが必要となるため、パワーモジュールの薄型化、小型化ができないという問題点があった。また、図8に示すようにパワーモジュールは、保護回路実装エリアやドライブ回路実装エリア及び接続部品実装エリアが平面的な構成であり、様々な用途に対応するためにインテリジェント化すると実装面積が増加するという問題点があった。また、インバータなどのアプリケーションに使用する際は、パワーモジュール内の実装面積を節約するために、ピンヘッダなどを介して行われることが一般的であるため、アプリケーションとの接続方法が限られるという問題点があった。また、ピンヘッダを使用してインバータなどのアプリケーションと接続すると、アプリケーション側にはピンヘッダを受けるスルーホール等が必要となり、アプリケーション側の他の部品実装面積を減少させるという問題点があった。

20

また、製造工程においても、セラミック基板にIGBTチップや他の部品の実装、ワイヤボンディング、ケースを組み付け、樹脂の充填など、種類の異なる工程が多くなり、製造工数が増加するとともに工程が複雑化するという問題点があった。

そこで、本発明は、小型化でインテリジェント化しても実装面積が小さく、かつアプリケーションとの接続方法の選択の幅が広く製造工程が簡単なパワーモジュールとその製造方法を提供することを目的とする。

30

【0006】

【課題を解決するための手段】

上記の課題を解決するため、本発明はつぎの構成にしている。

（1）請求項1記載のパワーモジュールは、少なくとも1枚の基板と、その表面に配線層を介して設けたヒートシンクと、さらにその上に実装されたIGBTチップ、還流ダイオード及び整流ダイオードなどからなるパワー半導体チップと、前記パワー半導体チップを被覆する絶縁層と、前記基板の裏面に設けられた放熱板とを備えたパワーモジュールにおいて、前記絶縁層の表面に設けた第2配線層と、前記絶縁層に前記パワー半導体チップと前記第2配線層を接続したマイクロ接続とを設けたものである。

（2）請求項2記載のパワーモジュールは、前記第2配線層の表面に設けた第2絶縁層と、前記第2絶縁層の表面に設けた第3配線層と、前記第2絶縁層に前記第2配線層と第3配線層とを接続したマイクロ接続とを設けたものである。

40

（3）請求項3記載のパワーモジュールは、前記マイクロ接続を、ビアホール又はスルーホールとしたものである。

（4）請求項4記載のパワーモジュールは、結晶化ガラスと熱伝導性の高いセラミックスフィラーとの混合物、または高流動性エポキシ系樹脂としたものである。請求項1から4記載のパワーモジュールによれば、パワーモジュールにおけるワイヤボンディングのループ高さが不要となり、ワイヤボンディングするパッドスペースが不要となるため、パワーモジュールの薄型化、小型化ができる。

また、インテリジェント化を行う際に、保護回路実装エリアやドライブ回路実装エリア及

50

び接続部品実装エリアなどを多層化でき実装面積を小さくできる。

また、インバータなどのアプリケーションとの接続方法を、任意に選択できるし、アプリケーション側にはピンヘッダを受けるスルーホール等が不要となるため、その分他の部品実装面積を増加できる。

(5) 請求項5記載のパワーモジュールの製造方法は、基板の表面に配線層を設ける配線層形成工程と、前記配線層の上にはんだ層を介してヒートシンクを固定し、前記ヒートシンクの上に I G B T チップ、還流ダイオード及び整流ダイオードなどのパワー半導体チップを実装する実装工程と、前記パワー半導体チップを絶縁層にて被覆する絶縁層形成工程とからなるパワーモジュールの製造方法において、

前記配線層形成工程は、前記絶縁層の上に第2配線層を設けたものとし、前記絶縁層に前記パワー半導体チップの電極と前記第2配線層との間に導通部を形成するマイクロ接続工程を設けるものである。 10

(6) 請求項6記載のパワーモジュールの製造方法は、前記配線層形成工程は、前記第2配線層の上に第2絶縁層を設けたものとし、更にその上に第3配線層を設け、前記マイクロ接続工程は前記第2配線層と前記第3配線層との間に導通部を形成するものである。

(7) 請求項7記載のパワーモジュールの製造方法は、前記マイクロ接続工程の導通部は、ビアホール又はスルーホールとし、ホールをフォトリソグラフィまたはマイクロドリルで形成し、導電部をフォトリソグラフィ、めっき法、スクリーン印刷法の少なくとも一つにより形成するものである。

請求項5から7記載のパワーモジュールの製造方法によれば、製造工数を簡略化できる。 20

【0007】

【発明の実施の形態】

以下、本発明の実施形態を、図に基づいて説明する。

(第1の実施形態)

図1は本発明の第1の実施形態を示すパワーモジュールの分解斜視図、図2は図1における I G B T 実装部分の拡大断面図である。

同じ部品には同じ符号を付しており、従来と同じ部品は説明を省略する。図1において、4はビアホール、22は第2配線層(銅配線)、23は第3配線層(銅配線)、24は第1絶縁層、25は第2絶縁層である。31~34の各エリアについては、従来と同じである。35の接続用部品実装エリアについては、機能は従来と同じであるが、独立の層となっている点が異なる。 30

これらを以下に示すように構成する。

先ず I G B T 実装エリア31については、図2に示すとおりである。I G B T チップ1は、はんだ層5を介してヒートシンク3にダイボンディングされる。ヒートシンク3は A l₁ N、A l₂ O₃ もしくは S i C など組成でできたセラミック基板6上に形成された第1配線層21へ、はんだ層5などを介して接続される。I G B T チップ1が実装されたセラミック基板6は、放熱板8へはんだ付けされる。還流ダイオードチップ2も同様の構成で第1配線層21へ接続される。セラミック基板上の第1配線層21に実装された I G B T チップ1及び、還流ダイオードチップ2は、電気絶縁性に優れ、放熱効果の高い絶縁体で形成された第1絶縁層24により覆われ、スルーホール4を介して第2配線層22に接続される。I G B T チップ1及び、還流ダイオードチップ2は、上に述べたようにビアホール4及びはんだ層5を介して、インバータ回路を構成する。 40

つぎに、整流ダイオード実装エリア32についても、I G B T 実装エリアと同様に構成する。また、保護回路実装エリア33、及びドライブ回路実装エリア34も基本的には同様の構成とするが、オペアンプや市販ドライブ I C などのパッケージされた部品を使用する場合もある。また、保護回路実装エリア33、及びドライブ回路実装エリア34は、セラミック基板上に形成するものとするが、耐ノイズ性を考慮し、樹脂製の基板を使用してもよい。

また、第2配線層22の上に外部接続用部品実装エリア35を設け、回路を形成し、多層構造とする。第1配線層21と第2配線層22との接続は、基本的にビアホールで行うが 50

、その他のマイクロ接続でも可能である。

このような回路により、図10の機能を満足する。また、保護回路実装エリア、ドライブ回路実装エリアは、フレキシブルに変更可能であり、実装位置は特に限定することはない。また、特に本発明のパワーモジュールがアプリケーション（インバータなど）に対して、絶縁に注意を要する場合には、第2配線層上に第2絶縁層を設けて、絶縁することが可能である。

このように、セラミック基板上に少なくとも2層の配線層と少なくとも1層の絶縁層を有し、その絶縁層によりダイボンディングされたIGBTチップを覆い、そのIGBTチップへはビアホールを介して接続することにより、本発明のパワーモジュールを形成する。

【0008】

次に本実施形態のパワーモジュールの製造方法について、図3を用いて説明する。図において、(a)から(h)は製造工程を示しており、符号13はレジスト、14はスキージ、15はビアホール形成用のマスク、16は第1絶縁層形成用のマスク、17は第2配線層形成用のマスク、18はペースト状絶縁体、19はペースト状導電体である。

工程(a)：IGBTチップ1及び還流ダイオードチップ2は、従来技術と同様にヒートシンク3へそれぞれダイボンディングされた後、前記IGBTチップ1をヒートシンク3へダイボンディングしたものをセラミック基板6上の第1配線層21へはんだ層5を介して接続し、IGBT実装エリア31とする。このとき、整流ダイオード実装エリア32にも同様に、整流ダイオードチップをはんだ付けする。セラミック基板6には、あらかじめフォトリソ、露光及び現像により必要な配線パターンが形成されている。また、他の実装エリア（例えば、保護回路実装エリア）を同一層内に設ける場合は、その部品も実装する必要がある。

工程(b)：前記IGBTチップ1及び還流ダイオードチップ2が実装されたセラミック基板6は、放熱板8へはんだ付けされる。この放熱板8は、セラミック基板の面積が増加し、機械的強度が必要になった場合やIGBTチップの発熱が増加した場合などに必要となるが、それらの問題が解決されている場合は特に必要はない。

以降の工程は厚膜集積化技術により行う。

工程(c)：前記放熱板8をはんだ付けしたセラミック基板の全体にレジスト13を塗布し、配線用のビアホール形成用マスク15をかぶせ、露光する。

工程(d)：不要なレジスト13を除去し、ビアホール4の部分だけレジストが残ったセラミック基板6に、セラミック基板と同一の大きさの第1絶縁層形成用マスク16をかぶせ、前記マスク上にペースト状の絶縁体18を置く。本工程以下がスクリーン印刷となる。

工程(e)：前記ペースト状の絶縁体18をスキージ14によりマスクの目に絶縁体を充填することで、第1絶縁層24を形成する。ここで使用されるペースト状の絶縁体18は電氣的絶縁はもちろんのこと、熱伝導性に優れたものが望ましく、ここでは、結晶化ガラスに熱伝導性の高いセラミックスフィラーを含ませたものを用いた。マスク印刷により第1絶縁層24を形成した後、5～15分室温にて放置し乾燥させるレベリング工程を行う。レベリング後、レジスト13を除去し、電気炉などにより、100～150℃で10～20分乾燥させ、その後、ベルト炉などで焼成する。

工程(f)：第2配線層形成用マスク17をかぶせ、前記マスク上に、ペースト状の導電体19を置く。

工程(g)：スキージ14により、ビアホール4にペースト上に導電体を充填するとともに、工程(h)：第2配線層22を形成する。第1絶縁層形成時と同様に、5～15分室温にて放置し乾燥させるレベリング工程を行う。レベリング後、電気炉などにより、100～150℃で10～20分乾燥させ、その後、ベルト炉などで焼成する。

工程(h)：第2配線層22までが形成される。

最後に、アプリケーションに適した外部接続用部品を外部接続用部品実装エリアに実装し、パワーモジュールが完成する。

本発明の実施形態のパワーモジュールは、セラミック基板を使用し、そのセラミック基板

10

20

30

40

50

上に I G B T チップなどを実装した後、マスク印刷により、それらの部品を絶縁層で覆い、その後、配線層を形成し、さらに、必要であれば、その上に他の回路を実装する。

【0009】

(第2の実施形態)

本発明の第2の実施形態を図4および図5に示す。図4は本発明のパワーモジュールの分解斜視図、図5は図4の I G B T 実装部分の拡大断面図である。

図において、4はビアホール、41はスルーホール、12は I C 部品、23は第3配線層(銅配線)、25は第2絶縁層、36は機能を追加する機能追加回路実装エリアである。本実施形態のパワーモジュールは、第1の実施形態のパワーモジュール(図1、図2)とほぼ同じ構成であり、これに第3配線層23、第2絶縁層25を設けて多層化し、第3配線層上に必要とする機能を有する I C 部品12などを実装し、任意に機能を追加できる機能追加回路実装エリア36としたものである。

次に本実施形態のパワーモジュールの製造方法について、図6を用いて説明する。

(a)から(h)は製造工程を示している。図において、20はマイクロドリル、26はチップ保護用パッドであり、その他の符号は第1の実施形態の製造工程(図3)と同じである。

工程(a)： I G B T チップ1及び還流ダイオードチップ2上にスルーホール形成時にチップを保護する保護用パッド26を、はんだ層や導電性接着剤を介して実装する。 I G B T チップ1及び還流ダイオードチップ2は、従来技術と同様にヒートシンク3へそれぞれダイボンディングされた後、 I G B T チップ1をヒートシンク3へダイボンディングしたものをセラミック基板6上の第1配線層21へはんだ層5を介して接続し、 I G B T 実装エリア31とする。このとき、整流ダイオード実装エリア32にも同様に、整流ダイオードチップをはんだ付けする。セラミック基板6には、あらかじめフォトレジスト、露光及び現像により必要な配線パターンが形成されている。また、他の実装エリア(例えば、保護回路実装エリア)を同一層内に設ける場合は、その部品も実装する。

工程(b)： I G B T チップ1及び還流ダイオードチップ2が実装されたセラミック基板6は、放熱板8へはんだ付けされる。この放熱板8は、セラミック基板の面積が増加し、機械的強度が必要になった場合や I G B T チップ1の発熱が増加した場合などに必要となるが、それらの問題が解決されている場合は特に必要はない。

以降の工程は厚膜集積化技術により行う。

工程(c)：セラミック基板と同一大きさの第1絶縁層形成用のマスク16をかぶせ、マスク16上にペースト状絶縁体18を置く。

工程(d)：ペースト状絶縁体18をスキージ14によりマスク16の目に充填する。本工程以下がスクリーン印刷となる。

工程(e)：絶縁体を充填したセラミック基板6にスルーホール形成用のマスク15をかぶせ、マイクロドリル20などの機械的加工によりスルーホール41を形成することで、第1絶縁層24を形成する。ここで使用されるペースト状の絶縁体18は、電氣的絶縁と熱伝導性に優れた結晶化ガラスに熱伝導性の高いセラミックスフィラーを含ませたものを用いている。マスク印刷により第1絶縁層24を形成した後、5～15分室温にて放置し乾燥させるレベリング工程を行う。レベリング後、電気炉などにより、100～150℃で10～20分乾燥させ、その後、ベルト炉などで焼成する。

工程(f)：第2配線層形成用のマスク17をかぶせ、マスク17上に、ペースト状導電体19を置く。

工程(g)：スキージ14により、スルーホール41の部分にペースト状導電体19を充填するとともに、第2配線層22を形成する。第1絶縁層24の形成時と同様に、5～15分室温にて放置し乾燥させるレベリング工程を行う。レベリング後、電気炉などにより、100～150℃で10～20分乾燥させ、その後、ベルト炉などで焼成する。

工程(h)：第2配線層22までが形成される。

以下、同様にして、第3配線層23、第2絶縁層25を形成し、その後スルーホール41を形成する。

10

20

30

40

50

さらに、多層化する場合は、同様の工程を繰り返す。また、多層化後の基板表面を保護するために、オーバーコートガラス印刷を行っても良い。

最後に、アプリケーションに適した外部接続用部品を外部接続用部品実装エリアに実装し、パワーモジュールが完成する。

本発明の実施形態のパワーモジュールは、セラミック基板を使用し、そのセラミック基板上に IGBT チップなどを実装した後、マスク印刷により、それらの部品を絶縁層で覆い、その後、配線層を形成し、さらに、必要であればその上に他の回路を実装する。

本実施形態によれば、ワイヤボンディングを使用しないため、ワイヤボンディングのループ高さが不要となり、また、ワイヤボンディングするパッドも不要となるため、パワーモジュールの薄型化、小型化が可能となる。また、インテリジェント化したパワーモジュールにおいては、保護回路実装エリアやドライブ回路実装エリア及び接続部品実装エリアなどを平面的な構成でなく、多層化できるため、実装面積を節約でき小型化が可能となる。また、絶縁体厚さはパワーモジュール耐圧により決定されるが、ワイヤボンディングのループ高さよりも薄型化されることは明らかである。また、インバータなどのアプリケーションに使用する際は、接続方法を限定しないと同時に、アプリケーション側にはピンヘッダを受けるスルーホール等が不必要となり、インバータ側の他の部品実装面積を増加させることが可能となる。

10

【0010】

(第3の実施形態)

本発明の第3の実施形態を図7に示す。図7は本発明のパワーモジュールの製造方法を示す断面図であり、(a)から(g)は製造工程を示している。

20

図において、19は銅箔であり、その他の部品、実装エリアおよびパワーモジュールの形状(図1、図2)は、第1の実施形態と同じである。

本実施形態のパワーモジュールの製造方法について説明する。

本製造方法は、厚膜集積化技術を使用したマスク印刷により絶縁層を形成し、その後、ビアホールをフォトリソ工程より形成し、さらに配線層をサブトラクティブ法、もしくはアディティブ法により形成し、それらをめっきビアホールにより接続するものである。

工程(a)から工程(e)は、第1の実施形態と同じである。ただし、ペースト状の絶縁体18として、流動性の高いエポキシ系の樹脂を用いている。

30

工程(f)：第1絶縁層24に銅箔19を張り付けた後、第2配線層形成用のマスク17を使用し、フォトリソ、露光及び現像によりパターンを形成するサブトラクティブ法(エッチドフィルム法とも呼ばれる)により、第2配線層を形成する。

工程(g)：ビアホール形状に沿って無電解銅めっきを行い、パワー半導体チップの電極とビアホール4と第2配線層22とを接続する。

さらに、多層化し、追加機能実装エリア36を設ける場合は、上記の方法を繰り返し、絶縁層と配線層を形成する。また、最終工程で、基板表面を保護するために、オーバーコートガラス印刷を行っても良い。

最後に、アプリケーションに適した外部接続用部品を外部接続用部品実装エリアに実装し、パワーモジュールが完成する。

40

なお、本実施形態では、基板としてセラミックを用いたが、電流容量の程度によっては樹脂基板としても良い。また、導電体として銅箔を用いたが、これに代えて絶縁層上に無電解銅めっきなどを選択的に析出させてパターンを形成するアディティブ法により形成してもよい。

本発明による製造方法によれば、従来必要であったワイヤボンディング、ケース組み付け、樹脂の充填などの種類の異なる工程を必要とせず、厚膜集積化技術、及びめっきスルーホール工程を中心とした配線工程のみ製造工数で製作することが可能であるため製造工程を簡略化することが可能となる。

また、絶縁層厚みはマスク厚さで規定でき、配線層厚さも一般的なプリント基板製造方法によるため、煩雑な管理は必要なく、工程の簡略化が可能となる。

50

また、図 5 に示したように、パワーモジュール全体の多層化、部分的多層化は任意に選択可能である。

また、本発明により製造されたパワーモジュールのモータドライブ用インバータのヒートシンクへの実装は、パワーモジュールが完全に絶縁されているため、従来通りネジ止めで行うことができ、機能も従来どおりであり、さらにパワーモジュールは小型化が可能である。

なお、本発明によるパワーモジュールは、保護回路やゲートドライブ回路を付加しない、パワーモジュールとしてもよい。

【0011】

【発明の効果】

10

以上述べたように、本発明によればつぎの効果がある。

(1) セラミック基板に設けた第 2 配線層と、半導体チップ、複数の還流ダイオード及び複数の整流ダイオードなどのパワー半導体チップを被覆している絶縁層の中に第 2 配線層とパワー半導体チップとを接続するマイクロ接続とを設けたので、ワイヤボンディングの部のスペースが不要となるため、パワーモジュールの薄型化、小型化ができる。

(2) 第 2 配線層の表面に設けた第 2 絶縁層と、第 2 絶縁層の表面に設けた第 3 配線層と、第 2 絶縁層を貫通し第 2 配線層と第 3 配線層とを接続するマイクロ接続とを、ビアホール又はスルーホールとしたので、インテリジェント化を行う際に、保護回路実装エリアやドライブ回路実装エリア及び接続部品実装エリアなどを多層化でき実装面積を小さくできる。

20

ある。

(3) パワー半導体チップを絶縁層で覆った後、絶縁層の上に第 2 配線層を設け、絶縁層にフォトリソグラフィまたはめっき技術を用いてビアホール又はスルーホールを形成し、配線層と第 2 配線層とを接続するので、製造工数を簡略化できる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態を示すパワーモジュールの分解斜視図である。

【図 2】図 1 における IGBT 実装部分の拡大断面図である。

【図 3】本発明の第 1 の実施形態の製造工程を示す断面図である。

【図 4】本発明の第 2 の実施形態を示すパワーモジュールの分解斜視図である。

30

【図 5】図 4 における IGBT 実装部分の拡大断面図である。

【図 6】本発明の第 2 の実施形態の製造工程を示す断面図である。

【図 7】本発明の第 3 の実施形態の製造工程を示す断面図である。

【図 8】従来のパワーモジュールを示す分解斜視図である。

【図 9】図 8 における IGBT 実装部分の拡大断面図である。

【図 10】パワーモジュールの機能を示す回路図である。

【図 11】従来のパワーモジュールの製造工程を示す断面図である。

【符号の説明】

- 1 IGBT チップ
- 2 還流ダイオードチップ
- 3 ヒートシンク
- 4 ビアホール
- 4 1 スルーホール
- 5 はんだ層
- 6 セラミック基板
- 7 ワイヤボンディング
- 8 放熱板
- 9 ケース
- 10 外部接続用ピンヘッダ
- 11 充填樹脂

40

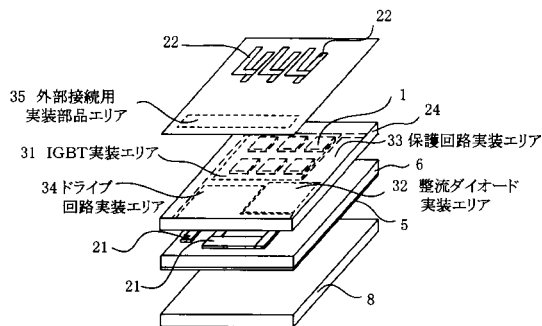
50

- 1 2 I C 部品
- 1 3 レジスト
- 1 4 スキージ
- 1 5 マスク (ビアホール又はスルーホール形成用)
- 1 6 マスク (第1絶縁層形成用)
- 1 7 マスク (第2配線層形成用)
- 1 8 絶縁体 (ペースト状)
- 1 9 導電体 (ペースト状)
- 1 9 1 導電体 (銅箔)
- 2 0 マイクロドリル
- 2 1 第1配線層
- 2 2 第2配線層
- 2 3 第3配線層
- 2 4 第1絶縁層
- 2 5 第2絶縁層
- 2 6 チップ保護用パッド
- 3 1 I G B T 実装エリア
- 3 2 整流ダイオード実装エリア
- 3 3 保護回路実装エリア
- 3 4 ドライブ回路実装エリア
- 3 5 外部接続用部品実装エリア
- 3 6 追加機能回路実装エリア

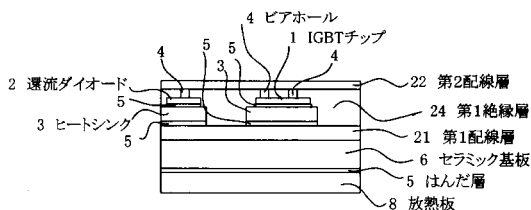
10

20

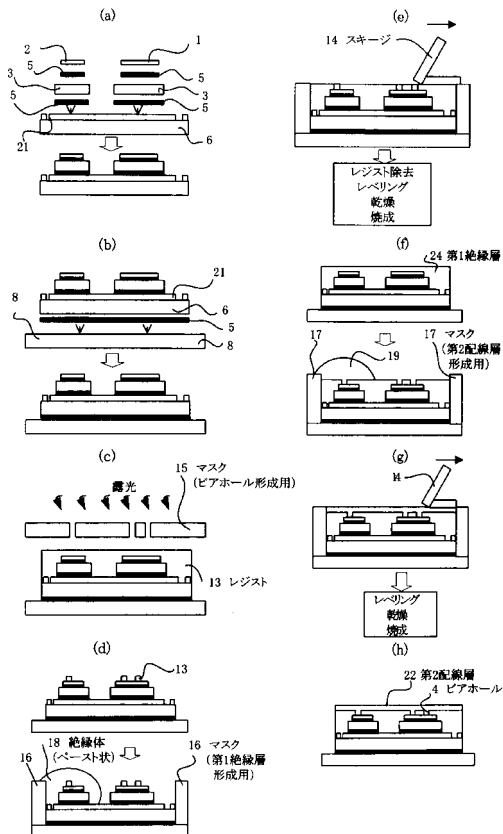
【図 1】



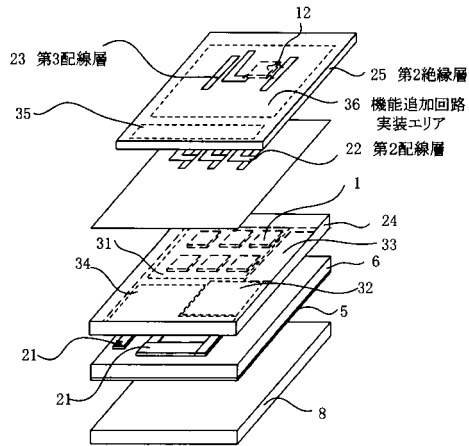
【図 2】



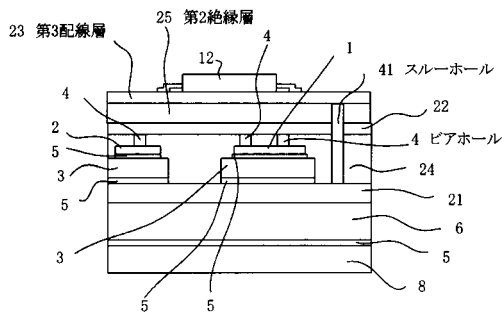
【図 3】



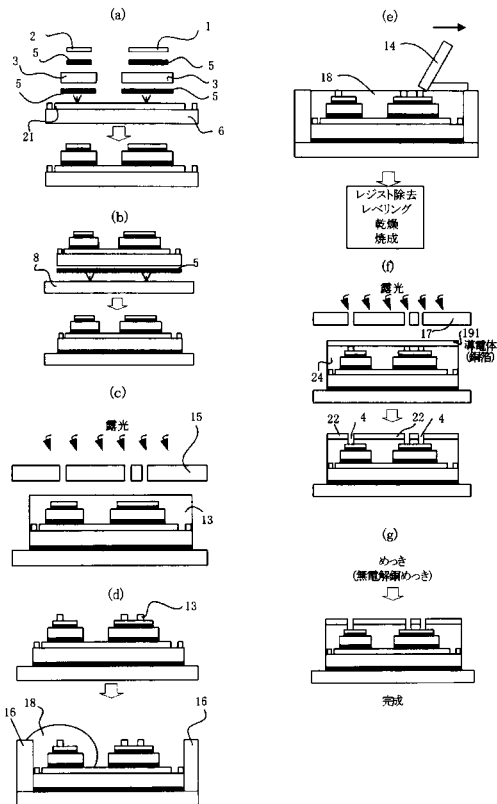
【図 4】



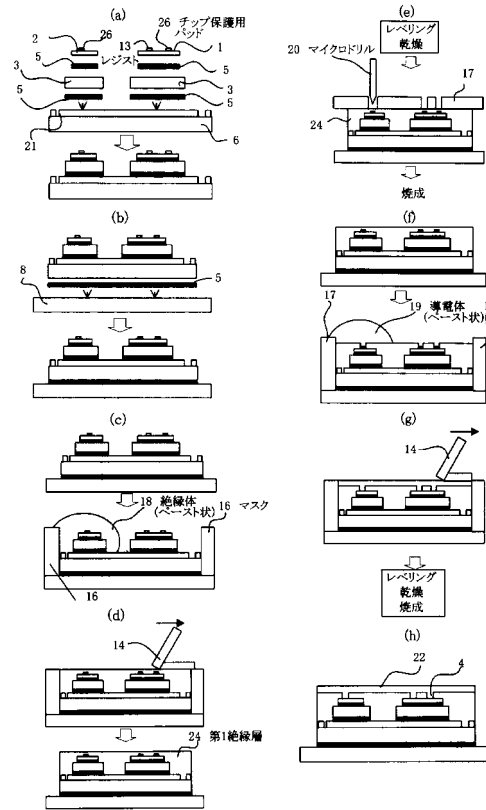
【図 5】



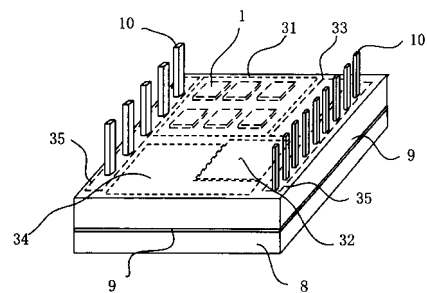
【図 7】



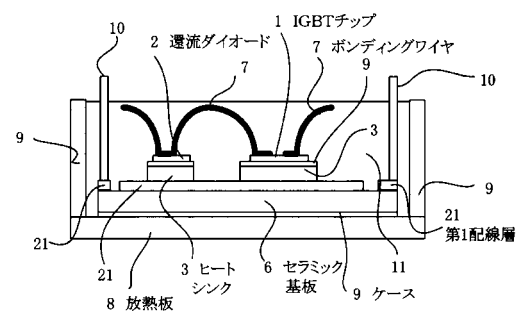
【図 6】



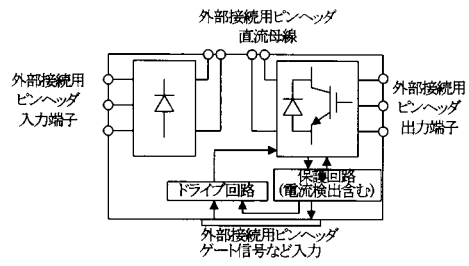
【図 8】



【図 9】



【図 10】



【図 11】

