

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4606869号
(P4606869)

(45) 発行日 平成23年1月5日(2011.1.5)

(24) 登録日 平成22年10月15日(2010.10.15)

(51) Int.Cl.

G 11 C 13/00 (2006.01)

F 1

G 11 C 13/00

A

請求項の数 11 (全 30 頁)

(21) 出願番号 特願2004-374314 (P2004-374314)
 (22) 出願日 平成16年12月24日 (2004.12.24)
 (65) 公開番号 特開2006-179158 (P2006-179158A)
 (43) 公開日 平成18年7月6日 (2006.7.6)
 審査請求日 平成19年6月6日 (2007.6.6)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100080001
 弁理士 筒井 大和
 (72) 発明者 竹村 理一郎
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内

審査官 高野 芳徳

最終頁に続く

(54) 【発明の名称】半導体装置

(57) 【特許請求の範囲】

【請求項 1】

複数のワード線と、
 前記複数のワード線と交差する第1及び第2ビット線と、
 前記複数のワード線と前記第1及び第2ビット線の任意の交点に配置される複数の第1メモリセルと、
 前記複数の第1メモリセルからの情報を增幅するセンスアンプと、
 前記センスアンプに接続される第3ビット線及び第4ビット線と、
 前記第1ビット線に第1電位を与える第1スイッチと、
 前記第2ビット線に第2電位を与える第2スイッチと、
 前記第3ビット線に第3電位を与える第3スイッチと、
 前記第4ビット線に前記第3電位を与える第4スイッチと、
 前記第1ビット線と前記第3ビット線を接続するための第5スイッチと、
 前記第2ビット線と前記第4ビット線を接続するための第6スイッチとを有し、
 前記第2スイッチにより前記第2ビット線に前記第2電位が、前記第3スイッチにより前記第3ビット線に前記第3電位が、前記第4スイッチにより前記第4ビット線に前記第3電位が与えられた状態で、前記第1スイッチが活性化され、第1の期間を経過した後、前記第1スイッチの非活性化及び前記複数のワード線のいずれか一つの活性化が行われ、第2の期間を経過した後、前記第5及び第6スイッチが第3の期間活性化され、
 前記第1電位は、前記第2電位よりも高く、

10

20

前記第3電位は、前記第1電位よりも高いことを特徴とする半導体装置。

【請求項2】

請求項1記載の半導体装置において、

前記第1ビット線には、前記第2電位を与える第7スイッチが接続され、

前記第3の期間を経過後、前記第5及び第6スイッチが非活性化され、前記センスアンプが活性化され、前記第2及び第7スイッチが活性化されることを特徴とする半導体装置。

【請求項3】

請求項1記載の半導体装置において、

前記半導体装置は、更に、前記第1ビット線に第13スイッチを介して接続される第6ビット線を有し、10

前記センスアンプは、読み出し時に信号を増幅して出力するアンプ回路と書き込み時に書き込み対象となる前記第1メモリセルに必要な電流を供給するライトドライバとを有し、

前記アンプ回路は、前記第3及び第4ビット線に接続され、

前記ライトドライバは、前記第6ビット線に接続されることを特徴とする半導体装置。

【請求項4】

請求項1記載の半導体装置において、

前記半導体装置は、共通ソース線を更に有し、

前記複数の第1メモリセルのそれぞれは、可変抵抗素子と、第1MISFETとを有し、20

前記可変抵抗素子の一端は、前記第1ビット線に接続され、

前記可変抵抗素子の他端は、前記第1MISFETのソース又はドレインの一方に接続され、

前記第1MISFETのゲートは、前記複数のワード線のいずれか一つに接続され、

前記第1MISFETのソース又はドレインの他方は、前記共通ソース線に接続されていることを特徴とする半導体装置。

【請求項5】

請求項1記載の半導体装置において、

前記半導体装置は、共通ソース線を更に有し、30

前記複数の第1メモリセルのそれぞれは、可変抵抗素子と、第1MISFETとを有し、

前記可変抵抗素子の一端は、前記共通ソース線に接続され、

前記可変抵抗素子の他端は、前記第1MISFETのソース又はドレインの一方に接続され、

前記第1MISFETのゲートは、前記複数のワード線のいずれか一つに接続され、

前記第1MISFETのソース又はドレインの他方は、前記第1ビット線に接続されていることを特徴とする半導体装置。

【請求項6】

請求項4又は5記載の半導体装置において、40

前記共通ソース線には、前記第2電位が与えられることを特徴とする半導体装置。

【請求項7】

請求項1記載の半導体装置において、

前記半導体装置は、更に、

前記第1ビット線に前記第2電位を与える第7スイッチと、

前記第2ビット線に前記第1電位を与える第8スイッチと、

前記第2ビット線と前記第3ビット線を接続する第9スイッチと、

前記第1ビット線と前記第4ビット線を接続する第10スイッチとを有することを特徴とする半導体装置。

【請求項8】

50

請求項7記載の半導体装置において、
前記半導体装置は、更に、
前記複数のワード線と交差する第5ビット線と、
前記第5ビット線と前記第3ビット線を接続する第11スイッチとを有することを特徴とする半導体装置。

【請求項9】

請求項8記載の半導体装置において、
前記半導体装置は、更に、前記第5ビット線に前記第1電位を与える第12スイッチを有することを特徴とする半導体装置。

【請求項10】

請求項2記載の半導体装置において、
前記半導体装置は、待機時に、前記第2及び第7スイッチが活性化されることを特徴とする半導体装置。

【請求項11】

請求項4又は5記載の半導体装置において、
前記可変抵抗素子は、カルコゲナイト材料を含むことを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関し、特に相変化材料を用いて形成される、高密度集積メモリ回路、あるいはメモリ回路と論理回路とが同一半導体基板に設けられたロジック混載型メモリ、あるいはアナログ回路を有する半導体装置に適用して有効な技術に関するものである。

【背景技術】

【0002】

本発明者が検討したところによれば、相変化材料を用いたメモリの技術に関しては、以下のようものが考えられる。

【0003】

高速で高集積な不揮発性メモリを目指して、相変化メモリの開発が進められている。相変化材料からなる抵抗素子を用いたメモリ（相変化メモリ）は、電気パルスを用いて、図31のような温度変化を起こさせて相変化材料を非晶質状態と結晶状態間で相転移させ、図32にあるように、非晶質状態（リセット）と結晶状態（セット）の抵抗値の違いを情報として記録する不揮発メモリである。なお、相変化材料の非晶質状態の高抵抗値および結晶状態の低抵抗値は、それぞれ、完全な非晶質状態および完全な結晶状態である必要はなく、記憶素子としては、高抵抗状態と低抵抗状態に十分な抵抗差があることが重要であり、完全な非晶質状態である高抵抗状態と完全な結晶状態である低抵抗状態の中間の任意の値をとることが可能である。

【0004】

相変化素子は、前述のように、電気パルスによってその相状態を変える。リセットするためには、短い期間大電流を流し、急速に冷却することが必要である。逆に、セットするためには、リセット時よりも少ない電流を、比較的長時間流し、ゆっくり冷却することが必要である。一方、読み出し動作では、書換え電圧に比べて十分低い読み出し電圧を用いてビット線の電圧降下の速度をセンスすることにより、相変化メモリの‘0’状態および‘1’状態を読み出す。

【0005】

相変化メモリの読み出し方式として、例えば、非特許文献1には、電荷転送型のプリアンプを用いてセンスアンプへの入力信号を増幅し、センスアンプリファレンスレベルを容易に設定することを可能にする技術が示されている。

【非特許文献1】「2004年 アイ・イー・イー・イー インターナショナル・ソリューションズ・サーチ・コンファレンス、ダイジェスト・オブ・テクニカル・ペーパー」

10

20

30

40

50

ズ(2004 IEEE International Solid-State Circuits Conference, Digest of Technical Papers)」、p. 40 - 41

【発明の開示】

【発明が解決しようとする課題】

【0006】

ところで、前記のような相変化材料を用いたメモリの技術について、本発明者が検討した結果、以下のようなことが明らかとなった。

【0007】

相変化メモリでは、読み出し動作も書換え動作も素子に電流を流す。書換え動作では、抵抗自身あるいは、隣接して配置されるヒーターに大電流を流すことにより生じるジュール熱によって、素子の相状態、例えば、アモルファス状態（高抵抗状態）と結晶状態（低抵抗状態）を変える。

【0008】

一方、読み出し動作では、素子、あるいは隣接するヒーターに電流が流れるため、その電流で発生するジュール熱によって、当該素子のデータが破壊される恐れがある。また、読み出し電流を流した際に、内部電圧の揺らぎ、外部温度、素子バラツキなどの影響で、予想以上の熱ディスターブが発生し、周辺のメモリ素子の記憶データが破壊される可能性も考えられる。このようなことから、読み出し時の印加電圧を可能な限り小さくすることで、素子及びヒーターに流れる電流を低減し、発熱量を小さくすることが課題となる。

【0009】

低抵抗状態と高抵抗状態を感知する方法として、素子に一定の電圧を印加して、素子に流れる電流を参照電流と比較して感知する電流センス方式と、メモリ素子を介して容量性の負荷を充電あるいは放電し、一定時間後の電圧値を参照電圧と比較して感知する電圧センス方式がある。電流センス方式は、センス回路の規模が大きくなるため、一度に多ビットを読み出す動作には、電圧センスの方が好適である。しかしながら、電圧センス方式では、読み出し時の印加電圧が小さいと参照電圧と読み出し電圧の差が小さくなるため、安定した参照電圧を作り出すことが課題となる。

【0010】

このような中、例えば、前述した非特許文献1には、電荷転送型のプリアンプを用いる方式が示されている。しかしながら、非特許文献1に記載される方式では、電荷転送アンプを構成するパスゲートトランジスタのゲート電圧をうまく調節しなければ、プリアンプとして動作しないため、センスアンプ入力信号振幅を大きくすることができない恐れがある。

【課題を解決するための手段】

【0011】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0012】

本発明の半導体装置は、複数のワード線、第1ビット線およびセンスアンプと、複数のワード線と第1ビット線の任意の交点に配置される複数のメモリセルと、センスアンプに接続される第2ビット線および第3ビット線と、第1ビット線に第1電位を与える第1スイッチと、第2ビット線に第2電位を与える第2スイッチと、第1ビット線と第2ビット線を接続する第3スイッチとを備えており、第1スイッチを非活性化した後、複数のワード線のいずれかを活性化し、第3スイッチを活性化する動作を有するものとなっている。

【0013】

すなわち、読み出し動作において、まず、メモリセルが接続される第1ビット線に対して予め第1電位をプリチャージした状態で、当該メモリセルのワード線を立ち上げることでメモリセルを介して第1ビット線の電荷を充放電する。その後、第1ビット線と、予め第2電位にプリチャージされ、かつセンスアンプの一方の入力ノードに接続された第2ビ

10

20

30

40

50

ット線とを接続することで、メモリセルを介して第1ビット線を再度充放電すると共に第1ビット線と等電位となる第2ビット線からセンスアンプの入力信号を得る。

【0014】

このように、センスアンプの入力信号として所望の電圧振幅を得る際に、段階的な充放電を用いることで、1回の充放電に伴う電荷量を減らし、この電荷量に伴う電流または電圧を減らすことで、メモリセルの発熱を抑えることが可能となる。これによって、信頼性が高い読み出し動作が可能となる。

【0015】

また、前述したセンスアンプの他方の入力ノードには、リファレンスとして第3ビット線が接続され、このビット線への入力信号は、例えば、内部電源降圧回路などを用いて固定電圧となる第3電位を生成してもよいし、第1のビット線に平行して配置され、読み出し時に非選択となる第4ビット線などを用いてもよい。

10

【0016】

後者の場合、例えば、第3ビット線が第2ビット線と同様に第1電位よりも高い第2電位にプリチャージされ、かつ第4ビット線が非選択のため第1電位よりも低い第4電位にプリチャージされた状態で、第3ビット線と第4ビット線を接続する。これによって、第2ビット線に読み出される‘H’レベル信号と‘L’レベル信号のほぼ中間レベルの信号を、リファレンスとして第3ビット線に供給することが可能となる。この際に、第2ビット線への信号読み出しと同様の機構で第3ビット線に参照電圧を発生させるため、電圧変動または製造ばらつき等に伴うノイズ耐性が高く、安定した参照電圧を生成することが可能となる。

20

【0017】

また、非選択となる第4ビット線を第4電位とするのは、待機時等のメモリセルへの読み書きが不要な間、第4ビット線に接続されたメモリセルへの電圧印加を抑えるためでもある。従って、第4ビット線に限らず、メモリセルに接続されるビット線は、読み書き等で電圧印加が必要な時以外は、スイッチを用いて第4電位に設定しておく。

【0018】

なお、前述したような効果は、メモリセルの記憶素子がカルコゲナイト材料などの可変抵抗素子である場合に特に有益なものとなる。

30

【発明の効果】

【0019】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、特に相変化材料を含む半導体装置において、読み出し動作の信頼性が向上し、また、安定した参照電圧の発生が実現可能となる。

【発明を実施するための最良の形態】

【0020】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号を付し、その繰り返しの説明は省略する。また、実施の形態の各機能ブロックを構成する回路素子は、特に制限されないが、公知のCMOS（相補型MOSトランジスタ）等の集積回路技術によって、単結晶シリコンのような半導体基板上に形成される。

40

【0021】

なお、実施の形態では、MISFET（Metal Insulator Semiconductor Field Effect Transistor）の一例としてMOS（Metal Oxide Semiconductor）トランジスタを用いる。図面において、PMOSトランジスタにはボディに矢印の記号を付することで、NMOSトランジスタと区別することとする。図面にはMOSトランジスタの基板電位の接続は特に明記していないが、MOSトランジスタが正常動作可能な範囲であれば、その接続方法は特に限定しない。

【0022】

50

また、特に断りの無い場合、信号のロウレベルを‘0’、ハイレベルを‘1’とする。以降の説明においては、記憶素子が結晶状態であって低抵抗値の場合を‘0’状態とし、非晶質状態であって高抵抗値の場合を‘1’状態としているが、非晶質状態であって高抵抗値の場合を‘0’状態とし、結晶状態であって低抵抗値の場合を‘1’状態としてもよい。

【0023】

(実施の形態1)

図1は、本発明の実施の形態1による半導体装置において、それに含まれる相変化メモリの読み出し動作の一例を示す波形図である。この読み出し動作の特徴は、読み出し動作初期に低電圧をビット線に印加し(プリチャージ)、読み出し動作(読み出し1)を行った後、センスアンプとチャージシェアすることによって、読み出しひビット線に電荷を注入し、再度読み出し動作(読み出し2)を行うところにある。

10

【0024】

ここで、本動作の詳細を説明する前に、本読み出し動作を実現するための回路構成について説明する。図2は、本発明の実施の形態1による半導体装置において、それに含まれる相変化メモリの主要部の構成例を示すブロック図である。図2に示す構成例は、半導体基板上に形成され、その一部の回路として、メモリセルアレーMCAとセンスアンププロックSABとロウデコーダDECが含まれている。

【0025】

本構成例では、センスアンププロックSABにおいて、4つのビット線BL0, BL1, BL2, BL3のうちビット線選択回路BLS ELによって選ばれた1本が1つのセンスアンプ回路SAに接続される。ビット線選択回路BLS ELは、本図には示していないが入力されたアドレスに対応して、4本のビット線のうち1本を選択し、そのビット線を、読み出し動作では読み出しひビット線BLSAに接続し、書き込み動作では書き込みビット線WB Lに接続する。

20

【0026】

センスアンプ回路SAは、アレーのビット線に読み出された微小信号をリファレンスレベルVREFと比較することで、‘1’/‘0’の判定をし、アレー外部にセンスアンプ出力ノードSAO(図2では図示せず)を介してデータを出力する回路である。また、センスアンプ回路SAには、外部からのライトデータに従って書き込みビット線を利用してメモリセルにデータを書きこむための書き込み回路も配置される。各々の具体的な回路構成例については、後で述べる。

30

【0027】

図2に示した構成例は、例えば、図21に示すようなチップ内の主要部を示したものとなっている。図21は、図2の構成を含めた相変化メモリ全体の構成の一例を示すブロック図である。図21に示す相変化メモリは、そのチップ上に、例えば、メモリアレーMAと、それに隣接するロウデコーダDECおよびカラムデコーダCDCと、電源回路VGと、外部からのコマンドおよびアドレスを受け入れる入力バッファ(INPUT Buffer)と、外部との間でデータの入出力をを行う入出力バッファ(DQ Buffer)などが配置されている。電源回路VGは、内部電圧を外部電源VCCから生成する。ビット線のリファレンスレベルVREFもここで生成される。

40

【0028】

メモリアレーMAは、複数のメモリセルアレーMCAに分割され、各メモリセルアレーMCAの間には、例えば、サブワードドライバSWDと、センスアンププロックSABと、クロスエリアXAなどが含まれている。ここで、メモリアレーMAは多分割構成になっているが、分割しなくても良い。クロスエリアXAは、センスアンププロックSABとサブワードドライバSWDの交差部分であり、主に、センスアンププロック及び、サブワードドライバの制御信号を駆動する回路が配置される。

【0029】

図2に示した構成例は、このようなチップの中から、その1つのメモリセルアレーMCA

50

Aの一部と、1つのセンスアンプブロックSABの一部と、ロウデコーダRDECの一部を示したものとなっている。

【0030】

図3は、図2の構成例において、そのメモリセルアレーMCAの構成の一例を示す回路図である。図3に示すメモリセルアレーMCAは、ワード線WL0, WL1, WL2, WL3, ...と、ビット線BL0, BL1, BL2, BL3と、これらのそれぞれ所望の交点にあるメモリセルMCからなる。また、ソース線SL01, SL23, ...が設けられ、これらのソース線は、読み出し、書き込み、待機時で制御される制御線、もしくは、特定の電位（例えば、接地電位VSS）に接続される。ソース線SLは、共通のプレートとしてもよい。ここで、ビット線はデータ線とも呼ばれる。

10

【0031】

図4は、図3のメモリセルアレーにおいて、その各メモリセルの構成の一例を示す回路図であり、(a)、(b)には、それぞれ異なる構成例を示している。各メモリセルMCは、図4(a), (b)に示すように記憶素子PCRとメモリセルトランジスタMTにより構成される。図4(a)においては、記憶素子PCRの一端がビット線BLに接続され、他端がメモリセルトランジスタMTのソース・ドレインの一方に接続される。記憶素子PCRは、例えば、ゲルマニウム、アンチモン、テルルなどを含有したカルコゲナイト材料からなる。メモリセルトランジスタMTのソース・ドレインの他方は、ソース線SLに接続され、ゲートはワード線WLに接続される。

【0032】

20

また、メモリセル内の構成として、図4(b)のように図4(a)のメモリセルトランジスタMTと記憶素子PCRを入れ替えた構成でもかまわない。この構成では、ライト動作などでビット線BLを駆動しても、ワード線WLを非選択状態にしておくことでビット線BLから記憶素子PCRにAC的な電流が流れることを防止できる利点である。

【0033】

また、ここでは、メモリセルトランジスタMTとしてNMOSトランジスタを示しているが、PMOSトランジスタやバイポーラトランジスタの使用も可能である。ただし、高集積化と周辺回路とのプロセスコンパチビリティの観点からMOSトランジスタが望ましく、PMOSトランジスタに比べてオン状態でのチャネル抵抗の小さいNMOSトランジスタが好適である。以下では、メモリセルの構成として、図4(a)のような構成を前提とし、トランジスタにNMOSトランジスタを用いる場合の電圧関係で、動作などを説明する。

30

【0034】

図5は、図2の構成例において、そのセンスアンプブロック内のビット線選択回路の構成の一例を示す回路図である。ビット線選択回路BLSLELには、読み出し動作において、入力されたアドレスに従ってメモリセルアレーMCA内のビット線BL0～BL3のいずれかを選択する読み出しビット線選択信号RSEL0～RSEL3と、読み出しひビット線選択信号RSEL0～RSEL3が入力され、ビット線BL0～BL3のいずれかをセンスアンプ内の読み出しひビット線BLSAに接続するスイッチと、読み出し動作と同様に、書き込み動作において、入力されたアドレスに従ってビット線BL0～BL3のいずれかを選択する書き込みビット線選択信号WSEL0～WSEL3と、書き込みビット線選択信号WSEL0～WSEL3が入力され、ビット線BL0～BL3のいずれかを書き込みビット線WBLに接続するスイッチが配置される。

40

【0035】

また、これらに加えて、ビット線イコライズ信号EQ0～EQ3で制御され、待機時の期間においてビット線BL0～BL3を所定の電圧レベル、例えば、メモリセルMCのソース線電位V_Sに設定するスイッチと、ビット線プリチャージ信号PCA0～PCA3で制御され、ビット線BL0～BL3を読み出し時の初期電圧レベル、例えばVRに設定するプリチャージスイッチと、センスアンププリチャージ信号PCSAで制御され、センスアンプ内の読み出しひビット線BLSAを読み出し時の所定の電圧レベルVDLにプリチャージ

50

ジするスイッチが配置される。

【0036】

ここで、ビット線プリチャージ信号P C A 0 ~ 3は、この4本全てが同一の制御信号(4本のビット線を1本のビット線プリチャージ信号で一斉に制御する方式)でもよいし、それぞれ、対応したアドレス信号によって制御される独立の信号でもかまわない。独立の信号とすることで、読み出し・書き込み非選択ビット線の無駄な充放電を防止できるため、消費電力を低減できる利点がある。一方、同一の信号とすることで、アドレスごとの制御が不要となるため、高速動作と制御信号の駆動回路が少なくなることによる小面積化を実現できる利点がある。また、ビット線イコライズ信号E Q 0 ~ E Q 3についても前述のプリチャージ信号と同様に、同一の制御信号でもよいし、それぞれアドレス信号に対応した独立な制御信号でもかまわない。そのときの利点は、前述のビット線プリチャージ信号の場合と同様である。10

【0037】

図6は、図2の構成例において、そのセンスアンプブロックに配置されるセンスアンプ回路の構成例である。センスアンプ回路S Aは、メモリセルアレーM C Aからセンスアンプ内の読み出しひビット線B L S Aに読み出された微小信号をセンスアンプ出力ノードS A Oに出力するためのアンプ回路A M Pと、外部からの書き込みデータを書き込みビット線W B Lを介して、メモリセルM Cの記憶素子P C Rに書き込むためのライトドライバW Dからなる。

【0038】

図7は、図6のセンスアンプ回路において、そのアンプ回路の構成の一例を示す回路図である。図7に示すアンプ回路A M Pは、電圧センス型のセンスアンプであり、対となるN M O SトランジスタN M 1, N M 2のそれぞれのゲートに、センスアンプ内の対となるビット線が接続されたゲート受けのアンプ回路である。対となるビット線の内の方は、読み出しひビット線B L S Aであり、他方は、常にリファレンスレベルV R E Fが供給されるビット線である。それぞれのN M O SトランジスタN M 1, N M 2のドレインには、クロスカップル型のP M O Sトランジスタが負荷として接続されている。N M O SトランジスタN M 1, N M 2のソースは、共通に接続され、アンプ回路駆動用のM O Sトランジスタに接続されている。20

【0039】

アンプ回路A M Pは、アンプ回路駆動用のM O Sトランジスタのゲート信号であるセンスアンプ活性化信号S A Eにより活性化される。本アンプ回路A M Pでは、センスアンプ内の読み出しひビット線B L S AがリファレンスレベルV R E Fよりも低い電位の場合には、センスアンプ出力ノードS A Oに‘H’を出力し、読み出しひビット線B L S AがリファレンスレベルV R E Fよりも高い電位の場合には、センスアンプ出力ノードS A Oに‘L’を出力する。アンプ回路A M Pの回路構成は、本回路構成に限定されるわけではなく、同様の機能があるものであればかまわない。30

【0040】

図8は、図6のセンスアンプ回路において、そのライトドライバW Dの構成の一例を示す回路図であり、(a)、(b)には、それぞれ異なる構成例を示している。図8(a)は、書き込み電圧を制御する方式となっている。すなわち、外部入力データ(データバス)D A T A t / bに相補のデータが入力され、セットイネーブル信号W Sとリセットイネーブル信号W Rが高電位状態から低電位状態に遷移することで、活性化され、書き込みビット線W B Lが高電位に駆動される。このとき、外部入力データD A T A tが低電位状態、外部入力データD A T A bが高電位状態の場合には、メモリセルM Cをリセットする動作となり、書き込みビット線W B Lには、リセット電圧V W Rが印加される。40

【0041】

リセット電圧V W Rが書き込みビット線W B Lに印加されると、ビット線選択回路B L S E Lを介してアレー内のビット線B L 0, B L 1, …のいずれかがリセット電圧V W Rに駆動され、メモリセルM Cの記憶素子P C Rにリセット動作に必要な書き込み電流50

が供給される。このときの書き込みビット線WBLが駆動される期間は、リセットイネーブル信号WRが低電位に駆動されている期間で定義される。

【0042】

逆に外部入力データDATA_tが高電位状態、外部入力データDATA_bが低電位状態の場合には、メモリセルMCをセットする動作となり、書き込みビット線WBLには、セット電圧VWSが印加される。セット電圧VWSが書き込みビット線WBLに印加されるとビット線選択回路BLSELを介してアレー内のビット線BL0, BL1, ...のいずれかがセット電圧VWSに駆動され、メモリセルMCの記憶素子PCRにセット動作に必要な書き込み電流が流れる。このときの書き込みビット線WBLが駆動される期間は、セットイネーブル信号WSが低電位に駆動されている期間で定義され、セット動作の期間は、リセット動作の期間よりも長い。その後、いずれの動作においてもセット/リセットイネーブル信号WS/WRが高電位状態になることで、書き込みビット線WBLは、低電位(例えばソース線電位VS)に駆動され、ライト動作が終了する。10

【0043】

図8(b)は、前述の図8(a)と異なり、書き込みデータに従って、書き込み電流をカレントミラー回路を用いて制御する方式となっている。ライトドライバWDには、書き込みリファレンス電流源WCGが配置され、ここでは、セット、リセット動作に必要な電流を生成するためのリファレンス電流Iwrefが生成される。本方式においては、トランジスタMPとの間でカレントミラー回路を構成するトランジスタMPRまたはトランジスタMPSのサイズ(ゲート長あるいはゲート幅)を変えて、カレントミラー回路のミラー比を設定することで、それぞれの書き込み動作時でリファレンス電流Iwrefの定数倍の電流が流れようになっている。20

【0044】

このとき、外部入力データDATA_tが低電位状態、外部入力データDATA_bが高電位状態の場合には、メモリセルMCをリセットする動作となり、書き込みビット線WBLには、リセット電流が流れる。リセット電流は、書き込みビット線WBLとビット線選択回路BLSELを介してアレー内のビット線BL0, BL1, ...のいずれかに転送され、メモリセルMCの記憶素子PCRに流れる。このときの書き込みビット線WBLに書き込み電流が流れる期間は、リセットイネーブル信号WRが低電位に駆動されている期間で定義される。30

【0045】

逆に外部入力データDATA_tが高電位状態、外部入力データDATA_bが低電位状態の場合には、メモリセルMCをセットする動作となり、書き込みビット線WBLには、セット電流が流れる。セット電流は、書き込みビット線WBLとビット線選択回路BLSELを介してアレー内のビット線BL0, BL1, ...のいずれかに転送され、メモリセルMCの記憶素子PCRに流れる。このときの書き込みビット線WBLに書き込み電流が流れる期間は、セットイネーブル信号WSが低電位に駆動されている期間で定義され、セット動作の期間は、リセット動作の期間よりも長い。その後、いずれの動作においてもセット/リセットイネーブル信号WS/WRが高電位状態になることで、書き込みビット線WBLは、低電位(例えばソース線電位VS)に駆動され、ライト動作が終了する。40

【0046】

このような構成を備えた相変化メモリの読み出し動作について、前述した図1を用いて詳細に説明する。ここでは、メモリセルアレーMCA内のビット線BL0, BL1, BL2, BL3のうちビット線BL0を読み出す動作を例として説明する。

【0047】

外部より、読み出しコマンドREADが入力されると、同時に入力されるアドレスに対応したメモリセルアレーMCAにおいて、待機時にビット線BLをソース線SLと等電位に設定するためのビット線イコライズ信号EQ0が高電位状態から低電位状態に遷移することで非活性化され、アレー内のビット線BL0がフローティング状態となる。非選択ビット線BL1, BL2, BL3は、対応するビット線イコライズ信号EQ1, EQ2, E50

Q3を高電位に維持することでソース線SLの電位VSを維持し、メモリセルMC内の記憶素子PCRに対して、不要な電圧印加を防止して誤書換えを防止する。

【0048】

続いて、ビット線プリチャージ信号PCA0が低電位状態から高電位状態に遷移することで活性化され、選択されたビット線BL0が読み出しビット線レベルVRに設定される。この読み出しビット線レベルVRは、記憶素子PCRに印加されても書換え動作にいたることのないような十分低い電圧である。このとき、非選択ビット線BL1, BL2, BL3は、待機時ビット線レベル(ソース線電位VS)を維持する。

【0049】

ビット線BL0が読み出しビット線レベルVRに設定された後、ビット線プリチャージ信号PCA0は非活性化される。その後、読み出しこマンドREADと同時に入力されたアドレスに対応したワード線WLが低電位状態VWLから高電位状態VWHに遷移して活性化される。ワード線WLが活性化されると、メモリセルMCのメモリセルトランジスタMTが駆動され、記憶素子PCRに読み出しビット線レベルVRが印加される。

10

【0050】

このとき、記憶素子PCRが高抵抗状態の場合、たとえば、相変化素子を用いた場合でアモルファス(非晶質)状態の時には、素子に流れる電流が小さいため、ビット線電位はプリチャージした読み出しビット線レベルVRからほとんど変化しない。図1では、プリチャージ～読み出し1の期間におけるビット線BL0(Reset)のような波形になる。一方、記憶素子PCRが低抵抗状態の場合、たとえば、相変化素子を用いた場合で結晶状態の時には、素子に流れる電流が大きくなり、ビット線電位は、読み出しビット線レベルVRから、ソース線電位VSに遷移する。図1では、前述した期間におけるビット線BL0(Set)のような波形になる。

20

【0051】

ワード線WLを活性化して一定期間経った後、アレーのビット線BL0とセンスアンプを接続するための読み出しビット線選択信号RSEL0が活性化される。これによって、図1における読み出し2の期間が開始される。このとき、センスアンプ内の読み出しビット線BLSAは、アレーのビット線BL0より高電位、例えばアレー電圧VDLにプリチャージされている。この状態で読み出しビット線選択信号RSEL0が活性化されると、センスアンプ内の読み出しビット線BLSAとアレー内のビット線BL0の間でチャージシェアが起こる。

30

【0052】

チャージシェア前のビット線レベルは、選択メモリセルの記憶素子PCRが低抵抗状態の場合、ソース線電位VSと等電位であり、高抵抗状態の場合、読み出しビット線レベルVRである。ここで、チャージシェアが起こると、それぞれ、低抵抗状態のとき $V_{DL} \times CSA / (CSA + CB)$ 、高抵抗状態のとき $VR' = (V_{DL} \times CSA + VR \times CB) / (CSA + CB)$ となる。ここで、CBはアレー内のビット線容量でCSAはセンスアンプ内の読み出しビット線BLSAの容量である。

【0053】

この間、ワード線WLは常に活性化状態のため、記憶素子PCRが低抵抗状態の場合は、引き続き、ビット線BL0の電荷は、ソース線SLに引き抜かれる。一方、高抵抗状態では、ビット線BL0のレベルは上昇するが、記憶素子PCRに流れる電流が小さいため、チャージシェア後のレベルがほとんど変化せず、維持される。この読み出し動作により、センスアンプ内の読み出しビット線BLSAは、リファレンスレベルVREFを適当に設定することで、高抵抗状態(Reset)では、リファレンスレベルより高電位側になり、低抵抗状態(Set)では、リファレンスレベルVREFよりも低電位側になる。

40

【0054】

その後、低抵抗状態の記憶素子PCRを読み出しているビット線がソース電位とほぼ等電位となる時間経過後、読み出しビット線選択信号RSEL0を非活性化状態にすることにより、アレー内のビット線BLとセンスアンプ内の読み出しビット線BLSAを分離す

50

る。それとほぼ同時に、アレー内のビット線 B L を待機時電圧に設定するイコライズ信号 E Q が活性化状態になり、アレー内のビット線 B L をソース線電位 V S と等電位に設定する。そして、図 1 における読み出し 2 の期間が終了となる。このように、ビット線 B L をソース線電位 V S と等電位に設定することで、記憶素子 P C R の両端に印加される電圧が 0 V となるため素子に電流が流れなくなり、発熱が防止でき、データ破壊が防止できる。

【0055】

一方、センスアンプでは、センスアンプ活性化信号 S A E によって活性化されにより、センスアンプ内の読み出しひビット線 B L S A とリファレンスレベル V R E F が比較され、センスアンプ出力ノード S A O に記憶内容に応じたデータが出力される。ここでは、低抵抗状態のときに高電位を出力し、高抵抗状態では、低電位を出力する。その後、ワード線 W L を非活性化状態に遷移するとともに、センスアンプ内の読み出しひビット線 B L S A は、再びビット線選択回路 B L S E L 内のセンスアンププリチャージスイッチによって、アレー電圧 V D L にプリチャージされる。

【0056】

以上のような読み出し方式を用いることで、ビット線に印加される読み出し電圧の低減またはビット線に高い読み出し電圧が印加される期間の短縮が可能となり、読み出し時の発熱を抑制して、誤書き込み等の読み出しデータ破壊を防止できる。また、読み出し電流に伴う熱ディスターブを防止できる。これによって、信頼性が高く安定した読み出し動作が可能となる。

【0057】

すなわち、仮に本読み出し方式を用いない場合には、電圧 V R ' の振幅を備えた読み出し信号を得るために、例えば、図 1 において、ビット線に電圧 V R ' 程度の電圧をその電圧が放電される期間印加することのみで読み出しを行う方式などが考えられる。これに比べて本方式を用いると、低抵抗状態 (B L (s e t)) の場合には、読み出しひビット線レベル V R 程度しか電圧が印加されず、高抵抗状態 (B L (R e s e t)) の場合でも、電圧 V R ' が印加される期間 (読み出し 2 の期間) を短くすることが可能となる。例えば、図 1 の読み出し 2 の期間に示すように、低抵抗状態 (B L (s e t)) で放電される電圧が電圧 V R ' の半分程度になると、その分読み出し 2 の期間も半分程度となる。

【0058】

次に、書き込み動作について説明する。図 9 は、本発明の実施の形態 1 による半導体装置において、それに含まれる相変化メモリの書き込み動作の一例を示す波形図である。ここでは、ビット線 B L 1 上のメモリセル M C に書き込む場合を想定して説明する。

【0059】

外部より、書き込みコマンド W R I T が入力されると、コマンドと同時に入力されたアドレスに対応したビット線 B L 1 のイコライズ信号 E Q 1 が非活性化状態に遷移する。ここで、一旦読み出す場合には、前述の読み出し動作と同様の動作が行われる。その後、選択ビット線及び、非選択ビット線がソース線電位 V S にプリチャージされた状態で、ワード線 W L が活性化される。そして、外部から入力された書き込みデータがデータバス D A T A t / b を使って転送されてくる。

【0060】

センスアンプ回路 S A 中のライトドライバ W D は、このデータバス D A T A t / b の電位に従って、書き込みビット線 W B L を駆動する。D A T A t が高電位状態で、D A T A b が低電位状態の場合には、セットトイネーブル信号 W S で決まるセット時間の間、ビット線 B L 1 にセット書き込み電圧 V W S が供給される。一方、データバス D A T A t が低電位状態で、データバス D A T A b が高電位状態の場合には、リセットトイネーブル信号 W R で決まるリセット時間の間、ビット線 B L 1 にリセット書き込み電圧 V W R が供給される。リセット時間は、通常セット時間に比べて短く、例えば 10 ns から 100 ns 程度である。一方、セット時間は、通常、50 ns から 1 μs 程度である。

【0061】

その後、リセットトイネーブル信号 W R 及びセットトイネーブル信号 W S が非活性化状態 (

10

20

30

40

50

ここでは、高電位状態)に遷移すると書き込み動作が終了する。その後、アレーのビット線B Lは、ビット線イコライズ信号E Qによって、再びソース線電位V Sに固定される。連続した書き込み動作が行われない場合には、ここで、活性化していたワード線W Lが非選択状態に遷移して、待機状態になる。この書き込み動作は、一旦読み出し動作を行った後、選択メモリセルだけ書き込む動作でも良いし、読み出し動作なしに選択メモリセルに書き込む動作でもよい。

【0062】

つぎに、これまでに説明した各回路ブロックの別の構成例について説明する。

【0063】

図10は、図2の構成例において、図3とは異なるメモリセルアレーの構成例を示す回路図である。図3では、ワード線W Lとビット線B Lのすべての交点にメモリセルM Cが配置されているのに対して、本構成例では、半分の交点に配置され、さらに、隣り合う2つの交点のうち1つだけにメモリセルM Cが配置されている。すなわち、1本のビット線B L上では、交差するワード線1本おきにメモリセルM Cが配置され、同様に、1本のワード線W L上では、交差するビット線1本おきにメモリセルM Cが配置されているのが特徴となっている。本メモリセルアレーM C AにおけるメモリセルM Cは、前述の図3の場合と同様に図4(a), (b)のいずれも適用可能である。このようなレイアウトでは、メモリセルトランジスタの面積を大きくすることができ、大きな電流駆動力を得られる利点がある。

【0064】

図11は、図2の構成例において、図3とは更に異なるメモリセルアレーの構成例を示す回路図である。本構成例も、前述の図10と同様にワード線W Lとビット線B Lの交点のうち半分だけに、メモリセルM Cが配置されている。本構成では、隣接する2つのメモリセルでビット線コンタクトを共有しており、1本のビット線上では、交差するワード線との交点のうち、メモリセルがある交点とない交点がそれぞれ2つずつ交互に配置される。一方、ワード線W L上では、交差するビット線B Lとの交点のうち、ビット線1本おきにメモリセルM Cが配置される。

【0065】

本メモリセルアレーM C AにおけるメモリセルM Cは、前述の図3等と同様に図4(a), (b)のいずれも適用可能であるが、特に、トランジスタの拡散層を共有できる図4(b)のほうが好ましい。このようなレイアウトでは、図4(b)のメモリセルM Cを用いることで、ビット線コンタクトを共通にすることができ、メモリセル面積を小さくすることが可能となり、高集積化を実現できる。

【0066】

図12は、図2の構成例において、図3とは更に異なるメモリセルアレーの構成例を示す回路図である。本構成例は、前述の図10, 図11と同様に、ワード線W Lとビット線B Lの交点のうち半分だけにメモリセルM Cが配置されている。但し、本構成では、図11と異なり、ソース線コンタクトが隣接するメモリセルM C間で共有されている。1本のビット線上では、交差するワード線W Lとの交点のうち、メモリセルM Cがある交点とない交点が2つずつ交互に配置される。一方、ワード線W L上では、交差するビット線B Lとの交点のうち、ビット線1本おきにメモリセルM Cが配置される。

【0067】

本メモリセルアレーM C AにおけるメモリセルM Cは、前述の図3等の場合と同様に図4(a), (b)のいずれも適用可能であるが、トランジスタの拡散層を共有できる図4(a)のほうが好ましい。このようなレイアウトでは、図4(a)のメモリセルを用いることで、ソース線コンタクト領域を共有することができ、メモリセル面積を小さくすることができ高集積化が可能となる。

【0068】

図13は、本発明の実施の形態1による半導体装置において、図2とは異なる相変化メモリの主要部の構成例を示すブロック図である。図2では、センスアンプブロックS A B

10

20

30

40

50

の片側にメモリセルアレーMCAが配置されていたのに対して、図13では、センスアンプブロックSABの両側にメモリセルアレーMCAが配置されている。さらに、センスアンプブロックSABの左側に配置されたメモリセルアレーMCAのビット線BL0及びBL1と、センスアンプブロックSABの右側に配置されたメモリセルアレーMCAのビット線BL2及びBL3が共通のセンスアンプブロックSAB内のビット線選択回路BSELに接続されている。また、ビット線選択回路BSELは、センスアンプ回路SAに読み出しビット線BLSAと書き込みビット線WBLを介して接続されている。

【0069】

つまり、本構成例は、左右のメモリセルMCのいずれかが活性化されると、2つのメモリセルアレーMCAの間に配置されたセンスアンプブロックSABのセンスアンプ回路SAが活性化される共有センスアンプ構成となっている。このように、共通センスアンプ構成をとることにより、例えば図21に示すようなチップで、メモリアレーMAの部分を多分割アレーで構成することが容易となる。図21では、前述したように、1つのメモリアレーMAが、センスアンプブロックSABとサブワードドライバSWDによって多数のメモリセルアレーMCAに分割されている。ビット線選択回路BSEL及びセンスアンプ回路SAは前述の構成と同様である。

【0070】

図14は、本発明の実施の形態1による半導体装置において、図2とは更に異なる相変化メモリの主要部の構成例を示すブロック図である。本構成例では、前述の図2と異なり、センスアンプブロックSABにおいて、2本のアレーのビット線が1つのビット線選択回路BSELに接続され、そのうち1本がセンスアンプ回路SAに接続される。つまり、アレーのビット線2本に対してセンスアンプ回路SAを割り当てている。メモリセルアレーMCAの構成は、図3、及び図10～図12のいずれも適用可能である。また、センスアンプ回路SAの構成は、前述した図7と同様である。

【0071】

図15は、図14の構成例において、そのビット線選択回路の構成の一例を示す回路図である。図15のビット線選択回路BSELには、前述の図5と同様に、入力されたアドレスに対応して、アレーの2本のビット線BLから読み出しビット線BLSAまたは書き込みビット線WBLに接続するビット線を選択するための、読み出しビット線選択信号RSEL0～1および書き込みビット線選択信号WSEL0～1と、読み出しビット線選択信号RSEL0～1で制御され、アレー内のビット線BL0, BL1と読み出しビット線BLSAを接続するための読み出しビット線選択スイッチと、書き込みビット線選択信号WSEL0～1で制御され、ビット線BL0, BL1と書き込みビット線WBLを接続するための書き込みビット線選択スイッチが配置される。

【0072】

さらに、待機時にビット線BL0, BL1をビット線待機時電圧、例えば、ソース線と同電位VSに設定するためのビット線イコライズ信号EQ0, 1とこれらのイコライズ信号によって制御されるイコライズスイッチと、読み出し時にビット線BL0, BL1を所望のレベル、例えば、読み出しビット線レベルVRに設定するためのビット線プリチャージ信号PCA0, 1およびプリチャージスイッチと、センスアンプ内の読み出しビット線BLSAを所望の読み出し電圧VDLに設定するためのセンスアンププリチャージ信号PCSAおよびセンスアンププリチャージスイッチも配置される。

【0073】

読み出しビット線レベルVRは、センスアンププリチャージ電圧VDLよりも低い。図14の構成例における読み出し動作は、前述した図1および図2ではメモリセルアレーMCAの4本のビット線のうち1本だけが読み出される動作なのに対して、ビット線2本に1本が読み出される動作となる。これ以外の動作は、図1の読み出し動作波形例で説明した動作と同様である。

【0074】

本構成例は、前述の図2の構成例に比べて同時にセンスアンプに読み出すことの出来る

10

20

30

40

50

ビット数が多くなるため、大量のデータを読み出す動作に向いている。また、メモリセルアレーMCAを、前述したようなワード線とビット線の交点のうち半分にメモリセルが配置される構成とした場合、同時に読み出したメモリセルのデータをすべてセンスアンプに読み出すことが出来る利点がある。

【0075】

図16は、本発明の実施の形態1による半導体装置において、図2とは更に異なる相変化メモリの主要部の構成例を示すブロック図である。本構成例では、これまでに説明した構成例と異なり、センスアンプブロックSABにおいて、アレーのビット線1本に対して1つのセンスアンプ回路SAが接続される。それにより、1本のワード線WLを選択したときに多数のビットがセンスアンプに読み出すことが可能となり、一度に多数のデータを出力することが可能となる利点がある。本構成例に対応するメモリセルアレーMCAの構成は、図3、及び図10、11、12のいずれも適用可能であるが、すべてのビット線BLに対してセンスアンプ回路SAが接続されているため、1本のワード線WLを選択したときにすべてのビット線BLにメモリセルのデータが読み出される図3の構成が好適である。10

【0076】

図17は、図16の構成例において、そのビット線選択回路の構成の一例を示す回路図である。本構成例では、アレーのビット線BLに対してセンスアンプの読み出しビット線BLSAと書き込みビット線WBLがそれぞれ1対1で対応している。すなわち、本ビット線選択回路BLSELでは、読み出し動作と書き込み動作でアレーのビット線BLをセンスアンプの読み出しビット線BLSA、書き込みビット線WBLに接続するためのビット線選択信号RSEL、WSELおよびそのためのスイッチと、アレーのビット線BLを待機時の間、ソース線と等電位VSに設定するためのイコライズ信号EQおよびイコライズスイッチと、アレーのビット線BLを読み出しビット線レベルVRに設定するためのプリチャージ信号PCAおよびプリチャージスイッチと、読み出しビット線BLSAをアレー電圧VDLに設定するためのセンスアンププリチャージ信号PCSAおよびプリチャージスイッチが配置される。センスアンプ回路SAは前述の図6と同様の構成でかまわない。20

【0077】

図18は、図16の構成例において、その読み出し動作の一例を示す波形図である。図16の構成例では、すべての読み出しビット線にセンスアンプ回路SAが配置されているため、前述した図1の動作波形例と比べて非選択ビット線が無いのが特徴である。30

【0078】

このように、図16の構成例を用いると、ビット線1本ごとにセンスアンプ回路を配置することにより、同時に読み出すことの出来るビット数が多くなるため、連続したデータ読み出し動作が高速に行える。さらに、DRAMのようなページ読み出し動作が容易に実現できる。

【0079】

(実施の形態2)

本実施の形態2では、これまでに説明したような構成および動作を用い、更に読み出し時のリファレンスレベルを生成する手法について述べる。本手法の特徴は、前述の読み出し動作と同様に、2段階で読み出すことにより、読み出し時に高電圧を印加する時間を短くしつつ読み出し信号量を大きくするとともに、更に、リファレンスレベルをチャージシェアで出力することにより、安定したリファレンスレベルを生成するところにある。まず、本読み出し動作を実現するための回路構成について説明する。40

【0080】

図19は、本発明の実施の形態2による半導体装置において、それに含まれる相変化メモリの主要部の構成例を示すブロック図である。図19では、メモリセルアレーMCAと、入力されたアドレスに対応したワード線WLを選択するためのロウデコーダRDECと、選択したメモリセルのデータをセンスし、外部に出力するためのセンスアンプブロック50

S A B とが示されている。

【 0 0 8 1 】

センスアンプブロック S A B には、ビット線選択回路 B L S E L 2 とセンスアンプ回路 S A 2 が配置される。ビット線選択回路 B L S E L 2 は、入力されたアドレスに対応して、4 本のビット線 B L 0 ~ 3 のうち 1 本を選択し、この選択したビット線を、読み出し動作時に読み出しビット線 B L S A に接続し、書き込み動作時に書き込みビット線 W B L に接続する。さらに、前述の図 2 等の場合と異なり、図 1 9 のビット線選択回路 B L S E L 2 は、リファレンスレベルを出力するために、非選択のビット線をセンスアンプリファレンスピット線 B L R E F に接続する。

【 0 0 8 2 】

図 2 0 は、本発明の実施の形態 2 による半導体装置において、図 1 9 とは異なる相変化メモリの主要部の構成例を示すブロック図である。本構成例は、センスアンプブロック S A B に対して、両側にメモリセルアレー M C A が配置され、1 つのセンスアンプブロック S A B を 2 つのメモリセルアレー M C A で共有する共有センスアンプ構成となっている。センスアンプブロック S A B には、左右のアレーのいずれかのビット線をセンスアンプの読み出しビット線 B L S A あるいは、書き込みビット線 W B L に接続し、非選択のビット線をリファレンスピット線 B L R E F に接続するためのビット線選択回路 B L S E L 2 と、読み出しビット線 B L S A とリファレンスピット線 B L R E F 間の信号電圧をもとに、メモリセルに記憶されたデータを外部に出力し、さらに、外部からのデータに従って、書き込みビット線 W B L を駆動してメモリセルにデータ書き込むためのセンスアンプ回路 S A 2 が配置されている。

10

【 0 0 8 3 】

このように、共通センスアンプ構成をとることにより、前述した図 2 1 に示すチップのように、メモリアレー M A の部分を多分割アレーで構成することが容易となる。また、このような構成により、ビット線 1 本当たりの容量が低減できるため、低消費電力化と高速動作が実現できる。

20

【 0 0 8 4 】

次に、図 1 9 及び図 2 0 のメモリセルアレー M C A の構成について説明する。図 1 9 における好適なメモリセルアレーの構成は、前述の図 1 0 、図 1 1 、図 1 2 である。いずれもビット線とワード線の交点のうち半分にだけメモリセルが配置されている構成である。この構成を用いることにより、ワード線 W L を選択したときに同一メモリセルアレー M C A 内でメモリセルの接続されないビット線 B L が存在するため、そのビット線 B L をセンスアンプのリファレンスピット線 B L R E F に接続することが可能となる。

30

【 0 0 8 5 】

一方、図 2 0 のメモリセルアレー M C A の構成は、図 3 または、図 1 0 , 1 1 , 1 2 のいずれでもかまわない。リファレンスピット線 B L R E F に接続するビット線 B L を、必ずしもワード線 W L を活性化しているメモリセルアレー M C A 内から選択する必要がなく、隣接するメモリセルアレー M C A のビット線 B L を用いることも可能であるため、共有センスアンプ構成である図 2 0 では、すべての交点にメモリセルが配置される図 3 のようなメモリセルアレーの構成も適用可能である。

40

【 0 0 8 6 】

図 2 2 は、図 1 9 及び図 2 0 の構成例において、そのビット線選択回路の構成の一例を示す回路図である。本構成例では、前述の図 5 と同様に、アレーのビット線 B L 0 ~ 3 から読み出しビット線 B L S A に接続するための読み出しビット線選択信号 R S E L 0 ~ 3 およびそれによって制御される選択スイッチと、書き込みビット線選択信号 W S E L 0 ~ 3 およびそれによって制御される選択スイッチと、ビット線 B L 0 ~ 3 を待機時にソース線電位 V S に設定するためのイコライズ信号 E Q 0 ~ 3 およびイコライズスイッチと、読み出し時に選択したビット線を読み出しビット線レベル V R に設定するためのプリチャージ信号 P C A 0 ~ 3 およびプリチャージスイッチと、読み出しビット線 B L S A を読み出し時に所望のレベル（例えば V D L ）に設定するセンスアンププリチャージ信号 P C S A およ

50

びセンスアンププリチャージスイッチが配置される。

【0087】

そして、本構成例では、更に、アレーのビット線 B L 0 ~ 3 を、読み出しビット線 B L S A と対をなすリファレンスピット線 B L R E F に接続するためのリファレンス選択信号 D S E L 0 ~ 3 と、リファレンス選択信号で制御されるリファレンス選択スイッチと、前述した読み出しビット線 B L S A と同様、読み出し時にリファレンスピット線 B L R E F を所望のレベル（例えば V D L ）に設定するセンスアンププリチャージ信号 P C S A およびセンスアンププリチャージスイッチが配置される。このリファレンス選択スイッチは、読み出し動作において、メモリセルが活性化されない非選択ビット線をセンスアンプ内のリファレンスピット線 B L R E F に接続する。これによって、読み出し動作によって、ビット線の容量とセンスアンプ内のリファレンスピット線 B L R E F の容量の間でのチャージシェアでリファレンスレベルを生成する。10

【0088】

図 23 は、図 19 及び図 20 の構成例において、そのセンスアンプ回路の構成の一例を示す回路図である。前述の図 7 のセンスアンプ回路 S A では、読み出しと書き込みデータバスを分離した構成であったが、図 23 のセンスアンプ回路 S A 2 では、読み出しと書き込みデータバスを共通にしている。

【0089】

つまり、読み出し動作では、センスアンプ内の読み出しビット線 B L S A とリファレンスピット線 B L R E F に相補の信号を読み出し、これらの信号をアンプ回路 A M P 2 で増幅後、出入力ゲート部 I O G を介して出入力線 I O t / b に出力する。一方、書き込み動作では、外部から入力されたライトデータを、出入力線 I O t / b および出入力ゲート部 I O G を介して一旦読み出しビット線 B L S A とリファレンスピット線 B L R E F に相補の信号として書き込む。そして、そのデータを用いて、ライトドライバ W D が、書き込みビット線 W B L 、アレー内のビット線 B L を介して、メモリセル内の記憶素子 P C R にデータを書き込むことになる。20

【0090】

このように、本構成例では、一旦センスアンプ内の対となるビット線 B L S A / B L R E F にデータを書き込むことによって、出入力線 I O t / b を占有している時間が短くできるため、出入力線 I O t / b の動作サイクルを短くすることができる。ライトドライバ W D の構成は、前述の図 8 (a) , (b) に示されるいずれの構成に対し、データバス D A T A t / D A T A b の一方をリファレンスピット線 B L R E F に、他方を読み出しビット線 B L S A に置き換えた構成でかまわない。30

【0091】

図 24 は、図 23 のセンスアンプ回路において、そのアンプ回路の構成の一例を示す回路図である。本アンプ回路 A M P 2 は、前述した書き込みデータを一旦保持する際にも利用可能なように、クロスカップル型のアンプを用いた構成となっている。

【0092】

図 25 は、図 23 のセンスアンプ回路において、その入出力ゲート部の構成の一例を示す回路図である。入出力ゲート部 I O G では、入力アドレスによって活性化されるカラム選択線 Y S によって、センスアンプ内の読み出しビット線 B L S A 、リファレンスピット線 B L R E F が出入力線 I O t / b に接続され、データの授受を行う。なお、図 24 および図 25 で示した回路については、ここに示したものに限られるものでなく、同様の機能も有する回路構成であれば置き換えて利用することが可能である。40

【0093】

つぎに、前述したような構成を備えた相変化メモリの読み出し動作について説明する。図 26 は、本発明の実施の形態 2 による半導体装置において、それに含まれる相変化メモリの読み出し動作の一例を示す波形図である。本動作波形図では、ビット線 B L 0 に接続されたメモリセルを、ビット線 B L 1 をリファレンスとして読み出す動作を仮定している。また、メモリセルアレー M C A としては、図 11 , 12 , 13 のようなワード線とビッ50

ト線の交点のうち半分の交点にメモリセルMCが配置される構成を仮定している。

【0094】

図26において、外部より読み出しコマンドREADが入力されると、コマンドと同時に入力されたアドレスに従って、読み出し対象のメモリセルが接続されているビット線BL0とリファレンス用のビット線BL1のイコライズ信号EQ0, EQ1が非活性状態に遷移する。続いて、読み出し対象のメモリセルが接続されているビット線BL0のプリチャージ信号PCA0が活性化状態となり、ビット線BL0が読み出しひット線レベルVRにプリチャージされる。

【0095】

プリチャージされると、コマンドと同時に入力されたアドレスに対応したワード線WLが非選択状態から選択状態になる。これに従って、メモリセルの記憶素子PCRの抵抗状態によって、ビット線BL0の電位が変化する。ここで、メモリセルMCの記憶素子PCRが高抵抗状態の場合には、メモリセルMCを介して電流が流れないとため、ビット線BL0の電位はほとんど変化せず、読み出しひット線レベルVRを保つ。一方、メモリセルMCの記憶素子PCRが低抵抗状態の場合には、メモリセルMCを介して電流が流れ、ビット線BL0の電位は、ソース線の電位VSに向かって遷移する。このとき、リファレンス用のビット線BL1は、ソース線電位VSを維持する。

【0096】

その後、ビット線BL0の読み出しひット線選択信号RSEL0とビット線BL1のリファレンスピット線選択信号DSEL1が活性化される。これにより、センスアンプ内の読み出しひット線BLSAとアレー内のビット線BL0の間でチャージシェアが起こり、ビット線BL0の電圧は、記憶素子PCRが低抵抗状態のときには、 $V_{DL} \times CSA / (CSA + CB)$ 、高抵抗状態の時には、 $VR' = (V_{DL} \times CSA + VR \times CB) / (CSA + CB)$ になる。ここで、CSAは、読み出しひット線BLSAの容量、CBは、アレー内のビット線BL0の容量を示す。一方、リファレンスピット線BL1は、センスアンプ内リファレンスピット線BLREFとの間でチャージシェアを行い、リファレンスピット線BLREFの容量と読み出しひット線BLSAの容量と同じとすると、 $V_{DL} \times CSA / (CSA + CB)$ に遷移する。

【0097】

その後、引き続きワード線は選択状態のままであるため、メモリセルが低抵抗状態のメモリセルには、読み出し電流が流れる。これにより、低抵抗状態の場合の読み出しひット線BL0の電位は、再びソース線電位VSに向かって遷移する。一方、メモリセルが高抵抗状態の場合には、チャージシェア後のビット線電位VR'を維持する。また、リファレンスとなるビット線BL1及びセンスアンプ内のリファレンスピット線BLREFは、チャージシェア後のレベル、 $V_{DL} \times CSA / (CSA + CB)$ を維持する。その結果、リファレンスピット線BLREFの電位、 $V_{DL} \times CSA / (CSA + CB)$ は、構造パラメータで決まるレベルであり、低抵抗状態のビット線電位VSと高抵抗状態のビット線電位VR'の間になり、センスアンプのリファレンス電位として用いることができる。

【0098】

さらに、読み出し時に低抵抗状態に印加される電圧が最大で読み出しひット線レベルVRなのに対して、読み出し信号量は、 $VR' = (V_{DL} \times CSA + VR \times CB) / (CSA + CB)$ と大きくとることができ、読み出し動作での読み出し電流を小さくしつつ、読み出し信号量を大きく確保することができる。さらに、リファレンスレベルを非選択ビット線を用いて生成することにより、内部電圧変動の影響を受けにくく、安定した低電圧のリファレンスレベルを生成することができる利点がある。そして、これによって、信頼性が高い読み出し動作が可能となる。

【0099】

センスアンプ内のビット線対BLSA/BLREFに微小信号が読み出されたところで、読み出しひット線選択信号RSEL0とリファレンスピット線選択信号DSEL1が活性化状態から非選択状態に遷移する。これによって、読み出しひット線BLSA及びリフ

10

20

30

40

50

アレンスビット線 B L R E F とアレー内のビット線 B L 0 及び B L 1 が分離される。ビット線がそれぞれ分離されるとアレー内のビット線 B L 0 , B L 1 は、イコライズ信号 EQ 0 , EQ 1 が活性化されて、ビット線 B L 0 , B L 1 をソース線レベル V S に設定する。これにより、記憶素子 P C R に電圧が印加されなくなり、データ破壊を防止できる。

【 0 1 0 0 】

これとほぼ同時に、センスアンプ活性化信号 S A E を活性化し、センスアンプ内のビット線対 B L S A / B L R E F の間の微小信号をセンスアンプ回路 S A 2 のアンプ回路 A M P 2 によって、ビット線振幅電圧 V D L まで増幅する。その後、入力されたアドレスに対応したカラム選択信号 Y S が非選択レベル V S S から選択レベル V C L に活性化されることで、入出力ゲート部 I O G が活性化され、入出力線 I O t / b にメモリセル M C から読み出したデータが出力される。10

【 0 1 0 1 】

データの出力が終了すると活性化していたワード線 W L が選択状態の高電位状態 V W H から非選択レベル V W L に遷移する。これとほぼ同時にセンスアンプ活性化信号 S A E が非選択状態となるとともに、センスアンプ内のビット線対 B L S A / B L R E F は、センスアンププリチャージ信号 P C S A が活性化されることでそれぞれアレー電圧 V D L にプリチャージされ、待機状態となる。このとき、すべてのアレー内のビット線は、ソース線電位 V S にプリチャージされ、記憶素子 P C R とメモリセルトランジスタ M T のソース・ドレイン間には、電圧が印加されず、ディスターブ電流が流れないためデータ破壊を防止できる。20

【 0 1 0 2 】

図 2 7 は、本発明の実施の形態 2 による半導体装置において、図 2 6 とは異なる相変化メモリの読み出し動作の一例を示す波形図である。図 2 7 においては、前述したようなリファレンス電位をセンスアンプ領域で生成する方式において、センスアンプ回路 S A 2 を前述した図 6 のセンスアンプ回路 S A に置き換えた構成での動作波形を示している。前述の図 2 6 と比べて、ゲート受け型のアンプ回路 A M P をもちいることにより、センスアンプ内のビット線対 B L S A / B L R E F (図 6 では V R E F) は読み出し動作における電圧レベルを維持し、アンプ回路 A M P を活性化してもセンスアンプ出力ノード S A O が駆動されるだけで、センスアンプ内のビット線対 B L S A / B L R E F の電位は増幅されない。そのほかの動作は、前述の図 2 6 と同様である。30

【 0 1 0 3 】

図 2 8 は、本発明の実施の形態 2 による半導体装置において、図 1 9 とは更に異なる相変化メモリの主要部の構成例を示すブロック図である。本構成では、センスアンププロック S A B において、アレー内のビット線 2 本に対して 1 つのセンスアンプ回路 S A 2 が配置される構成である。本構成におけるメモリセルアレー M C A の構成は、前述した図 3 、図 1 0 ~ 1 2 のいずれでもかまわない。メモリアレーのビット線のうち、2 本に 1 本のビット線がセンスアンプ回路 S A 2 に接続され、外部に出力することができるため、大量のデータを出力、あるいは書き込む動作に向いている。

【 0 1 0 4 】

図 2 9 は、本発明の実施の形態 2 による半導体装置において、図 1 9 とは更に異なる相変化メモリの主要部の構成例を示すブロック図である。本構成では、センスアンププロック S A B において、アレー内のビット線 1 本に対して 1 つのセンスアンプ回路 S A 2 が配置される構成である。本構成におけるメモリセルアレー M C A の構成は、前述した図 1 0 、図 1 1 、図 1 2 も適用できるが、図 3 のようなビット線とワード線のすべての交点にメモリセルが配置される構成が好適である。すべてのビット線のデータをセンスアンプに読み出すことができるので、一度に大量のデータを読み書きする動作に向いている。40

【 0 1 0 5 】

図 3 0 は、図 2 8 及び図 2 9 の構成例において、そのビット線選択回路の構成の一例を示す回路図であり、(a) は、図 2 8 に対応した構成例、(b) は、図 2 9 に対応した構成例を示すものである。図 3 0 (a) に示すビット線選択回路 B L S E L 2 は、前述した

10

20

30

40

50

図15のビット線選択回路BLS ELに対して、アレー内の2本のビット線BL0, BL1のいずれかをリファレンスピット線BLREFに接続するための信号およびスイッチ等が追加された構成となっている。図30(b)に示すビット線選択回路BLS EL2は、前述した図17のビット線選択回路BLS ELに対して、アレー内の1本のビット線BL0をリファレンスピット線BLREFに接続するための信号およびスイッチ等が追加された構成となっている。これらリファレンスピット線BLREFに関連して追加する構成は、前述した図22の場合と同様であるため詳細な説明は省略する。

【0106】

本実施の形態2の半導体装置の利点について述べる。本実施の形態では、前述の実施の形態1と同様に、読み出し時に印加する電圧を低くすることにより、読み出し動作によるデータ破壊を防止しつつ、低電圧で2段階に分けて読み出すことにより読み出し印加電圧に比べて大きな読み出し信号を確保できる利点がある。さらに、本実施の形態では、低電圧のリファレンスレベルを読み出し非選択ビット線を利用して生成することにより、内部動作電圧変動を受けずに安定した低電圧のリファレンスレベルを生成することができる。10

【0107】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0108】

本発明は、相変化素子の書き換え電流が低減できる180nm以下の加工技術を用いた半導体装置に適用するのが望ましい。また、より大きなプロセス世代においても、相変化素子へのコンタクト面積を低減することで、同様の効果が得られる。また、より微細化の進んだ世代に適用できることは言うまでもない。さらに、動作電圧として、外部電源電圧VCCは、2.5V, 1.8V、1.5Vあるいはそれ以下が望ましい。低電圧化すると消費電力が抑えられ、また、デバイスに印加される電圧が低下するので信頼性が向上する。20

【0109】

ワード線の非選択レベルVWLは、0V以下の電源とするとよい。0Vにすると特別な電源回路が不要であり、チップ面積を低減できる。また、負電源とすることで、電流駆動力を向上させるためにメモリセルトランジスタを低しきい値としたときでも待機時のサブスレッショルド電流を低減でき、低消費電力になるだけでなく、非選択時の相変化素子に流れる電流を低減でき、リード・ライト非選択メモリセルのディスターべを抑制でき、データ信頼性、膜信頼性を向上できる。30

【0110】

ワード線選択レベルVWHは、2.5V、1.8V、1.5Vなど外部電源電圧と等しくすることが望ましい。また、周辺回路電源と同じ電圧を用いても良い。さらに、メモリセルトランジスタの電流駆動力を確保するために、内部昇圧電源を用いて2.0Vもしくは、2.5Vなどの高電圧を用いてもよい。ソース線レベルVSはグランドレベルVSSと等しくすることにより、別途電源回路が不要となり、面積を低減できる。グランドレベルVSSは0Vである。周辺回路電圧VCL及びアレー電圧VDLは、1.0Vから1.8V程度が望ましい。また、アレー電圧は、周辺回路電圧よりも低電圧とすると低消費電力化できる利点がある。この範囲であると、通常のCMOSプロセスによる周辺トランジスタが流用でき、メモリセル特有のプロセスが不要となり、プロセス簡易化ができる。40

【0111】

書き込み電圧のうちリセット書き込み電圧VWRは、周辺回路電圧と等しいかあるいは、ワード線選択レベルVWHと等しくすることが望ましい。高電圧を用いることで、小さいメモリセルトランジスタでも大きな電流を確保でき、小面積化を実現できる。セット書き込み電圧は、周辺回路電圧VCLと等しいかあるいは、それ以下にすることが望ましい。低電圧とすることで、書き込み時の電流がリセット動作に比べて小さくすることができ、誤ったリセット動作を防止できる。

【0112】

50

また、読み出しビット線レベルVRは、素子読み出し時にディスターブにならない電圧、例えば、0.2V～0.4V程度が望ましい。本発明でのリファレンスレベルVREFは、読み出しビット線レベルVRと等しくすることにより、電源回路を共有化できるとともに、読み出し時の電源ノイズを同相ノイズとしてキャンセルすることができる。さらに、本発明は、単品のメモリチップに適用しても良いし、さらには、論理混載メモリに適用しても良い。

【産業上の利用可能性】

【0113】

本発明の半導体装置は、特に相変化材料を用いた例えば、高密度集積メモリ回路、およびメモリ回路と論理回路が同一半導体基板に設けられたロジック混載型メモリ、およびアナログ回路を有する半導体装置に適用して有益な技術である。

10

【図面の簡単な説明】

【0114】

【図1】本発明の実施の形態1による半導体装置において、それに含まれる相変化メモリの読み出し動作の一例を示す波形図である。

【図2】本発明の実施の形態1による半導体装置において、それに含まれる相変化メモリの主要部の構成例を示すブロック図である。

【図3】図2の構成例において、そのメモリセルアレーMCAの構成の一例を示す回路図である。

20

【図4】図3のメモリセルアレーにおいて、その各メモリセルの構成の一例を示す回路図であり、(a)、(b)には、それぞれ異なる構成例を示している。

【図5】図2の構成例において、そのセンスアンプブロック内のピット線選択回路の構成の一例を示す回路図である。

【図6】図2の構成例において、そのセンスアンプブロックに配置されるセンスアンプ回路の構成例である。

【図7】図6のセンスアンプ回路において、そのアンプ回路の構成の一例を示す回路図である。

【図8】図6のセンスアンプ回路において、そのライトドライバの構成の一例を示す回路図であり、(a)、(b)には、それぞれ異なる構成例を示している。

【図9】本発明の実施の形態1による半導体装置において、それに含まれる相変化メモリの書き込み動作の一例を示す波形図である。

30

【図10】図2の構成例において、図3とは異なるメモリセルアレーの構成例を示す回路図である。

【図11】図2の構成例において、図3とは更に異なるメモリセルアレーの構成例を示す回路図である。

【図12】図2の構成例において、図3とは更に異なるメモリセルアレーの構成例を示す回路図である。

【図13】本発明の実施の形態1による半導体装置において、図2とは異なる相変化メモリの主要部の構成例を示すブロック図である。

【図14】本発明の実施の形態1による半導体装置において、図2とは更に異なる相変化メモリの主要部の構成例を示すブロック図である。

40

【図15】図14の構成例において、そのピット線選択回路の構成の一例を示す回路図である。

【図16】本発明の実施の形態1による半導体装置において、図2とは更に異なる相変化メモリの主要部の構成例を示すブロック図である。

【図17】図16の構成例において、そのピット線選択回路の構成の一例を示す回路図である。

【図18】図16の構成例において、その読み出し動作の一例を示す波形図である。

【図19】本発明の実施の形態2による半導体装置において、それに含まれる相変化メモリの主要部の構成例を示すブロック図である。

50

【図20】本発明の実施の形態2による半導体装置において、図19とは異なる相変化メモリの主要部の構成例を示すブロック図である。

【図21】図2の構成を含めた相変化メモリ全体の構成の一例を示すブロック図である。

【図22】図19及び図20の構成例において、そのビット線選択回路の構成の一例を示す回路図である。

【図23】図19及び図20の構成例において、そのセンスアンプ回路の構成の一例を示す回路図である。

【図24】図23のセンスアンプ回路において、そのアンプ回路の構成の一例を示す回路図である。

【図25】図23のセンスアンプ回路において、その入出力ゲート部の構成の一例を示す回路図である。 10

【図26】本発明の実施の形態2による半導体装置において、それに含まれる相変化メモリの読み出し動作の一例を示す波形図である。

【図27】本発明の実施の形態2による半導体装置において、図26とは異なる相変化メモリの読み出し動作の一例を示す波形図である。

【図28】本発明の実施の形態2による半導体装置において、図19とは更に異なる相変化メモリの主要部の構成例を示すブロック図である。

【図29】本発明の実施の形態2による半導体装置において、図19とは更に異なる相変化メモリの主要部の構成例を示すブロック図である。

【図30】図28及び図29の構成例において、そのビット線選択回路の構成の一例を示す回路図であり、(a)は、図28に対応した構成例、(b)は、図29に対応した構成例を示すものである。 20

【図31】相変化素子の書き換え原理を示す図である。

【図32】相変化素子の電流電圧特性を示す図である。

【符号の説明】

【0115】

WL, WL0, WL1, WL2, WL3 ワード線

VWH ワード線選択レベル

VWL ワード線非選択レベル

EQ, EQ0, EQ1, EQ2, EQ3 ビット線イコライズ信号

30

PCA, PCA0, PCA1, PCA2, PCA3 ビット線プリチャージ信号

BL, BL0, BL1, BL2, BL3 ビット線

BLEF リファレンスピット線

BLSA 読み出しビット線

BLSEL, BLSEL2 ビット線選択回路

VDL アレー電圧

VSS グラウンド電位

VS ソース線電位

SAE センスアンプ活性化信号

PCSA センスアンププリチャージ信号

40

VCL 周辺回路電源電圧

SAO センスアンプ出力ノード

VREF リファレンスレベル

RDEC ロウデコーダ

MCA メモリセルアレー

WBL 書き込みビット線

SAB センスアンプブロック

SA, SA2 センスアンプ回路

AMP, AMP2 アンプ回路

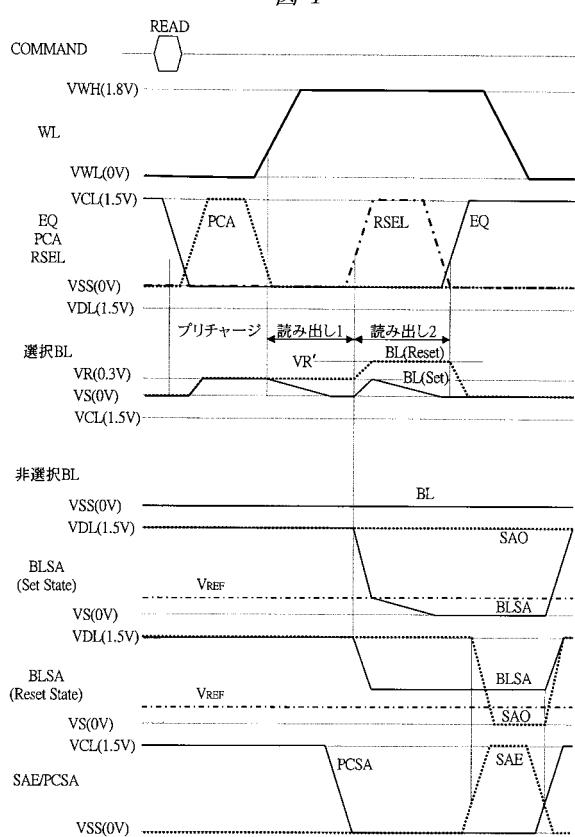
MC メモリセル

50

S L , S L 0 1 , S L 2 3 ソース線
 M T メモリセルトランジスタ
 P C R 記憶素子
 V R 読み出しビット線レベル
 W S E L 0 , W S E L 1 , W S E L 2 , W S E L 3 書き込みビット線選択信号
 R S E L 0 , R S E L 1 , R S E L 2 , R S E L 3 読み出しビット線選択信号
 W D ライトドライバ
 D A T A t / b 書き込みデータバス
 W R リセットイネーブル信号
 W S セットイネーブル信号 10
 M P R リセット電流供給トランジスタ
 M P S セット電流供給トランジスタ
 M P 書き込み電流リファレンストランジスタ
 W C G 書き込みリファレンス電流生成回路
 X A クロスエリア
 C D E C カラムデコーダ
 Y S カラム選択信号
 I O G 入出力ゲート部
 I O t / b 入出力線
 V G 電源回路 20

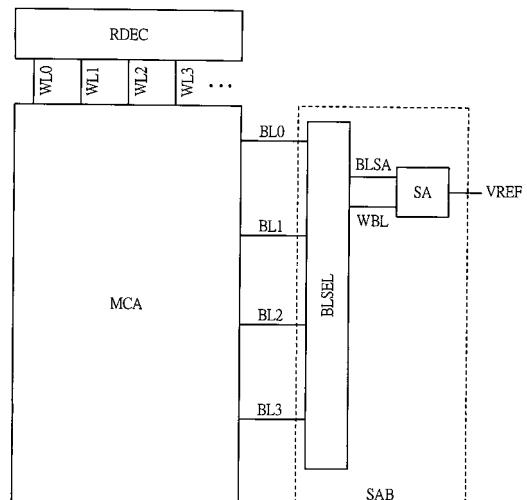
【図 1】

図 1



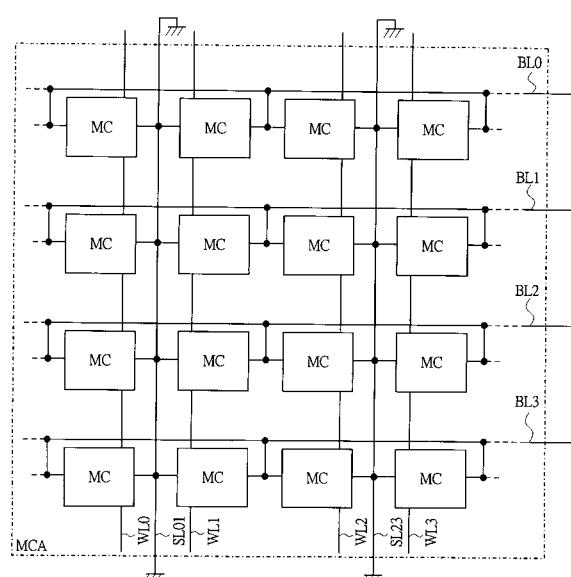
【図 2】

図 2



【図3】

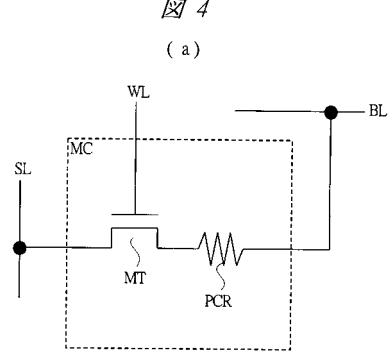
図3



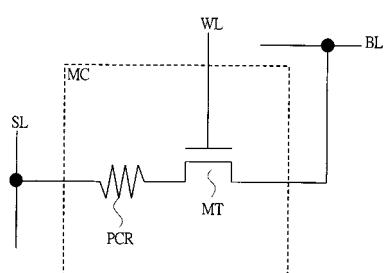
【図4】

図4

(a)

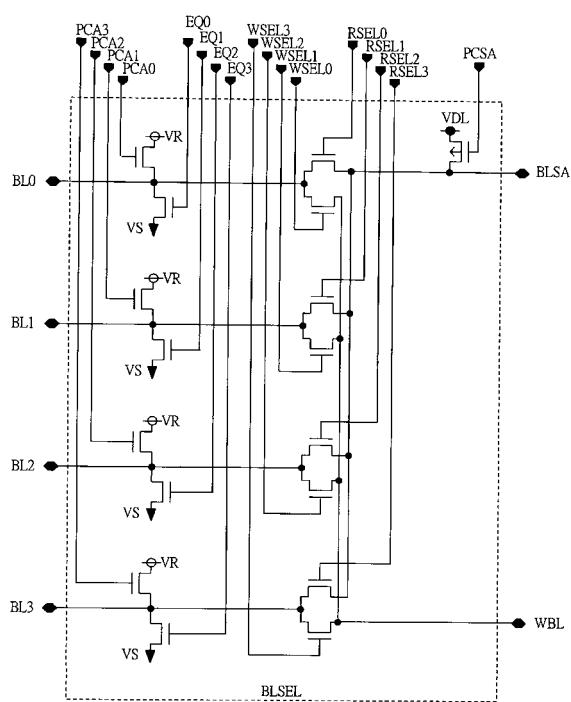


(b)



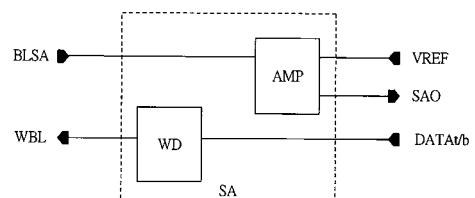
【図5】

図5



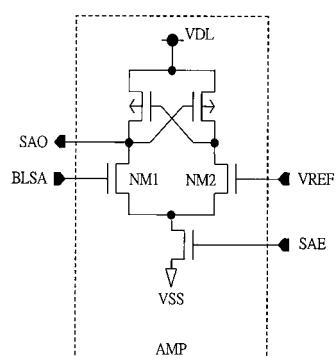
【図6】

図6

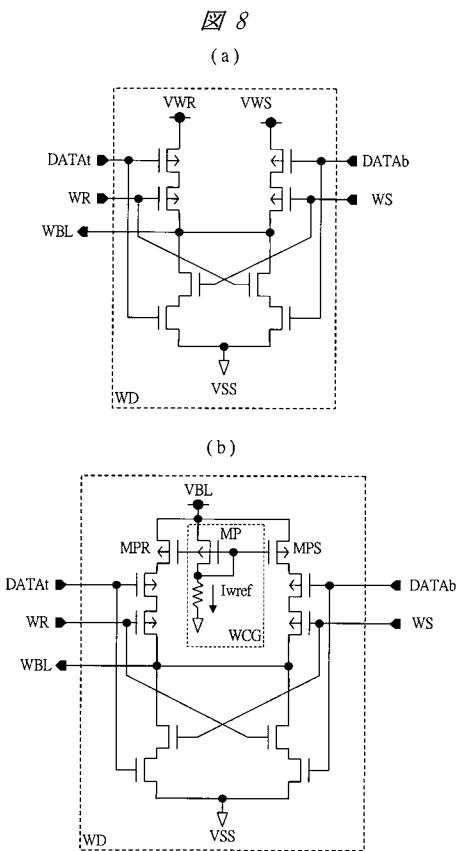


【図7】

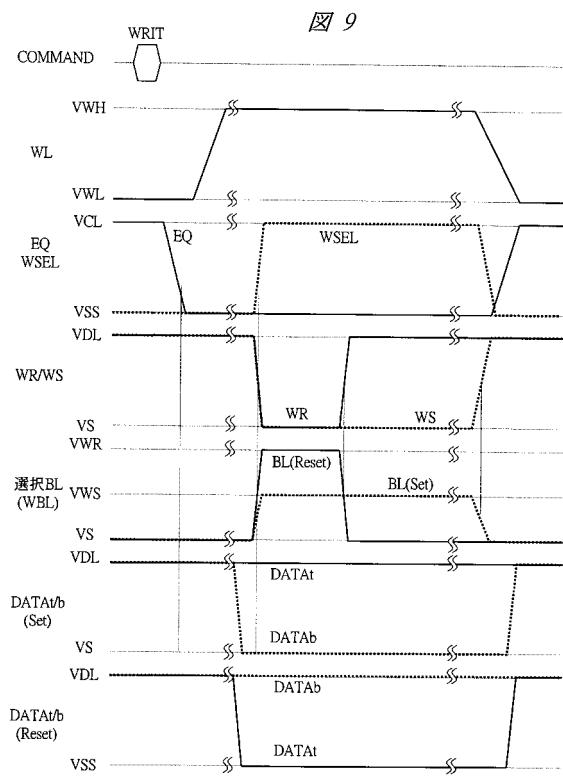
図7



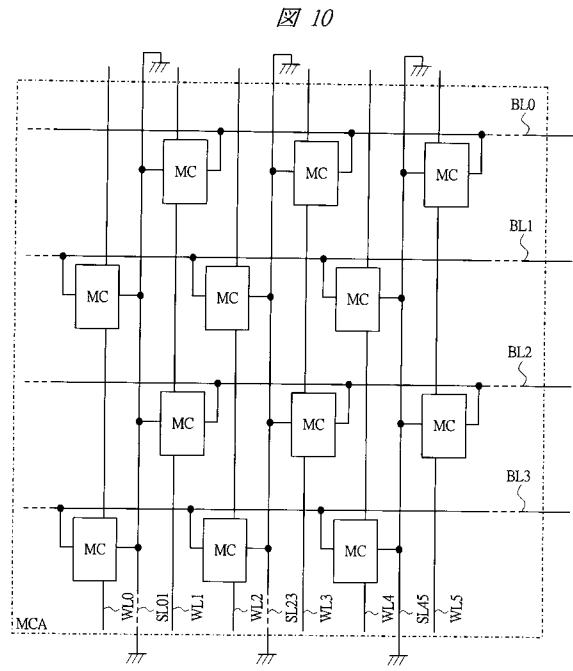
【図 8】



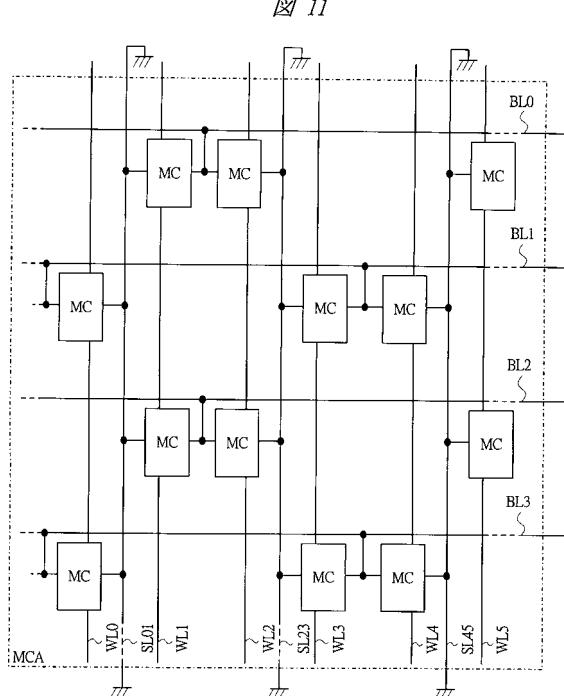
【図 9】



【図 10】

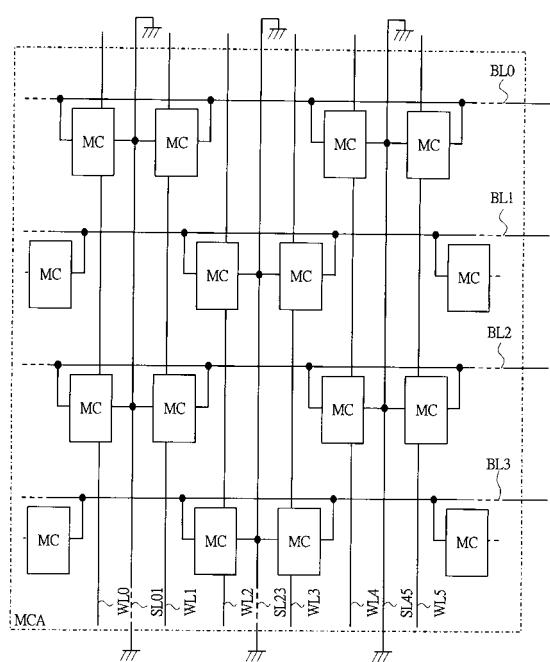


【図 11】



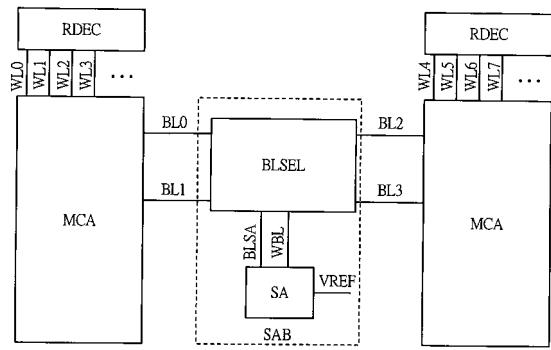
【図12】

図12



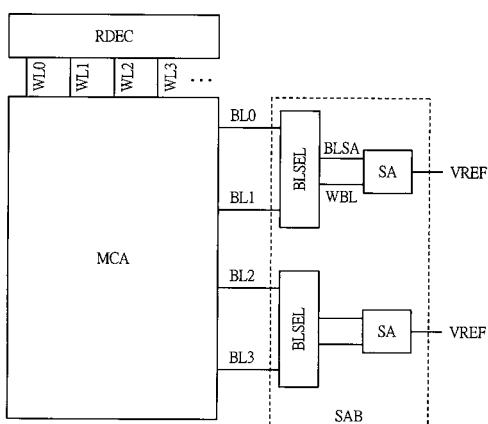
【図13】

図13



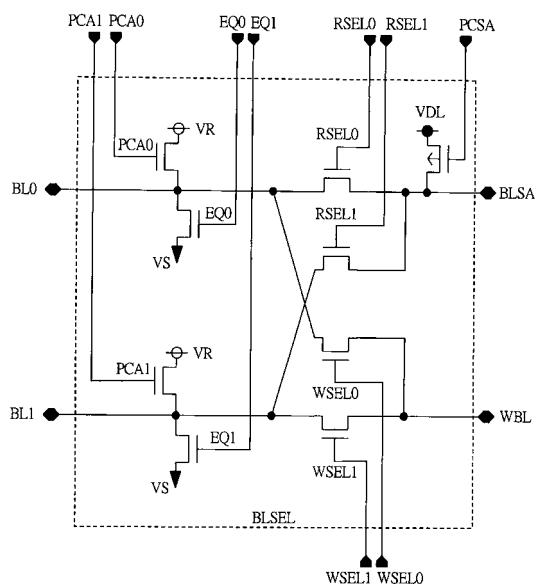
【図14】

図14

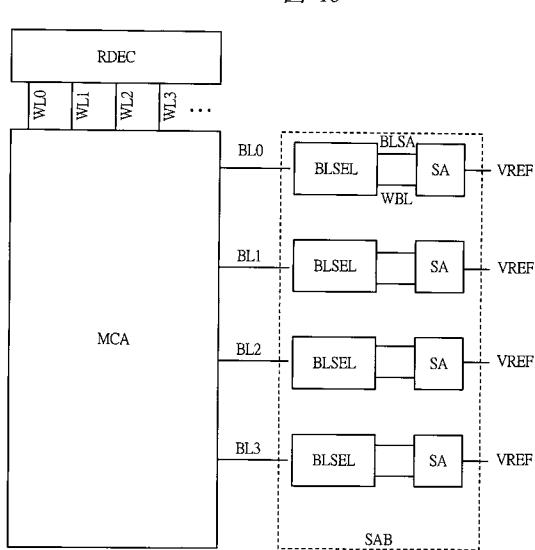


【図15】

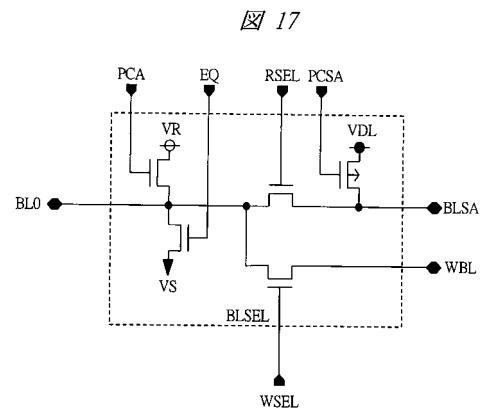
図15



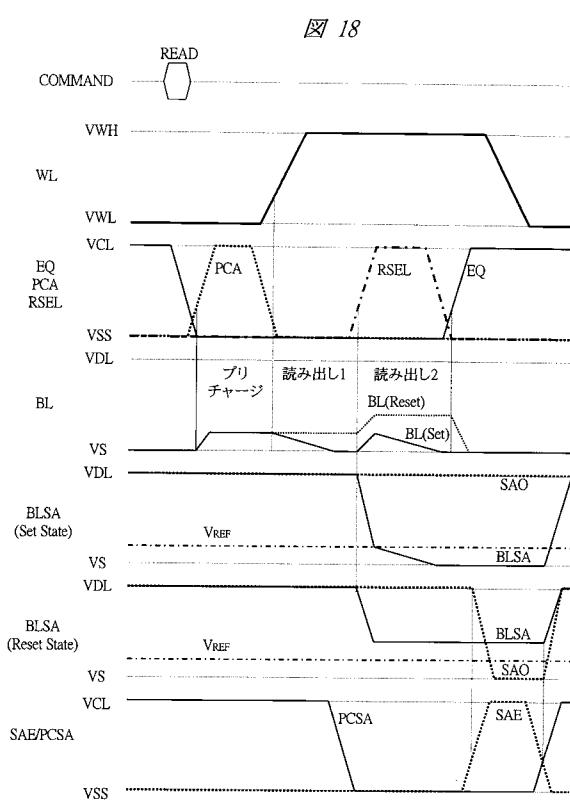
【図16】



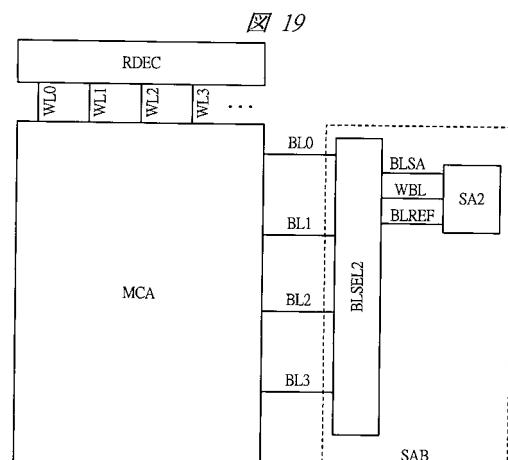
【図17】



【図18】

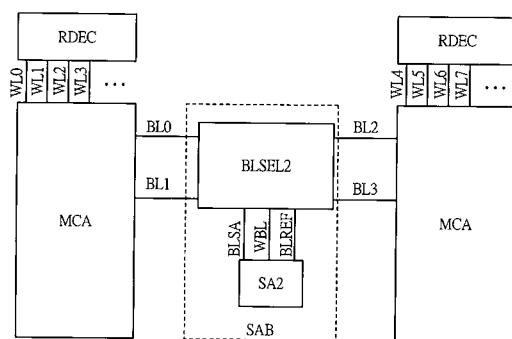


【図19】



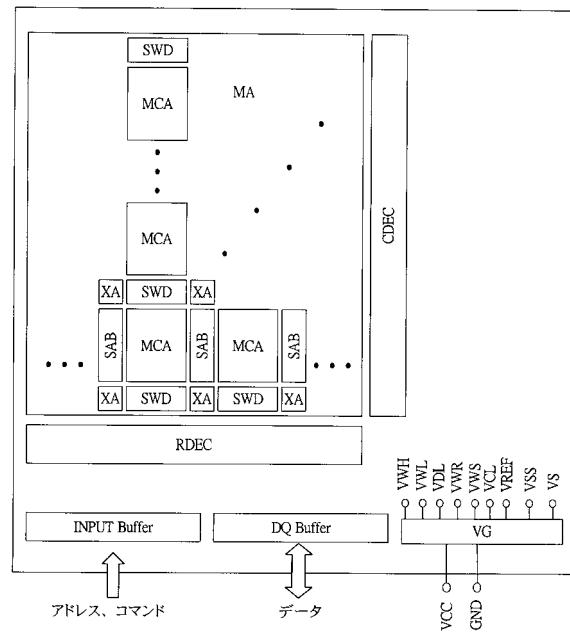
【図 20】

図 20



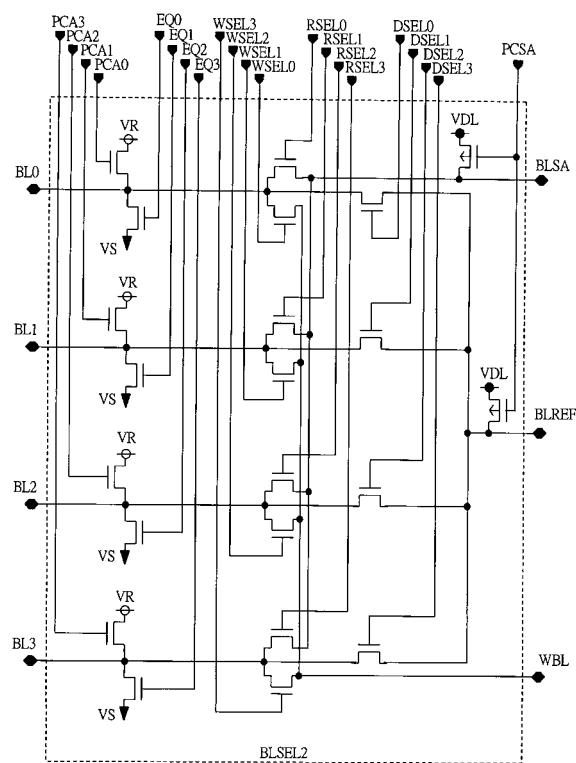
【図 21】

図 21



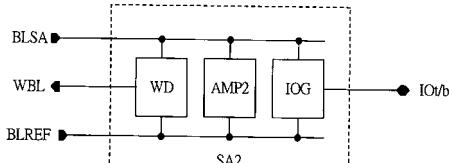
【図 22】

図 22



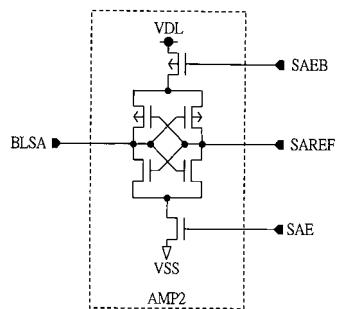
【図 23】

図 23

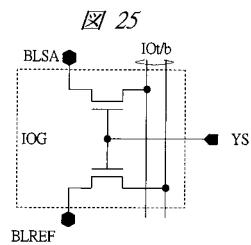


【図 24】

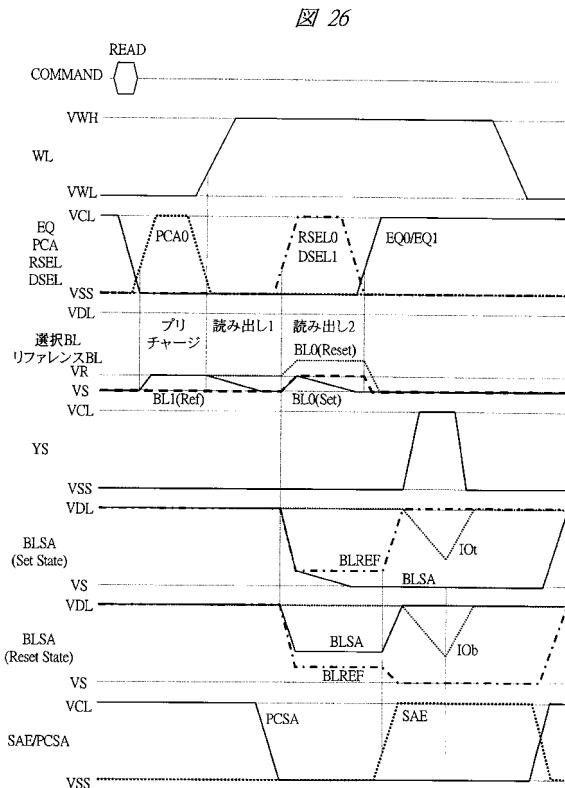
図 24



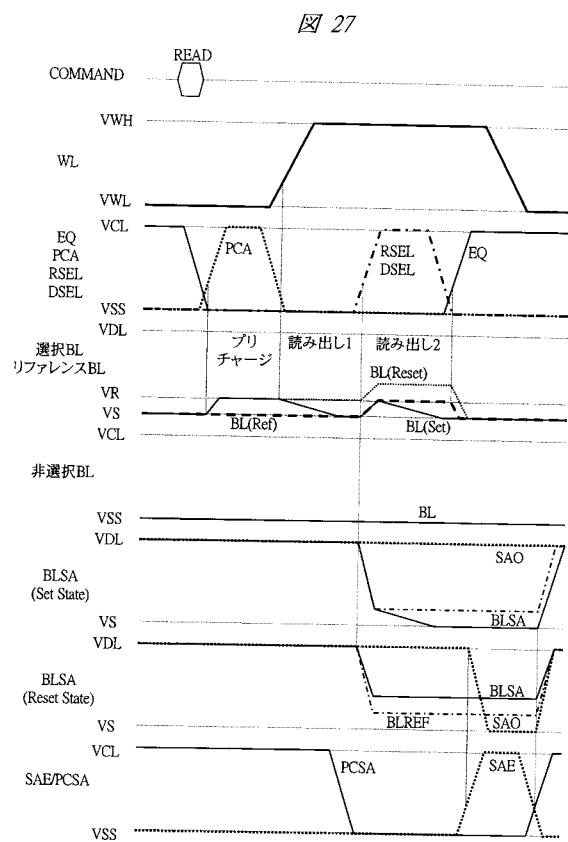
【図25】



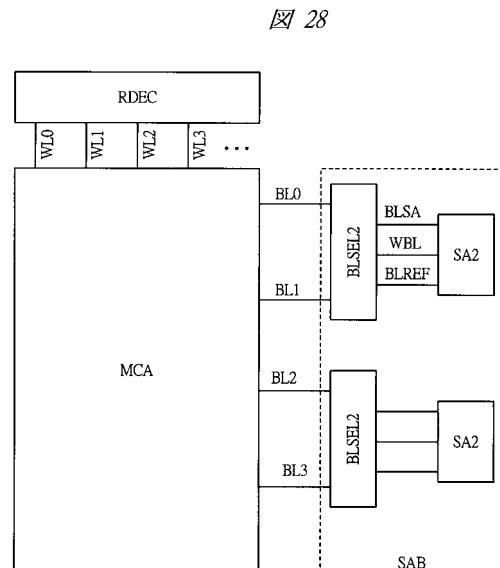
【図26】



【図27】

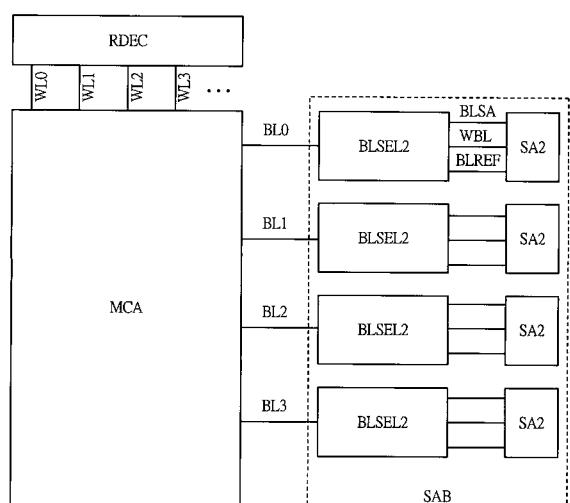


【図28】



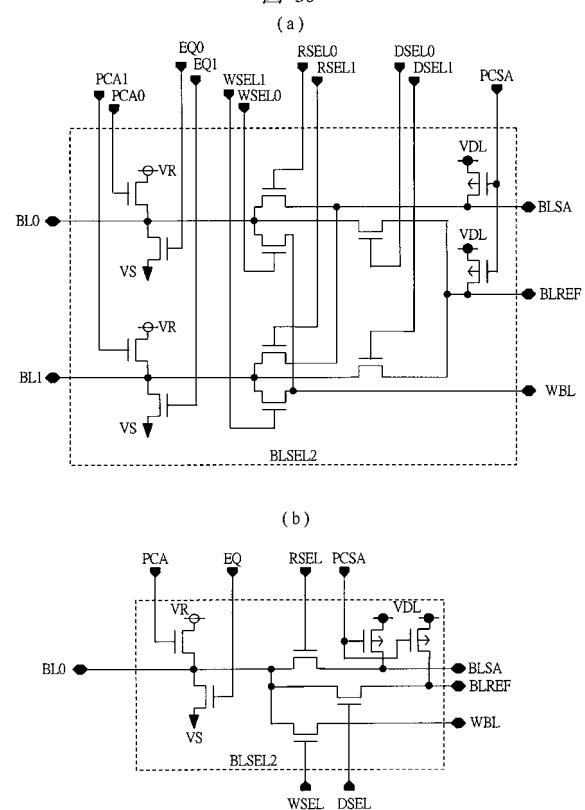
【図 29】

図 29



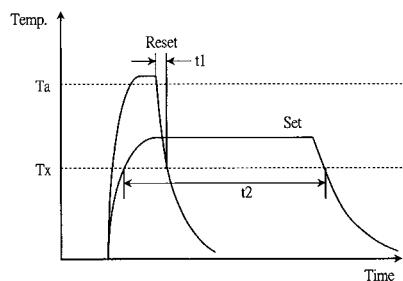
【図 30】

図 30



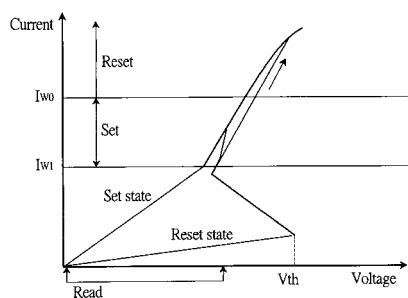
【図 31】

図 31



【図 32】

図 32



フロントページの続き

(56)参考文献 国際公開第03/065377(WO,A1)
特開平10-302489(JP,A)
特開2004-342291(JP,A)
米国特許第06314014(US,B1)

(58)調査した分野(Int.Cl., DB名)
G11C 13/00