

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-253149

(P2009-253149A)

(43) 公開日 平成21年10月29日(2009.10.29)

(51) Int.Cl. F 1 テーマコード (参考)
 HO 1 L 27/146 (2006.01) HO 1 L 27/14 A 4 M 1 1 8

審査請求 未請求 請求項の数 11 O L (全 14 頁)

(21) 出願番号 特願2008-101529 (P2008-101529)
 (22) 出願日 平成20年4月9日 (2008.4.9)

(71) 出願人 000001007
 キヤノン株式会社
 東京都大田区下丸子3丁目30番2号
 (74) 代理人 100090538
 弁理士 西山 恵三
 (74) 代理人 100096965
 弁理士 内尾 裕一
 (72) 発明者 渡邊 高典
 東京都大田区下丸子3丁目30番2号キヤ
 ノン株式会社内
 Fターム(参考) 4M118 AA10 AB01 BA14 CA04 DA32
 DD04 DD11 DD12 FA06 FA08
 FA13 FA27 FA28 FA33 FA34
 GB06

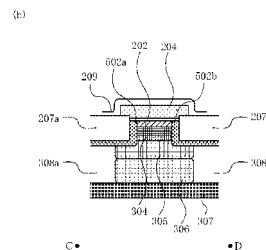
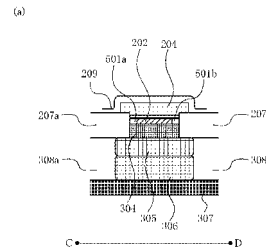
(54) 【発明の名称】 光電変換装置及びそれを用いた撮像システム

(57) 【要約】

【課題】 電荷保持部への電荷の混入を低減する。

【解決手段】 電荷保持部を有する光電変換装置において、電荷保持部を構成する半導体領域に比べて、その半導体領域と接する一部の素子分離領域が、光電変換素子の受光面を含む基準面から半導体基板に、その半導体領域と等しい深さまで、もしくはその半導体領域より深くまで設けられている。

【選択図】 図6



【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板に配された、光電変換素子の一部を構成する第 1 導電型の第 1 の半導体領域と、

前記半導体基板に配された、前記第 1 の半導体領域の電荷が保持される第 1 導電型の第 2 の半導体領域と、

前記半導体基板の上に配された、前記第 2 の半導体領域から前記電荷を転送するゲート電極と、

前記半導体基板に配された、前記ゲート電極によって前記電荷が転送される第 1 導電型の第 3 の半導体領域と、

10

前記半導体基板に配され、第 1 の活性領域を規定する、絶縁体を有する素子分離領域と、

前記半導体基板の、前記素子分離領域の側壁に配された、前記素子分離領域からの暗電流低減領域として機能しうる第 4 の半導体領域と、を有する光電変換装置において、

前記第 1 の活性領域に前記第 2 の半導体領域が配され、

前記素子分離領域の一部が、前記第 4 の半導体領域を介して前記第 2 の半導体領域の一部と接しており、

前記素子分離領域の一部が、前記光電変換素子の受光面を含む基準面から前記半導体基板に、前記第 2 の半導体領域と等しい深さまで、もしくは前記第 2 の半導体領域より深くまで設けられていることを特徴とする光電変換装置。

20

【請求項 2】

前記第 4 の半導体領域は、前記第 1 導電型と反対導電型の第 2 導電型であることを特徴とする請求項 1 に記載の光電変換装置。

【請求項 3】

前記光電変換素子の受光面を含む基準面として、前記素子分離領域の一部の底面と同一の深さに、少なくとも一部が配された、前記第 1 導電型と反対導電型の第 2 導電型の第 5 の半導体領域を有することを特徴とする請求項 1 あるいは 2 に記載の光電変換装置。

【請求項 4】

前記第 1 導電型と反対導電型の第 2 導電型の第 5 の半導体領域を有し、

30

前記第 5 の半導体領域は、前記光電変換素子の受光面を含む基準面に対して、前記素子分離領域の一部に比べて近くに配され、前記第 2 の半導体領域との PN 接合界面を有することを特徴とする請求項 1 あるいは 2 に記載の光電変換装置。

【請求項 5】

前記第 2 の半導体領域の上には遮光体が配されていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の光電変換装置。

【請求項 6】

前記遮光体は前記素子分離領域の一部の上に延在して配されていることを特徴とする請求項 5 に記載の光電変換装置。

【請求項 7】

40

前記第 1 の半導体領域と前記第 2 の半導体領域との間にゲート電極が配されていることを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の光電変換装置。

【請求項 8】

前記第 1 の半導体領域と前記第 2 の半導体領域との間に配されたゲート電極の下部に、前記第 1 導電型の第 6 の半導体領域が配され、

前記第 1 の半導体領域と、前記第 2 の半導体領域と、前記第 1 の半導体領域と前記第 2 の半導体領域との間に配されたゲート電極とがトランジスタを構成し、前記トランジスタは埋め込みチャネルを有することを特徴とする請求項 7 に記載の光電変換装置。

【請求項 9】

前記第 1 の半導体領域と前記第 2 の半導体領域との間に配されたゲート電極が、前記第

50

2の半導体領域の上まで延在していることを特徴とする請求項7あるいは8に記載の光電変換装置。

【請求項10】

半導体基板と、

前記半導体基板に配された、光電変換素子の一部を構成する第1導電型の第1の半導体領域と、

前記半導体基板に配された、前記第1の半導体領域からの電荷が保持される第1導電型の第2の半導体領域と、

前記半導体基板の上に配された、前記第2の半導体領域から前記電荷を転送するゲート電極と、

前記半導体基板に配された、前記ゲート電極によって前記電荷が転送される第1導電型の第3の半導体領域と、

前記半導体基板に配され、第1の活性領域を規定する、絶縁体を有する素子分離領域と、を半導体基板に有する光電変換装置において、

前記第1の活性領域に前記第2の半導体領域が配され、

前記素子分離領域の一部が、前記第2の半導体領域の一部と接しており、

前記素子分離領域の一部が、前記光電変換素子の受光面を含む基準面から前記半導体基板に、前記第2の半導体領域と等しい深さまで、もしくは前記第2の半導体領域より深くまで設けられていることを特徴とする光電変換装置。

【請求項11】

請求項1乃至10のいずれか1項に記載の光電変換装置と、

前記光電変換装置から出力される信号を処理する信号処理回路と、を有する撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本件は電荷保持部を有する光電変換装置の電荷保持部の構成に関する。

【背景技術】

【0002】

近年、CCD型やMOS型の光電変換装置は多くのデジタルスチルカメラやデジタルカムコーダに用いられている。MOS型の光電変換装置で、光電変換素子の蓄積時間を一定に揃えるグローバルシャッタ機能を実現するための素子構造が開発されている。それは、光電変換素子に対して電荷保持部を有する構成である。この電荷保持部を有する構成において、特許文献1にはスミア減少を抑制するために、ゲート電極が埋め込まれた構成が開示されている。また、特許文献2には半導体基板の深い所で発生した電荷が電荷保持部（電荷格納部）に入るのを低減するために、電荷保持部の下部に電荷保持部とは反対導電型の半導体領域を設ける構成が開示されている。

【特許文献1】特開2007-294531号公報

【特許文献2】特開2008-004692号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、特許文献1においては、半導体基板の深くにおいて生じる電荷やその他の素子などからの電荷が電荷保持部へ混入する可能性があった。また、特許文献2においてもその他の素子などからの電荷が電荷保持部へ混入する可能性があった。

【0004】

そこで、本発明においては、電荷の混入を低減する電荷保持部を有する光電変換装置を提供することを目的とする。

【課題を解決するための手段】

【0005】

10

20

30

40

50

本発明の光電変換装置は、半導体基板と、前記半導体基板に配された、光電変換素子の一部を構成する第1導電型の第1の半導体領域と、前記半導体基板に配された、前記第1の半導体領域の電荷が保持される第1導電型の第2の半導体領域と、前記半導体基板の上に配された、前記第2の半導体領域から前記電荷を転送するゲート電極と、前記半導体基板に配された、前記ゲート電極によって前記電荷が転送される第1導電型の第3の半導体領域と、前記半導体基板に配され、第1の活性領域を規定する、絶縁体を有する素子分離領域と、前記半導体基板の、前記素子分離領域の側壁に配された、前記素子分離領域からの暗電流低減領域として機能しうる第4の半導体領域と、を有する光電変換装置において、前記第1の活性領域に前記第2の半導体領域が配され、少なくとも前記素子分離領域の一部が、前記第4の半導体領域を介して前記第2の半導体領域の一部と接しており、前記素子分離領域の一部が、前記光電変換素子の受光面を含む基準面から前記半導体基板に、前記第2の半導体領域と等しい深さまで、もしくは前記第2の半導体領域より深くまで設けられていることを特徴とする。

【0006】

また、本発明の光電変換装置は、半導体基板と、前記半導体基板に配された、光電変換素子の一部を構成する第1導電型の第1の半導体領域と、前記半導体基板に配された、前記第1の半導体領域からの電荷が保持される第1導電型の第2の半導体領域と、前記半導体基板の上に配された、前記第2の半導体領域から前記電荷を転送するゲート電極と、前記半導体基板に配された、前記ゲート電極によって前記電荷が転送される第1導電型の第3の半導体領域と、前記半導体基板に配され、第1の活性領域を規定する、絶縁体を有する素子分離領域と、を半導体基板に有する光電変換装置において、前記第1の活性領域に前記第2の半導体領域が配され、少なくとも前記素子分離領域の一部が、前記第2の半導体領域の一部と接しており、前記素子分離領域の一部が、前記素子分離領域の一部が、前記光電変換素子の受光面を含む基準面から前記半導体基板に、前記第2の半導体領域と等しい深さまで、もしくは前記第2の半導体領域より深くまで設けられていることを特徴とする。

【発明の効果】

【0007】

本発明によって、電荷保持部への電荷の混入を低減することが可能となり、低ノイズな光電変換装置を提供することが可能となる。

【発明を実施するための最良の形態】

【0008】

本発明は、撮像領域に電荷保持部を有する光電変換装置において、電荷保持部として機能する半導体領域に直接、もしくはチャネルストップとして機能する半導体領域を介して接する素子分離領域を有する。この素子分離領域は絶縁体を有する構成であり、電荷保持部の半導体領域に比べて、光電変換素子の受光面を含む基準面から等しい深さ、もしくは深くまで設けられている。このような構成を有することで、電荷保持部への電荷の混入が低減される。

【0009】

次に、電荷保持部を有する光電変換装置の回路について説明する。実施形態では信号電荷を電子とし、MOSトランジスタはN型として説明する。

【0010】

(画素回路の一例)

図1に本発明が適用されうる画素回路の一例を示す。画素とは光電変換素子を1つ含む最小の繰り返し単位であり、図1では100で示している。光電変換装置には、この画素100が1次元もしくは2次元状に配列し、撮像領域を構成している。図1では、2列(m、m+1)2行(n、n+1)の4つの画素が配列している。

【0011】

画素100について説明する。101は光電変換素子、102は電荷保持部、103は浮遊拡散部である。104は第1のゲート電極であり、光電変換素子101にて生じた電

荷を電荷保持部 102 へ転送する。105 は第 2 のゲート電極であり、電荷保持部 102 の電荷を浮遊拡散部 103 へ転送する。106 は増幅 MOS トランジスタであり、そのゲート電極のノードは浮遊拡散部 103 と接続されている。増幅 MOS トランジスタ 106 は、浮遊拡散部 103 の電位に応じた信号を信号線 OUT へ出力する。107 は選択 MOS トランジスタであり、増幅 MOS トランジスタ 106 のドレインに供給する電圧を制御し、信号の出力を制御する。108 はリセット MOS トランジスタであり、増幅 MOS トランジスタ 106 のゲート電極のノードを規定の電位（リセット電位）にリセットする。109 は電荷の排出を制御する第 3 のゲート電極である。第 3 のゲート電極によって光電変換素子 101 の電荷を電源線 110 のノードに排出することが可能となる。このような排出動作を行う第 3 のゲート電極 109 と電源線のノードとを含む部分を排出部とする。111 はリセット MOS トランジスタ 108 等へ接続される電源線であり、電源線 110 と接続されていてもよい。RES、TX2、TX1、SEL 及び TX3 は、各 MOS トランジスタのゲート電極に接続された、制御パルスを供給するための制御線である。RES はリセット MOS トランジスタのゲート電極に、TX1 は第 1 のゲート電極に、TX2 は第 2 のゲート電極に、TX3 は第 3 のゲート電極に、SEL は選択 MOS トランジスタのゲート電極に接続されている。

10

20

30

40

50

【0012】

このような回路では、次のような動作が可能である。まず、複数の光電変換素子 101 にて生じた電荷を、複数の光電変換素子 101 から同じタイミングでそれぞれ電荷保持部 102 に転送する。そして、電荷保持部 102 にて電荷を保持している間に、光電変換素子 101 で生じた新たな電荷を得る。

【0013】

また、このような回路によって、次のような動作も可能である。光電変換素子 101 にて生じた電荷を同時に電荷保持部 102 にて蓄積する。そして、リセット動作を介さずに複数の電荷保持部 102 から同じタイミングで浮遊拡散部 103 に転送する。つまり、一蓄積期間を第 1 のゲート電極 104 で決めず、例えば第 3 のゲート電極 109 によって規定する動作である。ここで、一蓄積期間とは 1 フレームの画像を撮影する際に、各光電変換部で共通に決定されるものであり、各フレームの露光時間と言い換えることもできる。この動作を行う構成及び動作としては、具体的に次のようなものがある。まず、光電変換素子 101 と電荷保持部 102 との間の第 1 のゲート電極 104 がスイッチとして動作可能な構成で、電荷を光電変換素子と電荷保持部とで蓄積する時にスイッチをオン状態にする動作である。次に、光電変換素子 101 と電荷保持部 102 との間がいわゆる埋め込みチャンネルとなっており、電荷を光電変換素子と電荷保持部とが導通している構成である。ここで、埋め込みチャンネルとは、埋め込みチャンネル型のトランジスタのことである。例えば、ゲート電極の下部であって、ソース領域とドレイン領域の間であって、ソース領域とドレイン領域よりも浅くに信号電荷に対してポテンシャルの低くなる半導体領域を設ける構成である。

【0014】

いずれにしても、電荷保持部 102 では、電荷を読み出すまでの期間、もしくは電荷が蓄積されている期間中に電荷を保持する期間を有する。特に、後者の電荷の蓄積が光電変換素子 101 及び電荷保持部 102 にてなされる場合には、前者の場合に比べて電荷保持部 102 が長時間電荷を保持することになるため、本実施形態の電荷保持部の構成を適用することが望まれる。

【0015】

図 1 に示したような画素回路に限定されるものではなく、複数の光電変換素子で電荷保持部や読み出し回路を共有化しているような構成であってもよい。

【0016】

以下、図面を用いて本発明の実施形態を説明する。

【0017】

（第 1 の実施形態）

本実施形態の構成を図2及び図3を用いて説明する。図2は図1にて示した画素100の4つ分の平面レイアウト図である。201が光電変換素子101を構成する半導体領域領域であり、その表面が受光面となる。202は電荷保持部102を構成する第2の半導体領域である。203は浮遊拡散部103を構成する第3の半導体領域である。204は第1のゲート電極であり、第2の半導体領域202上に延在している。205が第2のゲート電極である。206は第3の半導体領域203と増幅MOSトランジスタ106とを電氣的に接続するためのコンタクトを示している。207は素子分離領域であり、素子同士を電氣的に分離するものであり、活性領域を規定するものである。素子分離領域207はSTIなどの絶縁体を有する構成である。208は、素子分離領域207によって規定された第1の活性領域であり、光電変換素子101や電荷保持部102を構成する半導体領域が配される。209は遮光体であり、電荷保持部102を遮光している。ここで、増幅MOSトランジスタ106等の画素100のその他の素子は、領域210に配置されているものとして説明を省略する。

10

【0018】

図3に光電変換装置の断面模式図を示す。図3(a)は図2のA-B線での断面模式図を、図3(b)はC-D線での断面模式図である。図3(c)及び図3(d)は図3(b)と同様の図面であり、変形例を示す。

【0019】

図3(a)について説明する。図2と同様の機能を有する部分については同一の符号を付し、説明を省略する。301は、第1導電型(以下n型)の第1の半導体領域である。302は第1の半導体領域301の表面に配された、埋め込み型の光電変換素子を構成するための第2導電型(以下p型)の半導体領域である。303は、第1の半導体領域よりも低い濃度のn型の半導体領域である。これら301から303は光電変換素子201を構成する。また、光電変換素子201の受光面を201aとする。更に、304は第2の半導体領域202の下部に配されたp型の第5の半導体領域である。305から308はp型の半導体領域である。309は絶縁膜である。310は半導体基板の元々の特性を有する素地部分である半導体領域であり、n型の導電性を有する。p型の半導体領域307はn型の半導体領域310と光電変換素子等とを電氣的に分離する機能を有する。p型の半導体領域308は素子分離領域207の下部に配され、画素100と隣接する画素100とを電氣的に分離する。

20

30

【0020】

ここで半導体基板とは、材料基板である半導体基板であり、1又は複数の半導体領域等が形成された状態の部材、一連の製造工程の途中にある部材、又は一連の製造工程を経た部材を含む。光電変換素子201の表面、すなわち光電変換素子201を構成する半導体領域と酸化膜等の絶縁膜との界面を受光面201aとする。受光面201aを含む面を基準面311とし、基準面311から半導体領域310へ向かう方向を下方向、また半導体基板の深さ方向とする。基準面311より下部がここでの半導体基板といえる。ここで、素子分離領域207の上部は基準面311を超えてしまう場合がある。しかし、素子分離領域207の下部は基準面311よりも半導体基板側に配されており、素子分離領域207は半導体基板に配されていると言える。

40

【0021】

次に、図3(b)について説明する。図3(a)と同様の機能を有する部分については同一の符号を付し、説明を省略する。絶縁膜309については省略する。ここで、第2の半導体領域202は、第2の半導体領域202が配置される第1の活性領域を規定する素子分離領域207の一部と接している。そして、第2の半導体領域202と接する一部の素子分離領域207は、基準面311に対して、第2の半導体領域202に比べて遠く、言い換えると半導体領域310に向かって深くまで配されている。第2の半導体領域202よりも半導体基板に深くまで素子分離領域207を有する構成によって、横方向(素子分離領域207のある方向)からの電荷の混入を低減することが可能となる。また、本実施形態の電荷保持部の構成を、次のような場合に適用すると特に効果的である。それは、

50

第1のゲート電極と第1の半導体領域と第2の半導体領域とで、埋め込みチャネル型のトランジスタのような構成をなしている場合である。より具体的には、第1のゲート電極の下部で、第1の半導体領域301と第2の半導体領域との間であって、第1の半導体領域301と第2の半導体領域よりも浅くに、第1の半導体領域301よりも濃度の低いn型の半導体領域が設けられている。このn型の半導体領域を第6の半導体領域とする。このような構成においては、電荷保持部102に電荷が保持される時間が長いため、特に効果的である。なお、ここで、素子分離領域207が第2の半導体領域202と等しい深さまで設けられている構成であっても、横方向の電荷の混入を低減することは可能である。

【0022】

更に、第5の半導体領域304が素子分離領域207の底面に接して第2の半導体領域202の下部に配されている。つまり、この断面において第2の半導体領域202を囲っている。このような構成によって、横方向や半導体基板深部からの電荷の混入を低減することが可能となる。

10

【0023】

また、遮光体209が第2の半導体領域202上に設けられている。このような構成によって、電荷保持部102への光の入射を抑制することが可能となる。更に、遮光体209が素子分離領域207まで延在していることで、より電荷保持部102光の入射を低減することが可能となる。

【0024】

ここで、第2の半導体領域202と第5の半導体領域304の間には間隔が設けられている。この間隔は、例えば第2の半導体領域202よりも低濃度のn型の半導体領域や第5の半導体領域304よりも低濃度のp型の半導体領域である。また、図3(c)に示すように、第5の半導体領域304が素子分離領域207の底面よりも上部に配されていてもよい。更に、図3(d)のように、第5の半導体領域304が第2の半導体領域とPN接合界面を形成するように配置されていてもよい。このような構成によって、PN接合分の容量が増大するため、電荷保持部102の容量値を増大させることが可能となる。ここで、各半導体領域の外縁は、その周囲の半導体領域が自身の導電型と同導電型である場合には、その不純物濃度が略一致する領域を外縁とする。更に、周囲の半導体領域が自身の導電型と反対導電型の場合には、それぞれのnet不純物濃度が略ゼロとなる領域を外縁とし、PN接合界面とする。なお、net不純物濃度とは、N型不純物とP型不純物の濃度の差である。

20

30

【0025】

また、第2の半導体領域202の下部のp型の半導体領域304から307においては、半導体基板深部へ向かってp型の不純物濃度が低下するように、電荷に対するポテンシャルが低下するように構成されていることが望ましい。第2の半導体領域202に取り込みたくない電荷を速やかに半導体領域310へ排出することが可能となるためである。なお、半導体領域304から307の部分において、ポテンシャルが上昇する部分があっても、電荷を半導体領域310へ排出することが出来ればよい。

【0026】

(第2の実施形態)

40

本実施形態は第1の実施形態と素子分離領域207の配置が異なり、第2の半導体領域202と素子分離領域207との配置関係が異なる。図4を用いて説明する。図4(a)は平面レイアウト図であり、図4(b)は断面模式図である。図4(a)は図2に対応し、図4(b)は図3(d)に対応する。第1の実施形態と同様の構成については同一の符号を付し、説明を省略する。

【0027】

図4(a)及び図4(b)において、説明のため、素子分離領域207の第2の半導体領域に近接する部分を207a及び207bとする。第1の活性領域208を規定する素子分離領域207の形状及び配置が異なるため、第2の半導体領域202が素子分離領域207bと接していない。第2の半導体領域202と素子分離領域207bとの間には領

50

域 4 0 1 がある。このような構成によっても、第 2 の半導体領域の少なくとも 1 部に素子分離領域 2 0 7 a が接しているため、横方向からの電荷の混入を低減することが可能である。

【 0 0 2 8 】

また、領域 4 0 1 には p 型の半導体領域 3 0 8 が延在して設けられている。第 2 の半導体領域 2 0 2 と素子分離領域 2 0 7 b との間の領域 4 0 1 に、p 型の半導体領域 3 0 8 が設けられていなくてもよい。しかし、領域 4 0 1 に半導体領域 3 0 8 が設けられることによって、より電荷の混入を低減することが可能である。

【 0 0 2 9 】

本実施形態に第 1 の実施形態の図 3 (c) あるいは図 3 (d) の構成を適用することも可能である。

10

【 0 0 3 0 】

(第 3 の実施形態)

本実施形態は第 1 の実施形態と第 2 の半導体領域 2 0 2 と素子分離領域 2 0 7 との配置が異なる。図 5 及び図 6 を用いて説明する。図 5 は平面レイアウト図であり、図 6 は断面模式図である。図 5 は図 2 に対応し、図 6 (a) は図 3 (d) に対応する。図 6 (b) は、本実施形態の変形例を説明する図面であり、図 6 (a) に対応する。第 1 の実施形態と同様の構成については同一の符号を付し、説明を省略する。

【 0 0 3 1 】

図 5 に示されているように、第 2 の半導体領域 2 0 2 が第 1 の活性領域 2 0 8 まで配置されておらず、素子分離領域 2 0 7 と第 2 の半導体領域 2 0 2 との間に、領域 5 0 1 が存在している。対応する図面である図 6 (a) では領域 5 0 1 a 及び領域 5 0 1 b とが第 2 の半導体領域 2 0 2 と素子分離領域 2 0 7 a 及び 2 0 7 b との間に存在しており、領域 5 0 1 の分だけ第 2 の半導体領域 2 0 2 は素子分離領域 2 0 7 からオフセットして配置される。このような構成によって、素子分離領域の絶縁体と半導体領域との界面の欠陥による暗電流を低減することが可能となる。即ち、領域 5 0 1 は暗電流低減領域とも言える。領域 5 0 1 は、p 型の半導体領域である。

20

【 0 0 3 2 】

図 6 (b) は、その領域 5 0 1 に p 型の第 4 の半導体領域 5 0 2 を設けた変形例である。第 4 の半導体領域 5 0 2 は、素子分離領域 2 0 7 の側壁及び底面とに配されており、素子分離領域 2 0 7 の周囲を囲って配置されていることが望ましい。第 4 の半導体領域 5 0 2 は第 5 の半導体領域 3 0 4 よりも高濃度の p 型の半導体領域であり、素子分離領域 2 0 7 からの暗電流を低減する暗電流低減領域として機能しうる。第 4 の半導体領域はチャネルストップとして機能してもよい。このような第 4 の半導体領域 5 0 2 を有することで、図 6 (a) の構成に比べて、更に素子分離領域 2 0 7 からのノイズを低減することが可能となる。また、第 2 の半導体領域 2 0 2 と高濃度の p 型である第 4 の半導体領域 5 0 2 とが P N 接合界面を有することで、第 2 の半導体領域 2 0 2 の容量を増大させることが可能となる。

30

【 0 0 3 3 】

本実施形態では、オフセットした領域 5 0 1 に第 4 の半導体領域 5 0 2 を配した例を示した。しかし、第 4 の半導体領域 5 0 2 は高濃度の p 型の半導体領域であって、第 1 の実施形態のような素子分離領域 2 0 7 に接した第 2 の半導体領域 2 0 2 を打ち消すように配した物であってもよい。

40

【 0 0 3 4 】

また、本実施形態の電荷保持部の構成を、次のような場合に適用してもよい。それは、第 1 の実施形態にて述べたような第 6 の半導体領域を有し、第 1 のゲート電極と第 1 の半導体領域と第 2 の半導体領域とを含めて埋め込みチャンネル型のトランジスタのような構成をなしている場合である。より具体的には、第 1 のゲート電極の下部で、第 1 の半導体領域 3 0 1 と第 2 の半導体領域との間であって、第 1 の半導体領域 3 0 1 と第 2 の半導体領域よりも浅くに、第 1 の半導体領域 3 0 1 よりも濃度の低い n 型の半導体領域が設けられ

50

ている。このような構成においては、電荷保持部 102 に電荷が保持される時間が長い
ため、特に効果的である。

【0035】

本実施形態に第 1 の実施形態の図 3 (c) あるいは図 3 (d) の第 5 の半導体領域 304
の配置を適用することも可能である。また、第 2 の実施形態のように素子分離領域 207
の一部が第 2 の半導体領域 202 から離れている構成であってもよい。

【0036】

(第 4 の実施形態)

本実施形態を、図 7 を用いて説明する。本実施形態は、第 1 の実施形態と比べて、p 型
の半導体領域 306 がなく、領域 303 a を有することが異なる。図 7 (a) は、図 3 (a)
に対応する断面模式図である。また、図 7 (b) は図 7 (a) に対応する、本実施形
態の変形例を示す断面模式図である。第 1 の実施形態と同様の構成については同一の符号
を付し、説明を省略する。

10

【0037】

まず、図 7 (a) の構成について説明する。本実施形態では、電荷保持部となる第 2 の
半導体領域 202 の下部に、図 3 (a) では存在した p 型の半導体領域 306 がなく、半
導体領域 303 と連続する領域 303 a がある。領域 303 a は半導体領域 303 が延在
していてもよく、電氣的に半導体領域 303 と接続されていればよい。このような構成に
よって、斜めに入射した光が第 2 の半導体領域 202 の下部にて光電変換による電荷を生
じさせた場合に、半導体領域 303 を介して第 1 の半導体領域 301 に電荷が収集され易
くなる。そして、感度の向上が望める。更に、p 型の半導体領域 304 や 305 が存在す
ることで、領域 303 a から第 2 の半導体領域 202 へと電荷が移動することが困難とな
るため、第 2 の半導体領域 202 への電荷の混入を低減することが可能となる。

20

【0038】

図 7 (b) においては、図 3 (a) では存在した p 型の半導体領域 306 がなく、p 型
の半導体領域 305 に近接して p 型の半導体領域 307 が存在する。このような構成によ
って、第 2 の半導体領域 202 の下部にて生じた電荷を半導体領域 310 に排出させるこ
とが可能となり、第 2 の半導体領域 202 に電荷が混入することを低減することが可能と
なる。

30

【0039】

また、第 2 の半導体領域 202 の下部の p 型の半導体領域 304、305 及び 307 に
おいては、半導体基板深部へ向かって p 型の不純物濃度が低下するように、電荷に対す
るポテンシャルが低下するように構成されていることが望ましい。第 2 の半導体領域 202
に取り込みたくない電荷を高い確率で半導体領域 310 へ排出することが可能となるため
である。なお、半導体領域 304、305 及び 307 の部分において、ポテンシャルが上
昇する部分があっても、電荷を半導体領域 310 へ排出することが出来ればよい。

【0040】

本実施形態に第 1 の実施形態から第 3 の実施形態の構成を適宜組み合わせ、適用す
ることも可能である。

【0041】

(第 5 の実施形態)

本実施形態を、図 8 を用いて説明する。本実施形態は、第 1 の実施形態と比べて、p 型
の半導体領域 308 がなく、p 型の半導体領域 304 から 306 が素子分離領域 207 の
下部まで延在していることが異なる。図 8 (a) は、図 3 (a) に対応する断面模式図で
あり、図 8 (b) は図 3 (d) に対応する断面模式図である。第 1 の実施形態と同様の構
成については同一の符号を付し、説明を省略する。

40

【0042】

図 8 (a) 及び図 8 (b) に示したように、本実施形態では、p 型の半導体領域 304
、305 及び 306 とが素子分離領域 207 の下部まで延在して配されている。言い換え
ると、p 型の半導体領域 304、305 及び 306 とが光電変換素子 201 の部分を除い

50

て半導体基板の全面に渡って配されている。このような構成によって、製造時の工程を削減することが可能となる。また、製造時の位置ばらつきによって光電変換素子201の特性に変化が生じてしまう可能性を低減することが出来る。

【0043】

ここで、他の実施形態と同様に、第2の半導体領域202の下部のp型の半導体領域304から307については、半導体基板深部へ向かってp型の不純物濃度が低下するように、電荷に対するポテンシャルが低下するように構成されていることが望ましい。第2の半導体領域202に取り込みたくない電荷を高い確率で半導体領域310へ排出することが可能となるためである。なお、半導体領域304から307の部分において、ポテンシャルが上昇する部分があっても、電荷を半導体領域310へ排出することが出来ればよい。

10

【0044】

また、本実施形態に第1の実施形態から第4の実施形態の構成を適宜組み合わせ、適用することも可能である。

【0045】

(撮像システムへの応用)

本実施形態では、第1の実施形態から第5の実施形態までで説明してきた光電変換装置を撮像システムに適用した場合について、図9を用いて説明する。撮像システムとは、デジタルスチルカメラやデジタルビデオカメラや携帯電話用デジタルカメラである。

【0046】

図9はデジタルスチルカメラの構成図である。被写体の光学像は、レンズ802等を含む光学系によって光電変換装置804の撮像面に結像される。レンズ802の外側には、レンズ802のプロテクト機能とメインスイッチを兼ねるバリア801が設けられうる。レンズ802には、それから出射される光の光量を調節するための絞り803が設けられうる。光電変換装置804から複数チャンネルで出力される撮像信号は、撮像信号処理回路805によって、各種の補正、クランプ等の処理が施される。撮像信号処理回路805から複数チャンネルで出力される撮像信号は、A/D変換器806でアナログ-デジタル変換される。A/D変換器806から出力される画像データは、信号処理部(画像処理部)807によって各種の補正、データ圧縮などがなされる。光電変換装置804、撮像信号処理回路805、A/D変換器806及び信号処理部807は、タイミング発生部808が発生するタイミング信号にしたがって動作する。各ブロックは、全体制御・演算部809によって制御される。その他、画像データを一時的に記憶するためのメモリ部810、記録媒体への画像の記録又は読み出しのための記録媒体制御インターフェース部811を備える。記録媒体812は、半導体メモリ等を含んで構成され、着脱が可能である。さらに、外部コンピュータ等と通信するための外部インターフェース(I/F)部813を備えてもよい。ここで、805から808は、光電変換装置804と同一チップ上に形成されてもよい。

20

30

【0047】

次に、図9の動作について説明する。バリア801のオープンに応じて、メイン電源、コントロール系の電源、A/D変換器806等の撮像系回路の電源が順にオンする。その後、露光量を制御するために、全体制御・演算部809が絞り803を開放にする。光電変換装置804から出力された信号は、撮像信号処理回路805をスルーしてA/D変換器806へ提供される。A/D変換器806は、その信号をA/D変換して信号処理部807に出力する。信号処理部807は、そのデータを処理して全体制御・演算部809に提供し、全体制御・演算部809において露出量を決定する演算を行う。全体制御・演算部809は、決定した露出量に基づいて絞りを制御する。

40

【0048】

次に、全体制御・演算部809は、光電変換装置804から出力され信号処理部807で処理された信号にから高周波成分を取り出して、高周波成分に基づいて被写体までの距離を演算する。その後、レンズ802を駆動して、合焦か否かを判断する。合焦していな

50

いと判断したときは、再びレンズ 802 を駆動し、距離を演算する。

【0049】

そして、合焦が確認された後に本露光が始まる。露光が終了すると、光電変換装置 804 から出力された撮像信号は、撮像信号処理回路 805 において補正等がされ、A/D変換器 806 で A/D 変換され、信号処理部 807 で処理される。信号処理部 807 で処理された画像データは、全体制御・演算部 809 によりメモリ部 810 に蓄積される。その後、メモリ部 810 に蓄積された画像データは、全体制御・演算部 809 の制御により記録媒体制御 I/F 部を介して記録媒体 812 に記録される。また、画像データは、外部 I/F 部 813 を通してコンピュータ等に提供されて処理される。

【0050】

このようにして、本発明の光電変換装置は撮像システムに適用される。本発明の光電変換装置を用いることによって、グローバルシャッタによる画像信号へのノイズを低減することが可能となるため、より高画質な画像を得ることが可能となる。また、信号処理回路等でのノイズ除去が容易となる。

【0051】

以上、本発明のいくつかの実施形態について説明してきた。しかしながら、本発明は各実施形態に限定されるものではなく、適宜変更可能である。また各実施形態の構成は適宜組み合わせることが可能である。例えば、図 1 にして示した半導体基板に対して水平方向に電荷を排出する排出部を設けた構成に限らず、半導体基板の垂直方向に電荷を排出する構成を有していても良い。

【0052】

また、第 1 のゲート電極 204 の構成は本実施形態にて述べてきた構成に限られない。例えば、第 1 のゲート電極 204 が第 1 の半導体領域 301 と第 2 の半導体領域 202 との間のポテンシャルを制御していてもよい。また、第 1 のゲート電極 204 が第 2 の半導体領域 202 上まで延在していてもよい。また、第 1 のゲート電極 204 が第 2 の半導体領域 202 上まで延在せず第 2 の半導体領域 202 上に別途ゲート電極を持っていてもよい。更には、第 1 のゲート電極 204 の下部には、第 1 の半導体領域 301 よりも濃度の低い n 型の第 6 の半導体領域が設けられていてもよい。そして、第 1 の半導体領域 301 と第 2 の半導体領域 202 とゲート電極と第 5 の半導体領域と、で埋め込みチャネル型のトランジスタを構成していてもよい。更に、半導体領域の配置は説明してきた形態に限らず、複数の領域に分割しても、1つの領域にまとめて形成してもよい。また、電荷の極性、半導体領域の極性及びトランジスタの極性についても、適宜変更可能である。

【図面の簡単な説明】

【0053】

【図 1】光電変換装置の画素回路の一例

【図 2】第 1 の実施形態を説明する光電変換装置の平面レイアウト図

【図 3】(a) 図 2 の A - B 線での断面模式図、(b) 図 2 の C - D 線での断面模式図、(c) 変形例を示す断面模式図、(d) 変形例を示す断面模式図

【図 4】(a) 第 2 の実施形態を説明する光電変換装置の平面レイアウト図、(b) 図 4 (a) の C - D 線での断面模式図

【図 5】第 3 の実施形態を説明する光電変換装置の平面レイアウト図

【図 6】(a) 図 5 の C - D 線での断面模式図、(b) 変形例を示す断面模式図

【図 7】(a) 第 4 の実施形態を説明する、図 2 の A - B 線での断面模式図、(b) 変形例を示す断面模式図

【図 8】(a) 第 5 の実施形態を説明する、図 2 の A - B 線での断面模式図、(b) 図 2 の C - D 線での断面模式図

【図 9】撮像システムを説明するブロック図

【符号の説明】

【0054】

102 電荷保持部

10

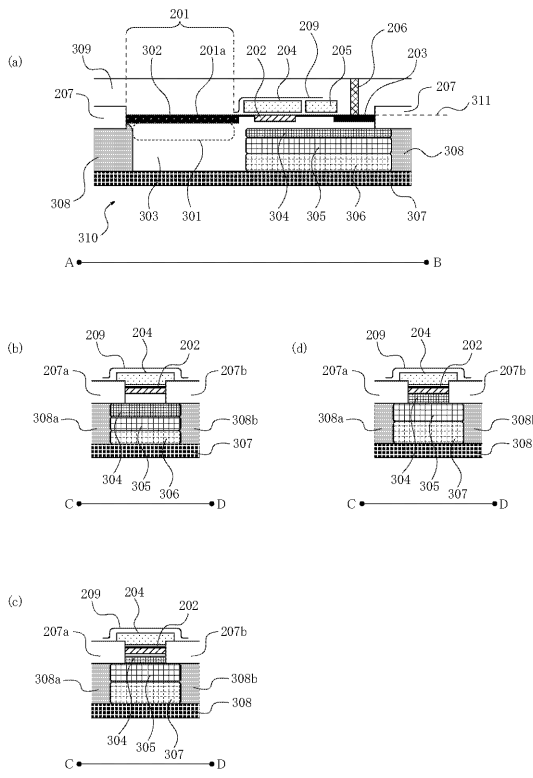
20

30

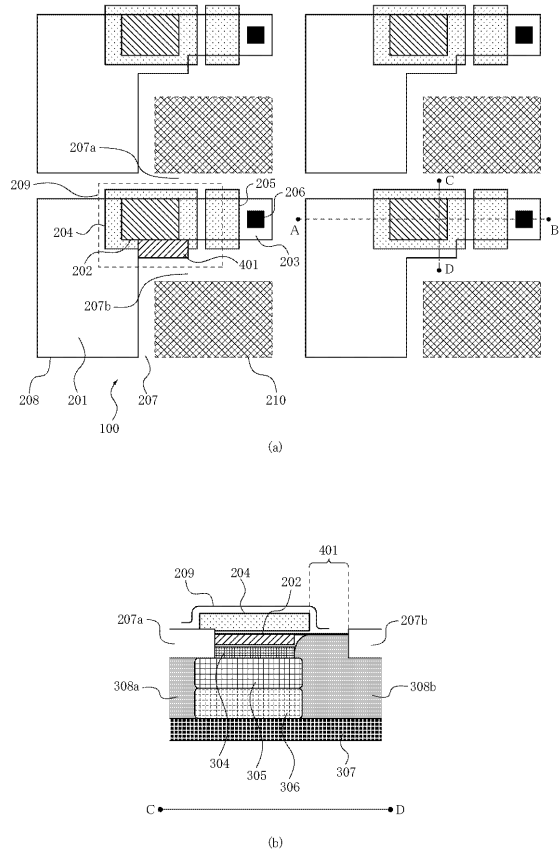
40

50

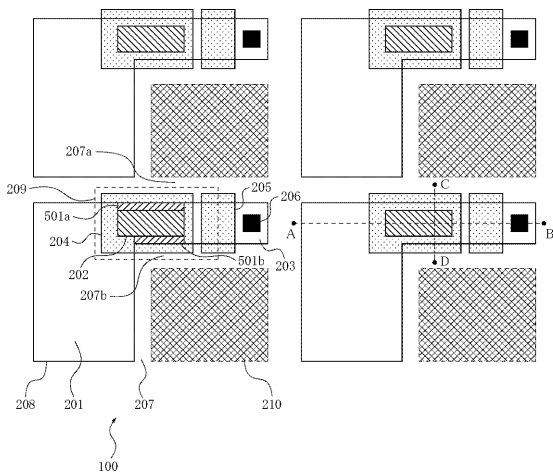
【 図 3 】



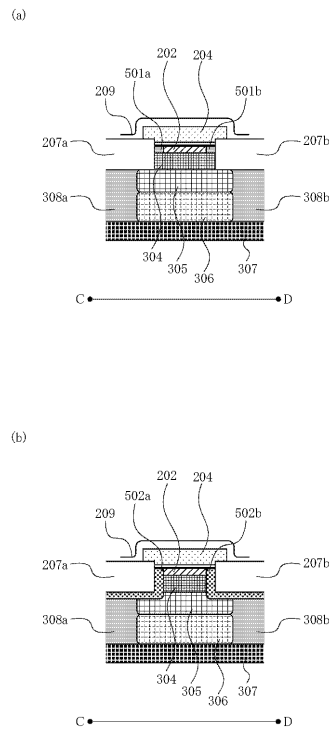
【 図 4 】



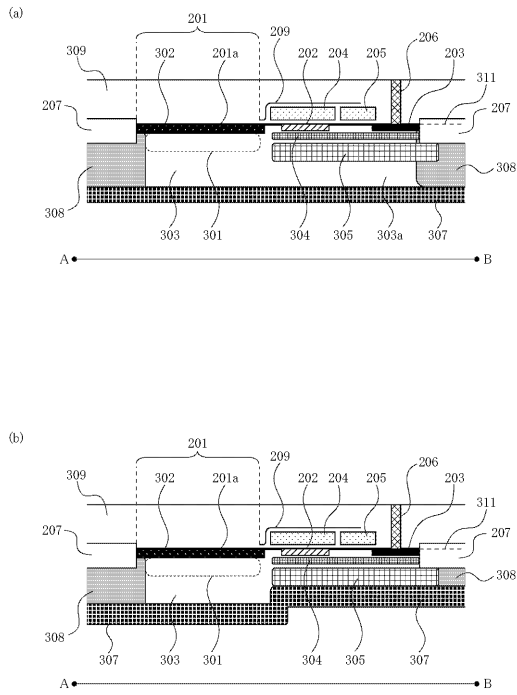
【 図 5 】



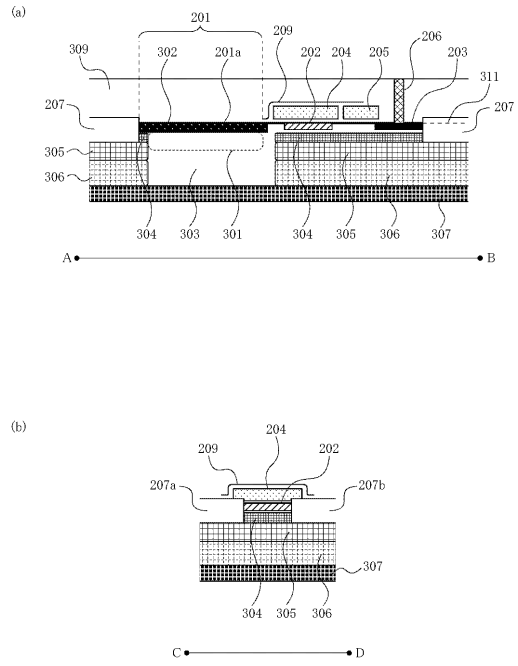
【 図 6 】



【 図 7 】



【 図 8 】



【 図 9 】

