

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成 19 年 2 月 8 日 (2007.2.8)

【公開番号】特開 2004-221554 (P2004-221554A)

【公開日】平成 16 年 8 月 5 日 (2004.8.5)

【年通号数】公開・登録公報 2004-030

【出願番号】特願 2003-420916 (P2003-420916)

【国際特許分類】

**H 0 1 L 21/8247 (2006.01)**

**H 0 1 L 27/115 (2006.01)**

**G 1 1 C 16/04 (2006.01)**

**G 1 1 C 16/02 (2006.01)**

**H 0 1 L 29/788 (2006.01)**

**H 0 1 L 29/792 (2006.01)**

【F I】

H 0 1 L 27/10 4 3 4

G 1 1 C 17/00 6 2 1 Z

G 1 1 C 17/00 6 1 2 E

G 1 1 C 17/00 6 2 2 Z

G 1 1 C 17/00 6 1 1 E

G 1 1 C 17/00 6 1 2 F

H 0 1 L 29/78 3 7 1

【手続補正書】

【提出日】平成 18 年 12 月 14 日 (2006.12.14)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

(a) 半導体基板中に形成された第 1 および第 2 半導体領域と、

(b) 前記第 1 および第 2 半導体領域間上の前記半導体基板の上部に形成された第 1 導電体および第 2 導電体と、

(c) 前記第 1 導電体と前記半導体基板との間に形成された第 1 絶縁膜と、

(d) 前記第 2 導電体と前記半導体基板との間に形成された第 2 絶縁膜であって、その内部に電荷蓄積部を有する第 2 絶縁膜と、を有し、

(e) 前記第 1 導電体に正電位を印加した状態で、電子が蓄積された前記電荷蓄積部に正孔を注入することにより消去を行うことを特徴とする不揮発性半導体記憶装置。

【請求項 2】

前記 (e) の正孔の注入は、前記第 1 および第 2 半導体領域間に電流が流れる状態で行われることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記 (e) の正孔の注入を、前記第 1 および第 2 半導体領域間に  $0.1 \sim 10 \mu A$  の電流を流して行うことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

【請求項 4】

前記 (e) の正孔の注入を、前記第 1 および第 2 半導体領域間に流れる電流値が一定となるよう回路的に自動制御して行うことを特徴とする請求項 2 記載の不揮発性半導体記憶装置。

装置。

【請求項 5】

前記第 1 半導体領域は、前記第 1 導電体側に位置し、前記第 2 半導体領域は、前記第 2 導電体側に位置し、

前記 (e) の正孔は、前記第 1 導電体に第 1 電位を印加し、前記第 2 半導体領域に第 2 電位を印加することにより、前記第 1 および第 2 半導体領域間に流れる電子を前記第 2 電位により加速し、インパクトイオン化現象を起こすことにより形成されることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 6】

前記 (e) の正孔の注入位置は、前記第 2 絶縁膜の前記第 1 導電体側の端部近傍であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 7】

前記 (e) の電荷蓄積部に蓄積された電子は、前記第 1 導電体と前記第 2 導電体に異なる電位を印加することにより、前記第 1 導電体と前記第 2 導電体との境界下の前記半導体基板中から注入された電子であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 8】

前記電荷蓄積部は、前記第 2 絶縁膜中に形成されたトラップ性絶縁膜であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 9】

前記電荷蓄積部は、前記第 2 絶縁膜中に形成された窒化膜であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 10】

前記第 2 絶縁膜は、第 1 酸化膜、窒化膜および第 2 酸化膜の積層膜であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 11】

前記第 1 および第 2 酸化膜は、3 nm 以上であることを特徴とする請求項 10 記載の不揮発性半導体記憶装置。

【請求項 12】

前記電荷蓄積部は、前記第 2 絶縁膜中に形成された複数の導電性の微粒子であることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 13】

前記電荷蓄積部に電荷が蓄積されていない状態において、

前記第 2 導電体をゲート電極とする MISFET の閾値は、負であり、前記第 1 導電体をゲート電極とする MISFET の閾値より小さいことを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 14】

(a) 半導体基板中に形成された第 1 および第 2 半導体領域と、

(b) 前記第 1 および第 2 半導体領域間上の前記半導体基板の上部に形成された第 1 導電体および第 2 導電体と、

(c) 前記第 1 導電体と前記半導体基板との間に形成された第 1 絶縁膜と、

(d) 前記第 2 導電体と前記半導体基板との間に形成された第 2 絶縁膜であって、その内部に電荷蓄積部を有する第 2 絶縁膜と、を有し、

(e) 前記第 1 および第 2 半導体領域間に電流が流れる状態で、電子が蓄積された前記電荷蓄積部に正孔を注入することにより消去を行うことを特徴とする不揮発性半導体記憶装置。

【請求項 15】

(a) 半導体基板中に形成された第 1 および第 2 半導体領域と、

(b) 前記第 1 および第 2 半導体領域間上の前記半導体基板の上部に形成された第 1 導電体および第 2 導電体と、

(c) 前記第1導電体と前記半導体基板との間に形成された第1絶縁膜と、

(d) 前記第2導電体と前記半導体基板との間に形成された第2絶縁膜であって、その内部に電荷蓄積部を有する第2絶縁膜と、  
を有するメモリセルが、複数アレイ状に配置され、

(e) 前記複数のメモリセルのうち、

第1方向に並ぶ前記メモリセルの前記第1導電体を接続する第1線と、

前記第1方向と直交する第2方向に並ぶ前記メモリセルの、前記第1導電体側に位置する前記第1半導体領域を接続する第2線と、  
を複数有し、

(f) 前記複数のメモリセルのうち選択メモリセルに接続される前記第1線に正電位を印加した状態で、電子が蓄積された前記選択メモリセルの前記電荷蓄積部に正孔を注入することにより消去を行うことを特徴とする不揮発性半導体記憶装置。

【請求項16】

前記(f)の消去は、

(f1) 前記選択メモリセルに接続される前記第1線に第1電位を印加し、前記選択メモリセルに接続される前記第2線に前記第1電位より小さい第2電位を印加した状態で、消去を行い、

(f2) 前記選択メモリセルに接続される前記第1線に接続される他のメモリセルに接続される前記第2線には、前記第1電位以上の第3電位を印加することにより消去を禁止し、

単一の前記選択メモリセル毎に行うことを特徴とする請求項15記載の不揮発性半導体記憶装置。

【請求項17】

前記(f)の消去は、

(f1) 前記複数の第1線のうち単一の第1線に第1電位を印加し、

(f2) 前記複数の第2線に前記第1電位より小さい第2電位を印加することにより、前記第1方向に並ぶ前記メモリセルの群毎に行うことを特徴とする請求項15記載の不揮発性半導体記憶装置。

【請求項18】

前記(f)の消去は、

(f1) 前記複数の第1線のうちn本の前記第1線に第1電位を印加し、

(f2) 前記複数の第2線のうちm本の前記第2線に前記第1電位より小さい第2電位を印加することにより、

n×m個の前記メモリセルのブロック毎に行うことを特徴とする請求項15記載の不揮発性半導体記憶装置。

【請求項19】

前記(f)の消去は、

(f1) 前記複数の第1線のうち前記選択メモリセルに接続される前記第1線には、第1電位V1を印加し、

(f2) 前記複数の第1線のうち前記選択メモリセルに接続されない前記第1線には、第2電位V2を印加し、

(f3) 前記複数の第2線のうち前記選択メモリセルに接続される前記第2線には、第3電位V3を印加し、

(f4) 前記複数の第2線のうち前記選択メモリセルに接続されない前記第2線には、第4電位V4を印加して行われ、

(f5) 前記第1～第4電位について、

前記第3電位は、前記第1電位より小さく( $V3 < V1$ )、前記第2電位以上( $V3 \geq V2$ )であり、

前記第4電位は、前記第1電位以上( $V4 \geq V1$ )で、前記第2電位以上( $V4 \geq V2$ )であることを特徴とする請求項15記載の不揮発性半導体記憶装置。

## 【請求項 2 0】

前記不揮発性半導体記憶装置は、さらに、

(g) 前記複数のメモリセルのうち前記第 1 方向に並ぶ前記メモリセルの前記第 2 半導体領域を接続する第 3 線を複数有し、

前記複数の第 3 線は、所定の単位で互いに接続されていることを特徴とする請求項 1 5 記載の不揮発性半導体記憶装置。

## 【請求項 2 1】

前記不揮発性半導体記憶装置は、さらに、

(g) 前記複数のメモリセルのうち前記第 1 方向に並ぶ前記メモリセルの前記第 2 導電体を接続する第 3 線を複数有し、

前記複数の第 3 線は、所定の単位で互いに接続されていることを特徴とする請求項 1 5 記載の不揮発性半導体記憶装置。

## 【請求項 2 2】

(a) 半導体基板中に形成された第 1 および第 2 半導体領域と、

(b) 前記第 1 および第 2 半導体領域間上の前記半導体基板の上部に形成された第 1 導電体および第 2 導電体と、

(c) 前記第 1 導電体と前記半導体基板との間に形成された第 1 絶縁膜と、

(d) 前記第 2 導電体と前記半導体基板との間に形成された第 2 絶縁膜であって、その内部に電荷蓄積部を有する第 2 絶縁膜と、

を有するメモリセルが、複数アレイ状に配置され、

(e) 前記複数のメモリセルのうち、

第 1 方向に並ぶ前記メモリセルの前記第 1 導電体を接続する第 1 線と、

前記第 1 方向と直交する第 2 方向に並ぶ前記メモリセルの、前記第 2 導電体側に位置する前記第 2 半導体領域を接続する第 2 線と、

前記第 1 方向に並ぶ前記メモリセルの、前記第 1 半導体領域を接続する第 3 線と、を複数有し、

(f) 前記複数のメモリセルのうち選択メモリセルに接続される前記第 1 線に正電位を印加した状態で、電子が蓄積された前記選択メモリセルの前記電荷蓄積部に正孔を注入することにより消去を行うことを特徴とする不揮発性半導体記憶装置。

## 【請求項 2 3】

半導体基板中に形成された第 1 および第 2 半導体領域と、

前記半導体基板上に形成され、かつ電荷蓄積部を含む第 1 絶縁膜とを有し、

前記第 1 半導体領域と前記第 2 半導体領域との間に電流を流すことによって前記第 1 および第 2 半導体領域間の第 3 半導体領域に正孔が生成され、かつ、前記第 3 半導体領域で生成された前記正孔が前記電荷蓄積部に注入されることを特徴とする半導体装置。

## 【請求項 2 4】

前記電荷蓄積部は、前記第 1 絶縁膜中に形成された窒化膜であることを特徴とする請求項 2 3 記載の半導体装置。