

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 21/76

(45) 공고일자 1999년02월01일

(11) 등록번호 특168194

(24) 등록일자 1998년10월01일

(21) 출원번호 특1995-049689
(22) 출원일자 1995년12월14일

(65) 공개번호 특1997-053386
(43) 공개일자 1997년07월31일

(73) 특허권자 삼성전자주식회사 김광호
경기도 수원시 팔달구 매탄동 416번지
(72) 발명자 이준희
서울특별시 송파구 문정동 휘미리아파트 301동 1202호
(74) 대리인 이영필, 권석흠, 노민식

심사관 : 김용정

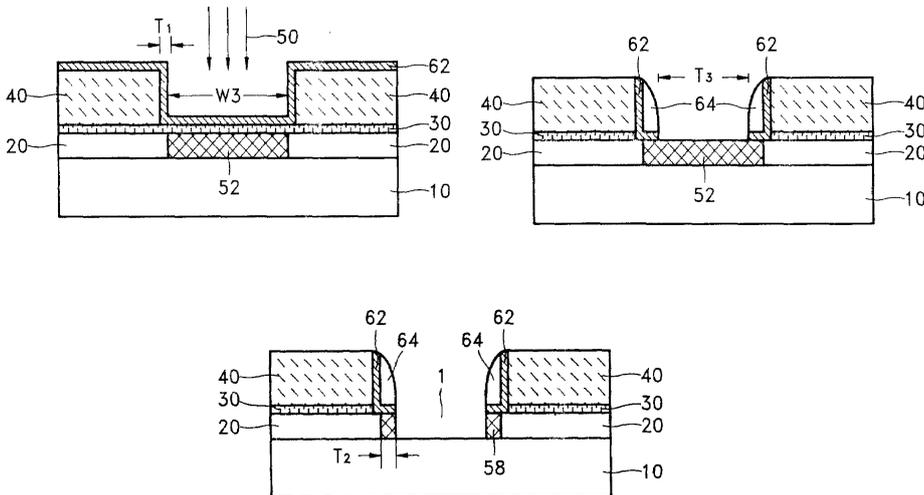
(54) 반도체 소자의 소자분리막 형성방법

요약

실리콘 - 온 - 인슐레이터 구조에 소자분리막을 형성하는 방법에 대해 기재되어 있다. 이는, 활성 기판 전면에 패드 산화막을 형성하는 단계, 패드 산화막 상에, 비활성 영역의 패드 산화막을 노출시키는 모양의 식각/이온주입 방지막을 형성하는 단계, 이온주입 방지 절연막을 형성하는 단계, 식각/이온주입 방지막 및 상기 식각/이온주입 방지막의 측벽에 형성되어 있는 이온주입 방지 절연막을 이온주입 방지막으로 이용한 이온주입 공정을 행함으로써 불순물 도핑 영역을 형성하는 단계, 불순물 도핑 영역이 형성되어 있는 결과물 전면에 스페이서층을 형성하는 단계, 스페이서층을 이방성식각함으로써 이온주입 방지 절연막의 측벽에 스페이서를 형성하는 단계, 스페이서 및 식각/이온주입 방지막을 식각마스크로하여 스페이서 사이로 노출된 불순물 도핑 영역을 식각함으로써 트렌치를 형성하는 단계 및 트렌치를 절연물질로 채움으로써 소자분리막을 형성하는 단계를 포함하는 것을 특징으로 한다.

따라서, 가장자리 불순물층과 소자분리막이 차지하는 면적을 줄일 수 있고, 활성영역의 면적을 넓힐 수 있다.

대표도



명세서

[발명의 명칭]

반도체 소자의 소자분리막 형성방법

[도면의 간단한 설명]

제1도는 종래 일 방법에 의한 소자분리막 형성방법을 설명하기 위해 도시한 단면도이다.

제2a도 내지 제2c도는 종래 다른 방법에 의한 소자분리막 형성방법을 설명하기 위해 도시한

단면도들이다.

제3a도 내지 제3d도는 종래 또 다른 방법에 의한 소자분리막 형성방법을 설명하기 위해 도시한 단면도들이다.

제4a도 내지 제4f도는 본 발명에 의한 소자분리막 형성방법을 설명하기 위해 도시한 단면도들이다.

[발명의 상세한 설명]

본 발명은 반도체 소자의 제조방법에 관한 것으로, 특히 실리콘 -온- 인슐레이터(Silicon - On - Insulator; 이하 SOI라 칭함) 구조에 소자분리막을 형성하는 방법에 관한 것이다.

반도체 소자가 고집적화 되면서 소자의 분리 면적을 최소화할 필요가 있게 되었다. 최근까지 선택 산화법(Local Oxidation of Silicon; 이하 LOCOS라 칭함)에 의한 소자분리 방법이 쓰였으나, 서브미크론(submicron) 이하급으로 소자의 크기가 축소되면서 버즈비크(Bird's beak)에 의한 문제점이 심각하게 되었다. 특히 0.25 μ m이하의 소자에서는 LOCOS에 의한 방법은 더 이상 기대하기 어려운 실정이다.

이에 따라, 변형(modified) LOCOS 등의 여러방법을 시도하게 되었다.

실리콘 기판에 트렌치를 파서 그 내부에 절연물질을 채우는 트렌치 소자분리 기술은, 특히, 표면 평탄도가 좋고, 절연특성이 우수하며, 버즈비크 등에 의한 문제점이 발생하지 않으므로 차세대 소자분리 기술에 널리 쓰이게 될 전망이다.

SOI 구조에 LOCOS 소자분리를 적용할 경우에는 필드 산화막(소자분리막)이 얇아지는 현상(field oxide thinning effect) (즉, 소자의 분리 면적이 좁을 경우, 필드산화막 형성 시간을 증가시켜도 필드산화막이 형성되지 않는 현상) 때문에 소자분리막과 매몰 절연층(SOI 구조는 벌크 기판, 매몰 절연층 및 활성 기판으로 구성됨)과의 완전한 절연이 성립되지 않아 절연 특성이 나빠진다. 그러므로, SOI구조에 트렌치 소자분리 기술의 적용은, 절연 특성의 향상을 위하여, 특히 중요하다.

한편, 활성영역의 가장자리 부분(소자분리막과 인접한 활성영역)은, ① 계면 전하(활성영역과 소자분리막 사이의 전하)와 소자분리막 내에 고정된(fixed) 전하 때문에 쉽게 반전되고 (side wall inversion), ② 기생 트랜지스터를 형성시켜 활성영역에 형성되는 정상적인 트랜지스터의 누설전류를 증가시킨다 (edge transistor effect). 이를 방지하기 위하여, 소자분리막의 가장자리 부분을 기판(활성영역)과 같은 도전형을 갖는 불순물로 도핑하여 불순물 농도를 높이는 방법 (active sidewall 형성 공정)이 제안되고 있다.

제1도는 종래 일 방법에 의한 소자분리막 형성방법을 설명하기 위해 도시한 단면도로서, 트렌치 소자분리 기술로 소자분리막을 형성하는데 있어서, 소자분리막의 가장자리 부분의 도핑농도를 높이는 종래의 일 방법을 설명하기 위한 것이다.

벌크 기판(도시되지 않음), 매몰 절연층(10) 및 활성 기판(20)으로 된 SOI 구조 상에, 상기 활성 기판(20)의 비활성 영역을 노출시키는 모양의 패드 산화막(30)과 식각/이온주입 방지막(40)을 형성한 후, 이들을 식각방지막으로하여 상기 활성 기판(20)을 식각함으로써 트렌치(1)를 형성한다. 이어서, 상기 트렌치(1)의 측벽으로 불순물 이온(23)을 경사주입하여 활성영역의 가장자리 부분 (즉, 상기 트렌치(1)의 측벽 부분)에 가장자리 불순물층(5)을 형성한다.

상기 가장자리 불순물층(5)은 상기 활성 기판(20)의 도전형과 동일한 도전형으로 되어 있고, 상술한 측벽 반전현상 및 가장자리 트랜지스터 현상을 방지하기 위한 목적으로 형성된다.

상기 가장자리 불순물층(5) 형성을 위한 불순물 이온(23) 경사주입시, 상기 패드 산화막(30)과 트렌치(1)의 어깨부분이 맞닿는 부분 (A부분)에는, 패드 산화막(30) 및 식각/이온주입 방지막(40)이 이온주입에 대한 마스크로 작용하여 불순물 이온(3)이 주입되지 못한다. A 부분에 까지 불순물 이온(3)을 완전히 주입하기 위해서는, 이온주입 에너지를 높여야만 하는데, 이럴 경우, 상기 A 부분에는 불순물 이온(3)이 충분히 주입되나, 다른 부분은 과(over) 주입되어 활성영역까지 상기 가장자리 불순물층(5)이 확장되는 문제가 발생한다. 이는, 활성영역의 면적을 좁히는 결과를 초래하므로, 소자의 고집적화를 방해한다.

제2a도 내지 제2c도는 종래 다른 방법에 의한 소자분리막 형성방법을 설명하기 위해 도시한 단면도들로서, 제1도에서 언급한 문제점을 해결하기 위한 방법을 설명한다.

활성 기판(20) 상에 패드 산화막(30)을 형성한 후, 이 패드 산화막(30) 상에 활성 기판(20)의 비활성 영역을 노출시키는 모양의 식각/이온주입 방지막(40)을 형성한다. 이어서, 상기 식각/이온주입 방지막(40)을 마스크로하여 활성 기판(20)에 불순물 이온(50)을 주입하여 불순물 도핑 영역(52)을 형성한 후, 결과물을 열처리하여 상기 불순물 도핑 영역(52)에 도핑되어 있는 불순물 이온들을 측면으로 확산시킴으로써 가장자리 불순물층(54)을 형성한다 (제2a도).

계속해서, 상기 식각/이온주입 방지막(40)을 마스크로하여 활성 기판(20)을 식각함으로써 트렌치(1)를 형성하고 (제2b도), 이 트렌치에 절연물질을 채움으로써 소자분리막(100)을 형성한다 (제2c도)

이때, 상기 가장자리 불순물층(54)은 식각되지 않고 남아, 상기 소자분리막(100)을 완전히 감싼다.

상술한 종래 다른 방법에서는, 식각되지 않고 남겨지는 가장자리 불순물층(54)에 의해, 측벽 반전현상 및 가장자리 트랜지스터 현상이 방지된다.

상술한 종래의 다른 방법에 의하면, 트렌치의 어깨 부분에 불순물 이온이 주입되지 않는 현상을 방지할 수는 있으나, 가장자리 불순물층(54)을 불순물 도핑 영역(52)으로부터 확산된 불순물 이온으로 형성하므로 불순물의 농도 및 프로파일을 조절하기가 어렵다.

제3a도 내지 제3d도는 종래 또 다른 방법에 의한 소자분리막 형성방법을 설명하기 위해 도시한 단면도들로서, 제2a도 내지 제2c도에서 언급한 문제점을 해결하기 위한 방법을 설명한다.

상기 제2a도에서 설명한 것과 동일한 방법으로 불순물 도핑 영역(52)까지 형성한 후 (제3a도), 상기 불순물

물 도핑 영역(52)이 형성되어 있는 결과물 전면에 화학 기상 증착법으로 산화막 (이후의 공정에 의해 스페이서(60)이 됨)을 형성한다. 이어서, 상기 산화막을 이방성식각함으로써 식각/이온주입 방지막(40)의 측벽에 스페이서(60)를 형성한다(제3b도).

계속해서, 상기 식각/이온주입 방지막(40) 및 스페이서(60)를 마스크로하여 활성 기판(20)을 식각함으로써 트렌치(1)를 형성하고(제3c도), 이 트렌치에 절연물질을 채움으로써 소자분리막(110)을 형성한다(제3d도).

상술한 종래의 또 다른 방법에 의하면, 식각/이온주입 방지막(40)의 측벽에 스페이서(60)를 형성한 후, 이를 이용하여, 불순물 도핑 영역(52)의 가장자리부를 제외한 영역만 식각함으로써, 첫째, 소자분리막(110)이 차지하는 폭을 스페이서(60)의 폭의 두배($T4 \times 2$)만큼 줄일 수 있고, 둘째, 불순물 도핑 영역(52)의 가장자리부를 남김으로써 (식각되지 않고 남겨진 불순물 도핑 영역을 가장자리 불순물층(56)이라 함) 측벽 반전현상 및 가장자리 트랜지스터 현상을 방지하기 위한 가장자리 불순물층(56) (즉, 불순물 도핑 영역(56))의 불순물 농도 및 그 프로파일을 임의대로 조절할 수 있다.

이때, W1은 최초로 정의된 비활성 영역의 폭을 나타내고, T4는 스페이서(60)의 폭을 나타내며, T5는 최종적으로 정의된 비활성 영역의 폭을 나타낸다. 따라서, 최종적으로 정의된 비활성 영역의 폭(T5)은 최초로 정의된 비활성 영역의 폭(W1)에 스페이서의 폭(T4)을 뺀 값이다.

본 발명의 목적은 측벽 반전현상 및 가장자리 트랜지스터 현상을 방지하기 위한 가장자리 불순물층의 불순물 농도 및 불순물 프로파일을 임의대로 조절할 수 있음과 동시에 이 가장자리 불순물층이 차지하는 면적과 소자분리막이 차지하는 면적을 줄일 수 있는 반도체 소자의 소자분리막 형성방법을 제공하는데 있다.

상기 목적을 달성하기 위한, 본 발명에 의한 소자분리막 형성방법은,

벌크 기판, 매몰 절연층 및 활성 기판으로 구성된 실리콘 - 온 -인슐레이터 구조에 소자분리막을 형성하는데 있어서, 상기 활성 기판 전면에 패드 산화막을 형성하는 제1단계; 상기 패드 산화막 상에, 비활성 영역의 상기 패드 산화막을 노출시키는 모양의 식각/이온주입 방지막을 형성하는 제2단계; 상기 식각/이온주입 방지막이 형성되어 있는 결과물 전면에 이온주입 방지 절연막을 형성하는 제3단계; 상기 식각/이온주입 방지막 및 상기 식각/이온주입 방지막의 측벽에 형성되어 있는 상기 이온주입 방지 절연막을 이온주입 방지막으로 이용한 이온주입 공정을 행함으로써 상기 활성 기판의 비활성 영역에 불순물 도핑 영역을 형성하는 제4단계; 상기 불순물 도핑 영역이 형성되어 있는 결과물 전면에 스페이서층을 형성하는 제5단계; 상기 스페이서층을 이방성식각함으로써 상기 식각/이온주입 방지막의 측벽에 형성되어 있는 이온주입 방지 절연막의 측벽에 스페이서를 형성하는 제6단계; 상기 스페이서 및 식각/이온주입 방지막을 식각 마스크로하여 상기 스페이서 사이로 노출된 불순물 도핑 영역을 식각함으로써 트렌치 및 이 트렌치를 둘러싸는 모양의 가장자리 불순물층을 형성하는 제7단계; 및 상기 트렌치를 절연물질로 채움으로써 소자분리막을 형성하는 제8단계를 포함하는 것을 특징으로 한다.

이때, 상기 불순물 도핑 영역을 형성하기 위해 주입되는 불순물 이온들의 도전형은 상기 활성 기판의 도전형과 동일한 것이 바람직하고, 상기 식각/이온주입 방지막은 질화 실리콘으로 형성되는 것이 바람직하며, 상기 이온주입 방지 절연막은 화학 기상 증착법에 의해 증착된 산화물로 형성되는 것이 바람직하다.

한편, 상기 제7단계 후, 상기 트렌치의 측벽에 결함 방지를 위한 산화막을 형성하는 단계를 더 추가할 수도 있다.

또한, 상기 제8단계는, 상기 트렌치 및 가장자리 불순물층이 형성되어 있는 결과물 전면에 절연물질을 도포하는 공정, 상기 식각/이온주입 방지막의 표면이 노출될 때 까지 상기 절연물질을 에치백하는 공정, 상기 에치백 공정에 의해 노출된 식각/이온주입 방지막을 제거하는 공정 및 상기 패드 산화막을 제거하는 공정으로 진행되는 것이 바람직하다.

따라서, 본 발명에 의한 소자분리막 형성방법에 의하면, 가장자리 불순물층이 차지하는 면적과 소자분리막이 차지하는 면적을 줄일 수 있으며, 활성영역의 면적을 넓힐 수 있다.

이하, 첨부한 도면을 참조하여, 본 발명을 더욱 자세하게 설명하고자 한다.

제4a도 내지 제4f도는 본 발명에 의한 소자분리막 형성방법을 설명하기 위해 도시한 단면도들이다.

먼저, 제4a도는 패드 산화막(30) 및 식각/이온주입 방지막(40)을 형성하는 단계를 도시한 것으로서, 이는 벌크 기판 (도시되지 않음), 매몰 절연층(10) 및 활성 기판(20)으로 된 S01 구조를 형성하는 제1공정, 상기 활성 기판(20)을 산소 분위기에 노출시킴으로써 패드 산화막(30)을 형성하는 제2 공정 및 상기 패드 산화막(30) 상에, 예컨대 질화 실리콘과 같은 물질을 도포한 후, 비활성 영역의 상기 패드 산화막이 노출되도록 이를 패터닝함으로써 식각/이온주입 방지막(40)을 형성하는 제3 공정으로 진행된다.

이때, 상기 식각/이온주입 방지막(40)은, 소정의 식각공정에 대해, 상기 패드 산화막(30)을 구성하는 물질의 식각율과는 다른 식각율을 갖는 물질로 형성된다. 본 발명에서는 상기 식각/이온주입 방지막(40)을 형성하는 물질로 질화 실리콘을 사용한다.

상기 제4a도에 있어서, W2는 최초로 정의된 비활성 영역의 폭을 나타낸다.

제4b도는 이온주입 방지 절연막(62) 및 불순물 도핑 영역(52)을 형성하는 단계를 도시한 것으로서, 이는 식각/이온주입 방지막(40)이 형성되어 있는 결과물 전면에, 예컨대 화학 기상 증착법으로 산화막을 증착하여 상기 이온주입 방지 절연막(62)을 형성하는 제1공정 및 상기 식각/이온주입 방지막(40) 및 상기 식각/이온주입 방지막(40)의 측벽에 형성되어 있는 이온주입 방지 절연막(62)을 마스크로하여 불순물 이온(50)을 주입함으로써 비활성 영역의 활성 기판(20)에 불순물 도핑 영역(52)을 형성하는 제2공정으로 진행된다.

이때, 상기 이온주입 방지 절연막(62)은 T1의 두께로 형성되어, 상기 불순물 도핑 영역(52)의 폭(W3)은

제3a도에 도시된 폭(W4) 보다 $2 \times T1$ 만큼 작아지게 되므로, 활성영역은 $2 \times T1$ 만큼 커지게 된다.

상기 불순물 도핑 영역(52)에 주입되는 불순물 이온(50)의 도전형은 활성 기관(20)의 도전형과 동일하다.

제4c도는 스페이서(64)를 형성하는 단계를 도시한 것으로서, 이는 이온주입 방지 절연막(62)이 형성되어 있는 결과물 전면에, 예컨대 화학 기상 증착법으로 산화막을 증착함으로써 스페이서층(이후의 공정에서 스페이서(64)가 됨)을 형성하는 제1공정 및 상기 스페이서층을 이방성식각함으로써 상기 이온주입 방지 절연막(62)의 측벽에 스페이서(64)를 형성하는 제2공정으로 진행된다.

이때, 상기 이방성식각 시, 식각/이온주입 방지막(40) 상에 형성되어 있던 이온주입 방지 절연막(62)도 함께 제거된다.

T3은 최종적으로 정의되는 소자분리막이 차지하는 폭을 나타내며, $W2 - T1$ 로 정의된다. 스페이서(64)의 폭과 이온주입 방지 절연막(62)의 폭을 합한 값이 상기 제3c도의 스페이서(60)의 폭(T4)과 동일한 경우, 상기 T3은 제3c도의 T5와 동일하다.

그러나, 본 발명의 스페이서(64)의 폭을 상기 제3c도의 스페이서(60)의 폭(T4)과 동일하게 할 경우, 상기 T3은 제3c도의 T5보다 작다. 즉, 본 발명에 의해 정의되는 소자분리막이 차지하는 폭(T3)은 종래 다른 방법에 의해 정의되는 소자분리막이 차지하는 폭(T5) 보다 작다.

제4d도는 가장자리 불순물층(58)을 형성하는 단계를 도시한 것으로서, 이는 상기 식각/이온주입 방지막(40) 및 스페이서(64)를 마스크로하여 상기 활성 기관(20)을 식각함으로써 트렌치(1)를 형성함과 동시에 상기 트렌치(1)를 둘러싸는 형태의 상기 가장자리 불순물층(58)을 형성하는 공정으로 진행된다.

이때, 상기 매몰 절연층(10)은 상기 식각에 대한 식각 스톱퍼(etch stopper)로 작용한다.

상기 제4d도에 의하면, 상기 가장자리 불순물층(58)의 폭(T2)은 상기 스페이서(64)의 폭과 동일하다는 것을 알 수 있다. 또한, 본 발명에 의한 가장자리 불순물층(58)은 이온주입 방지 절연막(62)의 폭 만큼 그 폭이 작아지므로, 결과적으로 활성영역의 폭은 이온주입 방지 절연막(62)의 폭의 두배 만큼 커진다는 것을 알 수 있다.

제4e도는 상기 가장자리 불순물층(58)이 형성되어 있는 결과물 전면에 상기 트렌치(제4d도의 도면부호 1)가 완전히 채워지도록 절연물질(120a)을 도포한 후, 상기 식각/이온주입 방지막(40)이 노출되도록 이를 에치백하는 공정을 진행한 후의 단면도이다.

이때, 상기 절연물질을 도포하기 전에, 트렌치의 측벽에 얇은 산화막(도시되지 않음)을 형성하는 공정을 더 진행할 수도 있다. 상기 얇은 산화막은 이후에 진행되는 식각공정에 의해 기관이 손상(damage)되는 것을 방지하기 위하여 형성된다.

제4f도는 소자분리막(120)을 형성하는 단계를 도시한 것으로서, 이는 식각/이온주입 방지막(제4e도의 도면부호 40)을 제거하는 제1공정 및 패드 산화막(제4e도의 도면부호 30)을 제거하는 제2공정으로 진행된다.

이때, 상기 식각/이온주입 방지막은 인산으로 제거하고, 상기 패드산화막은 완충된 불산(B0E)으로 제거한다.

본 발명에 의한 소자분리막에 의하면, 첫째, 제4c도에서 스페이서(64)의 폭과 이온주입 방지 절연막(62)의 폭을 합한 값이 제3c도의 스페이서(60)의 폭(T4)과 동일할 경우, 최종적으로 정의된 소자분리막이 차지하는 폭(T3)은 제3c도의 폭(T5)과 동일하고, 본 발명에 의한 가장자리 불순물층(58)의 폭(T2)은 제3c도의 폭(T4) 보다 이온주입 방지 절연막(62)의 폭(T1) 만큼 작게 된다. 둘째, 제4c도에서 스페이서(64)의 폭과 제3c도의 스페이서(60)의 폭(T4)이 동일할 경우, 제4c도의 가장자리 불순물층(58)의 폭은 제3c도의 가장자리 불순물층(56)의 폭과 동일하나, 본 발명에 의한 최종적으로 정의된 소자분리막이 차지하는 폭(T3)은 제3c도의 폭(T5) 보다 작게 된다.

그러나, 두 경우 모두, 활성영역은 종래(제3c도) 보다 이온주입 방지 절연막(62)의 폭의 두배 만큼 커지게 된다.

따라서, 본 발명에 의한 반도체 소자의 소자분리막 형성방법에 의하면, 첫째, 가장자리 불순물층이 차지하는 면적을 줄일 수 있고, 둘째, 소자분리막이 차지하는 면적을 줄일 수 있으며, 셋째, 활성영역의 면적을 넓힐 수 있다.

본 발명이 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상내에서 당분야에서 통상의 지식을 가진 자에 의하여 가능함은 명백하다.

(57) 청구의 범위

청구항 1

벌크 기관, 매몰 절연층 및 활성 기관으로 구성된 실리콘 -온-인슐레이터 구조에 소자분리막을 형성하는 데 있어서, 상기 활성 기관 전면에 패드 산화막을 형성하는 제1 단계; 상기 패드 산화막 상에, 비활성 영역의 상기 패드 산화막을 노출시키는 모양의 식각/이온주입 방지막을 형성하는 제2단계; 상기 식각/이온주입 방지막이 형성되어 있는 결과물 전면에 이온주입 방지 절연막을 형성하는 제3단계; 상기 식각/이온주입 방지막 및 상기 식각/이온주입 방지막의 측벽에 형성되어 있는 상기 이온주입 방지 절연막을 이온주입 방지막으로 이용한 이온주입 공정을 행함으로써 상기 활성 기관의 비활성 영역에 불순물 도핑 영역을 형성하는 제4단계; 상기 불순물 도핑 영역이 형성되어 있는 결과물 전면에 스페이서층을 형성하는 제5단계; 상기 스페이서층을 이방성식각함으로써 상기 식각/이온주입 방지막의 측벽에 형성되어 있는 이온주입 방지 절연막의 측벽에 스페이서를 형성하는 제6단계; 상기 스페이서 및 식각/이온주입 방지막을 식각마스크로하여 상기 스페이서 사이로 노출된 불순물 도핑 영역을 식각함으로써 트렌치 및 이 트렌치를 둘러싸

는 모양의 가장자리 불순물층을 형성하는 제7단계; 및 상기 트렌치를 절연물질로 채움으로써 소자분리막을 형성하는 제8단계를 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 2

제1항에 있어서, 상기 식각/이온주입 방지막은 질화 실리콘으로 형성되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 3

제1항에 있어서, 상기 이온주입 방지 절연막은 화학 기상 증착법에 의해 증착된 산화물로 형성되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 4

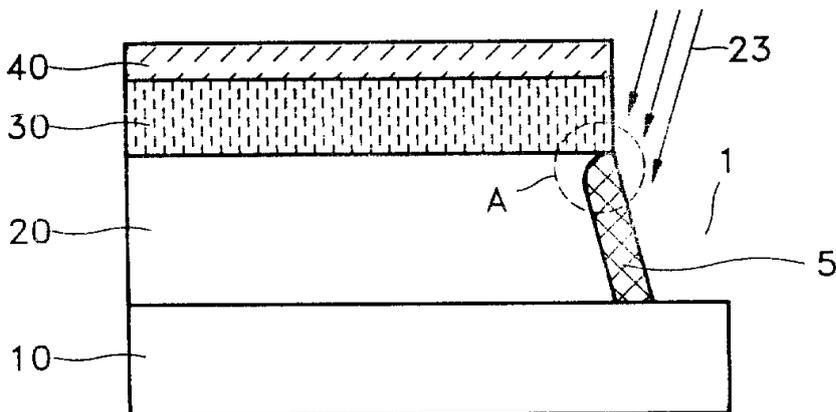
제1항에 있어서, 상기 제7단계 후 상기 트렌치의 측벽에 결함 방지를 위한 산화막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

청구항 5

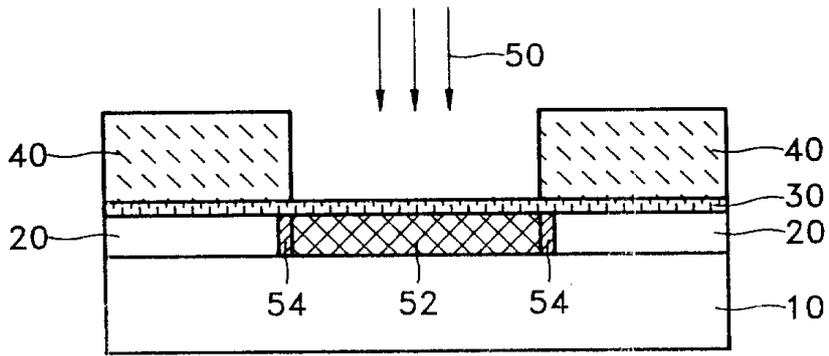
제1항 및 제4항 중 어느 한 항에 있어서, 상기 제8단계는, 상기 트렌치 및 가장자리 불순물층이 형성되어 있는 결과물 전면에 절연물질을 도포하는 공정, 상기 식각/이온주입 방지막의 표면이 노출될 때 까지 상기 절연물질을 에치백하는 공정, 상기 에치백 공정에 의해 노출된 식각/이온주입 방지막을 제거하는 공정 및 상기 패드 산화막을 제거하는 공정으로 진행되는 것을 특징으로 하는 반도체 소자의 소자분리막 형성방법.

도면

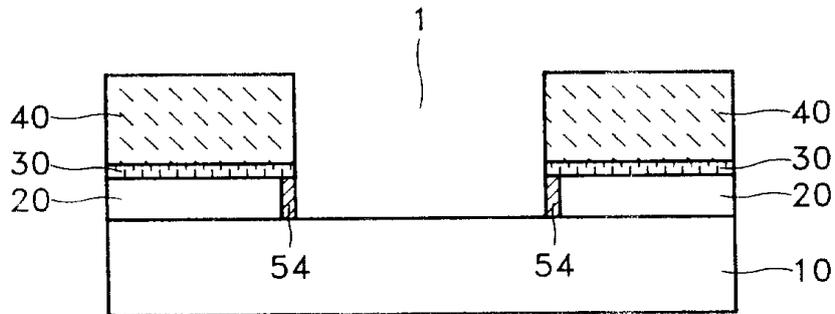
도면1



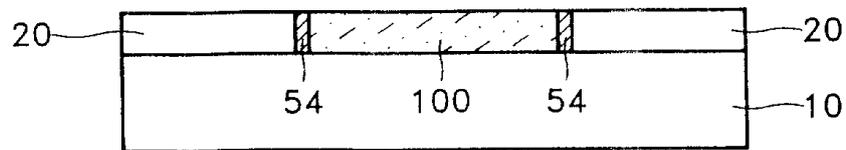
도면2a



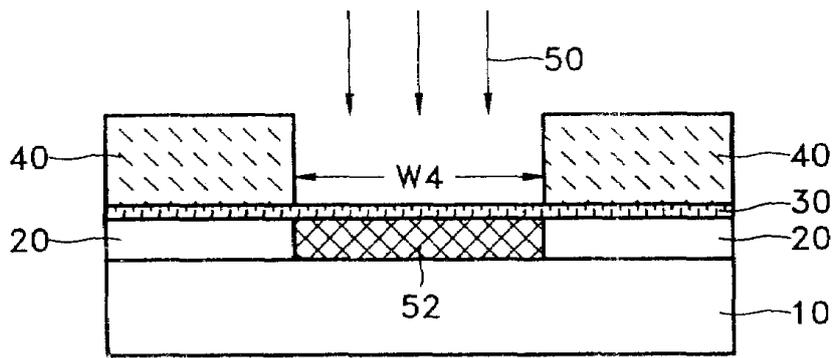
도면2b



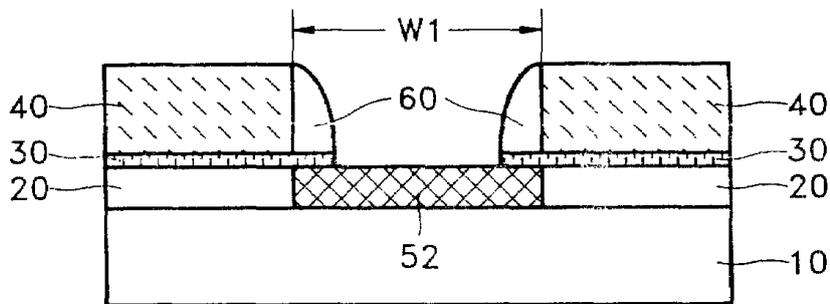
도면2c



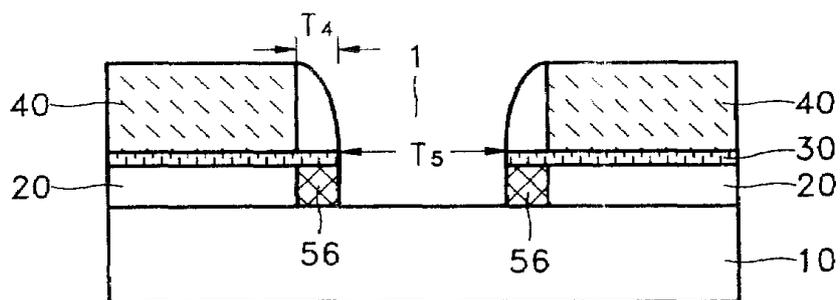
도면3a



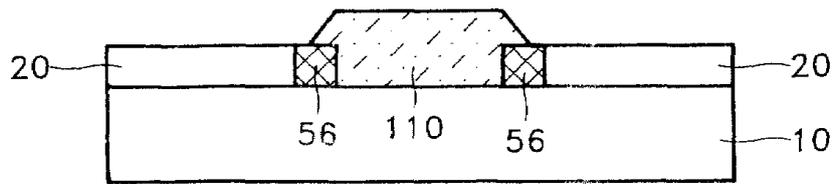
도면3b



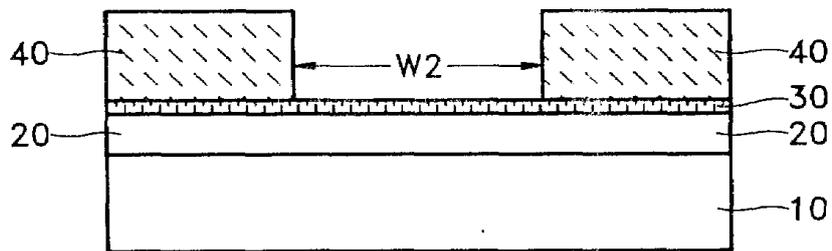
도면3c



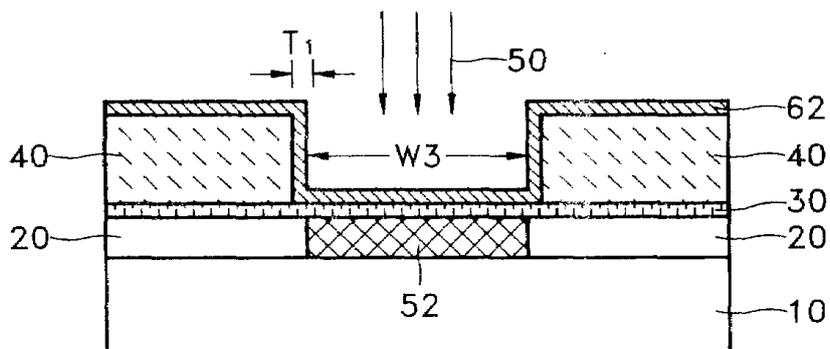
도면3d



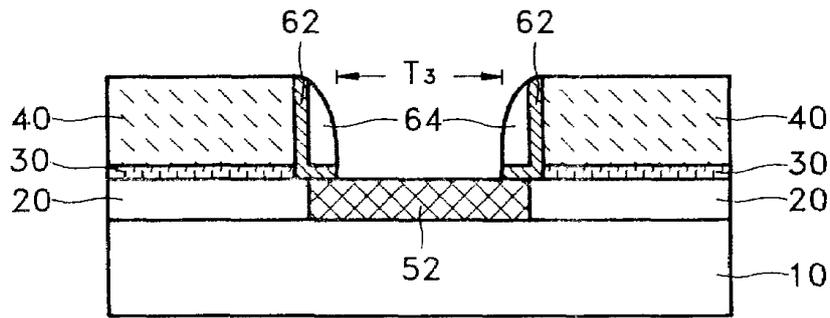
도면4a



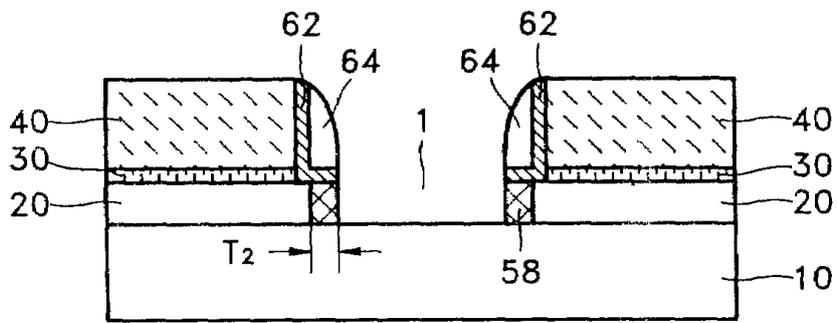
도면4b



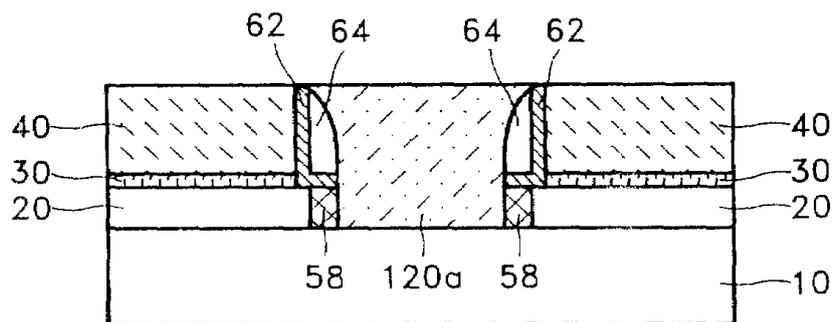
도면4c



도면4d



도면4e



도면4f

