



(12)发明专利

(10)授权公告号 CN 105027284 B

(45)授权公告日 2017. 12. 05

(21)申请号 201480011822.8

(22)申请日 2014.03.05

(65)同一申请的已公布的文献号

申请公布号 CN 105027284 A

(43)申请公布日 2015.11.04

(30)优先权数据

13/788,224 2013.03.07 US

(85)PCT国际申请进入国家阶段日

2015.09.01

(86)PCT国际申请的申请数据

PCT/US2014/020941 2014.03.05

(87)PCT国际申请的公布数据

W02014/138317 EN 2014.09.12

(73)专利权人 高通股份有限公司

地址 美国加利福尼亚

(72)发明人 Y·杜

(74)专利代理机构 永新专利商标代理有限公司
72002

代理人 陈松涛 王英

(51)Int.Cl.

H01L 27/06(2006.01)

H01L 27/088(2006.01)

H01L 29/06(2006.01)

H01L 21/8234(2006.01)

H01L 27/092(2006.01)

H01L 21/8238(2006.01)

(56)对比文件

US 2010/0259296 A1,2010.10.14,

CN 1897232 A,2007.01.17,

CN 102301482 A,2011.12.28,

US 2013/0026539 A1,2013.01.31,

审查员 王俊山

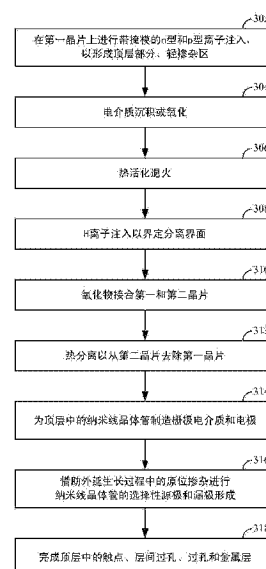
权利要求书1页 说明书6页 附图5页

(54)发明名称

半导体集成电路的单片式三维集成

(57)摘要

一种三维集成电路,包括形成于CMOS晶体管的底层上的顶层纳米线晶体管,其具有层间过孔、层内过孔和金属层,用以将多个CMOS晶体管和纳米线晶体管连接在一起。顶层首先开始作为第一晶片上的轻掺杂区,氧化物层形成于所述区上。氢离子注入形成分离界面。翻转第一晶片,并将其氧化物接合到具有CMOS器件的第二晶片,并且热活化分离界面,以使得一部分轻掺杂区保持接合到底层。在顶层内形成纳米线晶体管。借助在外延生长过程中进行原位掺杂来形成顶层纳米线晶体管的源极和漏极。在氧化物接合后,在低温下执行剩余的处理步骤,以免损害金属互连。



1. 一种用于制造半导体器件的方法,包括:

将离子注入到第一半导体晶片中,以便至少在所述第一半导体晶片的待氧化物-接合到第二半导体晶片的部分中形成n型掺杂区和p型掺杂区,其中所述n型掺杂区和所述p型掺杂区包括多个纳米线晶体管的沟道;

将离子注入到所述第一半导体晶片中以促进热分离;

将所述第一半导体晶片氧化物-接合到所述第二半导体晶片;

将所述第一半导体晶片加热到等于或小于450℃的温度以导致热分离,从而留下所述第一半导体晶片的氧化物-接合到所述第二半导体晶片的所述部分;

形成氧化物隔离槽,以隔离所述第一半导体晶片的氧化物-接合到所述第二半导体晶片的所述部分中的所述n型掺杂区和所述p型掺杂区;以及

在等于或小于450℃的温度下的外延生长过程中进行原位掺杂,以便在所述第一半导体晶片的氧化物-接合到所述第二半导体晶片的所述部分中选择性地形成与所述多个纳米线晶体管的所述n型掺杂区和所述p型掺杂区中的所述沟道接触的源极和漏极。

2. 根据权利要求1所述的方法,其中,所述第二半导体晶片包括底层,所述底层包括多个晶体管,其中,将所述第一半导体晶片加热到等于或小于450℃的温度以导致热分离的步骤留下了所述第一半导体晶片的氧化物-接合到所述底层的所述部分。

3. 根据权利要求2所述的方法,其中,所述多个纳米线晶体管包括pMOSFET (p型金属氧化物半导体场效应晶体管) 和nMOSFET。

4. 根据权利要求1所述的方法,其中,将包括所述沟道的所述n型掺杂区和所述p型掺杂区掺杂到比所述源极和所述漏极的浓度小的浓度。

5. 根据权利要求4所述的方法,其中,所述多个纳米线晶体管工作在累积模式中。

半导体集成电路的单片式三维集成

技术领域

[0001] 本发明涉及微电子制造,具体地,涉及半导体器件的单片式三维集成。

背景技术

[0002] 在过去40年中,集成电路(IC)的功能和性能有了显著增长,主要是由于缩放,其中,借助相继的每一代技术减小(缩放)了IC内的部件尺寸。借助缩放,通常改善了晶体管性能和密度,但将晶体管连接在一起的线路(互连)使得性能劣化。线路常常支配IC的性能、功能和功耗。

[0003] 半导体芯片(管芯)的连续3D(三维)集成是解决线路性能的一个途径。通过在三维而不是在二维中布置晶体管,可以将IC晶体管彼此放置得更为接近。这减小了线路长度,并减小了信号延迟。但对于3D集成芯片的实际实现方式存在许多阻碍。一个此类阻碍是IC中的晶体管构造通常需要高温(高于约700℃),而在低温(低于约450℃)构成布线层。当暴露于高于约500℃的温度时,铜或铝布线层会受损。因而,3D集成IC制造造成了几个难题。

发明内容

[0004] 本发明的实施例针对用于半导体集成电路的三维集成的系统和方法。

[0005] 在一个实施例中,一种方法,包括:将离子注入到第一半导体晶片中以促进热分离(thermal cleavage),及将所述第一半导体晶片氧化物接合到第二半导体晶片。将第一半导体晶片加热到等于或小于450℃的温度以导致热分离,从而留下第一半导体晶片的氧化物接合到第二半导体晶片的部分。通过在等于或小于450℃的温度下的外延生长过程中原位掺杂来形成第一半导体晶片的氧化物接合到第二半导体晶片的所述部分中的多个纳米线晶体管的源极和漏极。

[0006] 在另一个实施例中,一种装置,包括:硅衬底;和顶层(top tier),其氧化物接合到所述硅衬底,所述顶层包括多个纳米线晶体管,其中,所述多个纳米线晶体管中的每一个纳米线晶体管都包括源极、漏极和沟道,所述沟道具有小于源极和漏极的掺杂浓度。

[0007] 在另一个实施例中,一种装置,包括:硅衬底;底层,其形成于所述硅衬底上,所述底层包括多个晶体管;顶层,其氧化物接合到所述底层,所述顶层包括多个纳米线晶体管,其中,所述多个纳米线晶体管中的每一个纳米线晶体管都包括源极、漏极和沟道,所述沟道具有小于源极和漏极的掺杂浓度;以及用于连接的模块,所述用于连接的模块将所述底层中的多个晶体管中的至少一个晶体管连接到所述顶层中的多个纳米线晶体管中的至少一个纳米线晶体管。

[0008] 在另一个实施例中,一种方法,包括:用于注入离子的模块,所述用于注入离子的模块促进第一半导体晶片中的热分离;用于接合的模块,所述用于接合的模块将所述第一半导体晶片氧化物接合到第二半导体晶片,所述第二半导体晶片包括晶体管的底层;用于加热的模块,所述用于加热的模块将第一半导体晶片加热到等于或小于450℃的温度以导致热分离,从而留下第一半导体晶片的氧化物接合到所述底层的部分;以及用于掺杂的模

块,所述用于掺杂的模块在等于或小于450℃的温度下的外延生长过程中原位掺杂,以形成第一半导体晶片的氧化物接合到所述底层的所述部分中的多个纳米线晶体管的源极和漏极。

附图说明

[0009] 提供了附图以有助于对本发明实施例的说明,这些附图仅仅是为了对实施例进行举例说明而提供的,而并非对实施例进行限制。

[0010] 图1示出了根据实施例的各种纳米线晶体管。

[0011] 图2A和2B示出了根据实施例的工艺流程中的各个结构和步骤。

[0012] 图3示出了根据实施例的工艺流程中的各个步骤。

[0013] 图4示出了实施例可以应用于其中的无线通信系统。

具体实施方式

[0014] 在以下的说明和相关附图中针对本发明的特定实施例公开了本发明的方案。在不脱离本发明的范围的情况下,可以设计可替换的实施例。另外,将不详细说明或将省略本发明的公知的元件,以免使得本发明的相关细节模糊不清。

[0015] 本文所用的词语“示例性的”表示“充当实例、例子或举例说明”。本文说明为“示例性”的任何实施例都不必然解释为相对于其他实施例是优选或有优势的。类似的,短语“本发明的实施例”不要求本发明的所有实施例都包括所述的特征、优点或操作模式。

[0016] 本文所用的词语仅是为了说明特定实施例,而并非旨在限制本发明的实施例。如本文使用的,单数形式“一”和“所述”旨在也包括复数形式,除非上下文明确表明并非如此。会进一步理解,本文使用的词语“包括”和/或“包含”指明所述的特征、整数、步骤、操作、元件和/或部件的存在,但并不排除一个或多个其他特征、整数、步骤、操作、元件、部件和/或其组合的存在或添加。

[0017] 此外,按照例如由计算设备的元件所执行的操作的顺序说明了许多实施例。会认识到,特定电路(例如专用集成电路(ASIC))、执行程序指令的一个或多个处理器,或者二者的组合,可以执行本文所述的各个操作。另外,本文所述的这些操作序列可以认为是整体包含在任何形式的计算机可读存储介质中,在其中存储了相应的计算机指令集,其在执行时会使得相关处理器执行本文所述的功能。因此,本发明的各个方案可以包含在多个不同形式中,其全部设想为在所要求主题的范围。另外,对于本文所述的每一个实施例,任何此类实施例的相应形式在本文中都可以描述为例如“逻辑,被配置为”执行所述操作。

[0018] 实施例包括纳米线晶体管的一个或多个顶部有源层,其相邻于有源CMOS(互补金属氧化物半导体)器件的底部层形成。顶部层(top layer)可以称为顶层,底部层可以称为底层。在最终的组件中,底部层或底层相邻于它形成于其上的晶片衬底,并相比于顶部层或顶层与晶片衬底最接近。

[0019] 纳米线晶体管是少结型晶体管。参考图1,示出了简化透视图100,包括源极一沟道一漏极区102、栅极104和布置在栅极104与源极一沟道一漏极区102之间的电介质106。电介质106可以是高K电介质。结构显示为集成在电介质膜108上。取决于如何对源极一沟道一漏极区102进行掺杂,可以获得各种类型的纳米线晶体管:p沟道场箍缩(p-channel field

pinched) 纳米线晶体管110、n沟道场箍缩纳米线晶体管112、n型反转沟道纳米线晶体管114、和p型反转沟道纳米线晶体管116。用于这些纳米线晶体管中每一个的半导体材料可以是硅(Si)，栅极可以是金属或多晶硅。

[0020] 由纳米线晶体管110、112、114和116所指示的视图是纳米线晶体管100的简化横截面图。通过指出坐标系118指代纳米线晶体管100的定向，坐标系120指代纳米线晶体管110、112、114和116的定向来指示这些视图间的关系，以使得后者纳米线晶体管的视图表示在纳米线晶体管100的y-z平面中的一个切片。

[0021] 纳米线晶体管110和112以累积模式工作，纳米线晶体管114和116以反转模式工作。纳米线晶体管110的沟道122是轻掺杂(p+) p型半导体，其中典型的掺杂浓度可以约为 10^{18}cm^{-3} 。其他实施例可以具有不同的掺杂浓度，例如，小于 10^{18}cm^{-3} 的掺杂浓度。源极和漏极区124和126是高掺杂(p++) p型，其中典型的掺杂浓度可以约为 10^{20}cm^{-3} 。其他实施例可以具有不同的掺杂浓度，例如，大于 10^{20}cm^{-3} 的掺杂浓度。纳米线晶体管112的沟道128是轻掺杂(n+) n型，其中典型的掺杂浓度可以约为 10^{18}cm^{-3} 。其他实施例可以具有不同的掺杂浓度，例如，小于 10^{18}cm^{-3} 的掺杂浓度。源极和漏极区130和132是高掺杂(n++) n型，其中典型的掺杂浓度可以约为 10^{20}cm^{-3} 。其他实施例可以具有不同的掺杂浓度，例如，大于 10^{20}cm^{-3} 的掺杂浓度。

[0022] 纳米线晶体管114的沟道134未掺杂(中性或0施主浓度)；源极和漏极区136和138是高掺杂(n++) n型，其中典型的掺杂浓度可以约为 10^{20}cm^{-3} 。其他实施例可以具有不同的掺杂浓度，例如，大于 10^{20}cm^{-3} 的掺杂浓度。纳米线晶体管116的沟道140未掺杂；源极和漏极区142和144是高掺杂(p++) p型，其中典型的掺杂浓度可以约为 10^{20}cm^{-3} 。其他实施例可以具有不同的掺杂浓度，例如，大于 10^{20}cm^{-3} 的掺杂浓度。

[0023] 作为纳米线晶体管基础的物理学一直是活跃的研究领域，在此无需为了理解和实践公开的实施例而详细论述其操作。

[0024] 图2A和2B表示根据实施例的工艺流程。在步骤200中，借助掩模离子注入法来掺杂硅晶片202，以形成包括n型和p型区的有源层(顶层)。为了易于说明，图2A中仅示出了两个这种区域：n型区204和p型区206。电介质沉积或氧化在有源层之上形成薄氧化物层208。在约1000℃执行高温、热活化退火。

[0025] 包括n型区204和p型区206的有源层会在最终的3D集成电路中形成顶层部分264(见图2B)。更准确地，有源层的包括区域204和206的部分会形成顶层部分264，如稍后所述的。n型区204和p型区206是轻掺杂的，例如在大约 10^{18}cm^{-3} 的施主浓度。这些区域会形成用于顶层264中的纳米线晶体管的沟道，以及用于这些纳米线晶体管的源极和漏极的部分。

[0026] 在步骤210中，执行离子注入，以限定分离界面212。界面212在包括区域204和208的有源区内。对于一些实施例，离子可以是氢离子。

[0027] 在步骤214中，将晶片202翻转并氧化物接合到晶片216。在相对低的温度下执行氧化物接合，例如在等于或小于400℃的温度下。为了易于举例说明，步骤214实际上没有显示出接合到晶片216的晶片202，但在接合过程中，晶片202中的氧化物层208接合到晶片216中的氧化物层218。晶片216充当用于最终3D集成电路的衬底，因此会被称为衬底216。

[0028] 在晶片216中形成的是CMOS有源层，包括pMOSFET(金属氧化物半导体场效应晶体管)和nMOSFET器件，具有金属层和过孔，用于建立到这些CMOS器件的源极、漏极和栅极的电

连接。例如,示出三个形成于衬底216上的CMOS器件,其中,例如一个CMOS器件221包括源极和漏极区220和222、沟道224、栅极228和布置在栅极228与沟道224之间的电介质226。形成于衬底216上的CMOS集成电路的其他特征是一个或多个金属层,例如金属层230;和将器件端子连接到一个或多个金属层的过孔,例如过孔232。在衬底216上的CMOS有源层是最终的3D集成电路中的底层233。

[0029] 到达步骤234,将接合的晶片加热到相对低的温度,例如等于或小于300℃,以使得晶片可以在分离界面212处分离。当去除晶片202的在分离界面212之上的部分时,形成于晶片202之上的包括区域204和206的有源层的薄膜(之前称为“部分”)现在保持接合到衬底216上的氧化物208。

[0030] 在图2B的步骤236中,在顶层有源层中形成氧化物隔离槽。例如,在步骤236中示出了四个氧化物隔离槽238、240、242和244。结果,将p型区206的在热分离后保留在衬底216上的部分隔离到p型区246和p型区248中;将剩余的n型区204的部分隔离到n型区250中。

[0031] 因为最初形成于晶片202上并接合到氧化物层208的有源区的部分非常薄,它基本上是透明的,因此在步骤236中所示的对准用于形成氧化物槽的多个掩模以及在顶层制造中的剩余步骤中形成的特征时使用光学对准是切实可行的。

[0032] 在CMP(化学机械抛光)平面化后,在步骤252中,执行栅极电介质和电极沉积,之后是栅极界定和间隔体形成。在等于或小于450℃的温度下,执行在外延生长过程中的原位掺杂,用于选择性源极和漏极形成。例如,在步骤252中,显示了p沟道场箍缩纳米线晶体管110,其具有源极和漏极区124和126、栅极104和栅极电介质106。

[0033] 步骤252包括多个制造步骤,用以完成3D集成,例如形成层间过孔,例如层间过孔254;形成到纳米线晶体管的源极、漏极和栅极的过孔,例如过孔256;和一个或多个金属层,用以形成互连,例如金属层258和260。还形成了氧化物层262,其包封金属层和纳米线晶体管。氧化物层262还可以充当接合表面,用于额外的顶级层(top tier layer),在此重复前述的步骤。

[0034] 对于一些实施例,修改步骤200,其中晶片202中的在最终集成电路中作为顶层部分的有源层是未掺杂的,或者包括多个未掺杂区。这产生了工作在反转模式中的纳米线晶体管,例如针对图1所述的纳米线晶体管114和116。

[0035] 图3描绘了上述的工艺流程。在第一晶片上执行带掩模的n型和p型离子注入,以形成n型和p型区,作为顶层中的有源层的部分(302)。n型和p型区是轻掺杂的,将用于为纳米线晶体管形成源极、漏极和沟道。对于一些实施例,不进行掺杂,所以不执行步骤302,或者对于一些实施例,一些区域不掺杂,其他区域轻掺杂。

[0036] 在有源区之上形成电介质或氧化层(304),以高温执行热活化和退火(306),以修复起因于离子注入的晶体损伤。执行氢离子注入,以界定分离界面(308),在低温下将第一晶片氧化物接合到第二晶片。

[0037] 如前所述,第二晶片已经在其上面形成了集成CMOS电路,在此,CMOS有源层会是3D集成电路的底层233。第二晶片充当用于3D集成电路的衬底。热活化分离界面,以使得可以从第二晶片去除大部分的第一晶片材料(312),在底层233上留下薄有源层,包括一部分之前形成的n型和p型区,它们将构成顶层中的纳米线晶体管的源极、漏极和沟道。

[0038] 制造用于顶层纳米线晶体管的栅极电介质和电极(314)。在外延生长过程中的低

温原位掺杂(316)用于为顶层纳米线晶体管形成源极和漏极。顶层中的触点、层内过孔、层间过孔和多个金属层被完成并由氧化物层包封(318)。

[0039] 图4示出了一种实施例可以应用于其中的无线通信系统。图4示出了无线通信网络402,包括基站404A、404B和404C。图4示出了通信设备,标记为406,其可以是移动蜂窝通信设备,例如所谓的智能电话、平板,或适合于蜂窝电话网络的一些其他种类的通信设备。通信设备406无需是移动的。在图4的特定实例中,通信设备406位于与基站404C相关联的小区内。箭头408和410分别图示地表示上行链路信道和下行链路信道,通信设备406通过它们与基站404C通信。

[0040] 实施例可以用于例如与通信设备406、基站404C或者二者相关联的数据处理系统中。图4仅示出了本文所述实施例可以用于其中的许多应用中的一个应用。

[0041] 希望根据所述实施例得到的结构提供1) 在没有TSV(穿硅过孔)区域的不利或增大的互连信号延迟的情况下,在三维电路中组装并连接晶体管;2) 减小用于每一个晶体管层的平均金属互连层,从而减小总互连RC延迟(这是以传统TSV方法难以实现的);3) 减轻晶片(管芯)接合对准的问题,从而允许穿过多层(半导体层)的非常准确的高密度过孔连接;4) 实现许多核心分布式存储器架构,其利用几千个或甚至几百万个过孔(这借助传统TSV宽I/O方法不易于实现);5) 三维IC和在每一层中具有高性能基本器件的架构;和6) 通过削减金属层使用、降低缺陷密度、增大产量并降低测试成本而减小晶体管集成成本。

[0042] 已经说明了这样的实施例,其中,底级层包括CMOS器件。但实施例不限于在CMOS器件的底层之上形成的纳米线晶体管的顶层。底层可以包括其他类型的晶体管,例如双极型器件。而且,对于一些实施例,无需存在器件的底层,而是纳米线晶体管可以氧化物接合到衬底,在此用于接合的氧化物充当绝缘体。

[0043] 本领域技术人员会意识到,可以使用任意各种不同技术和工艺来表示信息和信号。例如,在以上说明中通篇提及的数据、指令、命令、信息、信号、比特、符号和芯片可以由电压、电流、电磁波、磁场或粒子、光场或粒子,或者其任何组合来表示。

[0044] 此外,本领域技术人员会意识到,结合本文公开的实施例说明的多个说明性逻辑块、模块、电路和算法步骤可以实现为电子硬件、计算机软件,或二者的组合。为了清楚地示出硬件和软件的该可互换性,以上一般按照它们的功能说明了多个说明性的部件、块、模块、电路和步骤。这个功能是实现为硬件还是实现为软件取决于施加在总系统上的特定应用和设计约束。技术人员可以以针对每一个特定应用的不同方式来实现所述的功能,但这种实现方式决策不应解释为导致脱离本发明的范围。

[0045] 结合本文公开内容的实施例说明的方法、顺序和/或算法可以直接体现为硬件、由处理器执行的软件模块、或二者的组合。软件模块可以驻留在RAM存储器、闪存、ROM存储器、EPROM存储器、EEPROM存储器、寄存器、硬盘、可移动盘、CD-ROM,或者本领域中已知的任何其他形式的存储介质中。示例性存储介质耦合到处理器,以使得处理器可以从存储介质读取信息并向存储介质写入信息。可替换地,存储介质可以集成到处理器。

[0046] 因此,本发明的实施例可以包括计算机可读介质,其包含一种方法,用于在当前技术水平的微型制造环境中,在单一衬底之上一层接一层地顺序集成晶体管和IC组件。因此,本发明不限于所示的实例,用于执行本文所述功能的任何手段都包括在本发明的实施例中。

[0047] 尽管前述公开内容显示了本发明的示例性实施例,但应注意,在不脱离由所附权利要求书定义的本发明的范围的情况下,可以在此做出各种变化和修改。无需以任何特定顺序执行根据本文所述的本发明的实施例的方法权利要求的功能、步骤和/或操作。而且,尽管以单数形式说明或要求了本发明的元件,但也可以设想复数的情况,除非明确表述为限制为单数。

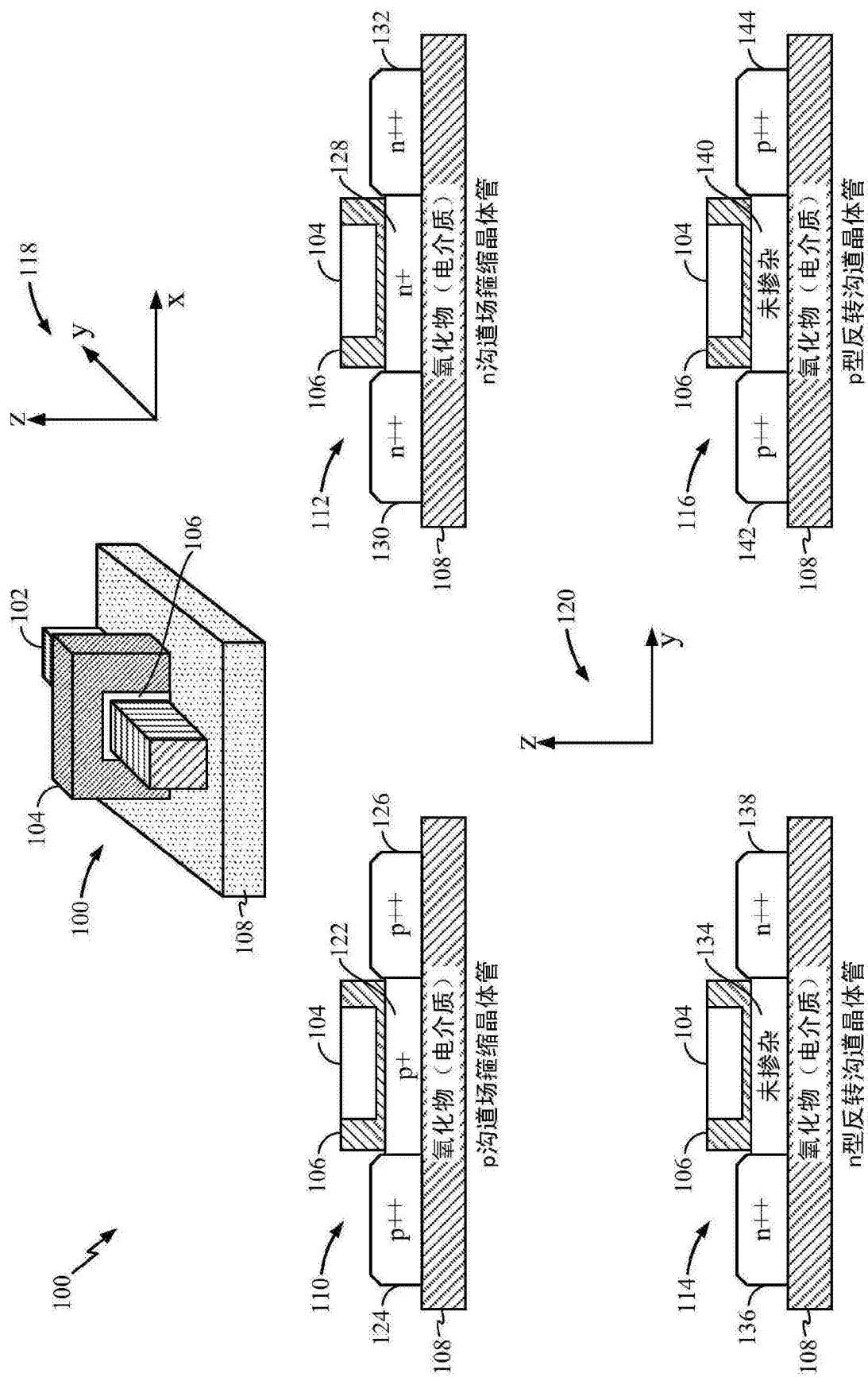


图1

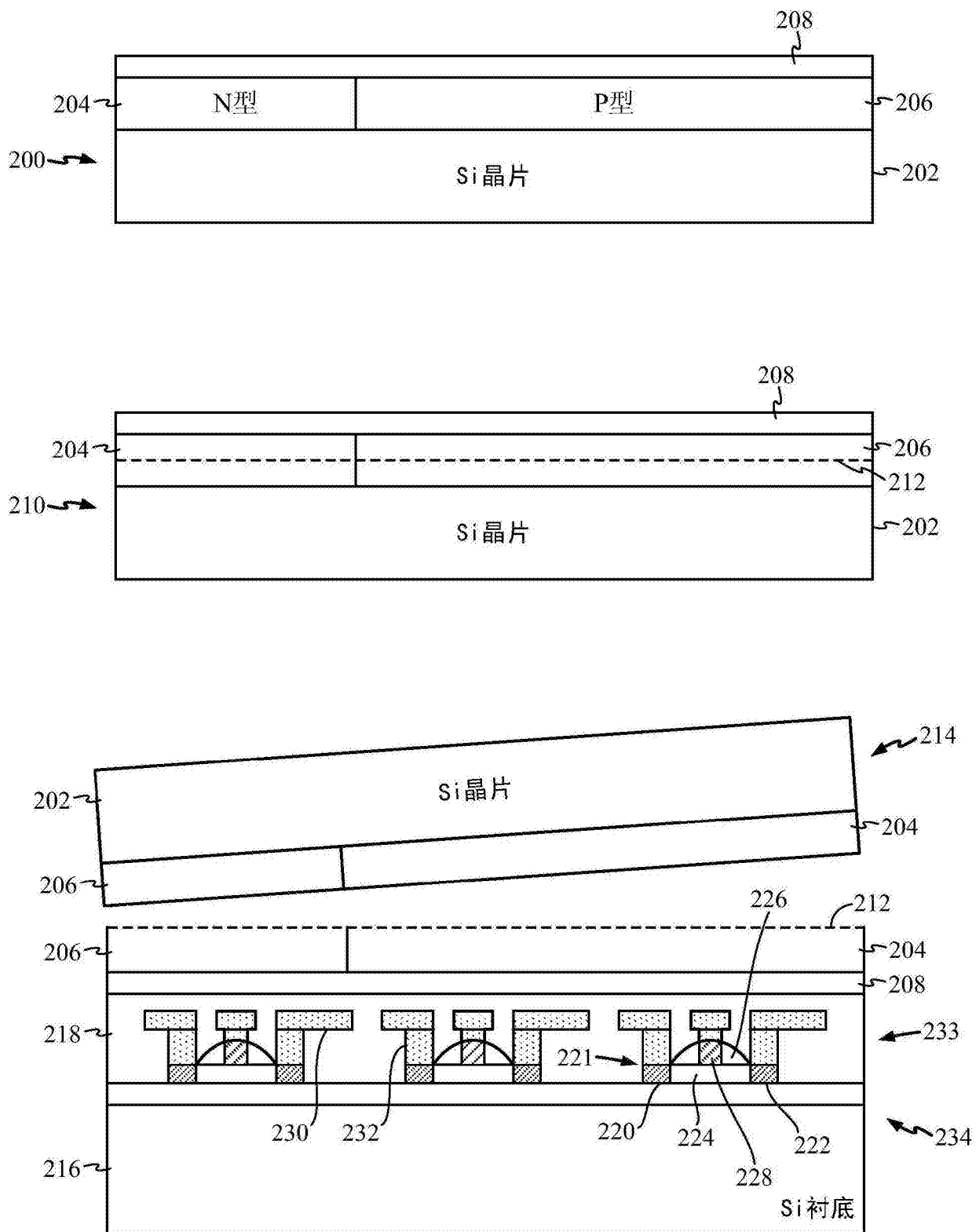


图2A

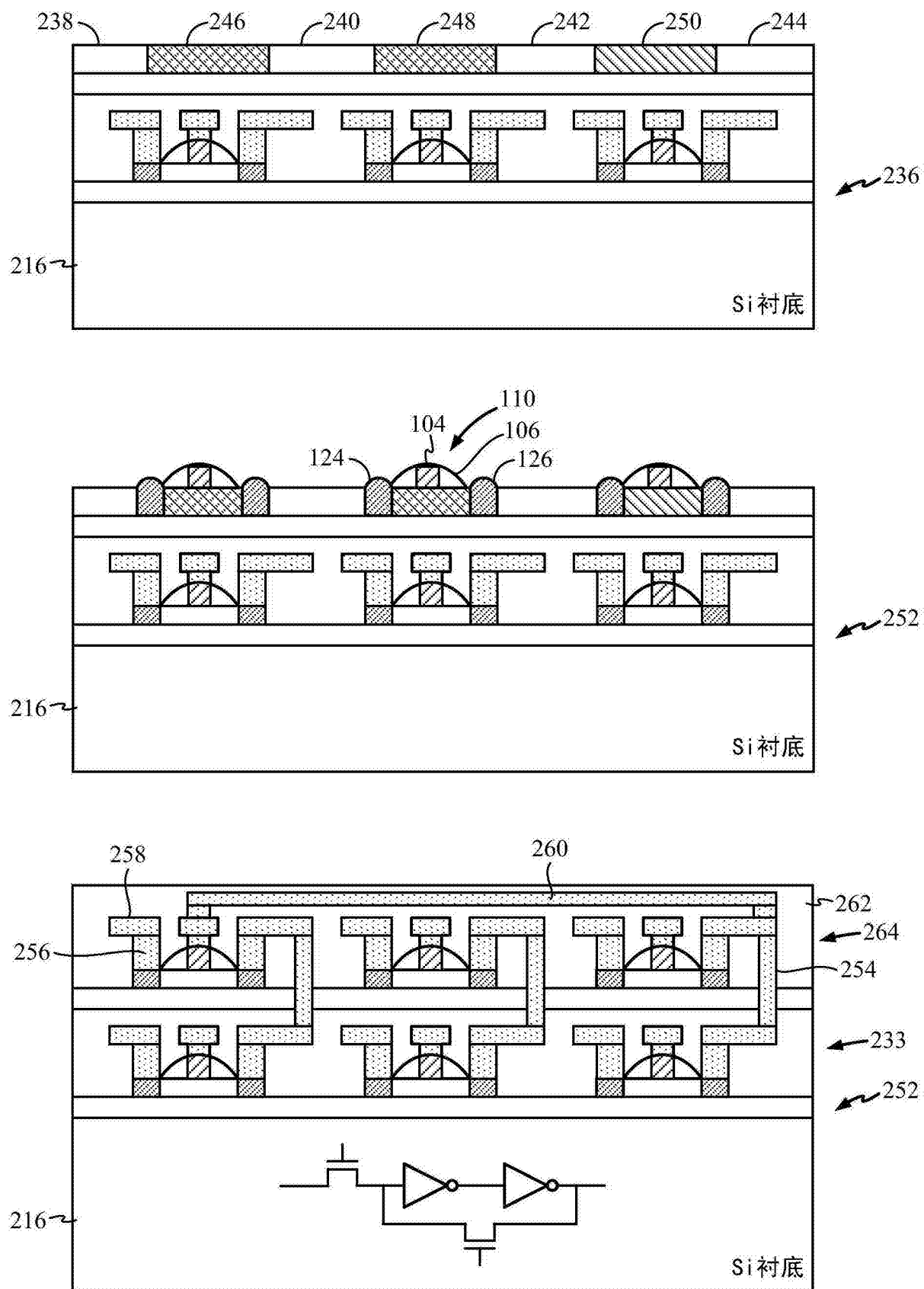


图2B

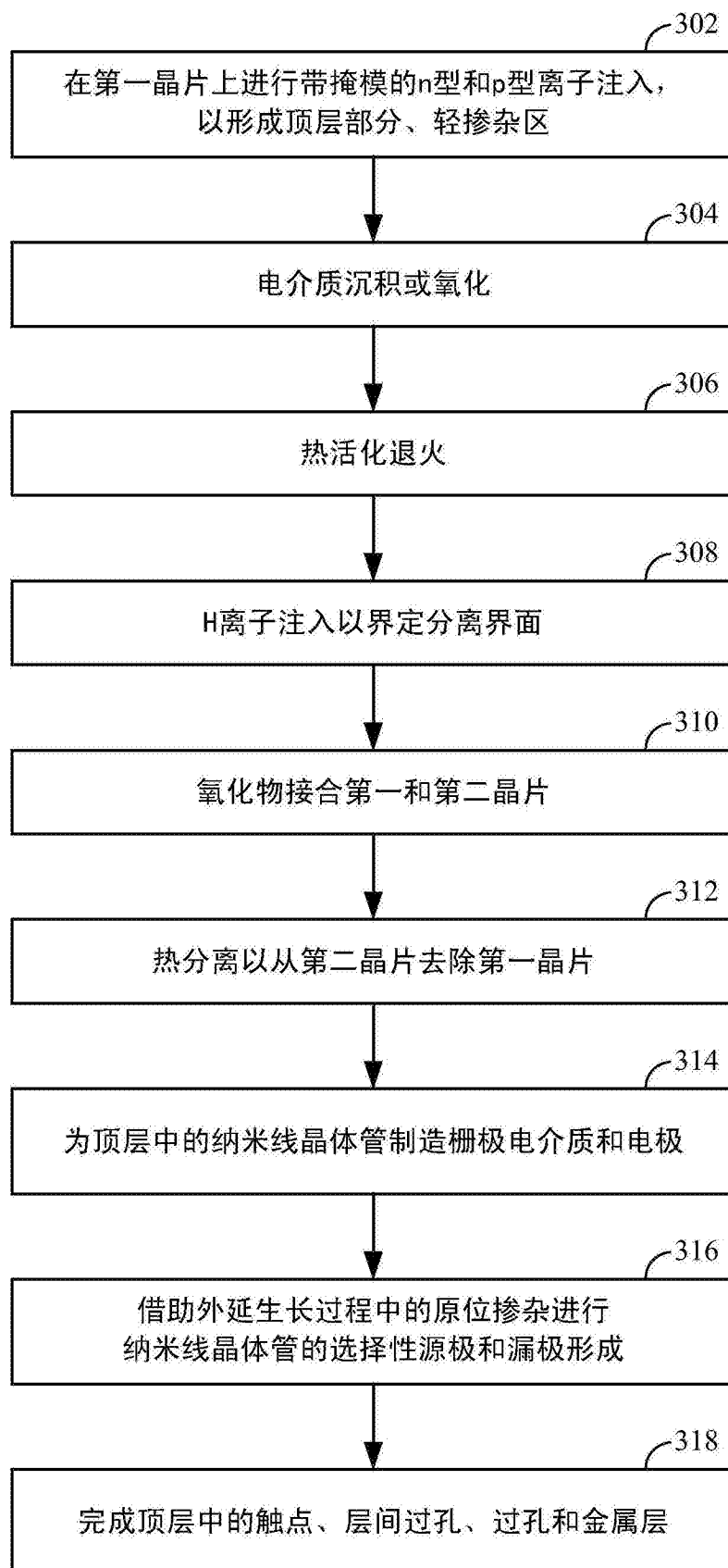


图3

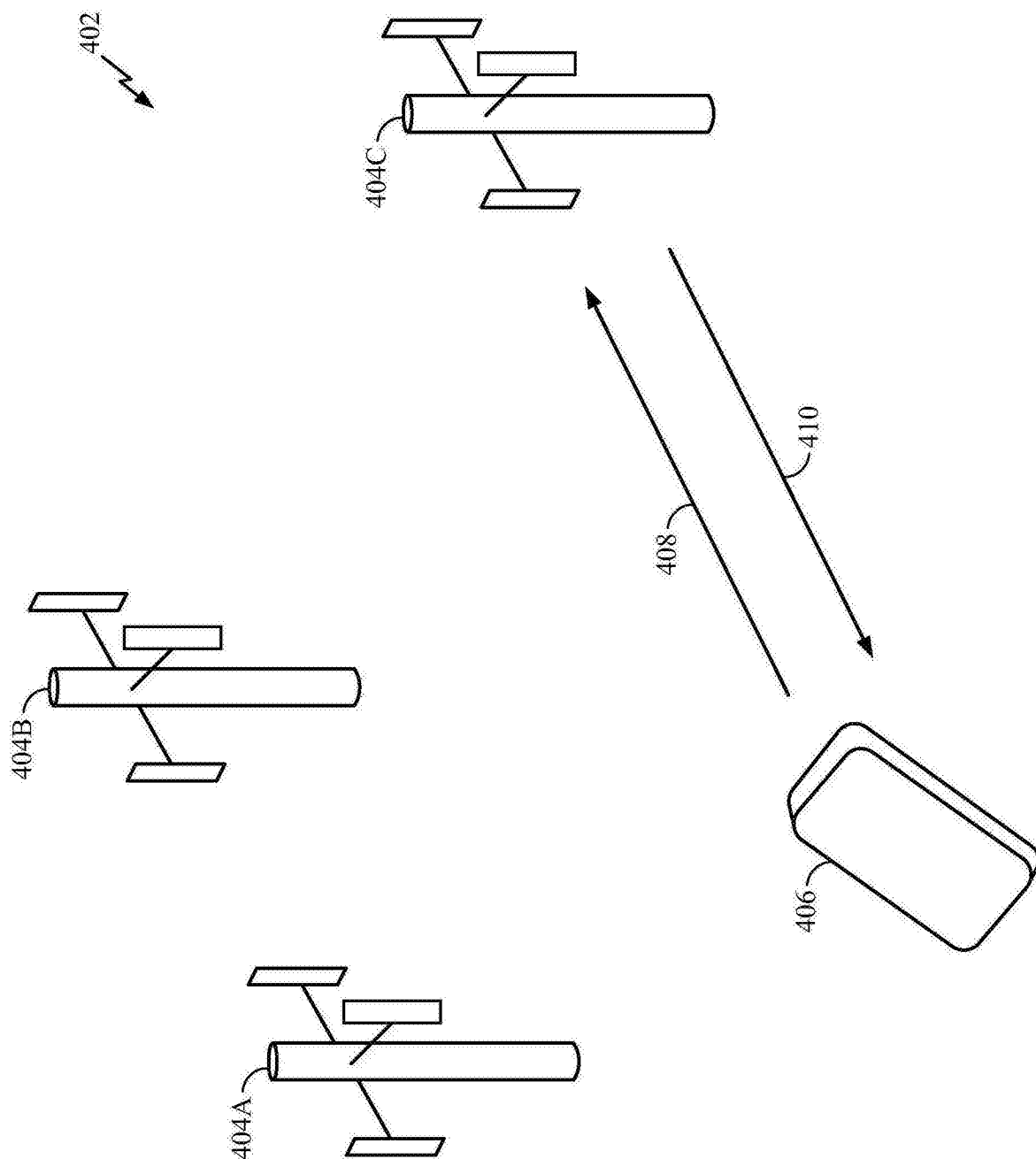


图4