

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2007 年 4 月 19 日 (19.04.2007)

PCT

(10) 国際公開番号
WO 2007/043683 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01) H05K 3/46 (2006.01)
- (21) 国際出願番号: PCT/JP2006/320574
- (22) 国際出願日: 2006 年 10 月 16 日 (16.10.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2005-300320
2005 年 10 月 14 日 (14.10.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): イビデン株式会社 (IBIDEN CO., LTD.) [JP/JP]; 〒5038604 岐阜県大垣市神田町二丁目一番地 Gifu (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 荻谷 隆 (KARIYA,

Takashi) [JP/JP]; 〒5010695 岐阜県揖斐郡揖斐川町北方 1-1 イビデン株式会社大垣北事業場内 Gifu (JP).
田中 宏徳 (TANAKA, Hironori) [JP/JP]; 〒5010695 岐阜県揖斐郡揖斐川町北方 1-1 イビデン株式会社大垣北事業場内 Gifu (JP).

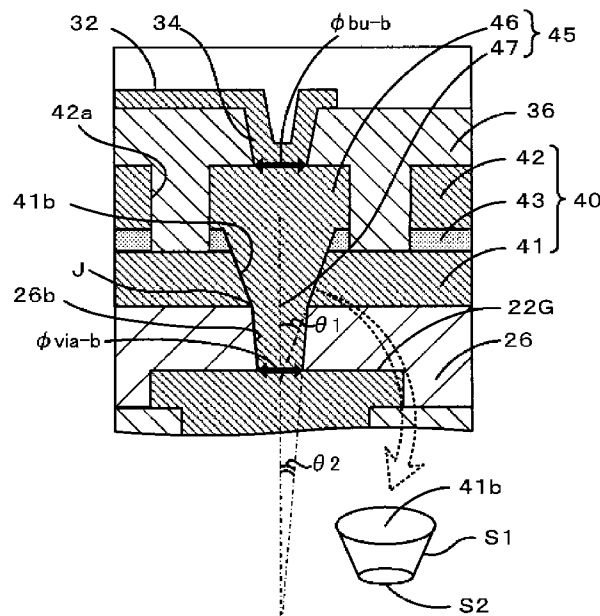
(74) 代理人: 特許業務法人アイテック国際特許事務所 (ITEC INTERNATIONAL PATENT FIRM); 〒4600008 愛知県名古屋市中区栄二丁目 9-2 6 ポーラ名古屋ビル Aichi (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK,

[続葉有]

(54) Title: PRINTED WIRING BOARD

(54) 発明の名称: プリント配線板



(57) Abstract: In a multilayer printed wiring board, a contact area (side area of a hole (41b) in a lower electrode) of a lower electrode (41) of a thin film capacitor (40) and a lower via hole conductor (45) is larger than a contact area (bottom area of the hole (41b)) when the via hole conductor is formed to abut to the lower electrode (41), and the lower electrode (41) is thicker than a BU conductor layer (32) of a build up section (30). Furthermore, the lower via hole conductor (45) is bent at a connecting section (J) of the hole (41b) in the lower electrode and a hole (26b) in an insulating layer. Thus, peeling is not easily generated between the lower via hole conductor (45) and the lower electrode (41) after heat cycle test.

(57) 要約: 実施形態の多層プリント配線板では、薄膜コンデンサ 40 の下部電極 41 と下部ビアホール導体 45 との接触面積 (下部電極内ホール 41b の側面積) がビアホール導体を下部電極 41 に突き当たる

[続葉有]

WO 2007/043683 A1



SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US,
UZ, VC, VN, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ように形成した場合の接触面積（下部電極内ホール41bの底面積）に比べて大きく、また、下部電極41の厚さがビルドアップ部30のBU導体層32よりも厚い。しかも、下部ビアホール導体45は下部電極内ホール41bと絶縁層内ホール26bとの接続部位Jにて屈曲している。このため、ヒートサイクル試験後に下部ビアホール導体45と下部電極41との間で剥離が生じにくい。

明 細 書

プリント配線板

技術分野

[0001] 本発明は、プリント配線板に関する。

背景技術

[0002] 従来より、種々の態様のプリント配線板が知られている。例えば、特開2005－191559号公報には、導体層と絶縁層とが繰り返し積層されたビルドアップ部と、セラミック製の高誘電体層を上部電極及び下部電極で挟み込んだ構造の薄膜コンデンサとを備えたプリント配線板が開示されている。このプリント配線板によれば、実装される半導体素子のオンオフの周波数が数GHzから数十GHzと高く電位の瞬時低下が起きやすい状況下であっても、薄膜コンデンサの静電容量が大きく十分なデカップリング効果を奏するため、電位の瞬時低下を防止することができる。

発明の開示

[0003] しかしながら、特開2005－191559号公報のプリント配線板では、プリント配線板を低温下に晒したあと高温下に晒すというサイクルを数百回繰り返しあとのプリント配線板の不具合(断線又は短絡)の有無を調べるヒートサイクル試験を行った場合、不具合が発生することがあった。

[0004] 本発明は、このような課題に鑑みなされたものであり、ヒートサイクル試験で不具合が発生するのを十分に抑制することのできるプリント配線板を提供することを目的とする。

[0005] 本発明は、上述の目的を達成するために以下の手段を採った。

[0006] 本発明は、半導体素子を実装するプリント配線板であって、

高誘電体層を上部電極及び下部電極で挟み込み、前記上部電極及び前記下部電極の一方が前記半導体素子の電源ラインに電氣的に接続され、前記上部電極及び前記下部電極の他方が前記半導体素子のグラウンドラインに電氣的に接続された薄膜コンデンサと、

該薄膜コンデンサの下に設けられ前記下部電極と接するコンデンサ下絶縁層と、

該コンデンサ下絶縁層を挟んで前記下部電極と対向する位置に設けられた下部電極対向導体層と、

前記コンデンサ下絶縁層を貫通する絶縁層内ホール及び前記下部電極を貫通し底面積よりも側面積の方が大きい下部電極内ホールに充填され、前記下部電極対向導体層と前記下部電極とを電氣的に接続する下部ビアホール導体と、

を備えたものである。

[0007] このプリント配線板では、薄膜コンデンサの下部電極と下部ビアホール導体との接触面積は、下部電極に下部ビアホール導体が貫通することなく突き当たるように形成した場合に比べて大きくなる。すなわち、下部電極に下部ビアホール導体が貫通することなく突き当たるように形成した場合、薄膜コンデンサの下部電極と下部ビアホール導体との接触面積は下部ビアホール導体のトップ部の面積となるが、これは本発明の下部電極内ホールの底面積に相当する。これに対して、本発明では、薄膜コンデンサの下部電極と下部ビアホール導体との接触面積は下部電極内ホールの側面積となり、これは下部電極内ホールの底面積よりも大きく形成されている。したがって、薄膜コンデンサの下部電極と下部ビアホール導体との接触面積は、下部電極に下部ビアホール導体が貫通することなく突き当たるように形成した場合に比べて大きくなり、その分、ヒートサイクル試験後に下部ビアホール導体と下部電極との間で剥離が生じにくい。したがって、ヒートサイクル試験で不具合が発生するのを十分に抑制することのできる

[0008] 本発明のプリント配線板において、前記絶縁層内ホールの母線と前記下部電極内ホールの母線とは、接続部位にて屈曲していることが好ましい。こうすれば、下部ビアホール導体も屈曲していることになるため、屈曲部位を基点として変形しやすいことから応力を緩和しやすい。

[0009] このように絶縁層内ホールの母線と下部電極内ホールの母線とが接続部位にて屈曲している場合において、前記絶縁層内ホール及び前記下部電極内ホールは共に下方に向かって小径となる円錐台状に形成され、前記絶縁層内ホールのテーパ角よりも前記下部電極内ホールのテーパ角が大きくなるようにしてもよいし、あるいは、前記絶縁層内ホールは円柱状に形成され、前記下部電極内ホールは下方に向かって小

径となる円錐台状に形成されていてもよい。

- [0010] 本発明のプリント配線板は、前記薄膜コンデンサの上側又は下側にビルドアップ部、を備え、前記下部電極層は前記ビルドアップ部を構成するビルドアップ部内導体層よりも厚く形成されていてもよい。こうすれば、薄膜コンデンサの下部電極と下部ビアホール導体との接触面積を比較的容易に大きくすることができる。また、コンデンサの電極を低抵抗にすることができる。このとき、前記下部ビアホール導体のうち前記下部電極対向導体層と接するボトム部の径を、前記ビルドアップ部内導体層同士を電氣的に接続するビルドアップ部内ビアホール導体のうち前記ビルドアップ部内導体層と接するボトム部の径より小さくしてもよい。本発明の下部ビアホール導体は、下部電極対向導体層と突き当たった状態で接触しているものの、下部電極と側面で接触しているため接触強度が高い。これに対して、一般にビルドアップ部内ビアホール導体はビルドアップ部内導体層と突き当たった状態で接触しているのみのことが多いため、その接触箇所に応力が集中すると剥離しやすい。したがって、下部ビアホール導体のうち下部電極対向導体層と突き当たっている部分の面積を、ビルドアップ部内ビアホール導体のうちビルドアップ部内導体層と突き当たっている部分の面積より小さくし、下部ビアホール導体に応力を受けやすくすることにより、ビルドアップ部内ビアホール導体にかかる応力を小さくし、ひいては、全体の応力に対する抵抗力を上げることができる。
- [0011] なお、本明細書では「上」「下」「右」「左」等の語句を用いて説明しているが、これらの語句は構成要素の位置関係を明らかにするために用いているに過ぎない。したがって、例えば「上」「下」を逆にしたり「右」「左」を逆にしたりしてもよい。

図面の簡単な説明

- [0012] [図1]多層プリント配線板10の平面図である。
- [図2]多層プリント配線板10の要部断面図である。
- [図3]図3の部分拡大図である。
- [図4]多層プリント配線板10内の薄膜コンデンサ40の斜視図である。
- [図5]多層プリント配線板10の製造工程の説明図である。

[図6]多層プリント配線板10の製造工程の説明図である。

[図7]多層プリント配線板10の製造工程の説明図である。

[図8]多層プリント配線板10の製造工程の説明図である。

[図9]多層プリント配線板10の製造工程の説明図である。

[図10]比較例の説明図である。

[図11]表1のパラメータの説明図である。

[図12]多層プリント配線板10の断面の模式図である。

発明を実施するための最良の形態

- [0013] 次に、本発明の実施の形態を図面に基づいて説明する。図1は本発明の一実施形態である多層プリント配線板10の平面図、図2はこの多層プリント配線板10の要部断面図、図2は図3の部分拡大図、図4は多層プリント配線板10内の薄膜コンデンサ40の斜視図である。
- [0014] 本実施形態の多層プリント配線板10は、図1に示すように表面に半導体素子70を実装する実装部60を備えている。この実装部60には、半導体素子70を接地するグラウンドラインに接続されるグラウンド用パッド61と、半導体素子70に電源電位を供給する電源ラインに接続される電源用パッド62と、半導体素子70に信号を入出力するシグナルラインに接続されるシグナル用パッド63とが設けられている。本実施形態では、グラウンド用パッド61と電源用パッド62を中央付近に格子状又は千鳥状に配列し、その周りにシグナル用パッド63を格子状又は千鳥状又はランダムに配列している。グラウンド用パッド61は、電源ラインやシグナルラインとは独立して多層プリント配線板10の内部に形成されたグラウンドラインを介して実装部60とは反対側の面に形成されたグラウンド用外部端子(図示せず)に接続され、電源用パッド62は、グラウンドラインやシグナルラインとは独立して多層プリント配線板10の内部に形成された電源ラインを介して実装部60とは反対側の面に形成された電源用外部端子(図示せず)に接続されている。なお、電源ラインは薄膜コンデンサ40(図2参照)の上部電極42と接続され、グラウンドラインは薄膜コンデンサ40の下部電極41と接続されている。シグナル用パッド63は、電源ラインやグラウンドラインとは独立して多層プリント配線板10の内部に形成されたシグナルラインを介して実装部60とは反対側の面に形成されたシグナル用外

部端子(図示せず)に接続されている。なお、実装部60のパッド総数は、1000～30000である。

- [0015] また、多層プリント配線板10は、図2に示すように、コア基板20と、このコア基板20の上側にコンデンサ下絶縁層26を介して形成された薄膜コンデンサ40と、この薄膜コンデンサ40の上側に形成されたビルドアップ部30と、このビルドアップ部30の最上層に形成された実装部60とを備えている。なお、実装部60の各パッドはビルドアップ部30内に積層された配線パターンであるビルドアップ部内導体層(BU導体層)32と電氣的に接続されている。
- [0016] コア基板20は、BT(ビスマレイミドートリアジン)樹脂やガラスエポキシ基板等からなるコア基板本体21の表裏両面に形成された銅からなる導体層22、22と、コア基板本体21の表裏を貫通するスルーホールの内周面に形成された銅からなるスルーホール導体24とを有しており、両導体層22、22はスルーホール導体24を介して電氣的に接続されている。
- [0017] 薄膜コンデンサ40は、図2～図4に示すように、セラミック系の高誘電体材料を高温で焼成した高誘電体層43と、この高誘電体層43を挟む下部電極41及び上部電極42とで構成されている。この薄膜コンデンサ40のうち、下部電極41はニッケル電極であり実装部60のグランド用パッド61に電氣的に接続され、上部電極42は銅電極であり実装部60の電源用パッド62に電氣的に接続される。このため、下部電極41及び上部電極42はそれぞれ実装部60に実装される半導体素子70のグランドライン及び電源ラインに接続される。また、下部電極41は、高誘電体層43の下面に形成されたベタパターンであって、コア基板20の導体層22のうち電源ライン用の導体層22Pと上部電極42とを電氣的に接続する上部ビアホール導体48を非接触な状態で貫通する通過孔41aを有している。なお、下部電極41は、各シグナルラインを非接触状態で上下に貫通する貫通孔を有していてもよいが、それよりも下部電極41の外側に各シグナルラインが形成されている方が好ましい(図12参照)。一方、上部電極42は、高誘電体層43の上面に形成されたベタパターンであって、コア基板20の導体層22のうちグランド用の導体層22Gと下部電極41とを電氣的に接続する下部ビアホール導体45を非接触な状態で貫通する通過孔42aを有している。なお、上部電極42は、

図示しないが、各シグナルラインを非接触状態で上下に貫通する貫通孔を有していてもよいが、それよりも上部電極42の外側に各シグナルラインが形成されている方が好ましい(図12参照)。高誘電体層43は、 BaTiO_3 、 SrTiO_3 、 TaO_3 、 Ta_2O_5 、PZT、PLZT、PNZT、PCZT、PSZTからなる群より選ばれた1種又は2種以上の金属酸化物を含んでなる高誘電体材料を0.1~10 μm の薄膜状にしたあと焼成してセラミックにしたものである。

[0018] ここで、下部ビアホール導体45は、図3に示すように、上部電極42の通過孔42aの内周縁から離間している円板部46と、下部電極41を貫通する下部電極内ホール41b及びコンデンサ下絶縁層26を貫通する絶縁層内ホール26bに導体(金属又は導電性樹脂)が充填されてなる導体主要部47とを備え、円板部46と導体主要部47とは一体化されている。また、下部電極内ホール41bは、下方に向かって小径となる円錐台形状に形成され、その円錐台の底面積つまり下部電極41の裏面に開口している面積よりも、円錐台の側面積つまり下部電極41の内壁の面積の方が大きくなるように形成されている。絶縁層内ホール26bは、同じく下方に向かって小径となる円錐台形状に形成されている。そして、下部電極内ホール41bのテーパ角 θ_1 は、絶縁層内ホール26bのテーパ角 θ_2 よりも大きくなるように形成されている。この結果、絶縁層内ホール26bの母線と下部電極内ホール41bの母線とは接続部位Jにて屈曲している。但し、絶縁層内ホール26bは、断面積が下部電極内ホール41bの底面積と一致する円柱状に形成されていてもよく、この場合も接続部位にて屈曲する。更に、下部ビアホール導体45のボトム部(コア基板20のグランド用の導体層22Gと接する部分)の径 $\phi_{\text{via-b}}$ は、ビルドアップ部30のビルドアップ部内ビアホール導体(BUビアホール導体)34のボトム部(円板部46と接する部分)の径 $\phi_{\text{bu-b}}$ より小さくなるように形成されている。このように下部電極内ホール41bがテーパ孔(円錐台形状)となっているため、円柱孔の場合に比べて下部ビアホール導体45と下部電極41との接触面積が増える。

[0019] ビルドアップ部30は、薄膜コンデンサ40の上側にビルドアップ部内絶縁層(BU絶縁層)36とBU導体層32とを交互に積層したものであり、BU絶縁層36を挟んで上下に配置されたBU導体層32同士やBU絶縁層36を挟んで上下に配置されたBU導体

層32と薄膜コンデンサ40とはBUビアホール導体34を介して電氣的に接続されている。なお、ビルドアップ部30のファイン化を考慮して、BU導体層32の厚さは下部電極41よりも薄くなっている。また、ビルドアップ部30の最表層には実装部60が形成されている。このようなビルドアップ部30は、周知のサブトラクティブ法やアディティブ法（セミアディティブ法やフルアディティブ法を含む）により形成されるが、例えば以下のようにして形成される。すなわち、まず、コア基板20の表裏両面にBU絶縁層36（常温でのヤング率が例えば2～7GPa）となる樹脂シートを貼り付ける。この樹脂シートは、変成エポキシ系樹脂シート、ポリフェニレンエーテル系樹脂シート、ポリイミド系樹脂シート、シアノエステル系樹脂シートなどで形成され、その厚みは概ね20～80 μ mである。かかる樹脂シートは、シリカ、アルミナ、ジルコニア等の無機成分が分散されていてもよい。次に、貼り付けた樹脂シートに炭酸ガスレーザやUVレーザ、YAGレーザ、エキシマレーザなどによりスルーホールを形成し、この樹脂シートの表面とスルーホールの内部に無電解銅めっきを施して導体層とする。この導体層上にめっきレジストを形成し、めっきレジスト非形成部に電解銅めっきを施した後、レジスト下の無電解銅めっきをエッチング液で除去することによりBU導体層32が形成される。なお、スルーホール内部の導体層がBUビアホール導体34となる。あとは、この手順を繰り返すことによりビルドアップ部30が形成される。本実施形態では、薄膜コンデンサ40の下部電極41はBU導体層32よりも厚く形成されている。

[0020] 次に、このように構成された多層プリント配線板10の使用例について説明する。まず、裏面に多数のはんだバンプが配列された半導体素子70を実装部60に載置する。このとき、半導体素子70のグランド用端子、電源用端子、シグナル用端子をそれぞれ実装部60のグランド用パッド61、電源用パッド62、シグナル用パッド63と接触させる。続いて、リフローにより各端子をはんだにより接合する。その後、多層プリント配線板10をマザーボード等の他のプリント配線板に接合する。このとき、予め多層プリント配線板10の裏面に形成されたパッドにはんだバンプを形成しておき、他のプリント配線板上の対応するパッドと接触させた状態でリフローにより接合する。多層プリント配線板10に内蔵された薄膜コンデンサ40は、誘電率の高いセラミックからなる高誘電体層43を有していることや下部電極41及び上部電極42はベタパターンであり面積

が大きいことから静電容量が大きいので、十分なデカップリング効果を奏することが可能となり、実装部60に実装した半導体素子70(IC)のトランジスタが電源不足となりにくい。なお、必要に応じて、多層プリント配線板10の実装部60の周囲にチップコンデンサを搭載してもよい。

- [0021] 次に、本実施例の多層プリント配線板10の製造手順について、図5～図9に基づいて説明する。まず、図5(a)に示すように、コア基板20を用意し、このコア基板20の上に真空ラミネータを用いて熱硬化性絶縁フィルム(味の素社製のABF-45SH、図2のコンデンサ下絶縁層26となるもの)を温度50～150℃、圧力0.5～1.5MPaというラミネート条件下で貼り付けた。続いて、予め作製しておいた厚膜でニッケル製の金属箔422と銅製の金属箔426とで高誘電体層424をサンドイッチした構造の高誘電体シート420を熱硬化性絶縁フィルムの上に真空ラミネータを用いて温度50～150℃、圧力0.5～1.5MPaというラミネート条件下で貼り付け、その後150℃で1時間乾燥させた(図5(b)参照)。これにより、熱硬化性絶縁フィルムは硬化して層間絶縁層410となった。このとき、高誘電体シート420の金属箔422とコア基板20の導体層22との距離が30 μ mとなるようにした。なお、高誘電体シート420は、金属箔422の表面を粗化したものを用いた。この粗化は、ここではインタープレートプロセス(荏原ユーザライト製)を用いて行った。ラミネートする際の高誘電体シート420の両金属箔422, 426は、いずれも回路形成されていないベタ層とした。これは以下の理由による。すなわち、両金属箔422, 426の一部をエッチング等で除去すると、(i)表裏で金属の残存率が変わったり、除去した部分が起点となって高誘電体シートが曲がったり折れたりすることがあること、(ii)金属箔の一部を除去するとエッジが生成することとなり、その部分にラミネート圧力が集中すること、(iii)高誘電体層に直接ラミネータが接触することとなること等が原因で、高誘電体層にクラックが入りやすくなり、そのクラック部分に後のめっき工程でめっきが充填されると両金属箔間でショートしてしまう。また、ラミネート前に電極の一部を除去すると、高誘電体シートの静電容量が減少するという問題もおこるし、その高誘電体シートをラミネートする場合、高誘電体シートとコア基板20とを位置合わせして貼りつける必要も生じる。更に、高誘電体シートが比較的薄く剛性があまりないので、金属箔の一部を除去する際の位置精度が悪くなる。それ

に加え、アライメント精度を考慮して金属箔の一部を除去する必要があるので、大きめに金属箔を除去する必要があるし、アライメント精度も高誘電体シートが薄いので悪い。以上のことから、ラミネートする際の高誘電体シート420の両金属箔422, 426は、いずれも回路形成されていないベタ層であることが好ましいのである。

[0022] 次に、高誘電体シート420の作製手順について説明する。

(1) 乾燥室素中において、濃度1.0モル／リットルとなるように秤量したジエトキシバリウムとビテトライソプロポキシドチタンを、脱水したメタノールと2-メトキシエタノールとの混合溶媒(体積比3:2)に溶解し、室温の窒素雰囲気下で3日間攪拌してバリウムとチタンのアルコキシド前駆体組成物溶液を調整した。次いで、この前駆体組成物溶液を0℃に保ちながら攪拌し、あらかじめ脱炭酸した水を0.5マイクロリットル／分の速度で窒素気流中で噴霧して加水分解した。

(2) このようにして作製されたゾルーゲル溶液を、0.2ミクロンのフィルターを通し、析出物等をろ過した。

(3) 上記(2)で作製したろ過液を厚さ14 μm のニッケル製の金属箔422(後に下部電極41となる)上に1500rpmで1分間スピコートした。溶液をスピコートした基板を150℃に保持されたホットプレート上に3分間置き乾燥した。その後基板を850℃に保持された電気炉中に挿入し、15分間焼成を行った。ここで、1回のスピコート／乾燥／焼成で得られる膜厚が0.03 μm となるようゾルーゲル液の粘度を調整した。なお、下部電極41としてはニッケルの他に、銅、白金、金、銀等を用いることもできる。

(4) スピコート／乾燥／焼成を25回繰り返し、厚さ0.75 μm の高誘電体層424を得た。

(5) その後、スパッタ等の真空蒸着装置を用いて高誘電体層424の上に銅層を形成し更にこの銅層上に電解めっき等で銅を10 μm 程度足すことにより、金属箔426(後に上部電極42の一部をなす)を形成した。このようにして、高誘電体シート420を得た。誘電特性は、INPEDANCE/GAIN PHASE ANALYZER(ヒューレットパッカード社製、品名:4194A)を用い、周波数1kHz、温度25℃、OSCレベル1Vという条件で測定したところ、その比誘電率は、1300であった。なお、真空蒸着は銅以外に白金

、金等の金属層を形成してもよいし、電解めっきも銅以外にニッケル、スズ等の金属層を形成してもよい。また、高誘電体層をチタン酸バリウムとしたが、他のゾルーゲル溶液を用いることで、高誘電体層をチタン酸ストロンチウム(SrTiO_3)、酸化タンタル(TaO_3 、 Ta_2O_5)、チタン酸ジルコン酸鉛(PZT)、チタン酸ジルコン酸ランタン鉛(PLZT)、チタン酸ジルコン酸ニオブ鉛(PNZT)、チタン酸ジルコン酸カルシウム鉛(PCZT)及びチタン酸ジルコン酸ストロンチウム鉛(PSZT)のいずれかにすることも可能である。

[0023] なお、高誘電体シート420のその他の作製方法として、以下の方法もある。即ち、チタン酸バリウム粉末(富士チタン工業株式会社製、HPBTシリーズ)を、チタン酸バリウム粉末の全重量に対して、ポリビニルアルコール5重量部、純水50重量部および溶剤系可塑剤としてフタル酸ジオクチルまたはフタル酸ジブチル1重量部の割合で混合されたバインダ溶液に分散させ、これをロールコータ、ドクターブレード、 α コータ等の印刷機を用いて、厚さ $14\mu\text{m}$ のニッケル製の金属箔422に、厚さ $5\sim 7\mu\text{m}$ 程度の薄膜状に印刷し、 60°C で1時間、 80°C で3時間、 100°C で1時間、 120°C で1時間、 150°C で3時間乾燥し未焼成層とする。 BaTiO_3 以外に SrTiO_3 、 TaO_3 、 Ta_2O_5 、PZT、PLZT、PNZT、PCZT、PSZTからなる群より選ばれた1種又は2種以上の金属酸化物を含んでなるペーストをロールコータ、ドクターブレード等の印刷機を用いて、厚さ $0.1\sim 10\mu\text{m}$ の薄膜状に印刷、乾燥し未焼成層としてもよい。印刷後、この未焼成層を $600\sim 950^\circ\text{C}$ の温度範囲で焼成し、高誘電体層424とする。その後、スパッタ等の真空蒸着装置を用いて高誘電体層424の上に銅層を形成し更にこの銅層上に電解めっき等で銅を $2\sim 10\mu\text{m}$ 程度足すことにより、銅製の金属箔426を形成する。なお、真空蒸着は銅以外に白金、金等の金属層を形成してもよいし、電解めっきも銅以外にニッケル、スズ等の金属層を形成してもよい。その他、チタン酸バリウムをターゲットにしたスパッタ法でも可能である。

[0024] 次に、高誘電体シート420を積層した作製途中の基板の上に市販のドライフィルム430(エッチングレジスト)を貼り付け(図5(c)参照)、多層プリント配線板のパターン形成時に通常行われる露光・現像によりコア基板20の導体層22Pと対向する位置に円孔430aを形成し(図5(d)参照)、その後エッチングを行い(図5(e)参照)、フィルム

を剥離した(図5(f)参照)。この結果、高誘電体シート420のうちコア基板20の導体層22Pと対向する位置に円柱穴420aが形成された。なお、エッチング工程では、塩化第二銅エッチング液を使用した。なお、円柱穴420aの形成方法としては、上述した方法以外に、金属箔426上にドライフィルム430を貼り付けることなく円柱穴420aを形成する位置にUVレーザを照射してもよい。この場合、金属箔426、高誘電体層424及び金属箔422を貫通し導体層22Pに達するように穴を開けてもよい。

[0025] 次に、高誘電体シート420をパターン形成した作製途中の基板の上に再度ドライフィルム440を貼り付け(図6(a)参照)、露光・現像によりコア基板20の導体層22Gと対向する位置に平面視するとドーナツ状に見えるドーナツ溝440aを形成し(図6(b)参照)、その後エッチングを行い(図6(c)参照)、フィルムを剥離した(図6(d)参照)。この結果、高誘電体シート420のうちコア基板20の導体層22Gと対向する位置にドーナツ溝420bが形成された。なお、エッチング工程では、塩化第二銅エッチング液を使用した。なお、金属箔426及び高誘電体層424までエッチングされたあと金属箔422が僅かにエッチングされた状態となるように短時間で処理した。また、ドーナツ溝420bに囲まれた部分は平面視したときに円形に見える島部420cとなった。この際、ドライフィルム440の開口部のエッチングは、金属箔426のみを除去してドーナツ溝420bを形成してもよいし、金属箔426と高誘電体層424の一部を除去してドーナツ溝420bを形成してもよい。

[0026] 次に、円柱穴420a及びドーナツ溝420bに層間充填用樹脂450をスキージを用いて充填し(図6(e)参照)、100℃で20分間乾燥した。ここで、層間充填用樹脂450は、ビスフェノールF型エポキシモノマー(油化シェル社製、分子量310、商品名YL983U)100重量部、表面にシランカップリング材がコーティングされた平均粒径が $1.6\mu\text{m}$ で最大粒子径が $15\mu\text{m}$ 以下の SiO_2 球状粒子(アドテック社製、商品名CRS1101-CE)72重量部及びレベリング剤(サンノブコ社製、商品名ペレノールS4)1.5重量部を容器に取り攪拌混合することにより調製した。このときの粘度は $23\pm 1^\circ\text{C}$ で $30\sim 60\text{Pa}/\text{s}$ であった。なお、硬化剤としてイミダゾール硬化剤(四国化成社製、商品名2E4MZ-CN)を6.5重量部用いた。さて、この樹脂450を充填し乾燥したあと、作製途中の基板の表面を高誘電体シート420の金属箔426の表面が露出するまで

研磨して平坦化し、続いて100℃で1時間、150℃で1時間の加熱処理を行うことにより、この樹脂450を硬化させた(図6(f)参照)。この結果、円柱穴420a及びドーナツ溝420bは層間充填用樹脂450で充填された状態となった。

[0027] 次に、層間充填用樹脂450で充填された円柱穴420aに炭酸ガスレーザによりコア基板20の導体層22Pに達する電源側テーパ穴454を形成した(図7(a)参照)。炭酸ガスレーザは層間充填用樹脂450に穴を開けることは可能であるが、導体層22Pに穴を開けることは困難なため、電源側テーパ穴454の深さを導体層22Pに達する位置までとすることが容易であった。続いて、平面視したときに円形に見える島部420cにUVレーザにより金属箔422を貫通するグランド側第1テーパ穴456を形成した(図7(b)参照)。このときのUVレーザの照射条件は出力を3~10Wとし、周波数を25~60kHzとし、ショット数(レーザ加工回数)を50~200回とした。具体的には、1回目のショットは出力を3W、周波数を25kHz、レーザの出力パワーを最大出力とし、その後回数が増えるにつれて出力パワーを徐々に落とした。この結果、グランド側第1テーパ穴456のテーパ角を比較的大きくすることができた。続いて、層間絶縁層410のうちグランド側第1テーパ穴456の底面にあたる部分に炭酸ガスレーザによりコア基板20の導体層22Gに達するグランド側第2テーパ穴458を形成した(図7(c)参照)。ここでは、グランド側第1テーパ穴456のテーパ角 θ_1 がグランド側第2テーパ穴458のテーパ角 θ_2 よりも大きくなるようにした。このときの炭酸レーザの照射条件は、波長 $9.4\mu\text{m}$ の炭酸ガスレーザの場合、マスクの貫通孔の径を $1.0\sim 5.0\text{mm}$ 、ショット数を1~5ショット、パルス幅を $3\sim 30\mu\text{sec}$ 、エネルギー密度を $5\sim 50\text{mj}/\text{cm}^2$ とした。具体的には、1回目のショットのエネルギー密度を $15\text{mj}/\text{cm}^2$ とし、パルス幅を $15\mu\text{sec}$ とし、その後、回数が増えるにつれてエネルギー密度とパルス幅を小さくした。なお、炭酸ガスレーザのエネルギー密度やパルス幅を変えることで θ_2 を変えることができる。また、炭酸ガスレーザは層間絶縁層410に穴を開けることは可能であるが、導体層22Gに穴を開けたり金属箔422の穴径を拡げたりすることは困難なため、グランド側第1テーパ穴456の内壁を当初の形状に維持したままグランド側第2テーパ穴458の深さを導体層22Gに達する位置までとすることが容易であった。

[0028] 次に、この作製途中の基板の表面(各テーパ穴454, 456, 458の底面や周壁も含

む)に無電解めっき触媒を付与した後、無電解銅めっき水溶液中にその基板を浸漬し、基板の表面に厚さ0.6～3.0 μm の無電解銅めっき膜460を形成した(図8(a)参照)。なお、無電解めっき水溶液は以下の組成のものを使用した。硫酸銅:0.03 mol/L、EDTA:0.200 mol/L、HCHO:0.1 g/L、NaOH:0.1 mol/L、 α 、 α' ービピリジル:100 mg/L、ポリエチレングリコール(PEG)0.1 g/L。続いて、無電解銅めっき膜460の上に市販のドライフィルム470を貼り付け(図8(b)参照)、露光・現像及びエッチングによりドーナツ溝420bに対向する位置のみドライフィルム470を残し(図8(c)参照)、無電解銅めっき膜460の表面のうちドライフィルム470で被覆されている部分を除く全面に厚さ25 μm の電解銅めっき膜462を形成した(図8(d)参照)。なお、電解銅めっき液は以下の組成のものを使用した。硫酸:200 g/L、硫酸銅:80 g/L、添加剤:19.5 ml/L(アテックジャパン社製、カパラシドGL)。また、電解銅めっきは以下の条件で行った。電流密度1 A/dm²、時間115分、温度23±2℃。続いて、ドライフィルム470を剥がし、そのドライフィルム470が残っていた部分の無電解銅めっき膜460を硫酸ー過酸化水素系のエッチング液でエッチングした(図8(e)参照)。このような工程を経ることで、コア基板20の上に薄膜コンデンサ40が形成された。つまり、金属箔422が下部電極41となり、高誘電体層424が高誘電体層43となり、金属箔426、無電解銅めっき膜460及び電解銅めっき膜462のうち高誘電体層424より上の部分が上部電極42となる。また、第1及び第2グランド側テーパー穴456、458に充填された無電解銅めっき膜460及び電解銅めっき膜462を含む部分が下部ビアホール導体45となり、電源側テーパー穴454に充填された無電解銅めっき膜460及び電解銅めっき膜462が上部ビアホール導体48となる。

- [0029] 次に、電解銅めっき膜462を形成した作製途中の基板をNaOH(10 g/L)、NaClO₂(40 g/L)、Na₃PO₄(6 g/L)を含む水溶液を黒化浴(酸化浴)とする黒化处理、および、NaOH(10 g/L)、NaBH₄(6 g/L)を含む水溶液を還元浴とする還元処理を行い、電解銅めっき膜462の表面に粗化面を形成した(図示せず)。その後、薄膜コンデンサ40の上に樹脂絶縁シート480を真空ラミネータで温度50～150℃、圧力0.5～1.5 MPaというラミネート条件下で貼り付け、150℃で3時間硬化した(図9(a)参照)。この樹脂絶縁シート480は、変成エポキシ系樹脂シート、ポリフェニレンエー

テル系樹脂シート、ポリイミド系樹脂シート、シアノエステル系樹脂シート又はイミド系樹脂シートであり、熱可塑性樹脂であるポリオレフィン系樹脂やポリイミド系樹脂、熱硬化性樹脂であるシリコーン樹脂やSBR、NBR、ウレタン等のゴム系樹脂を含有していてもよいし、シリカ、アルミナ、ジルコニア等の無機系の繊維状、フィラー状、扁平状のものが分散していてもよい。この樹脂絶縁シート480の所定位置にCO₂レーザにてホール482を形成し(図9(b)参照)、その後粗化处理を施し無電解銅めっきを行ったあとめっきレジストを積層し、露光・現像によりめっきレジストにパターン形成し、電解銅めっきによるパターンめっきを行い、めっきレジストを剥離したあとエッチングにより無電解銅めっき膜のうちめっきレジストで覆われていた部分を除去し、BU導体層32を形成した(図9(c)参照)。このBU導体層32の厚さは、下部電極41より薄くなるように電界めっき時間を調整した。具体的にはBU導体層32の厚さは12 μ mとなるようにした。図9(c)において、樹脂絶縁シート480がBU絶縁層36となり、ホール482内のめっきがBUビアホール導体34となる。そして、図9(a)～(c)の操作を繰り返すことによりビルドアップ部30(図2参照)を完成させた。このとき、ビルドアップ部30の最上層には各パッド61, 62, 63となる電極を形成し、図1及び図2に示す多層プリント配線板10を得た。なお、このようなビルドアップ部30を完成させる手法は、既に当業界において周知となっている一般的な手法である。

- [0030] 以上詳述した本実施形態の多層プリント配線板10によれば、薄膜コンデンサ40の下部電極41と下部ビアホール導体45との接触面積(下部電極内ホール41bの側面積)は、図10に示すようにビアホール導体を下部電極41に突き当たるように形成した場合に比べて大きくなる。すなわち、下部電極41に突き当たるビアホール導体の場合、薄膜コンデンサ40の下部電極41とビアホール導体との接触面積はビアホール導体のトップ部の面積となるが、これは下部電極内ホール41bの底面積に相当する。これに対して、本実施形態では、薄膜コンデンサ40の下部電極41と下部ビアホール導体45との接触面積は下部電極内ホール41bの側面積となり、これは下部電極内ホール41bの底面積よりも大きく形成されている。このため、薄膜コンデンサ40の下部電極41と下部ビアホール導体45との接触面積は、ビアホール導体を下部電極41に突き当たるように形成した場合に比べて大きくなり、その分、ヒートサイクル試験後

に下部ビアホール導体45と下部電極41との間で剥離が生じにくい。したがって、ヒートサイクル試験で不具合が発生するのを十分に抑制することができる。

[0031] また、下部ビアホール導体45は絶縁層内ホール26bの母線と下部電極内ホール41bの母線との接続部位Jにて屈曲しているため、その屈曲部を基点として変形しやすいことから応力を緩和しやすい。

[0032] 更に、下部電極41はビルドアップ部30を構成するBU導体層32よりも厚く形成されているため、薄膜コンデンサ40の下部電極41と下部ビアホール導体45との接触面積を比較的容易に大きくすることができる。また、下部電極41が低抵抗となる。

[0033] 更にまた、下部ビアホール導体45のうちコア基板20の導体層22と接するボトム部の径 $\phi_{\text{via-b}}$ がBUビアホール導体34のボトム部の径 $\phi_{\text{bu-b}}$ より小さいため、多層プリント配線板10全体の応力に対する抵抗力を上げることができる。その理由は以下のとおりである。すなわち、下部ビアホール導体45は、コア基板20の導体層22Gと突き当たった状態で接触しているものの、下部電極41と側面で接触しているため接触強度が高い。これに対して、BUビアホール導体34は上部電極42やBU導体層32と突き当たった状態で接触しているに過ぎないため、その接触箇所に応力が集中すると剥離しやすい。したがって、下部ビアホール導体45のボトム部の面積を、BUビアホール導体34のボトム部の面積より小さくし、下部ビアホール導体45が応力を受けやすくすることにより、BUビアホール導体34にかかる応力を小さくしている。この結果、全体の応力に対する抵抗力が上がるのである。

[0034] なお、本発明は上述した実施形態に何ら限定されることはなく、本発明の技術的範囲に属する限り種々の態様で実施し得ることはいうまでもない。

[0035] 例えば、上述した実施形態では、コア基板20の上に薄膜コンデンサ40を形成し該薄膜コンデンサ40の上にビルドアップ部30を形成したが、コア基板20の上にビルドアップ部30を形成し該ビルドアップ部30の上に薄膜コンデンサ40を形成してもよい。この場合、下部ビアホール導体45のボトム部の径 $\phi_{\text{via-b}}$ はビルドアップ部30のBU導体層32と接する部分となる。

[0036] 上述した実施形態では、絶縁層内ホール26bを下方に向かって小径となるテーパ状に形成したが、断面が下部電極内ホール41bのボトム部の面積となる円柱状に形成

してもよい。この場合も、下部ビアホール導体45は接続部位で屈曲することになるため応力を緩和しやすい。

[0037] 上述した実施形態では、下部電極内ホール41bのテーパ角 $\theta 1$ を絶縁層内ホール26bのテーパ角 $\theta 2$ より大きくなるようにしたが、両テーパ角 $\theta 1$, $\theta 2$ を同じ角度としてもよい。この場合、下部ビアホール導体45は接続部位で屈曲しなくなるが、薄膜コンデンサ40の下部電極41と下部ビアホール導体45との接触面積はビアホール導体を下部電極41に突き当たるように形成した場合に比べて大きくなるため、その分、ヒートサイクル試験後に下部ビアホール導体45と下部電極41との間で剥離が生じにくい。

[0038] 上述した実施形態では、BUビアホール導体34の断面形状をコップ状（いわゆるコンフォーマルビア）としたが、コップ内に金属や導電性樹脂を充填したいわゆるフィルドビアとしてもよい。

[0039] 上述した実施形態では、下部電極内ホール41bのテーパ角 $\theta 1$ が絶縁層内ホール26bのテーパ角 $\theta 2$ より大きくなるようにしたが、 $\theta 1 < \theta 2$ としてもよい。この場合も下部ビアホール導体45は屈曲した形状となるため、応力を緩和しやすい。

実施例

[0040] 上述した実施形態の多層プリント配線板10の作製手順に準じて、表1に示す実施例1～19及び参考例1を、ニッケル箔の厚みを変更したりUVレーザや炭酸レーザの条件を調整したりすることにより作製し、これらについて以下の評価試験を行った。すなわち、多層プリント配線板10の実装部60に設けられた多数のグランド用パッド61及び電源用パッド62のうち数個を選出し、選出されたグランド用パッド61とこのグランド用パッド61に電氣的に接続されているグランド用外部端子との間の抵抗を測定すると共に、同じく選出された電源用パッド62とこの電源用パッド62に電氣的に接続されている電源用外部端子との間の抵抗を測定し、これらを初期値R0とした。次いで、薄膜コンデンサ40の上部電極42と下部電極41との間に3.3[V]の電圧を印加し、薄膜コンデンサ40に電荷をチャージして充電した後、放電した。この充電、放電を50回繰り返した。続いて、多層プリント配線板10を -55°C で5分放置したあと 125°C で5分放置するというヒートサイクル試験を500回繰り返したあと、初期値R0を測定した。

パッドー外部端子間の接続抵抗の値Rを測定した。そして、各パッドー外部端子ごとに、接続抵抗の値Rから初期値R0を引いた差分を初期値R0で除しそれに100を掛けた値($100 \times (R - R0) / R0 (\%)$)を求め、それらの値のうちすべてが $\pm 10\%$ 以内なら合格(「○」)、それ以外なら不合格「×」と評価した。その結果を表1に合わせて示す。なお、表1のパラメータは図11に示したとおりである。また、各実施例や参考例の多層プリント配線板10は、基本的には図1及び図2の構成を有し各構成部品の材質や大きさ、配置位置などを共通化し、表1の各パラメータのみ表1に記載されている値となるようにした。

[0041] [表1]

		※1 ϕ_{bu-b} (μm)	TL (μm)	※2 ΔT	下部ビアホール導体					評価結果					
					ϕ_{via-t} (μm)	ϕ_{via-m} (μm)	ϕ_{via-b} (μm)	形状	※3 ΔS	250	500	750	1000	1250	1500
実施例	1	50	14	>0	65	58	43	直線	>0	○	○	○	×	×	×
	2	50	14	>0	65	51	21	直線	>0	○	○	×	×	×	×
	3	50	14	>0	65	58	48	屈曲	>0	○	○	○	○	○	○
	4	50	14	>0	65	51	47	屈曲	>0	○	○	○	○	○	○
	5	50	20	>0	65	55	40	直線	>0	○	○	○	○	×	×
	6	50	20	>0	65	45	15	直線	>0	○	○	×	×	×	×
	7	50	20	>0	65	55	47	屈曲	>0	○	○	○	○	○	○
	8	50	20	>0	65	45	42	屈曲	>0	○	○	○	○	○	○
	9	50	30	>0	65	40	25	直線	>0	○	○	×	×	×	×
	10	50	30	>0	65	35	5	直線	>0	○	○	×	×	×	×
	11	50	30	>0	65	40	40	屈曲	>0	○	○	○	○	○	○
	12	50	30	>0	65	35	35	屈曲	>0	○	○	○	○	○	○
	13	50	20	>0	50	45	40	屈曲	>0	○	○	○	○	○	○
	14	50	30	>0	70	55	45	屈曲	>0	○	○	○	○	○	○
	15	50	30	>0	75	45	42	屈曲	>0	○	○	○	○	○	○
	16	50	20	>0	45	40	38	屈曲	>0	○	○	○	○	○	○
	17	50	30	>0	70	55	50	屈曲	>0	○	○	○	○	○	×
	18	50	30	>0	70	55	52	屈曲	>0	○	○	○	○	○	×
	19	30	40	>0	80	60	40	直線	>0	○	×	×	×	×	×
参考例	1	30	10	<0	65	60	45	直線	<0	×	×	×	×	×	×

※1 各パラメータ(ϕ_{bu-b} , TL, ϕ_{via-t} , ϕ_{via-m} , ϕ_{via-b} など)については図11を参照

※2 ΔT は下部電極の厚さTLからビルドアップ部の配線パターンの厚さ(12 μm)を引いた差分
(前者が大なら $\Delta T > 0$ 、後者が大なら $\Delta T < 0$)

※3 ΔS は下部電極ホールの側面積から下部電極ホールの底面積を引いた差分
(前者が大なら $\Delta S > 0$ 、後者が大なら $\Delta S < 0$)

[0042] 表1から明らかなように、実施例1～19は、薄膜コンデンサ40の下部電極41と下部ビ

アホール導体45との接触面積(下部電極内ホール41bの側面積)がビアホール導体を下部電極41に突き当たるように形成した場合(図10参照)の接触面積(下部電極内ホール41bの底面積に相当)に比べて大きく、また、下部電極41の厚さがビルドアップ部30のBU導体層32よりも厚いため、参考例1と比べてヒートサイクル試験の評価結果が優れていた。特に、実施例3, 4, 7, 8, 11~18のように下部ビアホール導体45が屈曲している場合(つまりテーパ角 $\theta 1 > \theta 2$)は、実施例1, 2, 5, 6, 9, 10, 19のように下部ビアホール導体45が屈曲していない場合(つまりテーパ角 $\theta 1 = \theta 2$)に比べてヒートサイクル試験の回数が1250回を超えても接続抵抗値は良好な値を維持した。また、実施例14, 17, 18は、下部ビアホール導体45のボトム部の径 ϕ_{via-b} が異なる以外は同じ条件であるが、下部ビアホール導体45のボトム部の径 ϕ_{via-b} がBUビアホール導体34のボトム部の径 ϕ_{bu-b} と同じか超える場合(実施例17, 18)に比べて、下部ビアホール導体45のボトム部の径 ϕ_{via-b} がBUビアホール導体34のボトム部の径 ϕ_{bu-b} 未満の場合(実施例14)の方がヒートサイクル試験の評価結果が優れていた。

[0043] 本出願は、2005年10月14日に出願された日本国特許出願第2005-300320を優先権主張の基礎としており、引用によりその内容の全てが本明細書に含まれる。

産業上の利用の可能性

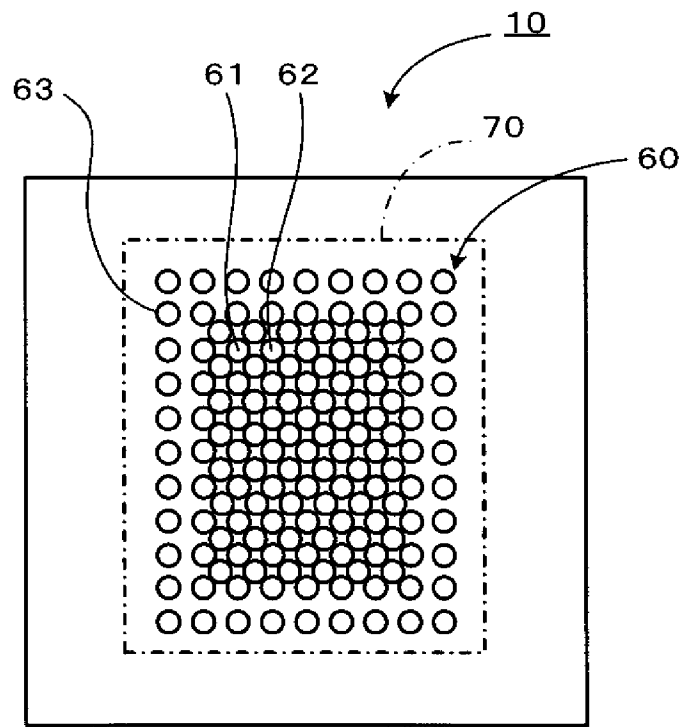
[0044] 本発明のプリント配線板は、ICチップなどの半導体素子を搭載するために用いられるものであり、例えば電気関連産業や通信関連産業などに利用される。

請求の範囲

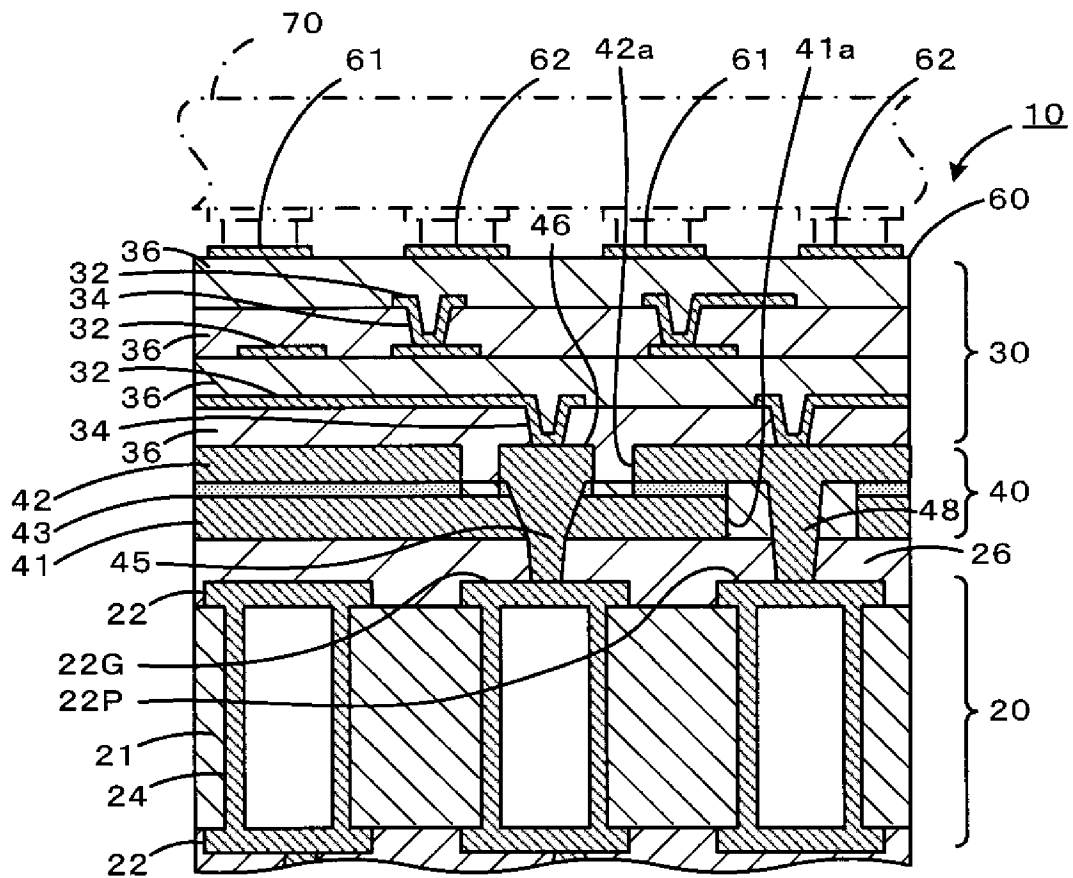
- [1] 半導体素子を実装するプリント配線板であって、
高誘電体層を上部電極及び下部電極で挟み込み、前記上部電極及び前記下部電極の一方が前記半導体素子の電源ラインに電氣的に接続され、前記上部電極及び前記下部電極の他方が前記半導体素子のグランドラインに電氣的に接続された薄膜コンデンサと、
該薄膜コンデンサの下に設けられ前記下部電極と接するコンデンサ下絶縁層と、
該コンデンサ下絶縁層を挟んで前記下部電極と対向する位置に設けられた下部電極対向導体層と、
前記コンデンサ下絶縁層を貫通する絶縁層内ホール及び前記下部電極を貫通し底面積よりも側面積の方が大きい下部電極内ホールに充填され、前記下部電極対向導体層と前記下部電極とを電氣的に接続する下部ビアホール導体と、
を備えたプリント配線板。
- [2] 前記絶縁層内ホールの母線と前記下部電極内ホールの母線とは、接続部位にて屈曲している、
請求項1に記載のプリント配線板。
- [3] 前記絶縁層内ホール及び前記下部電極内ホールは共に下方に向かって小径となる円錐台状に形成され、前記絶縁層内ホールのテーパ角よりも前記下部電極内ホールのテーパ角の方が大きい、
請求項2に記載のプリント配線板。
- [4] 前記絶縁層内ホールは円柱状に形成され、前記下部電極内ホールは下方に向かって小径となる円錐台状に形成されている、
請求項2に記載のプリント配線板。
- [5] 請求項1～4のいずれかに記載のプリント配線板であって、
前記薄膜コンデンサの上側又は下側にビルドアップ部、を備え、
前記下部電極層は前記ビルドアップ部を構成するビルドアップ部内導体層よりも厚い、
プリント配線板。

- [6] 前記下部ビアホール導体のうち前記下部電極対向導体層と接するボトム部の径は、前記ビルドアップ部内導体層同士を電氣的に接続するビルドアップ部内導体のうち前記ビルドアップ部内導体層と接するボトム部の径より小さい、
請求項5に記載のプリント配線板。
- [7] 前記高誘電体層はセラミック製である、
請求項1～6のいずれかに記載のプリント配線板。

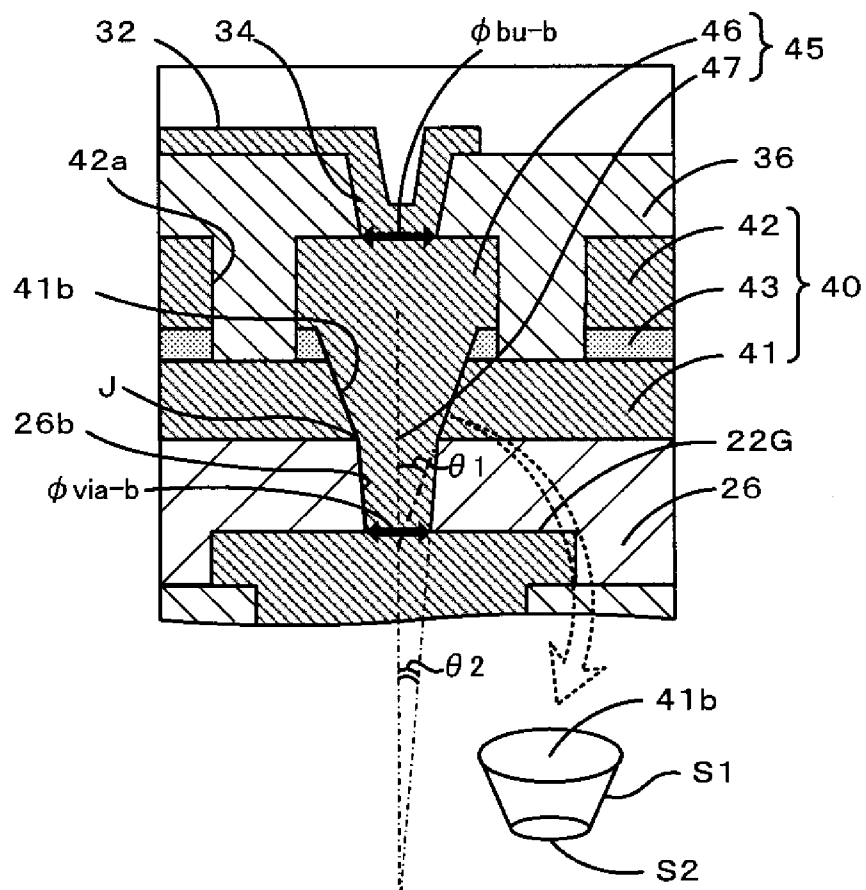
[図1]



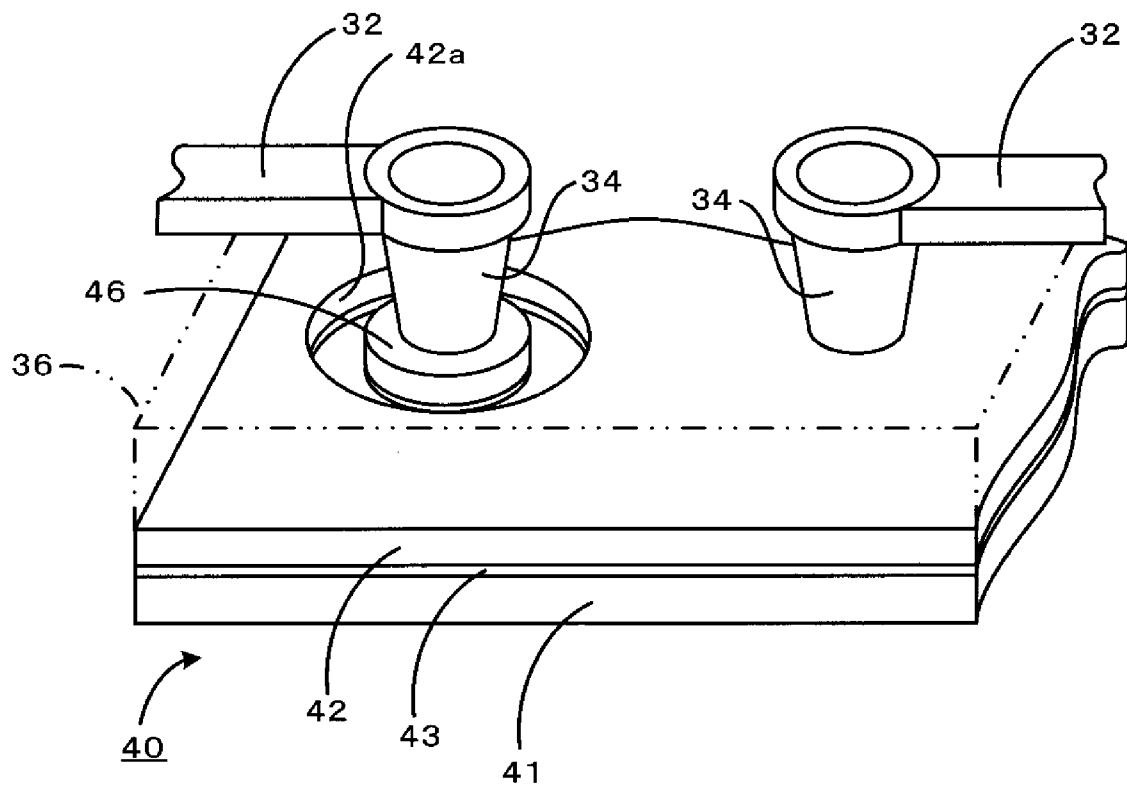
[図2]



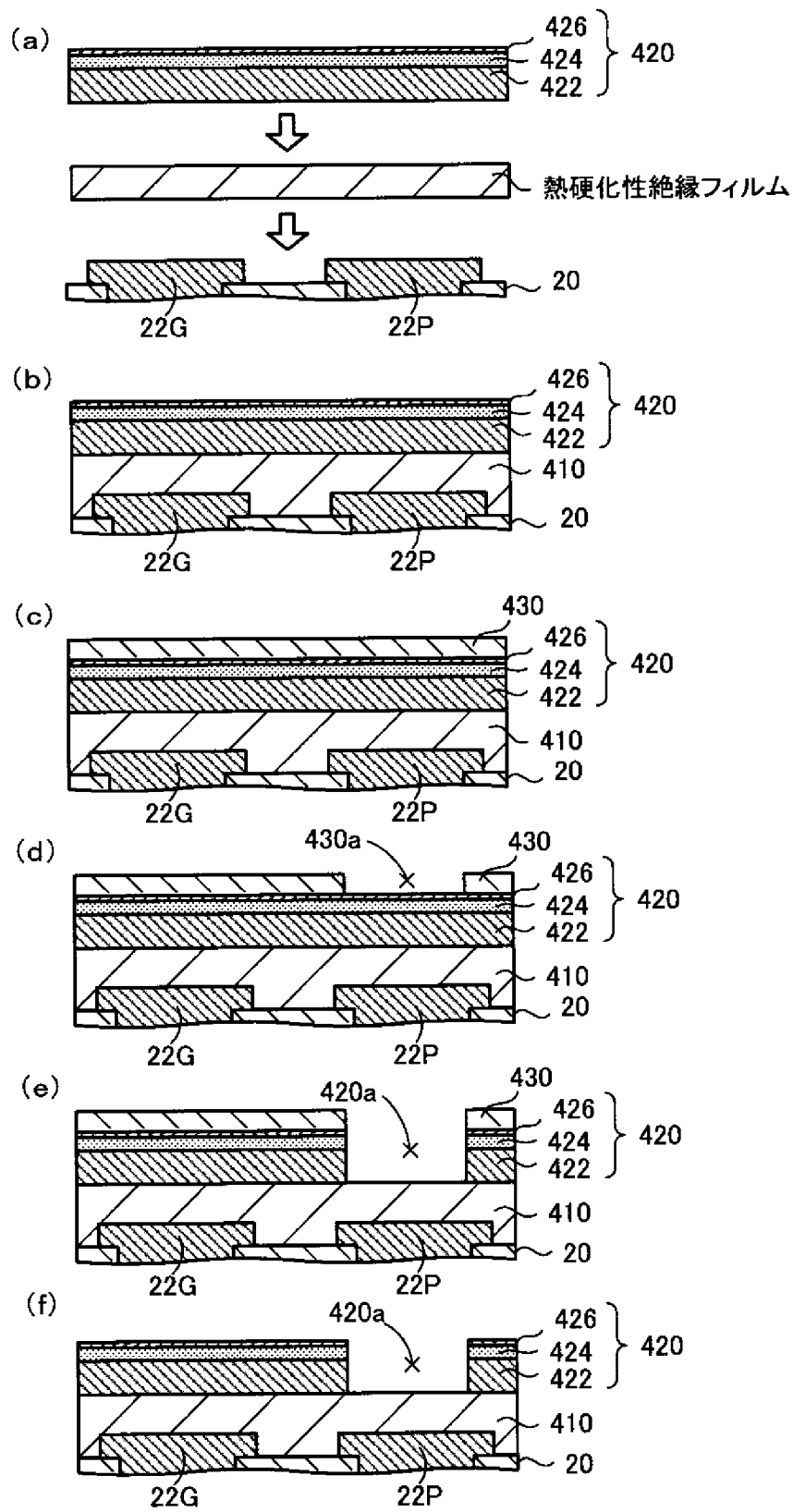
[図3]



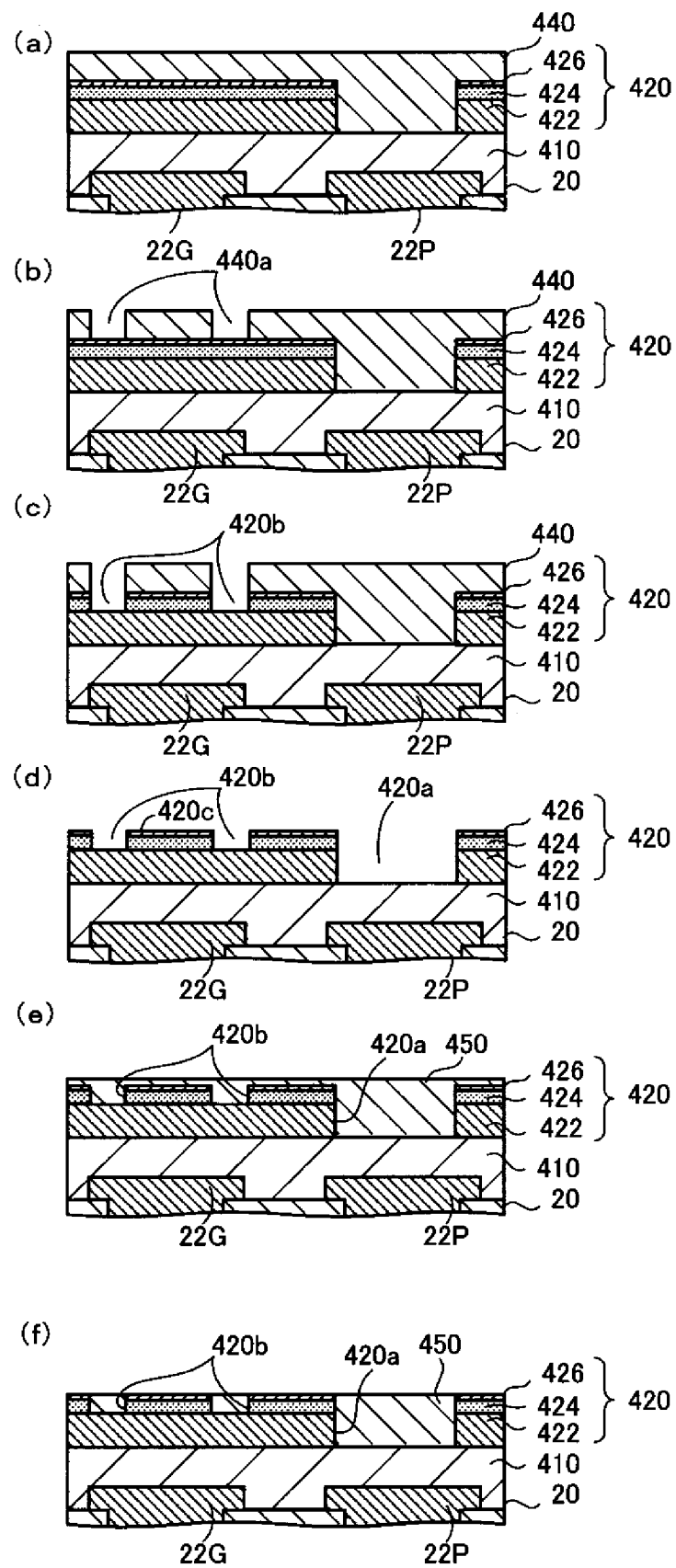
[図4]



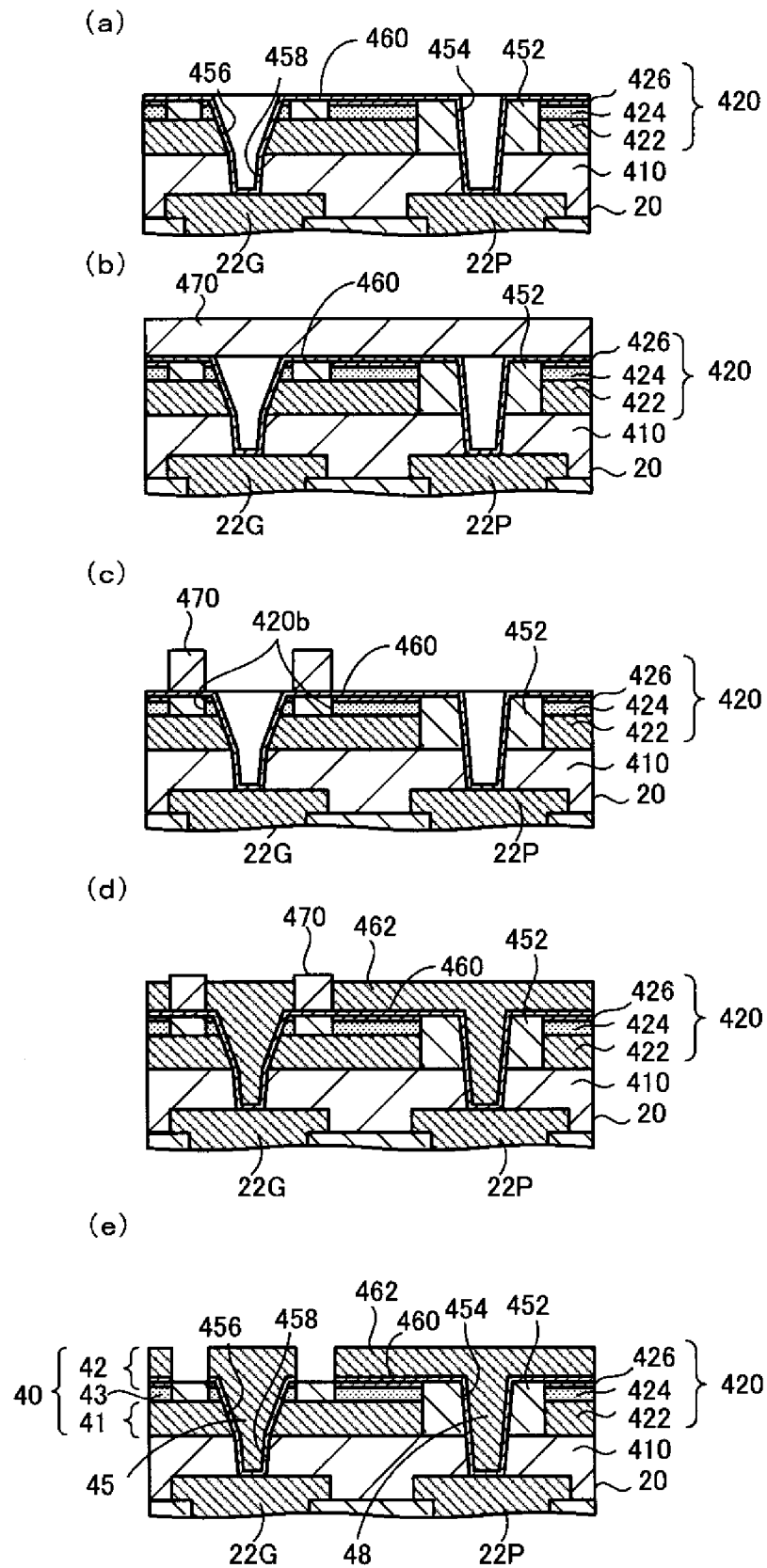
[図5]



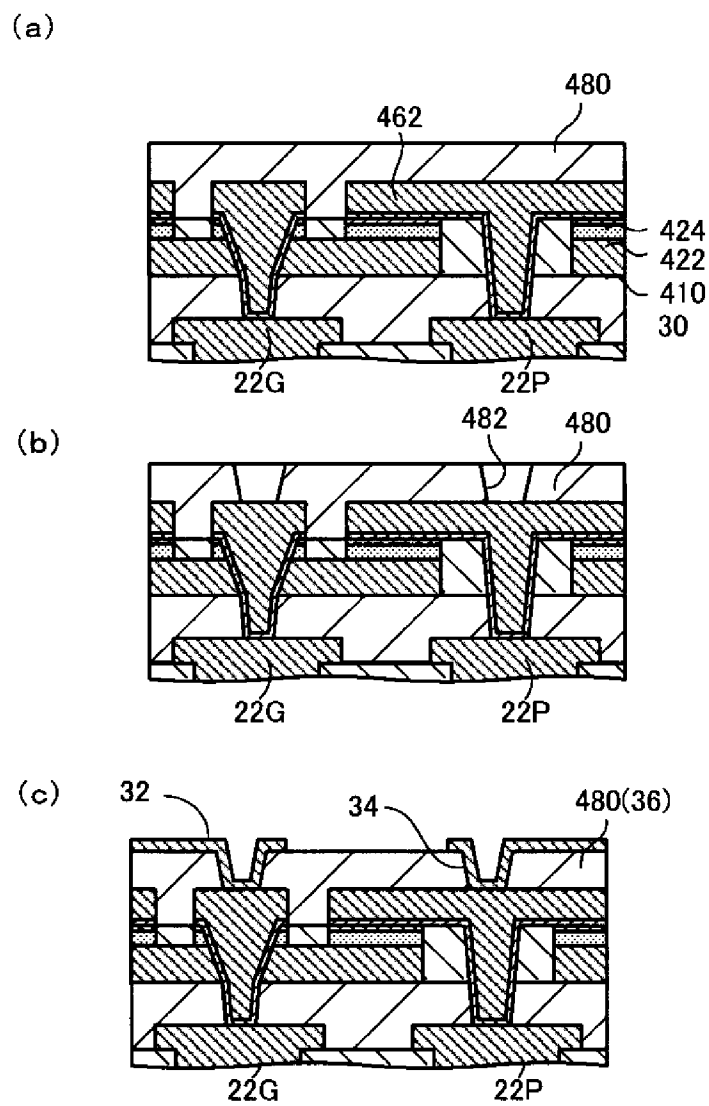
[図6]



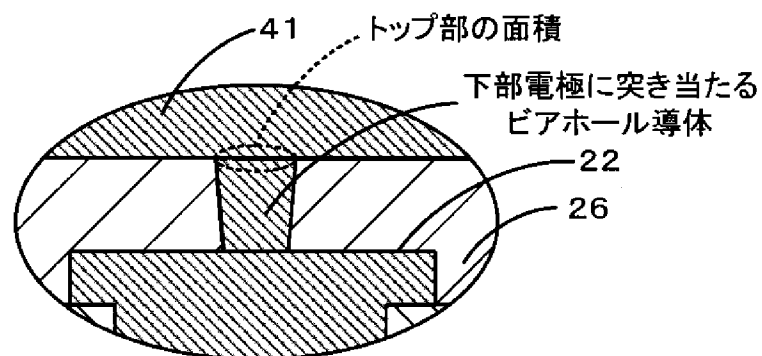
[図8]



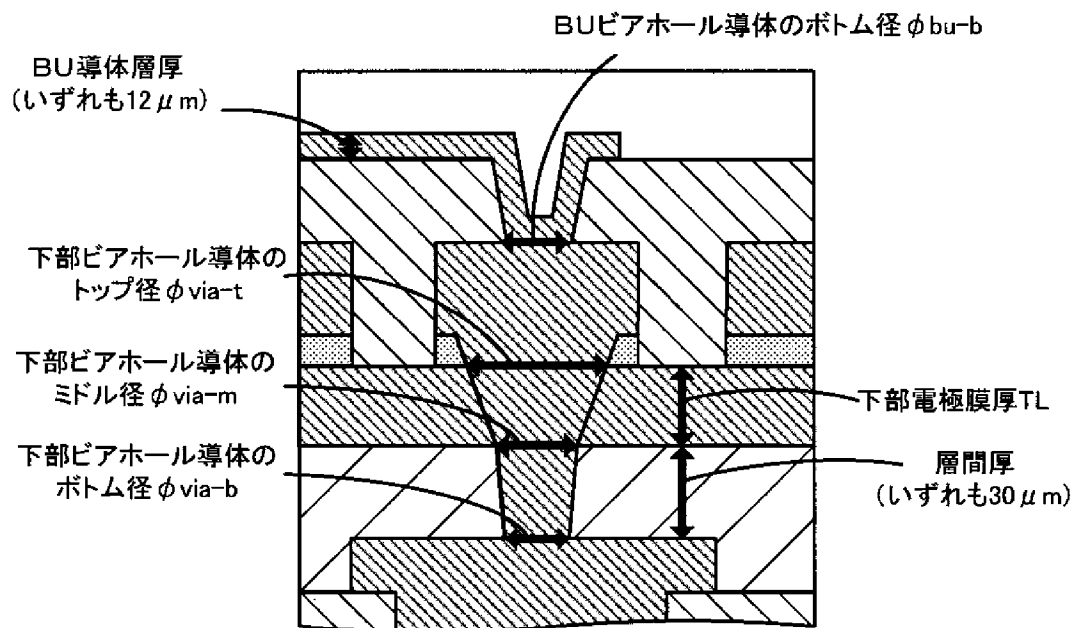
[図9]



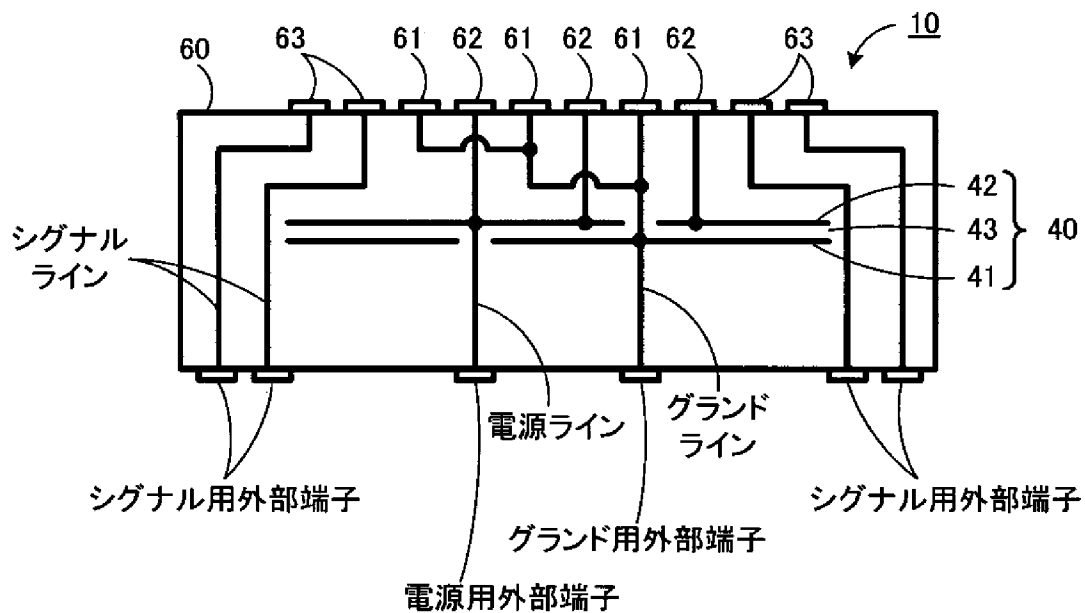
[図10]



[図11]



[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/320574

A. CLASSIFICATION OF SUBJECT MATTER

H01L23/12(2006.01) i, H05K3/46(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L23/12, H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2005-191559 A (Ibiden Co., Ltd.), 14 July, 2005 (14.07.05), Par. Nos. [0020] to [0120]; Figs. 1 to 18 & US 2006/0137905 A1 & EP 1696716 A1 & WO 2005/055684 A1	1-5, 7 6
Y A	JP 11-307944 A (Hokuriku Electric Industry Co., Ltd.), 05 November, 1999 (05.11.99), Par. Nos. [0010] to [0024]; Figs. 1 to 4 (Family: none)	1-5, 7 6

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
19 December, 2006 (19.12.06)

Date of mailing of the international search report
26 December, 2006 (26.12.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L23/12(2006.01)i, H05K3/46(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L23/12, H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2006年
日本国実用新案登録公報	1996-2006年
日本国登録実用新案公報	1994-2006年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P 2 0 0 5 - 1 9 1 5 5 9 A (イビデン株式会社) 2 0 0 5 . 0 7 . 1 4 , 段落【0020】～【0120】, 第1-18図 & U S 2 0 0 6 / 0 1 3 7 9 0 5 A 1 & E P 1 6 9 6 7 1 6 A 1 & W O 2 0 0 5 / 0 5 5 6 8 4 A 1	1-5, 7 6

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

19.12.2006

国際調査報告の発送日

26.12.2006

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

山本 雄一

4 R

3 1 2 3

電話番号 03-3581-1101 内線 3471

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P 1 1 - 3 0 7 9 4 4 A (北陸電気工業株式会社) 1 9 9 9 . 1 1 . 0 5 , 段落【0 0 1 0】～【0 0 2 4】, 第1－4図 (ファミリーなし)	1-5, 7 6