(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01S 5/10

(45) 공고일자 2003년02월05일
(11) 등록번호 10-0363503
(24) 등록일자 2002년11월21일

(21) 출원번호	10-1995-0704119	(65) 공개번호	특1996-0701496
(22) 출원일자	1995년09월20일	(43) 공개일자	1996년02월24일
번역문제출일자	1995년09월20일		
(86) 국제출원번호	PCT/JP1995/00060	(87) 국제공개번호	WO 1995/20254
(86) 국제출원일자	1995년01월20일	(87) 국제공개일자	1995년07월27일
(81) 지정국	국내특허 : 일본 대한민국 미국 EP 유럽특허 : 오스트리아 벨기에 스위스 리히텐슈타인 사이프러스 독일 덴마크 스페인 핀랜드 프랑스 영국 그리스 아일랜드 이탈리아 룩셈부르크 모나코 네덜란드 포르투칼 스웨덴		

(30) 우선권주장 94-4859 1994년01월20일 일본(JP)

(73) 특허권자 세이코 엡슨 가부시키가이샤
일본 도쿄도 신주쿠구 니시신주쿠 2초메 4-1
(72) 발명자 히데아키이와노
일본국나가노392수와시오와3죠메3-5세코에푸손(주)내
가쯔미모리
일본국나가노392수와시오와3죠메3-5세코에푸손(주)내
다카유끼곤도
일본국나가노392수와시오와3죠메3-5세코에푸손(주)내
타쯔야아사카
일본국나가노392수와시오와3죠메3-5세코에푸손(주)내
(74) 대리인 이병호

심사관 : 이금욱

(54) 표면방출형반도체레이저와그제조방법

명세서

기술분야

<1> 본 발명은 기판의 평면에 수직한 방향으로 광을 방출하는 표면 방출형 반도체 레이저의 구조와, 이러한 반도체 레이저를 제조하는 방법 및 장치에 관한 것이다. 또한, 본 발명은 영상 형성 장치 또는 광통신 시스템 같은 병렬 광학 정보 처리기에서 사용가능한 표면 방출형 반도체 레이저의 구조 및 그러한 반도체 레이저를 제조하는 방법 및 장치에 관한 것이다.

배경기술

<2> 표면 방출형 반도체 레이저들 중 하나가 일본 응용 물리학 협회의 제 50 회 추계 회합의 증보판 요약문에 보고되어 있다(1989년, 9월 27일 발행, 제3권, 제909면, 29a-ZG-7). 제 45 도는 이러한 반도체 레이저의 발광 유니트를 도시하는 투시도이다. 반도체 레이저는 다음의 공정들을 통해 제조된다. 먼저, n 형 GaAs 기판 (2202)이 처리되어 그 위에 n 형 AlGaAs/AlAs 다층막(2203), n 형 AlGaAs 클래드층 (2204), p 형 GaAs 활성층(2205) 및 p 형 AlGaAs 층(2206)을 성장한다. 다음, 차례로 p 형, n 형, p 형 및 p 형의 순으로 순차적으로 형성된 AlGaAs층들(2207, 2208, 2209 및 2210)에 의해 매립되는 컬럼형(column-like) 영역(2220)을 남겨두도록 상기 기판(2202)이 에칭된다. 이후에 유전체 다층막(2211)이 p 형 AlGaAs 최상층 (2210)의 상부에 침착되고, n 형 및 p 형 오믹(ohmic) 전극(2201, 2212)이 형성된다. 이와 같이, 표면 방출형 반도체 레이저가 형성될 것이다.

<3> 제 45 도에 도시된 종래 기술의 표면 방출형 반도체 레이저에 있어서, 매립층(2207, 2208)은 활성층 이외의 부분으로 전류가 흐르는 것을 방지하는 수단으로서 pn 접합을 제공한다. 그러나 pn 접합으로는 충분한 전류 압축(constriction)이 어렵고 비유효 전류가 완전히 억제될 수 없다. 그러므로 종래 기술에서는 레이저 소자들내의 줄(joule) 효과 열이 상기 비유효 전류에 의해 증가되므로 실온에서 연속적인 발진 구동을 수행하기가 어렵다. 종래의 레이저에서 전체 광학 공진기는 이 공진기의 굴절율보다 더 낮은 굴절률을 갖는 물질에 의해 매립된다. 그러므로 광은 공진기내에서 제한(confined)될 것이다. 공진기 기판면에 평행한 방향으로 공진기의 단면적 형태(configuration)가 변하는 경우에도, 기본 발진 모드에서 광 방출 스포트(spot)는 약 2(㎛)의 직경을 갖는 도트형상(dot-like shape)으로 형성될 것이다. 표면 방출형 반도체 레이저가 특징지어지는 2 차원 배열 형태로 상기 표면 방출형 반도체 레이저를 형성하는 것을 원하는 경우, 복수의 독립적인 공진기들을 사용하여 각 공진기의 레이저 빔으로부터 하나의 안정한 레

이저 빔을 제공하는 것은 어려운데, 그 이유는 공진기들이 기판 평면내에서 상호 인접하게 위치될지라도 각각의 공진기들로부터의 레이저 빔들이 동위상으로 균등화되지 않으므로 발생하는 간섭 때문이다.

<4> 제 46 도는 종래 기술에 따른 다른 표면 방출형 반도체 레이저의 단면도이다. 이 레이저는 n 형 GaAs 기판(2401)상에 n 형 분포 브래그 반사(distributed Bragg reflection DBR)형 미러(2402), n 형 클래드 층(2408), 양자 우물(well) 활성층(2403), p 형 클래드층(2409), p 형 DBR 미러(2404) 및 p 형 오믹 전극(2405)을 형성함으로써 이루어진다. 빗금친 영역(2406)의 단결정 상태는 그 속에 수소 이온을 주입함으로써 깨어져서 주입 전류만이 발진 영역내로 집중될 정도의 고저항 영역을 형성한다. n 형 오믹(ohmic) 전극(2407)은 기판(2401)의 하부측에 형성된다. 광은 기판(2401) 평면에 수직인 방향(2410)으로 레이저로부터 방출된다.

<5> 제 46 도에 도시된 종래 기술의 표면 방출형 반도체 레이저에서 주입 전류는 p 형 DBR 미러(2404)를 통해 흐를 것이다. p 형 DBR 미러(2404)에서, 전류는 캐리어인 정공(positive hole)의 형태로 흐른다. 정공은 전자보다 약 10 배 더 큰 유효 질량을 가지며 미러내의 헤테로 장벽(heterobarrier)을 지나 쉽게 이동할 수 없다. 따라서 p 형 DBR 미러(2404)는 증가된 저항 성분을 제공한다. 제 46 도에 도시된 종래 기술의 표면 방출형 반도체 레이저 p 형 DBR 미러(2404)의 반사율을 증가시키기 위해 미러 층의 수를 증가시켜야 한다. 이것은 p 형 DBR 미러(2404)에서 저항이 너무 크다는 문제를 제기한다.

<6> 발명의 개요

<7> 본 발명의 목적은 충분히 만족할만한 전류 압축(constriction)을 제공할 수 있고 비교적 낮은 임계 전류 및 비교적 높은 외부 미분 양자 효율을 가지며 효율성 및 신뢰성면에서 개선된 표면 방출형 반도체 레이저를 제공하기 위한 것이다. 본 발명의 다른 목적은 이러한 반도체 레이저를 제조하는 장치 및 방법을 제공하는 것이다.

<8> 이러한 목적을 달성하기 위하여 본 발명은, 제 1 표면 방출형 반도체 레이저로서,

<9> 제 1 도전형의 화합물 반도체로 형성된 기판과;

<10> 상기 기판의 하단에 형성된 하부 전극과;

<11> 상기 기판의 상단에 형성된 제 1 도전형의 분포 반사 다층막 미러와;

<12> 상기 분포 반사 다층막 미러상에 형성된 제 1 도전형의 제 1 클래드 층과;

<13> 상기 제 1 클래드 층상에 형성된 양자 우물 활성층과;

<14> 상기 양자 우물 활성층상에 형성되고 하나 이상의 컬럼형 부분들을 갖는 제 2 도전형의 제 2 클래드 층과;

<15> 상기 제 2 클래드 층내의 컬럼형 부분 또는 부분들 상에 형성된 제 2 도전형의 접촉층과;

<16> 상기 접촉층 및 상기 제 2 클래드 층의 상기 컬럼형 부분 또는 부분들 주변에 매립되어, 실리콘 화합물로 형성되고 상기 제 2 클래드 층 및 상기 접촉층의 표면을 덮는 제 1 절연층을 적어도 포함하는 매립 절연층과;

<17> 상기 접촉층 및 상기 매립 절연층 간에 가교를 형성하고 상기 접촉층의 일부와 대향하는 개구를 갖는 상부 전극과;

<18> 상기 상부 전극의 개구를 덮도록 적어도 상기 접촉층 상에 형성된 유전체 다층막 미러를 포함하는 제 1 표면 방출형 반도체 레이저를 제공한다.

<19> 상기 반도체 레이저에 있어서, 광 공진기는 분포 반사형 다층막 미러, 제 1 클래드 층, 양자 우물 활성층, 제 2 클래드 층의 컬럼형 부분, 접촉층 및 유전체 다층막 미러에 의해 규정된다.

<20> 만약 반도체 레이저가 복수의 상기 컬럼형 부분(공진기 부분)을 포함한다면, 각각의 공진기 부분에서 생성된 병렬 횡(transverse) 모드는 전자기적으로 결합되기 때문에, 상호 동 위상으로 동기화된 레이저 빔들이 각 공진기 부분으로부터 방사될 것이다.

<21> 매립 절연층은 클래드 층 및 접촉층의 표면 상부에 연속적으로 형성된 제 1 절연층을 적어도 포함하고, 또한 양호하게는 제 2 클래드층 컬럼형 부분 또는 부분들 및 접촉층을 둘러싸는 영역을 평탄화하기 위해 제 1 절연층상에 형성된 제 2 절연층을 포함한다. 제 2 절연층은 제 1 절연층의 온도보다 더 낮은 온도에서 형상화될 수 있는 물질로 만들어지는 것이 바람직하다. 제 1 절연층은 나트륨, 염소, 중금속, 수소 등과 같은 제 2 절연층내의 불순물들이 열 확산 등을 통해 제 2 클래드 층 또는 양자 우물 활성층으로 이동하는 것을 막을 수 있다. 제 1 절연층은 열적 CVD(화학 기상 침착법)를 통해 형성되는 것이 바람직하다. 그러므로 제 1 절연층의 두께는 막 형성시에 광 공진기가 열처리되는 시간을 단축시키고 가열로 인한 결정의 손상을 줄이기 위해 감소되는 것이 바람직하다.

<22> 전술한 것처럼, 제 1 절연층은 광 공진기에 대해 악영향을 미치는 물질의 이동을 막을 수 있는 충분한 두께를 갖는다. 제 1 절연층의 막두께는 500~2000(Å)인 것이 바람직하다. 제 1 절연층은 실리콘 산화물, 실리콘 질화물 및 실리콘 탄화물로 구성된 그룹에서 선택된 적어도 하나의 실리콘 화합물로 형성되는 것이 바람직하다. 제 2 절연층은 제 1 절연층에 사용된 상기 실리콘 화합물보다 더 낮은 온도에서 형성되는 실리콘 화합물로 이루어진 그룹에서 선택된 적어도 하나의 물질 즉, 예컨대 폴리이미드 같은 내열성 수지 및 다결정 II-VI 족 화합물 반도체로 형성되는 것이 바람직하다.

<23> 컬럼형 부분 또는 부분들을 형성하기 위해 제 2 클래드층이 에칭된 후, 컬럼형 부분 또는 부분들 이외의 영역에서의 제 2 클래드 층의 막 두께는 0(㎛)(즉, 제거됨)~0.58(㎛)인 것이 양호하고, 더 양호하게는 0~0.35(㎛)인 것이 좋다. 컬럼형 부분 또는 부분들 이외의 제 2 클래드 층의 영역들이 아주 얇거나 또는 제 2 클래드층이 하부 활성층은 에칭되지 않으면서 상기 영역들내에서 완전히 제거될 경우,

증가된 외부 미분 양자 효율을 제공하기 위해 전류는 사실상 양자 우물내로 주입될 것이다.

<24> 양자 우물 활성층은 n 형 GaAs 우물 및 $Al_{0.3}Ga_{0.7}As$ 장벽층으로 이루어진다. 우물층의 막두께는 40~120(Å)인 반면 장벽층의 막두께는 40~100(Å)인 것이 바람직하다. 또한 우물층의 총 수는 3~40개의 범위로 하는 것이 바람직하다. 이러한 양자 우물 활성층에 따라 표면 방출형 반도체 레이저는 임계 전류 레벨을 낮추고, 광출력 레질, 온도 특성 및 레이저 출력 파장의 재생성을 높이는데 있어 완전히 개선될 수 있다.

<25> 분포 반사형 다층막 미러는 레이저 광 파장 λ_{EM} 을 포함하는 적어도 40nm 의 파장 범위내에서 99.2% 이상의 반사율을 가지며 레이저 출력 파장은 상기 범위내에 설정된다. 분포 반사형 다층막 미러의 반사율은 미러를 형성하는 각 반도체 층들의 도핑량에 따른다. 만약 분포 반사형 다층막 미러가 $Al_{0.8}Ga_{0.2}As$ 층과 $Al_{0.15}G_{0.85}As$ 층을 교대로 형성하여 만들어 졌다면, 각 층에 도핑되는 n 형 도펀트(dopant)는 5×10^{16} 내지 $1 \times 10^{19}(cm^{-3})$ 범위의 평균 도핑량을 갖는다. 더 많은 양의 알루미늄을 갖는 $Al_{0.8}Ca_{0.2}As$ 층과 더 적은 양의 알루미늄 및 더 큰 대역갭을 갖는 $Al_{0.15}Ga_{0.85}As$ 층 사이의 계면 영역의 분포 반사형 다층막 미러의 캐리어 농도는 이 계면 영역 이외의 영역보다 더 큰 것이 바람직하다. 더 구체적으로, 계면 영역의 최대 도핑값은 계면 영역 이외의 영역에서의 최소 도핑값의 1.1 내지 100 배인 것이 바람직하다.

<26> 또한, 유전체 다층막 미러의 반사율은 98.5~99.5(%) 사이인 것이 바람직하다. 만약 반사율이 98.5(%)보다 더 낮으면 레이저 출력 임계 전류는 증가할 것이다. 한편 만약 반사율이 99.5(%) 보다 더 높으면 광 출력이 쉽게 취출되지 않아 외부 미분 양자 효율을 감소시킨다. 유전체 다층막 미러를 형성하는 물질은 레이저 출력 파장과 관련하여 작은 광 흡수 손실을 갖는 것이 바람직하다. 더 구체적으로 상기 물질은 레이저 출력 파장과 관련하여 $100(cm^{-1})$ 이하의 흡수율을 갖는 유전체 물질이다. 이러한 유전체 물질로서 SiOx, Ta_2O_5, ZrOx, ZrTiOx, MgFx, CaFx, BaFx 및 A_lFx 가 있다.

<27> 클래드 층내의 각 컬럼형 부분들은 개별적인 광 공진기 부분을 형성한다. 만약 컬럼형 부분의 직경이 Da 이고 상부 전극의 개구 직경을 Dw 라 가정하면, 직경 Da 는 6~12(㎛) 사이인 것이 바람직하고 직경 Dw 는 4~8(㎛) 사이인 것이 바람직하다. 또한 Dw 는 Da 보다 약간 작은 것이 바람직하다. 컬럼형 부분의 직경(공진기 직경) 및 개구의 직경(출구부 직경)은 레이저의 횡 모드 특성에 영향을 미친다. 기본 횡 모드에서 방출 광을 제공하기 위해서는 공진기 직경이 소정 레벨보다 더 작은 것이 바람직하다. 또한 더 큰 출력을 제공하기 위해서는 공진기가 너무 작아서는 안된다. 이러한 관점에서 Da 및 Dw 는 기본 횡 모드 발진을 제공하기 위해 상기 범위내에 각각 있는 것이 바람직하다.

<28> 제 1 및 제 2 클래드 층은 $Al_xGa_{1-x}As$ 로 표시되는 반도체로 형성되는데, 여기서 x 는 0.4 이상인 것이 바람직하며, 더 양호하게는 0.65 이상이며, 가장 양호하게는 0.7~0.8 사이인 것이 좋다. x 값이 상기 범위내에서 설정되면, 클래드 층의 대역 갭은 충분히 커져서 활성층으로 주입되는 캐리어를 더 제한한다. 이것은 더 큰 외부 미분 양자 효율을 제공한다.

<29> 또한 제 2 클래드 층내의 컬럼형 부분들 각각은 0.8~3.5(㎛)의 막두께를 갖는 것이 바람직하다. 만약 막두께가 0.8(㎛)보다 더 작다면, 주입된 캐리어의 분포가 균일하지 않으며 더 많은 캐리어들이 컬럼형 부분의 주변에 특히 인접하여 분포된다. 이것은 레이저 발진에는 기여하지 않을 캐리어들의 재결합을 만들어낸다. 그 결과, 캐리어 밀도가 공진기 중심 근처에서 불충분하므로 광 출력은 레이저 발진을 위한 임계치에 도달되기 전에 열적으로 포화될 것이다. 한편, 막두께가 3.5(㎛)도다 클 경우는 소자에서의 저항이 증가하여 전력 소모를 증가시킨다. 결국, 열적 포화는 보다 더 낮은 주입 전류로 발생될 수도 있다.

<30> 또한, 본 발명은, 제 2 표면 방출형 반도체 레이저로서,

<31> 제 1 도전형의 화합물 반도체로 형성된 기판과,

<32> 상기 기판의 하단에 형성된 하부 전극과,

<33> 상기 기판의 상단에 형성된 제 1 도전형의 분포 반사 다층막 미러와;

<34> 상기 분포 반사 다층막 미러장에 형성된 제 1 도전형의 제 1 클래드 층과;

<35> 상기 제 1 클래드 층상에 형성된 양자 우물 활성층과;

<36> 상기 양자 우물 활성층상에 형성되고 하나 이상의 컬럼형 부분들을 갖는 제 2 도전형의 제 2 클래드 층과;

<37> 상기 제 2 클래드 층내의 컬럼형 부분 또는 부분들 상에 형성된 제 2 도전형의 접촉층과,

<38> 상기 접촉층 및 상기 제 2 클래드층의 상기 컬럼형 부분 또는 부분들 주변에 매립된 매립 절연층과;

<39> 상기 접촉층 및 상기 매립 절연층 간에 가교시키도록 형성되고 상기 접촉층의 일부와 대향하는 개구를 갖는 상부 전극과;

<40> 상기 상부 전극의 개구를 덮도록 적어도 상기 접촉층 상에 형성된 유전체 다층막 미러를 포함하고;

<41> 상기 양자 우물 활성층의 이득 스펙트럼의 피크 파장 λ_G 은 원하는 레이저 출력 파장 λ_{EM} 보다 소정의 미분 파장(이득 오프셋) $\triangle\lambda_{BS}$ 만큼 더 작도록 설정되는 제 2 표면 방출형 반도체 레이저를 제공한다.

<42> 제 2 반도체 레이저는 특히, 활성층의 이득 스펙트럼의 피크 파장 λ_G 이 표면 방출형 반도체 레이저의 레이저 출력 파장 λ_{EM} 보다 이득 오프셋 $\triangle\lambda_{BS}$ 만큼 더 작도록 설정되는 것을 특징으로 한다. 피크 파장 λ_G 를 결정하는 방법은 본 발명의 표면 방출형 반도체 레이저를 형성하기 위해 기판상에 형성되는 반도체 층과 동일한 반도체 층들을 갖는 에지 방출형 반도체 레이저를 만드는 것이다. 에지 방출형 반도체 레이저의 레이저 출력 파장은 사실상 λ_G 와 동일하다. 이득 오프셋 $\triangle\lambda_{BS}$ 은 5~20(nm) 사이인 것이 바람직하고, 더 바람직하게는 5~15(nm) 사이이고, 가장 양호하게는 10~15(nm)인 것이 좋다. 이러한 이득 오프셋이 설정되면, 공진기에 의해 조정된 레이저 출력 파장은 사실상 이득 스펙트럼의 피크 파장과 동일해지고, 온도의 증가로 인해 활성층의 이득 스펙트럼의 피크 파장이 이동(shift)되어 더 길어진 경우에도 신뢰성 있는 레이저 발진과 함께 증가된 효율을 제공한다.

<43> 보다 더 구체적으로는, 이득 스펙트럼의 피크 파장이 표면 방출형 반도체 레이저의 레이저 출력 파장보다 더 긴 경우, 이득 스펙트럼의 피크 파장은 전류 주입에 의해 이동되어 더 길어질 것이고, 그에 따라 레이저 발진에 필요한 이득은 감소한다. 이것은 고전력 발진을 얻는데 난점을 제공한다. 한편, 만약 이득 오프셋이 너무 크다면, 이득 스펙트럼의 피크 파장이 전류 주입을 통해 더 길어긴 경우에도 레이저 출력 파장 λ_{EM} 에서의 이득은 레이저 출력에 대해 너무 작아진다. 예를 들어, 이득 오프셋 $\triangle\lambda_{BS}$ 이 20(nm)을 초과하면, 실제 임계 전류에서 연속 구동을 수행하기가 어려워진다. 한편, 이득 오프셋 $\triangle\lambda_{BS}$ 이 5(nm) 미만이면, 이득 스펙트럼의 피크 파장은 전류 주입을 통해 이동되어 길어지고 레이저 출력 파장에서의 이득은 감소한다. 이것은 충분한 레이저 발진을 제공하지 못한다. λ_G 는 온도 의존적이므로, 표면 방출형 반도체 레이저를 사용하는 온도에서 측정되는 것이 요구된다.

<44> 상기와 같은 설정 이득 오프셋을 갖는 반도체 레이저에 있어서, 그것의 다른 성분들, 더 구체적으로 매립 절연층, 제 2 클래드 층, 양자 우물 활성층, 분포 반사형 다층막 미러 및 유전체 다층막 미러는 전술한 제 1 반도체 레이저의 각 대응 성분과 유사한 것이 바람직하다.

<45> 본 발명의 표면 방출형 반도체 레이저에 있어서, 레이저 빔의 편광면은 광 공진기의 일부분을 형성하는 컬럼형 부분 또는 부분들의 형태에 의해 제어된다. 이에 대해 상세히 설명한다.

<46> 공진기 또는 공진기들의 일부를 형성하는 컬럼형 부분 또는 부분들 각각은 장측 및 단측을 갖는 직사각형 형태의 반도체 기판에 평행한 단면을 갖는 것이 양호하다. 레이저 빔의 편광면은 직사각형의 컬럼형 부분 각각의 단측에 평행한 방향으로 정렬된다는 것이 실험에 의해 밝혀졌다. 그것이 레이저 소자내에 단일 공진기를 형성하거나 동일한 레이저 소자내에 복수의 공진기를 형성하는 것이라면, 공진기 또는 공진기들로부터 방출된 레이저 빔 또는 빔들의 편광면 또는 편광면들은 공진기 또는 공진기들의 직사각형의 컬럼형 부분 또는 부분들의 단측 또는 단측들에 정렬된다.

<47> 직사각형의 컬럼형 부분의 장측 길이가 A 이고 단측 길이는 B 인 경우, 이것의 치수 관계는 $B < A < 2B$ 인 것이 양호하다. 만약 A 가 2B 이상이면, 광 출구(exit port)는 원형이기보다는 직사각형 형태이거나 또는 정다각형 형태일 것이다. 이것은 단일 출구를 위해 복수의 광 방출 스포트들을 제공할 것이다. 또한, 공진기들 각각의 부피는 증가되어 레이저 발진 임계 전류를 증가시킬 것이다.

<48> 또한, 직사각형 단면을 각기 갖는 복수의 컬럼형 부분들은 제 2 클래드 층내에 형성되고 그들의 단측은 상호 평행한 것이 바람직하다. 이러한 반도체 레이저에 있어서, 각각의 컬럼형 부분들로부터 방출된 레이저 빔들의 편광면들은 각각의 컬럼형 부분들의 단측에 정렬된다. 컬럼형 부분들의 단측들은 상호 평행하므로, 단일 개구(광 출구)로부터 방출된 레이저 빔들은 상호 동 위상으로 동기될 것이며 또한 상호 정렬된 편광면을 갖는다. 만약 상기 반도체 레이저가 레이저 응용 계측기에 사용된다면, 예컨대 레이저 빔의 편광면들은 각 소자의 정밀 위치 조정없이도 특정 방향으로 쉽게 설정될 수 있다. 만약 상기 반도체 레이저의 매립 절연층이 광 투과 성질을 갖는 물질로 형성된다면, 매립 절연층은 사실상 레이저 출력 파장에 대해 투명하다. 따라서 매립 절연층내로 누설되는 광 역시 레이저 출력에 기여할 수 있다. 광 방출 스포트는 그에 상응하여 확대된다. 그 결과 반도체 레이저는 각기 단일 광 방출 스포트를 갖는 레이저 빔들을 방출할 수 있고, 이때의 레이저 빔들은 동 위상으로 동기되고 편광면에서 상호 정렬된다.

<49> 각기 직사각형의 단면을 갖는 복수의 컬럼형 부분들은, 이 컬럼형 부분들을 반도체 기판에 평행한 2 차원 평면상에서 대칭적으로 배열하고 또한 상부 전극의 개구를 원형 또는 정다각형으로 형상화시킴으로써 사실상 원형 단면의 레이저 빔을 방출할 수 있다. 각각의 컬럼형 부분을 포함하는 공진기들은 이 공진기들 각각이 각자의 상부 전극을 갖도록 반도체 기판상에서 배열될 수도 있다. 결국, 각 공진기로부터 방출된 레이저 빔은 실질적으로 원형인 단면을 가질 수 있다, 레이저 빔들은 독립적으로 턴 온 및 턴 오프될 수 있고 공진기마다 변조될 수 있다.

<50> 공진기들이 직사각형의 컬럼형 부분들의 단측들 모두가 서로 평행하도록 배열되는 경우, 각 공진기로부터 방출된 레이저 빔들의 편광면들은 동일 방향으로 상호 정렬될 수 있다. 만약 광 공진기들 중 적어도 하나가 자신의 컬럼형 부분의 단측이 다른 광 공진기들의 대응 단측과 평행하지 않도록 배열되었다면, 이 하나의 광 공진기로부터 방출된 레이저 빔의 편광면은 다른 광 공진기의 레이저 빔의 편광면들과 상이해질 수 있다.

<51> 각기 직사각형 단면을 갖는 복수의 컬럼형 부분들이 횡 또는 종 배열에서 반도체 기판과 평행한 2 차원 평면상에 등간격으로 배열되는 경우, 레이저 빔은 선(line) 빔이 될 수 있다.

<52> 레이저 빔의 편광면은 직사각형의 컬럼형 부분들을 이용하기보다는 광 출구측 상의 전극내에 형성된 직사각형의 단면을 갖는 광 출구의 단측에 평행하게 배열될 수도 있다. 이러한 배열은 2 차원 평면에 대한 컬럼형 부분의 배열 제한에 따라 컬럼형 부분의 단면이 직사각형이 아닌 경우에 유효하다. 컬럼형 부분 및 광 출구 모두가 사각형 단면을 가질 수도 있다. 이러한 경우, 컬럼형 부분 및 광 출구의 모든 단측들은 상호 평행할 수도 있다. 광 출구의 장측 길이가 a 이고 단측 길이는 b 인 경우, 치수 관계는 $b < a < 2b$ 인 것이 바람직하다. 이는 b/a 의 비가 더 큰 경우 광 공진기의 컬럼형 부분의 측면비 B/A 역시 더 커져서 B/A 비가 바람직한 범위를 벗어날 것이기 때문이다.

<53> 광 공진기는 이들이 응용되는 계측기의 종류에 따라 다양한 레이아웃중 임의의 한 레이아웃으로 배열될 수 있다. 예를 들어, 레이저 프린터, 레이저 빔이 사용되는 측정 장치, 광학 픽업 및 통신 장치들과 같은 레이저 응용 기구들이 설계될 때, 레이저 빔의 편광면을 제어하는 기술은 아주 유용하다.

<54> 본 발명의 제 1 표면 방출형 반도체 레이저는, 예컨대,

<55> (a) 에피택셜 성장을 통해서 제 1 도전형 화합물 반도체로 형성된 기판상에 제 1 도전형의 분포 반사형 다층막 미러, 제 1 도전형의 제 1 클래드 층, 양자 우물 활성층, 제 2 도전형의 제 2 클래드층 및 제 2 도전형의 접촉층을 적어도 포함하는 반도체 층들을 형성하는 단계와;

<56> (b) 하나 이상의 컬럼형 부분을 형성하도록 상기 접촉층 및 상기 제 2 클래드 층을 에칭하는 단계와;

<57> (c) 상기 컬럼형 부분 또는 부분들 주위에 상기 제 2 클래드 층 및 상기 접촉층의 표면을 덮는 실리콘 화합물의 제 1 절연층을 적어도 포함하는 매립 절연층을 형성하는 단계와;

<58> (d) 상기 접촉층의 일부와 대향하는 개구를 갖고 상기 접촉층과 상기 매립 절연층 사이를 가교시키는 상부 전극을 형성하는 단계와;

<59> (e) 상기 상부 전극의 개구를 덮도록 적어도 상기 접촉층상에 유전체 다층막 미러를 형성하는 단계를 포함하는 표면 방출형 반도체 레이저 제조방법에 따라 제조될 수 있다.

<60> 본 발명의 제 2 표면 방출형 반도체 레이저는, 예컨대,

<61> (a) 에피택셜 성장을 통해서 제 1 도전형 화합물 반도체로 형성된 기판상에 제 1 도전형의 분포 반사형 다층막 미러, 제 1 도전형의 제 1 클래드층, 양자 우물 활성층, 제 2 도전형의 제 2 클래드층 및 제 2 도전형의 접촉층을 적어도 포함하는 반도체 층들을 형성하는 단계와;

<62> (b) 하나 이상의 컬럼형 부분들을 형성하도록 상기 접촉층 및 상기 제 2 클래드 층을 에칭하는 단계와;

<63> (c') 상기 컬럼형 부분 또는 부분들 주위에 매립 절연층을 형성하는 단계와;

<64> (d) 상기 접촉층의 일부와 대향하는 개구를 가지며 접촉층과 매립 절연층 사이를 가교시키는 상부 전극을 형성하는 단계와;

<65> (e) 상기 상부 전극의 개구를 덮도록 적어도 상기 접촉층상에 유전체 다층막 미러를 형성하는 단계를 포함하고,

<66> 상기 반도체 층들은 상기 양자 우물 활성층의 이득 스펙트럼의 피크 파장 λ_G 이 원하는 레이저 출력 파장 λ_{EM} 보다 미리 결정된 미분 파장(이득 오프셋) $\triangle\lambda_{BS}$ 만큼 더 적도록 제어되는 표면 방출형 반도체 레이저 제조방법에 따라 제조될 수 있다. 이득 오프셋 $\triangle\lambda_{BS}$ 는 5nm~20nm 사이로 설정되는 것이 바람직하다. λ_G 는 온도 의존적이므로, 그것은 표면 방출형 반도체 레이저가 사용되고 있는 온도에서 측정되어야 한다.

<67> 상기 단계(c')는 제 2 클래드층 및 접촉층의 표면을 덮는 실리콘 화합물로 이루어진 제 1 절연층을 형성하는 단계를 적어도 포함하는 것이 바람직하다.

<68> 각각의 전술한 방법에 있어서, 매립 절연층은, 제 2 클래드 층의 컬럼형 부분 또는 부분들 및 접촉층의 주변 영역을 평탄화하는 제 2 절연층을 더 포함하는 것이 바람직한데, 이때 상기 제 2 절연층은 제 1 절연층이 형성된 후에 예컨대 열적 CVD 공정을 통해 상기 제 1 절연층상에 형성된다.

<69> 또한, 분포 반사형 다층막 미러는 더 낮은 굴절율 및 더 높은 굴절율을 갖는 반도체 층들을 교대로 침착시킴으로써 형성되는 것이 바람직하다. 이것은 반사 스펙트럼을 검출하기 위해 기판상에 예컨대 레이저 출력 파장과 동일한 파장의 소정의 파장을 갖는 광을 방사하고 기판상에 형성되어 있는 반도체 층들의 반사율 프로파일을 측정함으로써 수행될 수 있는데, 상이한 굴절률을 갖는 반도체 층들의 침착은 반사율 프로파일에서의 최대점 또는 최소점에서 교대로 상호 전환된다.

<70> 반사율 프로파일은 결정 성장 속도나 시간보다는 층의 두께와 층의 굴절율에 의존한다. 침착 동안, 침착 층의 Al 화합물이 반사율 프로파일내의 최대 또는 최소점에서 변경되고 그에 따라 상이한 굴절률을 갖는 층들이 하나씩 교대로 에피택셜 성장되면, 층들 각각의 두께는 이론적 두께와 정확히 일치할 것이다. 반사율의 측정에 사용되는 입력 광원을 제공하기 위해 소정의 레이저 출력 파장을 갖는 반도체 레이저를 적당히 선택함으로써, 소망의 파장이 엄격히 설정되어 각 층들의 막두께로부터 굴절률을 판정할 수 있다. 분포 반사형 다층막 미러 자신의 반사율은 결정 성장 동안에 측정될 수 있으므로, 미러 쌍의 개수는 층 형성 동안에 가변될 수 있다. 이것은 반도체 레이저의 구조를 최적화시킬 수 있다.

<71> 전술한 단계(b)에서, 에칭의 깊이는 소정 범위(예를 들어, 레이저 출력 파장 ±60nm) 내의 파장을 갖는 광을 상기 반도체 층을 갖는 기판상에 조사하여 반사 스펙트럼을 검출하고 광 공진기의 정상파로 인해 반사 스펙트럼에서 나타나는 침하부분(dip)을 측정함으로써 제어되는 것이 바람직하다. 또한 에칭의 깊이는 예컨대 0~0.58(㎛) 사이에서 제 2 클래드층의 컬럼형 부분 또는 부분들 이외의 영역의 막두께를 제공하도록 제어되는 것이 바람직하다. 양호한 막두께의 범위에 대한 이유는 이미 설명되었다.

<72> 외부 광이 반도체 층에 침투하므로, 활성층은 분포 반사형 다층막 미러상에 침착된 반도체 층 구조에 정상파(종 모드)가 존재하는 파장을 갖는 광을 흡수한다. 이 파장에서의 반사율은 낮아져서 반사 스펙트럼에서 오목부, 즉 침하 부분을 형성할 것이다. 이러한 침하 부분은 분포 반사형 다층막 미러 위의 결정층의 막두께가 감소할수록 더 긴 파장측에서 더 짧은 파장측으로 이동한다. 추가 에칭으로 더 긴 파장측 상에는 새로운 침하 부분이 생긴다. 침하 부분의 이동 및 발생은 반복될 것이다. 높은 쪽 반사율 구역에 존재하는 침하 부분의 개수와 그들의 이동을 측정함으로써 에칭의 깊이 및 속도가 제어될 수 있다.

따라서 컬럼형 부분 또는 부분들 이외의 영역에서 정확히 제어된 막두께를 갖는 공진기가 본 발명의 방법에 따라 제조될 수 있다. 또한, 에칭 동안에 기판은 0~40(℃) 사이의 범위에서 선택된 소정의 온도로 유지시키는 것이 바람직하다.

<73> 반사 스펙트럼의 값 및 형상은 에칭동안 동시에 감시될 수 있으므로 에칭되는 표면상의 모든 오염 및 손상 역시 추정될 수 있다. 추정의 결과는 에칭 조건에 피드백될 수도 있다.

<74> 또한, 단계(a) 이후에 SiOx 보호막이 반도체 층 표면에 형성되는 것이 바람직하다. 보호막은 반도체 표면이 추후 단계들을 통해서 오염되는 것을 방지할 수 있다. 단계(d) 이전에 보호막은 예컨대 반응성 이온 에칭을 통해 제거될 수도 있다. 이때 소정의 파장을 갖는 광이 보호막이 형성되어 있는 기판상에 조사되어, 반사 스펙트럼을 검출하고 이후에 보호막내의 에칭 깊이를 제어하는데 사용되는 반사율 프로파일을 측정하는 것이 바람직하다.

<75> 환언하면, 반사율은 잔류하는 보호막의 막두께에 따른다. 이 막두께가 λ/4n의 정수배 이상일 때마다 반사율은 최대 또는 최소가 된다(단, λ 는 측정 광원의 파장이고, n 은 보호막의 굴절율이다), 보호막이 완전히 제거될 경우, 반사율은 더이상 변하지 않을 것이다. 보호막의 에칭은 에칭 동안에 반사율을 측정하고 반사율 프로파일내의 최대 및 최소점을 감시함으로써 정확히 수행될 수 있다.

<76> 보호막의 제거 이후, 단계(a)에서 형성된 반도체층은 필요하다면 공진기의 길이를 제어하기 위해 연속적으로 에칭된다. 또한 이러한 에칭동안, 소정 범위내의 파장을 갖는 광이 반도체 층을 갖는 기판상에 조사되어 반사 스펙트럼을 검출하고 에칭의 깊이를 제어하기 위해 광 공진기의 정상파로 인해 상기 반사 스펙트럼내에서 나타나는 침하 부분을 측정하는 것도 바람직하다. 이 매카니즘은 단계(b)의 것과 유사하다. 또한 전술한 공진기 길이를 제어하기 위한 에칭이 단계(a) 직후에 수행될 수도 있다. 이것은 에피택셜층이 광범위하게 한번에 에칭될 수도 있다는 점에서 유리하다. 상기와 같은 에칭은 에칭 깊이를 제어하기 위해 단계(b)의 매카니즘을 이용한다.

<77> 단계(3)에서, 반도체 층들은 금속 유기 기상 에피택시(MOVPE) 공정을 통해 형성되는 것이 더 바람직하다.

<78> 본 발명의 표면 방출형 반도체 레이저는 다음의 막 형성 장치 및 에칭 장치를 통해 제조될 수도 있다.

<79> 기판상에 반도체 층을 형성하는 상기 막 형성 장치는, 가스 공급 및 배출 섹션을 갖는 반응 챔버와; 상기 반응 튜브의 내부에 배치되는 온도 제어가능 기판 지지 섹션과; 소정 파장을 갖는 광을 상기 기판 지지 섹션에 조사하는 광학 시스템과; 상기 기판 지지 섹션상의 기판으로부터 반사광을 감지하는 광 감지기를 포함하고, 그에 의해, 형성된 반도체 층의 반사율은 기판 지지 섹션상의 기판상에 에피택셜 성장에 의해 반도체 층을 형성하는 동안에 측정될 수 있다.

<80> 전술한 것처럼, 막 형성 장치는 예를 들어 분포 반사형 다층막 미러의 막두께 및 공진기 길이를 아주 정확하게 설정할 수 있다. 반도체 층에 대한 반사율을 감시하는 동안에 막 형성 장치는 막두께를 제어할 수 있으므로, 이 장치는 분자빔 에피택시 장치뿐만 아니라 금속 유기 기상 에피택시 장치에도 적용될 수 있다.

<81> 컬럼형 부분 형성 단계(b) 및 보호막 에칭 단계에서 사용될 수 있는 에칭 장치는, 에칭 챔버와; 상기 에칭 챔버 내부에 배치된 기판 지지 섹션과; 소정의 파장을 갖는 광을 상기 기판 지지 섹션에 조사하는 광학 시스템과; 상기 기판 지지 섹션으로부터 반사광을 감지하는 광 감지기를 포함하고, 이에 의해, 기판상에 침착된 층을 에칭하는 동안에 반사율이 측정될 수 있다.

<82> 전술한 것처럼, 상기 에칭 장치는 반사율 프로파일을 검출함으로써 에칭 깊이를 정확히 제어할 수 있다. 상기 에칭 장치는 반응성 이온 에칭 또는 반응성 이온 빔 에칭에 적용할 수도 있다.

<83> 바람직하게는, 막 형성 장치 및 에칭 장치에서 창(window)들은 소정 파장을 갖는 광 및 반사 광에 대해 비반사성이다. 본 발명의 막 형성 장치 및 에칭 장치는 다양한 형태의 광학 시스템을 취할 수도 있다.

도면의 간단한 설명

<84> 제 1 도는 본 발명에 따라 구성된 표면 방출형 반도체 레이저의 제 1 실시예를 개략적으로 도시한 투시도.

<85> 제 2 도는 제 1 도에 도시된 표면 방출형 반도체 레이저 및 제 46 도에 도시된 종래의 표면 방출형 반도체 레이저의 I-L 및 I-V 특성을 예시한 그래프.

<86> 제 3 도는 제 1 도에 도시된 표면 방출형 반도체 레이저의 발광부의 평면도.

<87> 제 4 도는 제 1 도에 도시된 표면 방출형 반도체 레이저의 주입 전류와 광출력 사이의 관계를 도시한 그래프.

<88> 제 5A 도는 제어 표면 방출형 반도체 레이저의 활성층에 대해 에칭된 성분을 개략적으로 도시한 단면도.

<89> 제 5B 도는 제 1 도에 도시된 표면 방출형 반도체 레이저를 개략적으로 도시한 단면도.

<90> 제 6 도는 제 1 도에 도시된 표면 방출형 반도체 레이저에서 공진기 직경에 대한 역수와 임계 전류 밀도 사이의 관계를 예시한 그래프.

<91> 제 7 도는 제 1 도에 도시된 표면 방출형 반도체 레이저에서 주입 전류와 광 출력 사이의 관계 그래프로서, 클래드 층의 잔류막 두께 t 에 대한 상기 관계의 의존도를 도시하는 그래프.

<92> 제 8 도는 제 1도에 도시된 표면 방출형 반도체 레이저에서 클래드층의 잔류막 두께 t 와 외부 미분 양자 효율(경사 효율) 사이의 관계를 도시한 그래프.

<93> 제 9 도는 제 1 도에 도시된 표면 방출형 반도체 레이저에서 단일 양자 우물의 막두께가 다양한 값으로 변경될 때 파장과 광 방출 스펙트럼 사이의 관계를 도시한 그래프.

<94> 제 10 도는 제 1 도에 도시된 표면 방출형 반도체 레이저에서 단일 양자 우물의 막두께와 광 방출 피크 파장 사이의 관계를 도시하는 그래프로서, 이론치(실선) 및 실제 측정치(점선)를 도시하는 그래프.

<95> 제 11 도는 제 1 도에 도시된 표면 방출형 반도체 레이저에서 단일 양자 우물의 폭과 방출 세기 절반폭 사이의 관계를 도시한 그래프로서, 이론치 및 실제 측정치를 도시하는 그래프.

<96> 제 12 도는 제 1 도에 도시된 표면 방출형 레이저에서 활성층의 막두께와 임계 전류 밀도 사이의 관계를 도시한 그래프로서, 이론치 및 실제 측정치를 도시한 그래프.

<97> 제 13 도는 제 1 도에 도시된 표면 방출형 반도체 레이저의 결정층 각각의 Al 조성을 도시한 그래프.

<98> 제 14 도는 제 1 도에 도시된 표면 방출형 반도체 레이저에서 클래드층의 Al 조성에 따른 주입 전류와 광 출력 사이의 관계를 도시한 그래프.

<99> 제 15 도는 제 1 도에 도시된 표면 방출형 반도체 레이저에서 클래드층의 Al 조성과 외부 미분 양자 효율 사이의 관계 그래프.

<100> 제 16 도는 제 1 도에 도시된 표면 방출형 반도체 레이저에서 각각의 유전체 물질의 광 흡수 계수가 상이한 두 종류의 유전체 다층막 미러에 대해 주입 전류와 광 출력 사이의 관계를 도시한 그래프.

<101> 제 17A 도는 제 1 도에 도시된 표면 방출형 반도체 레이저의 단면과, 공진기 길이 및 주입 전류 흐름을 예시한 개략도.

<102> 제 17B 도는 제 1 도의 표면 방출형 반도체 레이저를 형성하기 위해 반도체층 웨이퍼의 일부를 사용하여 형성된 에지 방출형 반도체 레이저의 단면을 개략적으로 도시한 투시도.

<103> 제 18 도는 제 1 도에 도시된 표면 방출형 반도체 레이저의 DBR 미러 및 침착된 반도체 층의 반사 스펙트럼 및, 에지 방출형 반도체 레이저의 발진 스펙트럼을 도시한 그래프.

<104> 제 19A 도는 표면 방출형 반도체 레이저를 형성하기 위하여 반도체층 침착 웨이퍼를 이용하여 형성된 에지 방출형 반도체 레이저에서 레이저 출력 파장과 표면(casing) 온도 사이의 관계를 도시한 그래프.

<105> 제 19B 도는 제 1 도에 도시된 표면 방출형 반도체 레이저를 형성하기 위해 반도체 레이저 침착 웨이퍼를 사용하여 형성된 에지 방출형 반도체 레이저의 발진 스펙트럼과 표면 온도 사이의 관계를 도시한 그래프.

<106> 제 20A 도는 제 1 도에 도시된 표면 방출형 반도체 레이저에서 레이저 출력 파장과 표면 온도 사이의 관계를 도시한 그래프.

<107> 제 20B 도는 제 1 도에 도시된 표면 방출형 반도체 레이저에서 주입 전류 밀도, 레이저 출력 파장 및 접합 온도 상승 사이의 관계를 도시한 그래프.

<108> 제 21 도는 제 1 도에 도시된 표면 방출형 반도체 레이저에서 이득 오프셋 $\triangle\lambda_{BS}$ 와 임계 전류 사이의 관계를 도시한 그래프.

<109> 제 22A 도 내지 제 22C 도는 제 1 도에 도시한 표면 방출형 반도체 레이저를 만드는 공정을 개략적으로 도시한 단면도.

<110> 제 23D 도 내지 제 23F 도는 제 1 도에 도시된 표면 방출형 반도체 레이저를 만드는 연속 공정을 개략적으로 도시한 단면도.

<111> 제 24A 도는 제 1 도의 표면 방출형 반도체 레이저에서 공진기 직경 Da 가 8(㎛)이고 광출구 직경 Dw 이 6(㎛)일 때 레이저 출력 광의 원시야(far-field) 패턴 세기를 도시한 등고선 평면도.

<112> 제 24B 도는 Da 가 13(㎛)이고 Dw 가 10(㎛)일 때 레이저 출력 광의 원시야 패턴 세기의 등고선 평면도.

<113> 제 25A 도는 제 1 도의 표면 방출형 반도체 레이저에서 p 형 클래드 층의 막두께가 1.0(㎛)일 때 방출광 근시야 패턴 및 a-a 선상의 광세기 분포를 예시한 도면.

<114> 제 25B 도는 제 1 도의 표면 방출형 반도체 레이저에서 p 형 클래드 층의 막두께가 0.3(㎛)일때 근시야에서의 방출광 영상 및 b-b 선상의 광세기 분포를 예시한 도면.

<115> 제 26 도는 제 1 도의 표면 방출형 반도체 레이저에서 주입 전류와 광 출력사이의 관계에 대한 p 형 클래드층의 막두께의 영향을 예시한 그래프.

<116> 제 27 도는 제 1 도의 표면 방출형 반도체 레이저에서 주입 전류와 광 출력사이의 관계에 대한 p 형 클래드 층의 막두께의 영향을 예시한 또다른 그래프.

<117> 제 28 도는 본 발명의 제 1 실시예에 따른 표면 방출형 반도체 레이저를 만드는 공정에 의해 제공되는 반도체 침착 웨이퍼의 막두께 분포를 도시한 도면.

<118> 제 29 도는 제 1 도의 표면 방출형 반도체 레이저에서 DBR 미러를 형성하는데 사용되는 MOVPE 장

치를 개략적으로 도시한 단면도.

<119> 제 30 도는 제 1 도의 표면 방출형 반도체 레이저에서 DBR 미러를 형성하는 공정에서 에피택셜층의 성장 시간과 반사율 사이의 관계 그래프.

<120> 제 31 도는 제 1 도의 표면 방출형 반도체 레이저를 만드는 공정에서 사용되는 RIBE 장치를 개략적으로 도시한 단면도.

<121> 제 32A 도 내지 제 32C 도는 RIBE 공정시 반사율 스펙트럼의 변화를 도시한 그래프.

<122> 제 33 도는 제 1 도의 표면 방출형 반도체 레이저를 에칭하는 공정에서 사용되는 RIE 장치를 개략적으로 도시한 단면도.

<123> 제 34 도는 제 33 도에 도시된 RIE 장치가 사용되는 경우 SiO_2 층의 막두께와 반사율 사이의 관계를 도시한 그래프.

<124> 제 35 도는 제 1 도의 표면 방출형 반도체 레이저에서 DBR 미러가 형성될 때 TMG, TMAl 및 H_2Se 의 유속 변화를 예시한 시간도.

<125> 제 36 도는 제 1 도의 표면 방출형 반도체 레이저의 DBR 미러 부분이 SIMS 방법에 의해 추정될 때 결과를 도시한 그래프.

<126> 제 37A 도는 DBR 미러의 n 형 $Al_{0.7}Ga_{0.3}As$ 층의 Se 농도가 $Al_{0.1}Ga_{0.9}As$ 층의 계면 근처에서 급격히 증가될 때 대역의 변화를 도시한 그래프.

<127> 제 37B 도는 Se 가 일정하게 공급될 때 대역의 변화를 도시한 그래프.

<128> 제 38 도는 제 1 도의 표면 방출형 반도체 레이저의 DBR 미러를 만드는 공정에서 TMAl 의 유속 및 자외선의 방사선량의 변화를 예시한 시간도.

<129> 제 39 도는 제 1 도의 표면 방출형 반도체 레이저의 DBR 미러 부분이 SIMS 방법을 통해 추정될 때 결과를 도시한 그래프.

<130> 제 40A 도는 본 발명의 제 2 실시예에 따라 구성된 표면 방출형 반도체 레이저의 단면을 개략적으로 도시하는 투시도.

<131> 제 40B 도는 광출구측에서 본 제 40A 도의 반도체 레이저의 평면도.

<132> 제 41A 도는 광 출구측에서 본 종래 기술의 표면 방출형 반도체 레이저의 공진기 부분의 구성을 도시한 도면.

<133> 제 41B 도는 제 41A 도의 레이저에서 근시야에서의 방출 영상의 세기 분포를 도시한 그래프.

<134> 제 41C 도는 제 2 실시예에서 광 출구측상의 공진기 구성을 도시한 도면.

<135> 제 41D 도는 제 41C 도의 레이저에서 근시야에서의 방출 영상의 세기 분포를 도시한 그래프.

<136> 제 42A 도는 제 2 실시예에 따른 표면 방출형 반도체 레이저내에 배열된 복수의 광 공진기를 도시한 도면.

<137> 제 42B 도는 편광 필터를 통과하는, 제 42A 도의 광 공진기로부터의 레이저 빔을 예시한 도면.

<138> 제 42C 도는 제 2 실시예의 표면 방출형 반도체 레이저에서 직사각형 공진기의 단측 방향이 서로 상이하도록 배열되어 있는 복수의 광 공진기를 도시하는 도면.

<139> 제 42D 도는 편광 필터를 통과하는, 제 42C 도의 광 공진기로부터의 레이저 빔을 예시한 도면.

<140> 제 43A 도 내지 제 43C 도는 횡 및/또는 종 배열에서 기판에 평행한 2 차원 평면상에 배열되며 단측 및 장측을 갖는 직사각형 공진기 부분을 도시한 도면.

<141> 제 44A 도 내지 제 44D 도는 직사각형 광 출구를 제공함으로써 레이저 빔의 편광면을 제어할 수 있는 공진기를 도시한 도면.

<142> 제 44E 도는 원형 광 출구(exit port)를 갖는 직사각형 단면의 공진기를 도시한 도면.

<143> 제 45 도는 종래 기술에 따라 구성된 다른 표면 방출형 반도체 레이저를 도시한 투시도.

<144> 제 46 도는 종래 기술에 따라 구성된 또다른 표면 방출형 반도체 레이저를 도시한 단면도.

<145> 제 47 도는 우물 층의 수가 변화될 때 주입 전류와 광 출력 사이의 관계를 예시한 그래프.

<146> 제 48 도는 활성층내의 우물층의 두께 및 클래드 층의 두께와 Al 조성 사이의 관계를 개략적으로 도시한 도면.

<147> 발명을 실시하기 위한 최상의 모드

<148> <제 1 실시예>

<149> 제 1 도는 본 발명의 일 실시예에 따른 표면 방출형 반도체 레이저에서 발광부의 단면을 도시한 투시도이다.

<150> 제 1 도에 도시된 것처럼, 반도체 레이저(100)는 n 형 GaAs 기판(102)과; n 형 $Al_{0.8}Ga_{0.2}As$ 층 및 n 형 $Al_{0.15}Ga_{0.85}As$ 층이 상호 교대로 침착되어 이루어진 40 개 쌍을 포함하고, 약 800(nm)의 파장을 갖는

광에 비해 99.5% 이상의 반사율을 갖는 분포 브래그 반사형 다층막 미러(이후부터 "DBR 미러"라 칭함)(103)와; n 형 $Al_{0.7}Ga_{0.3}As$ 의 제 1 클래드층(104)과, n^- 형 GaAs 우물층 및 n^- 형 $Al_{0.3}Ga_{0.7}As$ 장벽층으로 이루어진 21 개 쌍을 포함하는 양자 우물 활성층(105)(본 실시예에서는 다중 양가 우물(MQW) 구조이다)과; p 형 $Al_{0.7}Ga_{0.3}As$ 의 제 2 클래드 층(106) 및; p^+ 형 $Al_{0.15}Ga_{0.85}As$ 의 접촉층(109)을 포함하고, 이때 상기 층들은 기판(102)상에 전술한 순서대로 순차적으로 침착되어 있다. 접촉층(109) 및 제 2 클래드 층(106)의 상부는 원통 모양의 컬럼형 부분(114)(이후부터는 "공진기 부분"으로 칭하며, 공진기 부분은 본 명세서에서 이후에 설명하는 것처럼 반드시 원통형일 필요는 없다)으로 에칭된다. 공진기 부분(114)은 SiO_2 등의 실리콘 산화막(SiOx 막)으로 이루어진 제 1 절연층(107) 및 폴리이미드 등의 내열성 수지로 이루어진 제 2 절연층(108)과 함께 매립된다.

<151> 제 1 절연층(107)은 제 2 클래드 층(106) 및 접촉층(109)의 표면상에 연속적으로 형성되는 반면 제 2 절연층은 제 1 절연층(107)을 매립하도록 형성된다.

<152> 제 2 절연층(108)은, 폴리이미드같은 내열성 수지 이외에, SiO_2 같은 실리콘산화막(SiOX 막), Si_3N_4 같은 실리콘 질화막(SiNX 막), SiC 같은 실리콘 탄화막 (SiCx 막), SOG 막같은 절연 실리콘 화합물막(스핀 온 글래스법에 의해 제공된 SiO_2 같은 SiOx) 및 다결정 II-VI 족 화합물 반도체 막(예컨대 ZnSe)으로 이루어진 그룹중에서 선택된 하나로 형성된다. 그들중 SiO_2 같은 실리콘 산화물, 폴리이미드 및 SOG 막은 비교적 저온에서 형상화되므로 바람직하게 이용된다. 더 구체적으로, SOG 막은 그 표면이 쉽게 형상화 및 평탄화되므로 자주 이용된다.

<153> Cr 또는 Au-Zn 합금으로 형성될 수도 있는 접촉 금속층(상부 전극)(112)은 접촉층(109)과 링 형태로 접촉하도록 형성된다. 상부 전극(112)은 전류 주입용 전극으로서의 기능을 수행한다. 상부 전극(112)으로 덮이지 않은 접촉층(109)의 다른 부분은 순환적으로 노출된다. 접촉층(109)의 노출 표면(이후부터 "개구"로 칭함)은 유전체 다층막 미러(111)로 완전히 덮히는데, 상기 미러(111)는 SiOx(예컨대 SiO_2)층과 Ta_2O_5 층이 상호 교대로 침착되어 이루어진 7 개 쌍을 포함하고 약 800(nm) 파장을 갖는 광에 대해 98.5~99.5(%) 사이의 반사율을 갖는다. 전극 금속층(하부 전극)(101)은 n 형 GaAs 기판(102)의 하단에 Ni 또는 Au-Ge 합금으로 형성된다.

<154> 제 3 도는 제 1 도에 도시된 반도체 레이저의 레이저 방출부의 일부를 도시한 평면도이다. 제 3 도에서 A-A' 선을 따라 절취한 단면은 앞에서 본 제 1 도의 단면에 대응한다. 상부 전극(112)은 접측층(109)과 접촉하도록 합금되어 오믹 접촉을 제공한다. 유전체 다층막 미러(11)는 공진기 부분(114)의 전체 표면을 덮도록 형성된다. 이후의 설명부터는 제 3 도에 도시된 것처럼 공진기 부분(114)의 직경이 Da 이고 개구(113)의 직경은 Dw 인 것으로 가정한다.

<155> 순방향 전압이 상부 및 하부 전극(112, 101) 사이에 인가되므로 (본 실시예에서 전압은 상부 전극(112)으로부터 하부 전극(101)으로 인가된다), 전류는 반도체 레이저로 주입된다. 주입 전류는 양자 우물 활성층(105)에서 광으로 변환된다. 광은 DBR 미러(103) 및 유전체 다층막 미러(111)에 의해 규정되는 반사 미러들 사이에서 왕복 증폭되어, 기판(102)에 수직인 제 1 방향으로 개구(접촉층(109)의 노출 표면)(113)를 통해 밖으로 방출되는 레이저 빔을 형성한다.

<156> 제 1 도에 도시된 실리콘 산화막(SiOx 막)으로 형성된 제 1 절연층(107)은 500~2000(Å)의 막두께를 갖는다. 내열성 수지 등으로 형성된 제 2 절연층(108)은 그 구성요소(element)의 표면을 평탄화하는 것이 요구된다. 그러나 예컨대 내열성 수지로서 막내에 잉여 습기를 포함하는 경향이 있는 내열성 수지가 이용될때, 그리고 구성요소가 상기 내열성 수지가 반도체 층과 직접 접촉할만큼 오랜 시간동안 처리될 때, 내열성 수지와 반도체층 사이의 계면에는 틈이 생겨서 구성요소의 특성을 열화시킨다. 제 1 절연층(107)과 같은 박막이 일 실시예에 따라 내열성 수지와 반도체층 사이의 계면에 삽입될 경우, 제 1 절연층(107)은 다른 이점들 이외에도 보호막의 기능을 하여 상기와 같은 열화를 방지한다. 제 1 절연층을 규정하는 실리콘 산화막(SiOx 막)의 형성은 플라즈마 CVD 법, 반응성 침착법 및 다른 방법들 중 하나를 이용하여 이루어진다. 이러한 목적을 위해, N_2(질소)를 캐리어 가스로 하여 기체 SiH_4(모노실란) 및 O_2(산소)가 이용되는 정상 압력 열적 CVD 법을 통해 실리콘 산화막을 형성하는 것이 가장 적당하다. 왜냐하면 과잉 O_2 상태하의 대기압에서 반응에 의해 막이 형성될 경우 SiOx 막내의 산소 소모가 감소되어 조밀한 막을 제공하며 스텝 커버리기(step coverage)는 개선되어 평탄부와 동일한 막두께를 갖는 공진기 부분(114)의 측면 및 스텝을 제공하기 때문이다.

<157> 제 1 도에 도시된 표면 방출형 반도체 레이저를 만드는 공정의 실시예는 공정내의 여러 단계들을 보여주는 제 22A 도 내지 제 22C 도 및 제 23D 도 내지 제 22F 도를 참조하여 설명될 것이다.

<158> 전술한 것처럼, DBR 미러(103)는 n 형 GaAs 기판(102) 상에 교대로 침착된 n 형 $Al_{0.15}Ga_{0.85}As$ 층 및 n 형 $Al_{0.8}Ga_{0.2}As$ 층으로 이루어진 40 개 쌍으로 형성되고 약 800(nm)의 광에 대해 99.5(%) 이상의 반사율을 갖는다. n 형 $Al_{0.7}Ga_{0.3}As$ 층(제 1 클래드층)(104)이 DBR 미러(103)상에 형성된 후, 다중 양자 우물 구조(MQW)의 활성층(105)이 n^- 형 CaAs 우물층 및 n^- 형 $Al_{0.3}Sa_{0.7}As$ 장벽층을 교대로 침착시킴으로써 형성된다. 그후, p 형 $Al_{0.7}Ga_{0.3}As$ 층(제 2 클래드층)(106) 및 p 형 $Al_{0.15}Ga_{0.85}As$ 층(접촉층)(109)이 순차적으로 침착된다(제 22A 도 참조)

<159> 상기 층들은 금속 유기 기상 에피택시(MOVPE) 공정을 통해 성장된다. 이때 성장 온도는 750 ℃이고 성장 압력은 150(Torr)이다. 3 족 물질들은 TMGa(트리메틸갈륨), TMAl(트리메틸 알루미늄) 같은 유기 금속이다. 5 족 물질은 AsH_3 이다. H_2Se 는 n 형 도펀트로서 이용되고, DEZn(디에틸 징크)은 p 형 도펀트로서 이용된다.

<160> 제 22A 도에 도시된 층의 형성 이후에, 보호층 I 가 정상 압력 열적 CVD 방법에 의해 에피택셜

층상에 형성되는데, 상기 보호층은 약 250(Å)의 막두께를 갖는 SiO_2 층이다. 보호층 I 는 에피택셜층이 이후 공정동안 오염되는 것을 방지하는 기능을 한다.

<161> 이런 방식으로, DBR 미러(103), 제 1 클래드 층(104), 양자 우물 활성층 (105), 제 2 클래드 층(106), 접촉층(109) 및 보호층 1 이 기판상에 침착되는 적층구조의 웨이퍼가 제조될 것이다. 상기 웨이퍼의 일부는 이후에 논의될 에지 방출형 반도체 레이저용 샘플로서 이용된다.

<162> 보호층 I, 접촉층(109) 및 제 2 클래드 층(106)의 상부는 레지스트 패턴 R1으로 덮혀 있는 컬럼형 공진기 부분(114)을 남겨두도록 반응성 이온 빔 에칭(RIBE) 공정을 이용해 제 2 클래드 층(106)의 중앙까지 에칭된다. 따라서 컬럼형 공진기 부분(114)은 자신의 상부에 있는 레지스트 패턴 R1 과 동일한 프로파일을 가질 것이다(제 22B 도 참조). RIBE 공정을 이용함으로써, 컬럼형 부분의 측면들은 사실상 수직이고 에피택셜 층들은 거의 손상되지 않는다. 예를 들면, RIBE 공정은 염소 및 아르곤의 혼합물인 에칭 가스와 함께 150W 의 입력 마이크로파 전력 및 350V의 배출 전압을 이용하여 60(mPa)의 압력에서 수행되었다.

<163> RIBE 방법을 통한 컬럼형 부분의 형성에 있어서, 기판(102)의 온도는 0~40(℃) 사이의 비교적 저레벨로 설정하는 것이 양호하고, 더 양호하게는 10~20(℃) 사이인 것이 좋다. 따라서 에피택셜 성장을 통해 기판상에 침착된 반도체 층의 측면 에칭이 제어될 수 있다. 만약 기판의 온도가 0~10(℃) 사이이면 에칭 속도는 바람직하지 않을 정도로 느릴 것이다. 만약 기판 온도가 40(℃) 이상이면 에칭 속도는 바람직하지 않을 정도로 빨라서 에칭 표면이 거칠어지고 에칭 속도를 제어함에 있어서 어려움이 초래된다.

<164> 이후, 레지스트 패턴 R1 이 제거되고, 약 1000(Å)의 SiO_2 층(제 1 절연층)(107)이 정상 압력 열적 CVD 법에 의해 에피택셜층의 노출 표면 위에 형성된다. 예를 들면 공정의 조건은 450 ℃ 의 기판 온도, SiH_4(모노실란) 및 산소가 이용되는 물질 및, 질소인 캐리어 가스이다. 다음, SOG(spin-on-glass) 막(108L)이 스핀 코팅 공정에 의해 제 1 절연층(107)상에 피복된다. 이후, 반도체 층으로 이루어진 집합체(assembly)는 80 ℃ 에서 질소 분위기하에 1 분간, 150 ℃ 에서 2 분간 및 300 ℃ 에서 30 분간 연속 가열처리된다(제 22C 도 참조).

<165> SOG 막(108L), SiO_2 막(107) 및 보호층 I 는 에칭되어, 접촉층(109)의 노출표면과 같은 높이의 평탄한 표면 플러쉬를 형성한다(제 23D 도 참조). 이 경우, 에칭은 SF_6, CHF_2 및 Ar 의 혼합물인 반응성 가스와 함께 평행한 플랫 전극을 이용하는 반응성 이온 에칭(RIE)을 통해 수행된다.

<166> 공지된 리프트 오프(lift-off) 법을 이용하여, 상부 전극(112)은 접촉층 (109)과 링 형태로 접촉하도록 형성된다(제 23E 도 참조). 접촉층(109)은 상부 전극(112)의 원형 개구를 통해 노출된다. 유전체 다층막 미러(상부 미러)(111)는 공지된 리프트 오프법을 통해 접촉층(109)의 노출 표면을 덮도록 형성된다. 상부 미러(111)의 형성은 전자빔 침착을 통해 SiO_2 및 Ta_2O_5 로 이루어진 7 개 쌍을 교대로 침착함으로써 수행된다. 상부 미러(111)는 약 800(nm)의 파장을 갖는 광에 비해 98.5~99.5(%) 사이의 반사율을 갖는다. 예를 들어 침착 속도는 SiO_2 의 경우 5(Å/분)이고 Ta_2O_5 의 경우 2(Å/분)이다.

<167> 또한, 전술한 리프트 오프법 이외에도, 상부 미러(111)는 RIE 법의 에칭에 의해 형성될 수도 있다.

<168> 그후, 하부 전극(101)이 기판(102)의 하단에 Ni 또는 AuGe 합금으로 형성되어 표면 방출형 반도체 레이저를 완성시킨다.

<169> 비록 본 실시예의 구성요소 및 제조 공정이 개괄적으로 설명되었을지라도 본 실시예의 특정 구현예들의 기본적인 구조 특징은 다음과 같다.

<170> (A) 양자 우물 활성층

<171> 양자 우물 활성층(105)은 n^- 형 GaAs 우물층 및 n^- 형 $Al_{0.3}Ga_{0.7}As$ 장벽층으로 이루어진다. 이 실시예에서는, 다중 양자 우물 구조(MQW)의 활성층이다. 우물층의 막두께는 40~120(Å) 사이이고, 양호하게는 61(Å)인 반면, 장벽층의 막두께는 40~100(Å) 사이이고, 양호하게는 86(Å)이다. 우물층의 총 개수는 3~40 사이이고, 양호하게는 21 이다. 따라서, 임계값은 더 낮고, 출력은 더 증가되며, 온도 특성이 개선되며, 레이저 출력 파장의 재생성이 종래 레이저에 비해 개선된 표면방출형 반도체 레이저가 제공될 수 있다.

<172> (B) 매립 절연층

<173> 매립 절연층은 2 층 구조로서, 열적 CVD 공정에 의해 형성된 실리콘 산화박막(107)(제 1 절연층)과 이 제 1 절연층(107) 위에 매립된 제 2 절연층(사용된 물질에 대한 세부사항은 전술되었음)(108)으로 이루어진다. 제 1 박막 절연층(107)을 형성하는 이유는 이후에 형성되는 제 2 절연층(108)이 많은 불순물(예컨대 나트륨, 염소, 중금속, 수분 등)을 포함하기 때문이다. 그러한 불순물은 가열시 제 2 클래드 층(106) 및/또는 양자 우물 활성층(105)으로 확산되지 않아야 한다. 그러므로, 제 1 절연층(107)은 불순물 침입을 차단할 정도의 막두께를 가져야 한다. 제 1 박막 절연층(107)이 열적 CVD 공정으로 형성될 경우, 이후에 상부에 형성되는 제 2 절연층(108)보다 더 정밀해진다. 이 실시예에서, 열적 CVD 공정이 레이저 소자에 미치는 영향을 피하기 위해, 박막의 제 1 절연층(107)을 정밀하지는 않지만 저온에서 형성가능한 제 2 절연층(108)과 결합시켜 2 층 구조를 형성한다.

<174> 또한 본 실시예는 매립 절연층이 양자 우물 활성층(105)에 도달하지 않거나 또는 적어도 표면 아래까지 도달하지 않는 것을 특징으로 한다. 즉, 컬럼형 부분 외측의 제 2 클래드 층(106)은 제 1 절연층(107)과 양자 우물 활성층(105) 사이에서 소정의 두께 t만큼 남겨진다. 이후에 설명될 그러한 이유로 인해, 잔류막 두께 t 는 0~0.58(㎛)의 범위인 것이 좋으며, 더 양호하게는 0~0.35(㎛)의 범위인 것이 양호하다. 따라서, 표면 방출형 반도체 레이저에 있어서, 전류는 개선된 효율 및 신뢰성을 갖고 활성층으

로 효과적으로 주입될 수 있다.

<175> (C) 유전체 다층막 미러

<176> 유전체 다층막 미러(111)는 교대로 침착된 SiO_2 및 Ta_2O_5 층으로 이루어진 7개 쌍으로 이루어지고 800(nm)의 파장을 갖는 광에 비해 98.5~99.5(%) 사이의 반사율을 갖는다. Ta_2O_5 층은 ZrOx, ZrTiOx 또는 TiOx 중 하나에 의해 대체될 수도 있다. 마찬가지로, SiOx 층은 MgF_2, CaF_2, BaF_2 및 NIF_2 중 어느 하나로 대체될 수 있다. 따라서, 표면 방출형 반도체 레이저는 외부 미분 양자 효율이 개선됨과 함께 더 낮은 임계 전류를 가질 수 있다.

<177> 더 구체적으로, 본 실시예의 표면 방출형 반도체 레이저는, 레이저 공진기가 제 46 도에 도시된 종래의 p 형 DBR 미러를 포함하지 않고 n 형 DBR 미러(103) 및 유전체 다층막 미러(111)로 형성되는 것을 특징으로 한다. 종래의 기술은 p 형 DBR 미러의 반사율을 증가시키기 위해 다층 미러의 층의 개수가 증가되어져야 하고 그에 의해 p 형 DBR 미러의 저항이 상당히 증가한다는 문제를 일으켰다. 그와 반대로 본 발명의 실시예는 p 형 DBR 미러를 이용하지 않고 유전체 다층막 미러(111)를 사용하는 것을 특징으로 한다. 이것은 다음의 이점들을 제공한다.

<178> (1) 본 실시예의 레이저는 주입 전류가 접촉 및 제 2 클래드 층(109, 106)을 통해 흐르므로 저항이 증가하지 않는다.

<179> 즉, 장치의 직렬 저항이 감소되어 임계 전류(I_{th})에서의 전압(이 전압은 "임계 전압"이라 부르며 "V_{th}"로 표시함)을 감소시킨다. 이것은 주입 전류로 인해 소자내에서 발생하는 열을 억압한다. 결과적으로 외부 미분 양자 효율이 개선되어 레이저 광 출력을 증가시킨다.

<180> (2) 유전체 다층막 미러는 클래드층, 활성층 및 기타 층에서 결정 성장 이후에 형성되므로, 표면 방출형 반도체 레이저는 공진 조건과 정확히 일치하는 공진기 길이를 갖도록 제조될 수 있다. 공진기 길이의 제어는 이후에 상세히 설명될 것이다.

<181> 제 2 도는 제 1 도에 도시된 본 발명의 실시예에 따라 구성된 표면 방출형 반도체 레이저 및 제 46 도에 도시된 종래의 표면 방출형 반도체 레이저에서 각각 주입 전류와 광 출력 사이의 관계(이후 부터 "I-L 특성"이라 칭함) 및, 주입 전류와 순방향 전압 사이의 관계(이후 부터 "I-V 특성"이라 칭함)를 도시한다. 제 2 도에 있어서, 실선(201, 202)은 본 실시예의 I-L 특성 및 I-V 특성을 각각 나타낸다. 점선(203, 204)은 종래 기술에서의 I-L 및 I-V 특성을 각각 나타낸다. I-V 특성 간의 비교에서 명확히 알수 있듯이, 본 발명의 장치의 저항은 종래의 것과는 완전히 상이하다. 본 실시예의 장치 저항은 P 형 DBR 미러를 사용하는 종래의 장치 저항보다 몇십배 더 작음을 알수 있다. 본 실시예의 장치 저항은 약 50(Ω)인 반면 종래의 장치 저항은 약 600(Ω)이다. 더 나아가, 종래 기술의 임계 전압 V_{th}(I-L 특성의 전류 I_{th} 에 대한 I-V 특성의 전압)은 약 4.0(V)인 반면, 본 실시예의 임계 전압 V_{th} 은 종래 기술의 임계 전압의 절반보다 더 작은 약 1.9V 이다. 따라서, 본 실시예의 표면 방출형 반도체 레이저는 장치로 주입되는 전류로부터의 열을 억압하고 열적 포화없이 더 높은 전류 범위까지의 광을 출력할 수 있다.

<182> 제 2 도의 I-L 특성으로부터 명확히 알 수 있듯이, 종래 기술의 표면 방출형 반도체 레이저는 장치의 더 높은 저항으로 인한 열 때문에 약 6(mA)에서 광 출력이 포화되므로 최고 약 0.4(mW)인 광 출력을 제공할 수 있다. 대조적으로, 본 실시예의 I-L 특성은 광 출력이 약 10(mA)인 경우에도 포화되지 않으므로 1.2(mW)의 광출력을 제공할 수 있다.

<183> 제 4 도는 본 실시예의 표면 방출형 반도체 레이저에서 주입 전류와 광 출력사이의 관계를 도시한 I-L 특성도를 제공한다. 이 I-L 특성은 Dw(레이저 빔 방출부분 또는 개구(113)의 직경)가 6(㎛)이고; Da(공진기 부분(114)의 직경)가 8(㎛)이고; 양자 우물 활성층(105)에서의 GaAs 우물층의 막두께가 61(Å)이고; $Al_{0.3}Ga_{0.7}As$ 장벽층의 막두께가 86(Å)이며; 레이저 출력 파장이 800(nm)인 조건하에서 제 1 도 및 제 3 도에 도시된 표면 방출형 반도체 레이저의 샘플로부터 결정된다. 특성 곡선(401)은 전술한 표면 방출형 반도체 레이저가 200(nsec)의 펄스폭 및 10(KHz)의 반복 주파수를 갖는 펄스 전류로 구동될 때 제공되는 결과인 반면, 특성 곡선(402)은 동일한 표면 방출형 반도체 레이저가 직류 전류로 연속 구동될 때 제공되는 결과를 나타낸다. 양 경우에서, 표면 방출형 반도체 레이저는 연속 구동용 임계 전류가 매우 낮은 2(mA)라는 명백한 임계치로 레이저 출력을 개시하기 시작한다. 펄스형 구동의 임계 전류는 연속 구동의 경우보다 더 낮고, 그에 따라 일단 레이저 출력이 시작되면 외부 미분 양자 효율을 증가시킨다. 연속 구동은 주입 전류로 인한 레이저 소자의 상승 온도만큼 더 영향을 받으며 주입 전류가 증가할수록 I-L 특성의 선형도가 열화됨을 알 수 있다. 실용적인 표면 방출형 반도체 레이저를 제공하기 위해서는, 임계 전류는 낮고 외부 미분 양자 효율은 높아서 구동 전류를 가능한 많이 줄이는 것이 중요하다.

<184> 본 발명의 실시예는 제 5A 도 및 제 5B 도를 참조하여 더 상세히 설명될 것이다. 제 5A 도 및 제 5R 도는 구동 전류를 줄일 수 있는 방법을 예시한다. 제 5A 도에 도시된 표면 방출형 반도체 레이저는 비교 장치이다.

<185> 제 5A 도를 살펴보면, 매립 절연층이 양자 우물 활성층(105)을 완전히 매립한다는 점에서 제 1 도에 도시된 단면도와는 그 단면이 상이하다. 더 구체적으로, 제 5A 도는, 접촉층(109), 제 2 클래드층(106), 양자 우물 활성층(105) 및 n 형 클래드 층(104)의 일부가 반응성 이온 빔 에칭 공정을 통해 에칭되어 컬럼형 부분을 형성하고, 이 컬럼형 부분은 실리콘 산화막의 제1 절연층(107)(SiOx 막) 및 폴리이미드의 제 2 절연층(108)에 의해 매립되는 표면 방출형 반도체 레이저의 단면 구조를 도시한다.

<186> 제 5B 도는 제 1 도와 구조적으로 유사한, 전면에서 본 단면을 도시한다. 이 도면에서 명확하듯이, 제 5A 도에서처럼 양자 우물 활성층(105)에 도달하지 않도록 에칭이 행하여졌다. 에칭 단계는 p 형 $Al_{0.5}Ga_{0.5}As$ 인 제 2 클래드층(106)의 중앙에서 종료되어 제 5A 도와 동일한 방식으로 매립되는 컬럼형 부분을 남겨두었다. 잔류하는 제 2 클레드 층 부분(106)의 막두께는 제 5B 도에 도시된 것처럼 "t"로 표시되었다.

<187> 제 5A 도의 구조에 의해 제기될 수 있는 문제는 제 6 도에 도시된 실험 결과를 참조하여 설명될 것이다.

<188> 제 6 도에서 직선(601)은 제 5A 도에 도시된 구조의 표면 방출형 반도체 레이저에서 임계 전류 밀도 J_{th}(레이저 출력 임계 전류 I_{th} 를 직경 Da 을 갖는 공진기 부분의 면적으로 나눈 것)와 $1/\pi Da$ 사이의 관계를 나타낸다. J_{th} 값은, 개구 직경 Dw을 6(㎛)의 일정 레벨로 유지하고 단지 공진기 부분의 직경 Da 만을 변화시키는 동안에 제조되는 복수의 레이저 소자에 대해 레이저 출력 임계 전류 I_{th} 를 측정함으로써 결정된다. 공진기 부분 또는 부분들을 구성하기 위해 에칭하는 동안, 양자 우물 활성층(105)은 에칭되어 그 측면들이 노출되므로써, 노출된 측면들은 제 5A 도에서처럼 제 1 절연층(107)과 접촉하고 계면 재결합 전류가 그 접촉면을 따라 흘러서 결과적으로 레이저 출력 임계 전류 I_{th} 를 증가시키는 누설 전류를 제공한다. 계면 재결합 전류가 존재하는 경우, 레이저 출력 임계 전류 I_{th} 는 다음 공식(1)으로 표현된다.

<189> 공식(1)

$$J_{th} = \frac{I_{th}}{\pi(Da/2)^2} = J_0 + \frac{4\pi e N_{th} d_a v_s}{Da}$$

<191> 여기서, J_0는 누설 전류가 없는 경우의 임계 전류 밀도, e는 전자의 전하량, N_{th}는 임계 캐리어 밀도, da는 활성층의 막두께, Vs는 계면 재결합 속도이다. 공식(1)에서 명확히 알 수 있는 것처럼, 계면 재결합 전류가 존재하는 경우 J_{th} 값은 공진기 부분의 직경 Da 에 반비례하는 성분을 갖는다. 계면 재결합 전류가 증가할수록 1/Da 에 대한 J_{th} 값의 변화율도 증가한다. 계면 재결합 전류는 광 방출에는 기여하기 않지만 I_{th} 값을 바람직하지 않게 증가시켜 줄 효과열을 증가시키는 누설 전류이므로, 계면 재결합 전류는 광 방출 효율을 감소시킨다.

<192> 제 6 도의 직선(602)은 제 5B 도에 도시된 본 실시예의 표면 방출형 반도체 레이저에서 제공되는 결과를 나타낸다. 제 6 도에서 명확하듯이, 에칭이 양자 우물 활성층(105)까지 수행되지 않으므로 즉, 양자 우물 활성층(105)과 매립 절연층 사이에 계면이 존재하지 않으므로 J_{th} 값은(1/Da) 값에 거의 의존하지 않으며 임계 전류는 감소된다. 공진기 부분이 형성될때 계면 재결합 전류를 제거하기 위해 제 2 클래드 층(106)으로 하여금 잔류막 두께 t 를 갖도록 하는 표면 방출형 반도체 레이저의 구조가 특히 중요함을 알 수 있다.

<193> 제 2 클래드 층(106)의 잔류막 두께 t 가 너무 두꺼을 경우, 주입 캐리어는 더 확산하여 I_{th} 값을 증가시킨다. 그러므로 에칭은 적정한 깊이에서 종료되어져야 한다. 에칭이 제 2 클래드 층(106)과 양자 우물 활성층(105) 사이의 계면에서 종료되거나 또는 제 2 클래드 층의 잔류막 두께 t 가 영이 되는 것이 가장 양호하다. 이것은 제조 기술과 관련하여 난점을 초래할 것이다. 이론적으로는 아무런 문제가 없다. 그러나 제 2 클래드 층 아래 활성층을 에칭하는 것은 사실상 어렵다.

<194> 제 7 도는 본 발명의 실시예에 따라 구성되었지만 에칭된 제 2 클래드 층(106)의 잔류막 두께 t 가 상이한 복수의 표면 방출형 반도체 레이저에서의 I-L 특성을 도시한 것이다. 상기 I-L 특성의 결정시에, 상이한 잔류막 두께 t 를 각각 갖는 복수의 레이저 소자는 연속 방식으로 레이저 출력 파장 800(nm)으로 구동되고, 각 레이저 소자는 8(㎛)의 직경 Da 를 갖는 공진기 부분(114), 6(㎛)의 직경 Dw 을 갖는 개구(113), 21 개 층의 양자 우물을 갖는 양자 우물 활성층(105)을 갖는다. 제 7 도에서 알 수 있듯이, t 값이 0.62(㎛) 보다 더 커지면 I_{th} 값은 10(mA) 이상이 되고 외부 미분 양자 효율은 감소하여 광 출력의 순간 열 포화를 발생시킬 것이다.

<195> 제 2 클래드 층의 잔류막 두께 t 의 양호한 수치 범위는 제 8 도를 참조하여 설명될 것이다.

<196> 제 8 도에서, 수직축은 외부 미분 양자 효율을 나타내는 그래디언트(경사효율)을 나타내며 수평축은 클래드층의 잔류막 두께 t 를 나타낸다. 만약 경사 효율이 0.1(즉, 10%)이라면, 비록 전류가 10mA 일지라도 그 광출력은 최대한 1mW 가 된다. 일반적으로 10mA 의 전류값은 레이저 소자에서의 열포화 전류와 거의 같은 한계값이다. 따라서, 실제적으로 필요한 그래디언트는 0.1 이상이어야 하고, 잔류막 두께 t 는 약 0.58(㎛)과 같게 된다. 이러한 사실에서 볼 때 잔류막 두께 t는 0~0.58(㎛) 의 범위가 적절할 것이다. 만약 표면 방출 형태의 반도체 레이저가 프린터에 사용되어진다면, 2mW 의 광 출력이 필요할 것이며, 2.5mW 라면 더 좋을 것이다. 이때의 잔류막 두께 t 는 0~0.4(㎛) 의 범위가 양호하며 0~0.3(㎛) 의 범위라면 더 좋을 것이다.

<197> 본 발명의 구조적 특징은, 앞서 간단히 설명한 양자 우물 활성층(105)의 구조에 있어서, 이것은 제 9 도의 설명에서 더 상세히 설명할 것이다.

<198> 제 9 도는, 본 발명을 따르는 MOVPE 방식으로 성장된 단일 양자 우물 구조로부터의 발광 스펙트럼의 측정을 도시한 것이다, 모든 측정된 시료들은 각기 다른 막두께의 단일 양자 우물층을 가지는데, 이것은 500Å의 막두께를 가지는 $Al_{0.3}Ga_{0.7}As$ 장벽층을 통해 GaAs 단결정 기판위에 형성된 것이다. 이 측정은 시료들을 액체 질소 온도(77K)로 냉각시키고, 냉각된 시료위에 300mW 의 아르곤 레이버 빔을 조사하고, 방출되는 광을 받아서 차례 차례로 스펙트로스코우프에 의해 스펙트럼 분석을 하게 함으로써 수행되어졌다. 여기에서 양자 우물의 박막 두께가 감소하면 에너지 레벨이 증가하게 되며, 파장이 짧을수록 더 첨예한 방출 스펙트럼이 만들어진다는 것을 관찰하게 될 것이다. 제 9 도에서는 각각의 양자 우물 막두께(제 9 도 왼쪽으로부터 17, 33, 55, 115(Å))에 대응하는 방출 피크 파장과 최대값의 절반(제 9 도의 왼쪽에서부터 8.3, 9.6, 7.8, 5.6(meV))에서의 그 피크 파장의 전체 폭을 도시하고 있다.

<199> 이제 제 10 도를 다시 참조하면, 실선(1001)은 양자 우물의 막두께(수평축)와 이에 대응하는 피크 파장(수직축) 사이의 관계를 이론적으로 계산함으로써 결정되는 결과를 도시한 것이다. 각 점들은(검

게 색칠된 원들) 제 9 도에서 보여준 측정값들을 도시한 것이다. 제 10 도로부터 실제 측정값들은 실질적으로 이론값들과 서로 일치한다는 것을 알 수 있다. 이는 양자 우물 구조가 실질적으로 이론적인 형태로 형성되어짐을 의미하는 것이다.

<200> 제 11 도에서는 방출 세기 절반 폭과 양자 우물의 폭 사이의 관계를 이론적으로 결정함으로써 제공되어지는 결과들의 실제 측정값을 도시하고 있다. 제 11 도에서, 점선(1101)은 이론적으로 계산된 최대값의 절반에서의 전체 폭을 도시하고 있으며, 또다른 점선(1102)은 불규칙한 단원자층을 가지는 양자 우물 폭에서 이론적으로 계산되어지는 우물의 폭과 관련된 최대값의 절반에서의 전체폭의 범위를 도시하고 있다. 실선(1103)과 점들은 실제 측정값을 나타낸다. 제 11 도에 의해 명백해지듯이, 본 발명의 본 실시예는 사실상의 이상적 양자 우물에서 최대값의 절반에서의 전체 폭은 단원자층의 파동을 가지는 양자 우물에서의 그것보다 훨씬 더 좁다.

<201> 이러한 단원자층의 파동이 없는 양자 우물 구조는 MOVPE 방법에 의한 결정 성장 소자를 향상시킴으로써 만들수 있다.

<202> 앞서 설명한 것처럼 만약 단일 양자 우물을 만들 수 있다면, 복수의 이러한 단일 양자 우물은 다중 양자 우물 구조를 형성하기 위하여 다른 것 위에 또다른 것을 층층이 계속해서 침착할 수도 있을 것이다. 이 표면 방출형 반도체 레이저의 양자 우물 활성층은 주입된 캐리어들이 필요한데, 이들은 광을 증폭시키기 위하여 활성층내에 감금되어있어야 하고 양자 우물내에 균일하게 분포되어 있어야 한다.

<203> 표면 방출형 반도체 레이저에서 문턱 전류를 감소시키기 위하여, 공진기내에서의 정상파를 고려하여 활성층의 막두께를 최적화하는 것은 더욱 더 유용하다. 제 12 도는 활성층의 전체 막두께에 대한 문턱 전류 밀도 J_{th} 의 이론적으로 계산된 변화예들을 도시하고 있다. 제 12 도에서는 파브리 페롯 공진기의 평균 반사율 Rm(=$(R_r \cdot R_f)^{1/2}$)의 변화를 보여주고 있다. 이 파브리 페롯 공진기는 반사율 R_r 의 DBR 미러(103)와 제 1 도에서 보여준 반사율 Rf 의 유전체 다층막 미러(111)로 이루어진다. J_{th} 값은 다음의 공식(2)에 의해 표현된다.

<204> 공식(2)

$$J_{th} = \frac{edB_{eff}}{A_0^2}\left\{ \alpha_{ac} + \alpha_{in} + \alpha_{ex}(1/\xi - 1) + \frac{1}{\xi L}\ln(1/R_m)\right\}^2$$

<206> 여기에서, e 는 "전자의" 전하량, d 는 활성층의 막두께, L 은 공진기의 길이, ξ 는 광 제한 계수, α_{ac} 는 활성층에서의 광손실, α_{in} 은 주입된 캐리어가 없을 때의 광손실, α_{ex} 는 활성층 외의 다른 부분에서의 공진기의 손실, 그리고 A_0는 상수이다. 제 12 도는 활성층의 전체 막두께와 위의 이론적 공식에 의한 문턱 전류 밀도와의 관계를 보여준다. 제 12 도에서, 실선은 공진기에서 정상파의 존재를 고려하지 않았을 때의 결과를 나타낸 것이며, 점선은 정상파의 분포를 고려하였을 때 얻어지는 결과들을 나타낸 것이다. 제 12 도는 평균 반사율 Rm 이 각각 0.98, 0.99, 0.995 일때의 결과들을 나타내고 있다. 제 12 도에서, 검은 색의 원은 표면 방출형 레이저에서의 활성층의 막두께가 0.13(㎛)이고 평균 반사율 Rm 이 0.98 일 때의 실제 측정값이며, 검은 색의 네모는 활성층의 막두께가 0.29(㎛)이고, 평균반사율이 0.99 일 때의 실제 측정값을 나타낸다. 이러한 실제 측정값들은 이론치들과 일치하고 있다. 그 활성층이 양자 우물 구조로 이루어졌을 때에는, 그 문턱 전류는 더욱 더 감소된다. Da 가 8(㎛)일 때, I_{th} 값은 실제로는 2mA 가 된다.

<207> 표면 방출형 반도체 레이저에서 문턱 전류값을 더욱 더 감소시키기 위하여, 활성층은 다음의 2 가지 요건을 만족시켜야 한다.

<208> (1) 활성층은 양자 우물 구조로 되고, 이 양자 우물 구조는 단원자와 같거나 더 적은 편평도(불규칙성)를 가지는 첨예한 우물을 갖는다.

<209> (2) 양자 우물 활성층의 전체 막두께는 공진기에서의 정상파의 분포를 고려하여 예를 들어 0.27 에서 0.33(㎛) 또는 0.65 에서 0.75(㎛) 범위의 문턱 전류 밀도의 최소값으로 설정된다(제 12 도 참고). 양자 우물에서의 막두께는 레이저 발진의 파장에 의존해서 설정되어어므로, 양자 우물 활성층에서의 전체 막두께는 양자 우물을 반복적으로 형성하거나 우물 수를 변화시킴으로써 제어할 수 있을 것이다. 예를 들어, 만약 800nm 파장에서 표면 방출형 반도체 레이저가 발진하도록 만들어진다면, 21 쌍의 양자 우물을 가지는 다중 양자 우물 구조는 양호하게는 막두께가 61(Å)인 GaAs 양자 우물 활성층과 86(Å)의 막두께를 가지는 $Al_{0.3}Ga_{0.7}As$ 장벽층으로 이루어질 것이다.

<210> 또한, 활성층에서의 우물층의 숫자는 제 47 도와 관련해서 설명되어질 것이다. 제 47 도에서는 I-L 특성에 우물층의 숫자가 미치는 영향에 대해 도시하고 있다. 더욱 정확하게 하면, a 에서 h 까지의 곡선은 I-L 특성을 나타내는데, 여기에서 예정된 두께 da를 가지는 활성층에서의 우물층의 수는 1, 2, 3, 12, 21, 30, 40, 그리고 50 이다. 그 예정된 두께(da)는 제 12 도에서 보여준 조건에 잘 맞는다. a 에서 e 까지의 곡선에 의해 나타나는 활성층의 두께는 0.3(㎛) 이며, f 에서 h 까지의 곡선에서의 두께는 0.7(㎛) 이다.

<211> 활성층에서의 우물층에서의 전체 두께는 우물층의 숫자와 비례한다. 따라서 장벽층의 전체 두께를 제어함으로써 활성층 두께를 예정된 값으로 만드는 것이 가능하게 된다. 예를 들어, 고정된 값의 두께를 가지는 장벽층을 형성할 수 없을 때에는, 제 48 도에서와 같이 잔류 장벽층보다 더 두껍게 최외곽 장벽층 B1 과 B2 을 만듦으로써 전체 활성층의 두께를 제공할 수 있다.

<212> 제 47 도에 의하면, 우물층의 수를 감소시키면 문턱 전류를 효율적으로 낮출 수 있으며, 반면에 우물층의 수를 증가시키면 광출력을 증가시킬 수 있음을 알 수 있다. 달리 표현하면, 레이저 출력을 얻기 위하여 우물층의 숫자는 1 내지 40 이어야 하며, 1mW 보다 더 큰 광출력을 얻기 위하여는 3~30 이어야 한다. 따라서 본 실시예에 있어서, 우물층의 원하는 숫자는 3 에서 30 의 범위내에 있어야 한다.

<213> 레이저 출력 특성에 대한 클래드층에서의 대역 갭의 크기의 영향에 대해 상세히 살펴볼 것이다. 제 13 도에서는 표면 방출형 반도체 레이저 웨이퍼에 $AlxGa_{1-x}As$ 층을 성장시킨 Al 의 조성을 보여주는데, 상기 웨이퍼는 결정 성장을 통하여 GaAs 단결정 기판 위에 형성된 것이다. AlGaAs은 그 조성에 있어서 Al 의 양이 증가하면 같이 증가하는 대역 갭을 가지므로, 제 13 도는 또한 대역 갭의 변화를 나타내고 있다. 활성층으로 주입된 캐리어들은 클래드층의 대역 갭내에 구속될 것이다. 캐리어들의 구속이 증가될수록 그 소자의 온도 특성은 향상되어진다. 제 13 도에서 n 형 클래드층과 제 2 클래드층의 Al 조성을 0.5 로 되도록 생성된 표면 방출형 반도체 레이저의 특성은 Al 조성 X 가 0.7 이 되게 한 표면 방출형 반도체 레이저의 특성과 비교되어진다. 모든 시료들은 클래드층의 조성을 제외하고는 동일한 조건들 하에서 제조되었다. 그 양자 우물 활성층은 다중 양자 우물 구조로 되어 있는데, 이것은 61Å 의 막두께를 가지는 침착 GaAs 양자 우물층과 86(Å)의 막두께를 가지는 침착된 $Al_{0.3}Ga_{0.7}As$ 장벽층의 21개 쌍을 포함한다. 유전체 다층막 미러는 SiOx 와 Ta_2O_5 의 8 쌍들로 이루어져 있으며, 800nm 파장의 광에 대해 99.0%의 반사율을 가진다. Da 와 Dw 는 각각 8(㎛), 6(㎛) 이다.

<214> 제 14 도에서는 두가지 형태의 표면 방출형 반도체 레이저에서의 I-L 특성을 보여주고 있다. 곡선(1401)은 한 표면 방출형 반도체 레이저의 특성을 보여주는데, 여기에서 제 1 및 제 2 클래드층은 Al 조성을 0.5 로 하고 있다. 반면에 또다른 곡선(1402)은 다른 표면 방출형 반도체 레이저의 특성을 보여주는바, 여기에서는 제 1 및 제 2 클래드층은 Al 조성을 0.7 로 하고 있다. 전류는 상온에서 연속적 구동 방법에서 표면 방출형 반도체 레이저 둘 모두에 흐른다. 제 14 도에서 명백해진 것처럼, 외부 미분 양자 효율은 더 높은 Al 조성의 클래드 층을 가진 한 표면 방출형 반도체 레이저에서 더 높다. 따라서 이것은 다른 표면 방출형 반도체 레이저에서보다 두 배 이상 더 많은 레이저 빔 출력을 방출할 수 있다. 이것은 클래드 층내의 전위 장벽을 통해 활성층내에 주입된 캐리어들이 효율적으로 제한되어진다는 것을 나타낸다.

<215> 클래드 층의 Al 조성은 더 나아가 제 15 도와 관련해서 설명되어질 것이다. 제 15 도에서, 수직축은 외부 미분 양자 효율(I-L 특성에서의 그래디언트)을 나타내는 값(경사 효율)을 나타내고, 수평축은 A 클래드층에서의 Al 조성을 나타낸다. 제 8 도와 관련하여 설명되어진 것처럼, 일반적으로 외부 미분 양가 효율은 0.1 과 같거나 더 커야 할 것이다. 따라서 클래드 층의 Al 조성은 양호하게는 0.4 와 같거나 그보다 더 커야 할 것이다. 표면 방출형 반도체 레이저가 프린터로 사용되어질 때 필요한 광출력은 2mV 보다 더 커야 하므로 클래드층에서의 Al 조성은 0.65가 적절한 것이며, 0.7 에서 0.8 의 범위내라면 가장 좋을 것이다.

<216> 문턱값을 더욱 더 줄이기 위해 필요한 조건들이 더욱 상세히 설명되어질 것이다. 제 1 도의 유전체 다층막 미러(111)는 레이저 출력 파장에 대해 98.5%~99.5% 범위의 반사율을 가져야 할 것이다. 만약 반사율이 98.5%, 보다 적다면, 제 12 도의 이론적 계산에서 볼 수 있는 것처럼 레이저 출력 문턱 전류는 첨예하게 증가할 것이다. 만약 반사율이 99.5% 보다 더 크다면, 그것은 광출력을 만들기 어렵게 된다. 이것은 외부 미분 양자 효율을 감소시킬 것이다. 따라서 앞서 언급한 범위내에서 반사율을 제공하기 위하여 필요한 박막 쌍의 수가 결정되어진 후에 유전체 다층막 미러가 형성되어진다. 그 레이저 출력 파장에 대한 광 흡수를 통해 거의 손실이 없는 유전체 물질이 문턱값을 줄이기 위해 사용되어지며 또한 외부 미분 양자 효율을 향상시키기 위해서 사용되어진다는 것이 중요하다.

<217> 제 16 도에서, 실선(1602)은 비결정질 Si 과 SiOx 로 형성된 유전체 다층막 미러로 이루어진 표면 방출형 반도체 레이저의 I-L 특성을 나타내고 있으며, 또다른 실선(1601)은 ZrTiOx 와 SiOx 로 형성된 유전체 다층막 미러로 이루어진 또다른 표면 방출형 반도체 레이저의 I-L특성을 보여준다. 특히 실선(1601)에 의해 표시된 I-L 특성을 가지는 표면 방출형 반도체 레이저는 반사율 99.0% 의 다층 SiO_2/ZrTiOX 막의 8 쌍으로 형성된 유전체 미러를 가진다. 실선(1602)에 의해 나타내어진 I-L 특성을 갖는 또다른 표면 방출형 반도체 레이저는 98.7% 반사율을 가진 다층 SiOx/비결정질 Si 막의 4 쌍으로 형성된 유전체 미러를 가진다. 제 16 도에서 명백해진 것처럼, 외부 미분 양자 효율과 레이저 광출력은 두 표면 방출형 반도체 레이저에서 서로 크게 다르지만, 이들의 반사율은 사실상 서로 같다. 이것은 비결정질 Si 에서 800nm 파장에서의 광흡수 계수가 $400cm^{-1}$ 인 반면에, ZrTiOx 에서의 800nm 파장에서의 광흡수 계수는 $50cm^{-1}$ 이기 때문이다.

<218> 표 1은 800(nm)의 파장에 대해 전자빔 침착법(이후부터 "EB 침착법"으로 칭함)에 의해 형성된 유전체막의 굴절률 및 광 흡수 계수를 나타낸다.

<219> (표 1)

유전체막	굴절률(800nm)	광흡수계수(800nm)
ZrO_x	2.0	$50cm^{-1}$
$ZrTiO_x$	2.0	$50cm^{-1}$
Ta_2O_5	2.2	$30cm^{-1}$
TiO_x	2.3	$25cm^{-1}$
SiO_x	1.45	~0
비결정질 Si	3.4	$4000cm^{-1}$

<221> 표 1에서, $ZrTiO_x$ 는 ZrO_x 의 Zr 에 대해 약 5% 의 몰비(molar ratio)로 Ti를 포함하는 유전체 박막 물질이다. 반사 미러를 형성하기 위해 유전체 막은 레이저 출력 파장 λ 에 대해 λ/4n의 막두께를 가져야 하고(이때 n 은 유전체 물질의 굴절률임), 낮은 굴절률과 높은 굴절률을 갖는 유전체들을 교대로 침착시켜 형성해야 한다. 반사율은 침착층의 쌍의 개수를 증가시킴으로써 증가될 수 있다. 그러나 너무 큰 광 흡수 손실이 존재하면 반사율은 증가될 수 없다.

<222> 표 2는 막두께, 유전체 미러내의 결합된 막 쌍들의 개수 및 λ=800(nm)에서 계산된 반사율 및 EB 침착으로 만들어진 각각의 유전체 미러의 반사율을 나타낸다.

<223> (표 2)

유전체막	두께	쌍	반사율(계산치)	반사율(실제 측정치)
SiOx/ZrOx	1379Å/1000Å	9	99.62%	99.4%
SiOx/ZrTiOx	1379Å/1000Å	9	99.62%	99.4%
$SiOx/Ta_2O_5$	1379Å/909Å	7	99.68%	99.6%
SiOx/TiOx	1379Å/870Å	7	99.80%	99.7%
SiOx/a-Si	1379Å/588Å	4	99.00%	98.7%

<225> 표 2의 계산된 반사율은 표 1의 광 흡수 계수를 고려했을 때의 결과이다. 표 2에서 명확하듯이, 유전체 물질은 a-Si(비결정질 실리콘)처럼 비교적 큰 흡수계수를 가지므로 반사율을 증가시키기 어렵다. 전술한 것처럼, 본 발명의 실시예에 따른 표면 방출형 반도체 레이저는, 레이저 출력 파장에 대해 100(cm^{-1}) 이하의 광 흡수 계수를 가지며 더 바람직하게는 60(cm^{-1})를 갖는 유전체 물질로 형성된 유전체 다층막 미러를 사용함으로써 임계 전류를 감소시킬 수 있으며 방출 효율을 증가시킬 수도 있다.

<226> 감소된 레이저 출력 임계치 및 개선된 효율을 갖는 표면 방출형 반도체 레이저는 이하에 설명된 더 양호한 조건하에서 수행될 수도 있다.

<227> 제 17A 도는 제 1 도에 도시된 본 발명의 실시예에 따라 구성된 표면 방출형 반도체 레이저의 단면을 개략적으로 나타낸다. 제 17A 도에 있어서, 제 1 도의 것과 유사한 부분은 동일한 번호로 표시된다. (1701)은 공진기의 길이를 나타내는 반면 (1702)는 주입 전류의 흐름을 개략 도시한다. 표면 방출형 반도체 레이저는 유전체 다층막 미러(111)와 DBR 미러(103) 사이에 형성된 파브리 페롯(Fabry-Perot) 공진기를 포함하고 그러한 공진기에서 정상파의 파장에서 발진될 수도 있다. 공진기 길이(1701)는 유전체 다층막 미러(111)와 DBR 미러(103) 사이의 막두께에 의해 결정된다. 그러나 유효 공진기 길이(이후부터 "Leff"로 칭함)는 DER 미러(103)로 들어가는 약간의 광이 존재하므로 길이(1701)보다 더 길 수도 있다. 유효 공진기 길이 Leff 는 반사율을 조사함으로써 직접 측정될 수 있다.

<228> 제 17B 도는 제 1 도 및 제 17A 도에 도시된 본 발명의 표면 방출형 반도체 레이저와 동일한 반도체층을 포함하는 웨이퍼로부터 형성된 에지 방출형 반도체 레이저를 도시한다. 상기 웨이퍼는 "반도체 침착 웨이퍼"로 칭할 것이다. 스트라이프 구조 에지 방출형 레이저인 에지 방출형 반도체 레이저(200)는, 제 22A 도에 도시된 것처럼 DBR 미러(103), 제 1 클래드 층(104), 양자 우물 활성층(105), 제 2 클래드 층(106) 및 접촉층(109)이 기판(102)상에 침착되어 이루어진 반도체 침착 웨이퍼의 일부를 자르고, 접촉층(109)상에 절연층(120) 및 상부 전극(121)을 형성하며, 기판(102)의 하단에 하부 전극(101)을 형성함으로써 제공될 수 있다. 에지 방출형 반도체 레이저는 이후 설명되는 이득 스펙트럼의 피크 파장을 결정하는데 사용될 샘플로서 이용된다. 스트라이프 매립 에지 방출 레이저 및 메사 스트라이프 구조 에지 방출 레이저와 같은 다른 종류의 에지 방출형 반도체 레이저가 사용될 수도 있다.

<229> 제 18 도는 DBR 미러의 반사 스펙트럼(곡선 1801), 웨이퍼(반도체 침착 웨이퍼)의 반사 스펙트럼(곡선 1802) 및 에지 방출형 반도체 레이저의 레이저 출력 스펙트럼(곡선 1803)을 도시한다. 제 18 도에서, (1801, 1802)에 대한 수직축은 반사율을 나타내고 (1803)에 대한 수직축은 주파수 세기를 나타내며, 수평축은 파장을 나타낸다.

<230> 곡선(1801)에서, 반사율이 99.2(%) 이상인 영역에서 파장은 792~833(nm) 사이이다. 반도체 침착 웨이퍼는 표면 방출형 반도체 레이저의 레이저 출력 파장이 800(nm)가 되도록 설계된다.

<231> 표면 방출형 반도체 레이저에서 임계치의 감소 및 효율 개선을 달성하기 위해, 위의 세 유형의 스펙트럼은 양호하게는 특정 조건을 만족시켜야 한다.

<232> 제 1 조건

<233> 제 1 조건은 DBR 미러의 반사율이 레이저 출력 파장과 비교해 충분히 높아야 한다는 것이다. DBR 미러의 피크 반사율은 DBR 미러를 형성하는 반도체 층($Al_{0.8}Ga_{0.2}As$/ $Al_{0.15}Ga_{0.85}As$)의 막두께를 정확히 제어

함으로써 제공될 수 있고 DBR 미러내의 반도체 층 쌍의 개수를 증가시킴으로써 증가될 수 있다. 결정층의 막두께는 웨이퍼 평면에서 완전히 균일하지는 않다는 것이 통상적이므로, DBR 미러내의 반사율 스펙트럼은 단파장측 및 장파장측에 걸쳐 분포된다. $Al_{0.8}Ga_{0.2}As$/ $Al_{0.15}Ga_{0.85}As$의 DBR 미러의 반사율이 레이저 출력 파장 ±20(nm)의 범위에서 적어도 99.2(%) 이상이 안되면 웨이퍼 평면은 레이저 출력이 생성되지 않는 영역을 가질 것이다. 본 실시예에서 DBR 미러는 침착 반도체 층의 40 개 쌍으로 형성되므로, 제 18 도의 곡선(1801)로부터 알 수 있듯이 웨이퍼 평면에서 ±2.5% 의 막두께 변동이 존재할지라도 레이저 출력은 소망의 레이저 출력 파장으로 발생될 수 있다.

<234> 또한 DBR 미러의 반사율은 DBR 미러를 형성하는 반도체 층($Al_{0.8}Ga_{0.2}As$/ $Al_{0.15}Ga_{0.85}As$)의 각각에서의 도핑에 따라 변한다. 왜냐하면 각 층의 도핑이 증가할 경우 자유 캐리어를 통한 광 흡수에 의한 손실은 무시할 수 없기 때문이다.

<235> n 형 도펀트인 Se 의 평균 도핑 농도가 $Al_{0.8}Ga_{0.2}As$/ $Al_{0.15}Ga_{0.85}As$ 인 DBR 미러내에서 $1 \times 10^{19}(cm^{-3})$보다 더 높은 경우, 반도체 층쌍의 개수가 40 일지라도 설정 파장±20(nm)애서 99.2% 이상의 반사율을 제공하기는 어렵다. 그러므로 각 층의 평균 도핑 농도는 $1 \times 10^{19}(cm^{-3})$ 이하인 것이 좋다. 표 3은 DBR 미러의 평균 도핑과 그것의 반사율 사이의 관계를 나타낸다.

<236> (표 3)

평균 도핑(cm^{-3})	최대 반사율(%)	파장±20nm에서의 반사율(%)
2×10^{19}	99.4	98.9
1×10^{19}	99.6	99.2
5×10^{18}	99.8	99.6
1×10^{18}	99.9	99.8
5×10^{17}	99.9	99.9

<238> DBR 미러에 대한 도핑의 감소는 DBR 미러의 전기 저항을 증가시킬 것이다. 전류가 DBR 미러를 통해 흐르는 종류의 표면 방출형 반도체 레이저에서는 소자 저항의 증가를 초래한다. 본 실시예의 표면 방출형 레이저는 컬럼 형태로 에칭되지 않은 DBR 미러를 포함하므로, 구동 전류는 전체 DBR 미러를 통해 확산되어, DBR 미러내의 증가된 저항의 영향을 축소시키고 레이저 소자내의 저항을 감소시킬 것이다. DBR 미러내의 각 층이 $5 \times 10^{16}(cm^{-3})$ 보다 낮게 도핑된다면, DBR 미러의 저항이 사실상 상부 접촉층과 전극 사이의 접촉 저항과 동일해지므로 본 실시예의 구조에서조차 소자 저항에 미치는 영향은 무시할 수 없게 된다. 그러므로, DBR 미러를 형성하는 각 층의 평균 도핑은 5×10^{16}~$1 \times 10^{19}(cm^{-3})$ 사이인 것이 적당하며, 단일 기판으로부터의 상이한 레이저 출력 파장을 갖는 표면 방출형 반도체 레이저를 제조하기 위한 레이저 출력 파장의 자유도를 생각할 때 5×10^{17}~$5 \times 10^{18}(cm^{-3})$인 것이 더 바람직하다.

<239> 본 실시예의 DBR 미러는 도핑에 대해 다음 배열을 갖는 것이 바람직하다. DBR 미러는, 이 DBR 미러의 다른 영역의 캐리어 농도와 비교하여 볼때, 첫번째 층(높은 알루미늄 농도 가짐)과 두번째 층(보다 낮은 알루미늄 농도 가짐) 사이의 계면 영역에서 더 높은 캐리어 농도를 갖는 것이 바람직하고, 이때 상기 두번째 층은 상기 첫번째 층보다 더 좁은 대역 갭 및, 상기 첫번째 층과는 상이한 굴절률을 갖는다. "캐리어 농도"란 불순물 도핑에 의해 발생되는 전자 또는 정공의 농도를 말하며, 이러한 농도는 도핑량을 변경시킴으로써 변한다. 더 구체적으로 계면 영역에서의 최대 캐리어 농도는 계면 이외 영역에서의 최소 캐리어 농도의 1.1 배 이상 내지 100 배 이하이다. 계면 영역의 최대 캐리어 농도는 $5 \times 10^{20}(cm^{-3})$ 이하인 것이 바람직하다.

<240> 더 높은 캐리어 농도가 DBR 미러를 형성하는 첫번째 층과 두번째 층 사이의 헤테로 계면에 제공될 때, 전자와 정공의 터널 도전은 증가하여 불연속 대역 구조를 개선하고, 그에 따라 DBR 미러에서의 저항은 감소된다. 그러한 더 높은 캐리어 농도는, 미러 반사율의 분포가 캐러어 농도에 의해 크게 영향을 받지 않으므로 미러 반사율을 감소시키지 않을 것이다.

<241> DBR 미러의 제조에 있어서, 캐리어 농도는, 시간의 경과에 따라 도펀트 재료를 변화시키는 방법, 소정 타이밍으로 성장된 표면상에 자외선을 조사하는 방법, 시간의 경과에 따라 3 족 물질에 대한 5 족 물질의 비율을 변화시키는 방법 등의 다양한 방법중 어느 한 방법에 따라 계면 영역에만 선택적으로 증가될 수 있다.

<242> DBR 미러는 실험 데이타를 참조하여 이하에서 더욱 상세히 설명될 것이다.

<243> 우선, DBR 미러의 제조 공정을 설명한다. 제 35 도는 DBR 미러 물질을 이루는 TMGa 및 TMAl 의 유속 변화와 n 형 도펀트 물질을 이루는 H_2Se 의 유속 변화를 나타낸 타이밍도이다. 이 예에서, TMGa 는 일정하게 공급되므로 TMAl의 더 높은 유속의 성장 부분은 n 형 $Al_{0.8}Ga_{0.2}As$ 층을 형성하고 TMAl의 더 낮은 유속의 성장 부분은 n 형 $Al_{0.15}Ga_{0.85}As$ 층을 형성한다. 각 층의 두께는 층들을 통해 도파하는 광의 파장 800(nm)의 1/4 과 같도록 제어된다. 더 높은 유속의 도펀트 H_2Se 부분은 n 형 캐리어가 고농도로 도핑된

성장 부분을 나타내고 반면에 낮은 유속의 도펀트 H_2Se 부분은 n 형 캐리어가 저농도로 도핑된 다른 성장 부분을 나타낸다. MOVPE 장치에서 계면에 공급되는 도펀트의 량은 컴퓨터 제어 밸브에 의해 높은 유속의 H_2Se에서 낮은 유속의 H_2Se 로 또는 그 역으로 절환시킴으로써 제어된다. 본 실시예에서, 고농도의 도펀트 Se 가 함유된 영역은 높은 유속의 TMAl 이 성장하거나 n 형 $Al_{0.8}Ga_{0.2}As$ 층인 양쪽 에지 근처에 형성되며, Se 의 농도는 낮은 유속의 TMAl 이 성장하거나 n 형 $Al_{0.15}Ga_{0.85}As$ 층인 계면 영역에서 급격히 강하되도록 제어된다.

<244> 결과로 얻어지는 DBR 미러의 일부분은 제 36 도에 도시된 바와 같이 SIMS(2차 이온 질량 주파수 분석)법에 의해 추정된다. 이 도면에서, 수직축은 층에 함유된 원자수와 캐리어수에 대응하는 Al 과 Se 의 2 차 이온수를 나타낸다. 반면에 수평축은 DBR 미러 부분의 막두께 방향으로의 깊이를 나타낸다.

<245> 제 35 도와 제 36 도를 비교해 보면, Se 의 농도가 첫번째 층(n 형 $Al_{0.8}Ga_{0.2}As$)내에 위치하는 두번째층(n 형 $Al_{0.15}Ga_{0.85}As$)의 계면 영역에서 급격히 증가하여 원하는 도핑을 수행한다.

<246> 이 실시예의 기능은 DBR 미러의 에너지 대역을 도식적으로 나타낸 제 37A 도 및 제 37B 도를 참조하여 설명될 것이다. 제 37A 도는 Se 농도가 첫번째 및 두번째 층 사이의 계면 영역에서 계단식으로 증가하는 경우를 나타내고, 제 37B 도는 H_2Se 가 저농도에서 일정하게 공급된 것만 제외하면 전술한 것처럼 본 실시예가 수행되는 또다른 경우이다. 이 두가지 경우를 비교하면, 본 실시예에서 캐리어 농도가 계면 영역에서 증가하므로 도전 대역내의 장벽이 얇아져서 전자들의 터널 전도를 더 쉽게 만들고 다층막에 대해 수직 방향의 전기 저항은 감소됨을 알 수 있다. 상기 도핑은 통한 캐리어 농도의 증가는 계면 영역에 한정되므로 막의 성질은 도핑 농도를 증가시킴에 의해 사실상 열화되지 않는다.

<247> 계면 영역에서의 캐리어 농도는, 도핑의 제어에 대해 대안적으로 자외선 등을 조사시키는 방법에 의해 증가될 수도 있다.

<248> 특히, 자외선은 캐리어 농도가 증가된 성장 영역상에 조사된다. 제 38 도는 DBR 미러가 성정할 동안의 TMAl 유속과 자외선 방사의 변화를 나타낸 타이밍도이다. 더 빠른 유속의 TMAl 의 성장 영역은 첫번째 층(n 형 $Al_{0.8}Ga_{0.2}As$ 층)을 형성하고, 반면에 낮은 유속의 TMAl 의 또다른 성장 영역은 두번째 층(n 형 $Al_{0.15}Ga_{0.85}As$ 층)을 형성한다. 각 층의 두께는 층들을 통해 전파되는 광의 파장 800nm 의 1/4과 같도록 제어된다. 더욱이, 본 실시예에서, 자외선광의 조사는 더 빠른 유속의 TMAl 의 성장 영역, 즉, 두번째 층에 인접하는 첫번째 층의 영역에 실행된다. n 형 도펀트로서 H_2Se 대신에 TMSi(tetramethylsilane) 가 사용된다.

<249> 결과로 얻어지는 DBR 미러 부분은 제 39 도에 도시된 바와 같이 SIMS(Secondary Ion Mass Spectral Analysis) 법에 의해 추정된다. 본 도면에서, 수직축은 각 층에 함유된 원자량과 캐리어 수에 대응하는 Al 과 Si 의 2 차 이온수를 나타낸다. 반면에 수평축은 DBR 미러 부분의 막두께 방향의 깊이를 나타낸다.

<250> 상기 제 38 도와 제 39 도를 비교해 보면, Si 의 농도는 자외선이 조사된 층부분에서 급격히 증가하여 인접층에 대한 계면에서 높은 캐리어 농도를 갖는 층을 제공함을 알 수 있다. 이것은 왜냐하면 도핑 물질로 사용된 TMSi 가 거의 분해되지 않고 열적으로 매우 안정하자만 자외선 영역에서 흡수 대역을 가지므로 자외선에 의해 쉽게 광학적으로 분해되기 때문이다. 따라서 자외선의 조사로, 성장층의 Si 농도는 급격히 증가하여 자외선이 조사되지 않은 경우와 비교하여 n 형 도핑 물질이 충분히 증가되어 공급된다. 전술한 Se 도펀트와 같이, DBR 미러를 형성하는 층들 사이의 계면에 인접하는 영역에서의 캐리어 농도의 증가는 도전 대역의 장력을 감소시켜 터널 전도를 증진시키며, 이에 따라 다층막에 대한 수직 방향의 전기적 저항을 감소시킨다. 게다가, 캐리어 농도는 도핑에 의해 층들 사이의 계면에서만 증가하고 광의 조사는 막질을 개선시키는데 기여하므로, 막질은 높은 도핑 농도에 의해 거의 열화되지 않는다.

<251> 전술한 계면 도핑에 있어서, 도펀트 물질로는 Se 와 Si 뿐만 아니라 S, Se, Te, Zn, C, Be, Mg, Ca 가 사용될 수도 있다. 만약 GaAs 물질에 관하여 Te 나 Mg와 같이 낮은 도핑 효율을 갖는 임의의 물질이 사용되는 경우, 3 족 물질에 대한 5 족의 비율을 변화시키도록 5족 물질인 AsH_3의 유속이 고농도로 도핑되는 위치에서 제어될 수 있으므로 도핑 효율을 제어할 수 있다.

<252> 헤테로 계면에서의 캐리어 농도 제어의 또다른 가능성은 더 큰 대역 갭을 갖는 층보다는 더 작은 대역 갭을 갖는 층의 계면 영역에서 캐리어 농도를 증가시키는 것이다. 대안적으로는 작은 대역 갭을 갖는 층과 큰 대역 갭을 갖는 층 모두의 계면 영역에서 캐리어 농도는 교대로 증가될 수도 있다. 캐리어 농도의 분포, 다층막의 반사율, 다층막에 대한 수직 방향의 전기 저항과 다층막의 결정성 사이의 관계가 면밀히 연구되는 경우, 계면 영역에 대한 캐리어 농도가 증가된 영역의 두께가, 큰 대역 갭을 갖는 첫번째 층의 두께와 작은 대역 갭을 갖는 두번째 층의 두께를 더한 것의 1/3 이내인 것이 바람직하다고 밝혀졌다. 만약 더 높은 캐리어 농도의 두께가 결합 두께의 1/3 보다 크다면, 결정성이 열화된다는 것이 밝혀졌다. DBR 미러의 저항을 감소시키기 위해서는, 더 높은 농도의 도핑층이 더 낮은 농도의 도핑으로 또는 그 역으로 순간적으로 전환되는 것이 바람직하다. 그러나 상기와 같은 전환은 도핑 물질에 의존하는 결정성을 다소 열화시킨다. 상기와 같은 경우, 도핑 물질의 공급은 계면 영역을 도핑시키기 위한 다른 레벨의 계면 영역을 제외한 모든 영역을 도핑시키기 위한 레벨에서 연속적으로 변화되는 것이 바람직하다. 즉, 도핑 물질의 양은, 주어진 도핑 농도로 도핑하기 전에 계면 영역에서의 도핑시간의 1/2 이내에 걸친 시간의 1 차, 2 차 또는 3 차 함수로 변화될 수도 있다. 이것은 결정체의 감소를 방지할 수 있다.

<253> 제 2 조건

<254> 제 2 조건은, 효과적인 공진기 파장이 공진기의 레이저 출력 파장의 1/2 의 정수배라는 것이다. 왜냐하면 전술한 공진기 길이에서 정상파의 파장이 표면 방출형 반도체 레이저의 레이저 출력 파장이 되기 때문이다(이하에서 "모드 공진 조건"이라 한다). 제 18 도의 곡선(1802)으로부터, 파장 λ_{EM} 의 스펙트럼에서 첨예한 침하가 있음을 알 수 있다. 이 침하는, DBR 상에 형성되는 반도체 층들에서 파장 λ_{EM} 의

정상파의 존재, 및 파장 λ_{EM} 을 갖는 광이 공진하여 흡수됨을 나타낸다. 그러므로, 만약 표면 방출형 반도체 레이저를 형성하는 반도체 침착 웨이퍼에서의 반사율 스펙트럼이 측정되는 경우에, 유효 공진기 길이 Leff 는 바로 결정될 수 있다. 전술한 모드 공진 조건은, 곡선(1801)에 도시한 바와 같이 DBR 미러의 반사율 스펙트럼의 높은 반사율 대역(피크)에 파장 λ_{EM} 이 포함됨을 의미한다.

<255> 제 3 조건

<256> 제 3 조건은 활성층의 이득 스펙트럼의 피크 파장이 상기한 모드 공진 조건하에서 정상파의 파장 λ_{EM} 의 보다 단파장측에 위치함을 의미한다. 제 18 도의 곡선(1803)은 곡선(1802)에 도시된 바와 같은 스펙트럼을 제공하는 같은 반도체 침착 웨이퍼로 만들어지는 에지 방출형 반도체 레이저(200)(제 17B 도 참조)에서 측정한 레이저 출력 스펙트럼의 측정을 나타낸다. 곡선(1802)에 의해 표시된 표면 방출형 반도체 레이저 및 에지 방출형 반도체 레이저(200)는 n 형 클래드층, 활성층과 p 형 클래드층들인 동일한 반도체 층들로 형성됨을 나타낸다. 따라서, 곡선(1803)은 에지 방출형 반도체 레이저와 표면 방출형 반도체 레이저의 활성층의 이득 스펙트럼을 나타낸다. 이득 스펙트럼의 피크 파장은 제 18도의 λ_G 로 나타난다. 파장 λ_{EM} 과 λ_G 사이의 차는 $\triangle\lambda_{BS}$ 로 나타난다. 이 실시예의 제 3 조건은 λ_G가 반드시 λ_{EM} 의 단파장측에 있으며 또한 차 $\triangle\lambda_{BS}$ 는 20nm 보다 작거나 같다는 것이다.

<257> 제 3 조건은 본 발명의 표면 방출형 반도체 레이저를 위한 특히 바람직한 특징이다. 그 이유는 이하에서 설명한다.

<258> 제 19A 도는 에지 방출형 반도체 레이저(200)의 레이저 출력 파장과 표면(casing) 온도 사이의 관계를 도시하고, 반면에 제 19B 도는 제 19A 도를 도출해내는데 사용된 측정치들을 도시한다. 표면 온도는 레이저가 장착된 패키지의 온도를 나타내며 사실상 레이저의 온도와 동일하다.

<259> 제 19A 도에서 알 수 있듯이, 레이저 출력 파장은 온도가 상승할수록 거의 선형적으로 장파장측으로 이동된다. 변화율 $\triangle\lambda/\triangle T$ 은 2.78(Å/ ℃)이다. 이것은 온도의 상승으로 인해 이득 스펙트럼의 피크 파장이 장파장측으로 이동되기 때문이다.

<260> 제 20A 도는 표면 방출형 반도체 레이저에서 레이저 출력 파장과 표면 온도 사이의 관계를 도시한다. 에지 방출형 반도체 레이저에서 처럼, 레이저 출력 파장은 온도 상승에 응답하여 거의 선형적으로 장파장측으로 이동(shifted)된다. 이것은 전술한 것처럼 표면 방출형 반도체 레이저의 레이저 출력 파장이 유효 공진기 길이에 따라 결정되므로 공진기를 형성하는 반도체의 굴절률이 온도 상승에 따라 변하기 때문이다. 변화율 $\triangle\lambda/\triangle T$ 은 0.41(Å/ ℃)인데, 이것은 에지 방출형 반도체 레이저의 변화율의 약 1/7 이다. 그러므로, 표면 방출형 반도체 레이저에서 이득 스펙트럼의 피크 파장은 온도 상승에 응답하여 굴절률의 변화에 따라 레이저 출력 파장의 레이트보다 더 빠른 레이트로 장파장측으로 이동될 것이다.

<261> 제 20B 도는 주입된 직류 전류애 따라 표면 방출형 반도체 레이저의 접합 온도 및 레이저 출력 파장이 어떻게 증가하는가를 보여준다. 제 20B 도에서 알 수 있듯이 접합 온도는 주입 전류 밀도의 제곱에 비례하여 증가한다. 따라서 표면 온도가 상승함에 따라 이득 스펙트럼의 피크 파장 및 레이저 출력 파장은 전류 주입에 응답하여 장파장측으로 이동될 것이다. 또한 이 경우 이득 스펙트럼의 피크 파장은 레이저 출력 파장의 속도보다 더 빠른 속도로 장파장측으로 이동된다. 그러므로, 레이저 출력을 발생시키고 전류의 주입 효율을 개선하기 위하여 임계 전류를 감소시키기 위해서는, 이득 스펙트럼의 피크 파장이 유효 공진기 길이에 의해 결정된 레이저 파장보다 더 짧도록 미리 설정되는 것이 필요하다. 이러한 사전 설정된 파장 미분값 $\triangle\lambda_{BS}$ 은 "이득 오프셋"으로 칭할 것이다. 이것은 왜냐하면 이득 스펙트럼의 피크 파장이 레이저 출력 파장의 장파장측상에 존재하는 경우 이득 스펙트럼의 피크 파장이 전류 주입에 응답하여 장파장측으로 더 이동되어 레이저 출력에 필요한 이득을 감소시킬 것이기 때문이다. 이득 스펙트럼의 피크 파장이 레이저 출력 파장보다 아주 짧도록 처음에 설정된 경우, 레이저 출력 파장에서의 이득은 너무 작아서 이득 스펙트럼의 피크 파장이 전류 주입에 응답하여 장파장측으로 이동되는 경우라도 레이저 출력을 발생시키지 못할 것이다.

<262> 실험에 따르면, 이득 오프셋 $\triangle\lambda_{BS}$ 이 20(nm)를 초과하는 경우 레이저 출력은 발생되지 않으며, 이득 오프셋 $\triangle\lambda_{BS}$이 5(nm) 미만이면 광출력은 즉각 포화된다는 것이다. 그러므로, 이득 오프셋 $\triangle\lambda_{BS}$은 5(nm) 내지 20(nm)의 범위에 있는 것이 바람직하다.

<263> 이득 오프셋 $\triangle\lambda_{BS}$의 수치 범위에 대해 제 21 도를 참조하여 보다 상세히 기술하기로 한다. 본 도면에서, 수직축은 임계 전류 I_{th}를 나타내고 수평축은 이득 오프셋 $\triangle\lambda_{BS}$를 나타낸다. 본 실시예에서 공진기 부분의 직경 Da 이 8(㎛)인 경우, 전류 밀도를 최대 레벨 또는 10(KA/cm^2)까지 올리는 임계 전류는 5(mA)이다. 이러한 임계 전류를 고려하면, 제 21 도로부터, 표면 방출형 반도체 레이저가 연속 구동가능한 최대 레벨인 이득 오프셋 $\triangle\lambda_{BS}$ 은 약 20(nm)임을 알 수 있다. 또한 제 21 도로부터, 이득 오프셋 $\triangle\lambda_{BS}$ 이 약 5(nm) 미만인 경우 임계 전류가 증가하여 광 출력을 즉시 포화시킴을 알 수 있다. 따라서 이득 오프셋 $\triangle\lambda_{BS}$ 은 5~20(nm)인 것이 좋으며, 더 바람직하게는 5~15(nm), 가장 바람직하게는 10~15(nm)인 것이 좋다. 제 21 도는 공진기 직경 Da 및 개구 직경 Dw 이 특정값으로 설정되었을 때 얻어지는 데이터이다. Da 및 Dw 값이 변할지라도, 레이저 출력 임계 전류 밀도는 본 실시예에서 정해진 Da 및 Dw 범위내에서 사실상 비가변적이므로, 제 3 조건은 사실상 달라지지 않을 것이다,

<264> 또한, 표면 방출형 반도체 레이저의 온도가 변하는 경우, 전술한 것처럼, 표면 방출형 반도체 레이저의 이득 스펙트럼의 피크 파장은 변화된다. 그러므로, 상술한 λ_G 는 표면 방출형 반도체 레이저의 실제 동작 온도 근방에서 측정되어야 한다.

<265> 스펙트럼과 관련한 전술한 조건들에서 표면 방출형 반도체 레이저는 레이저 출력이 기본 횡 모드에서 발생되고 주입 전류의 증가에 따라 비가변적인 것을 요구한다. 만약 레이저 출력이 더 높은 차수의 횡 모드에서 발생되면, 조사된 빔은 단일 피크 구조이기보다는 복합 구조를 가질 것이다. 이것은 확산된

영상이 확산 빔 같은 광학적 집광에 의해 형성되기 때문에 실용적이지 않다. 제 24A 도 및 제 24B 도는 본 발명의 표면 방출형 반도체 레이저로부터의 레이저 광의 횡 모드 특성의 측정을 도시한다. 제 24A 도는 Da = 8(㎛) 및 Dw = 6(㎛)인 표면 방출형 반도체 레이저로부터 방출된 광의 원시야(far-field) 패턴의 등고선도이다. 이 경우, 등고선은 표면 방출형 반도체 레이저로부터의 방출 각도에 따른 분포를 도시한다. 제 24B 도는 Da = 13(㎛) 및 Dw = 10(㎛)인 표면 방출형 반도체 레이저로부터 방출된 광의 원시야 패턴의 등고선도로서 제 24A 도와 동일한 방식으로 얻을 수 있다. 제 24A 도에서, 레이저 빔은 완전한 원형 단면으로 형성되고, 이때 원형 단면은 8 ° 의 방사각에서 최대값의 절반인 전체 폭을 갖는다. 이것은 레이저 출력이 기본 횡 모드에 따라 이루어졌음을 의미한다. 대조적으로, 제 24B 도에 도시된 원시야 패턴의 등고선도는 2중 피크 단면의 레이저 빔을 제공하고 레이저 출력이 고차 횡 모드에 따라 이루어졌음을 나타낸다.

<266> 제 24A 도 및 제 24B 도에서 알 수 있듯이, 횡 모드에서 레이저의 특성은 공진기 및 개구 직경(Da 및 Dw)에 크게 의존한다. 전술한 것처럼, 방출 광은 기본 횡 모드내에 있어야 한다. 따라서 공진기 부분의 직경은 소정 범위내인 것이 바람직하다. 공진기의 크기가 증가할수록 광 파워 밀도는 출구 평면에서 감소하므로, 발진된 광의 출력은 증가된 광 출력을 제공하기에 유리하다. 그러므로 공진기의 크기는 너무 작지 않아야 한다. 표 4는 Da 및 Dw 의 크기와 레이저 광 출력 사이의 관계를 보여준다.

<267> (표 4)

공진기직경(Da) (㎛)	개구 직경(Dw) (㎛)	횡 모드	최대 광출력 (mW)
5	3	기본	0 3
6	4	기본	0.5
7	5	기본	0.9
8	6	기본	1.5
10	8	기본	2.3
12	8	기본	2.0
12	10	고	3.0
16	14	고	4.0

<269> 표 4에서 알 수 있듯이, 공진기 부분(114)의 직경 Da 이 12(㎛)를 초과하고 개구(113)의 직경 Dw 이 10(㎛)을 초과할 때 횡 모드의 차수는 더 높아진다. 따라서, 방출광은 단일 피크 구조이기보다는 다중 피크 구조를 갖는다. Da 가 6(㎛) 이하이고 Dw 가 4(㎛) 이하일때 최대 광출력은 약 0.5(mW)이다. Da 및 Dw 가 각각 12(㎛) 및 8(㎛)인 경우 및 주입 전류가 증가하는 경우에 횡 모드는 비교적 저전류로 고차 모드로 이동되어 불안정한 광 출력을 발생시킬 것이다(이것을 "킹킹(kinking)" 이라 함). 그러므로 본 실시예에서 기본 횡 모드 레이저 출력은 Da가 6~12(㎛)이고 Dw 가 4~8(㎛)인 것을 필요로 한다. 또한 더 양호하게는 Da는 7~10(㎛)이고 Dw 는 5~7(㎛) 이어야 한다.

<270> 제 1 도의 공진기 부분에서의 제 2 클래드 층(106)의 막두께가 어떻게 레이저 출력 임계치에 영향을 미치는지는 실험을 참조하여 설명될 것이다. 제 17 도에 도시된 것처럼, 본 발명의 표면 방출형 반도체 레이저에서 전류는 링형 상부 전극(112)을 통해 활성층(105)으로 주입된다. 레이저 출력은 최대 이득이 얻어지는, 공진기 중심의 주변 영역에서 발생한다. 이것은 왜냐하면 상부 전극 및 공진기 주변에서의 공진기 계면상에서는 광 손실이 증가하므로 공진기 내부에서의 광 왕복이 공진기 중심의 주변 영역에서 최대 이득을 달성하기 때문이다. 주입 전류는 상부 전극으로부터 제 2 클래드 층을 통해 활성층으로 확산되고 흐르므로, 전류 밀도의 비균일 분포가 공진기 내부에서 발생할 수도 있다. 그러므로, 주입 전류가 레이저 출력에 충분한 공진기 중심에서 주입 캐리어 밀도를 제공하는 경우, 제 2 클래드층의 막두께가 적절히 선택되어져야 한다. 만약 주입 캐리어 밀도가 불충분하다면 임계 전류는 증가할 것이다.

<271> 제 25A 도는 제 2 클래드층(106)의 막두께가 1.0(㎛) 일때 본 실시예의 레이저에서의 광 방출 근시야 패턴(NFP)(near-field pattern)을 도시하는 반면, 제 25B 도는 제 2 클래드 층(106)의 막두께가 0.3(㎛)일때 자연광 방출 근시야 패턴을 도시한다. 이 도면의 하부는 각각 직선 a-a 및 b-b 를 따르는

방향에서의 광세기를 도시한다. 제 25A 도는 레이저 방출의 근시야 패턴이다. 제 25B 도는 자연광 방출의 근시야 패턴이다. 제 25B 도에서 알 수 있듯이, 제 2 클래드 층의 막두께가 너무 작으면 주입 캐리어의 밀도는 비균일해진다. 이 경우, 주입 캐리어는 상부 전극(112)(접촉 금속)에 상응하는 위치에서 더 분포된다. 결국, 주입 전류는 재결합되고 상부 전극에 인접한 영역에서 방출되어, 주입 캐리어 밀도는 공진기의 중심 근처 영역에서 증가하지 않을 것이다. 따라서, 레이저 출력 임계치에 도달되기 전에 광 출력은 열적으로 포화될 것이다. 대조적으로, 만약 제 2 클래드 층(106)이 제 25A 도에 도시된 바와 같이 충분한 막두께를 가진다면, 균일한 밀도의 주입 캐리어가 공진기 내부에서 얻어져서, 공진기 중심 근처 영역에서 최대 이득을 제공할 수 있고, 그에 따라 레이저가 출력된다.

<272> 그러므로, 본 발명의 표면 방출형 반도체 레이저에서 제 2 클래드 층의 막두께가 너무 작은 경우, 주입 캐리어는 비균일하게 분포되어 레이저 출력 임계 전류를 증가시키고, 따라서 레이저 출력이 이루어지지 않을 수도 있다. 제 26 도는 제 2 클래드 층(106)의 막두께가 각각 0.3(㎛) 및 2.0(㎛) 일 때 I-L 특성의 측정을 도시한다. 곡선(a)은 막두께가 0.3(㎛)인 경우를 도시하는데, 이 경우는 주입 캐리어가 증가할지라도 레이저 출력없이 자연광 방출만이 발생하고 동시에 광 출력은 포화된다.
대조적으로, 곡선(b)은 막두께가 2.0(㎛)인 다른 경우를 도시하고, 이때 레이저 출력은 3(mA)의 임계 전류로 개시되고 0.35(w/A)의 경사 효율은 1.5(mW)의 최대 광 출력으로 레이저 출력을 제공한다.

<273> 그러나, 제 2 클래드 층의 막두께가 너무 두꺼우면, 디바이스의 소자 저항이 증가하여 전력 소비를 증가시키고, 결국 낮은 전류 주입으로 광 출력의 열적 포화를 초래한다. 더우기 그것은 결정 성장에 오랜 시간 주기를 필요로 하게 되어 웨이퍼 제조 효율을 감소시키는 문제를 초래한다. 본 실시예에서, 소자 저항은 100(Ω)을 초과하므로, 제 2 클래드 층의 막두께가 3.5(㎛) 이상일 때 광 출력의 최대 레벨을 감소한다. 제 27 도는 제 2 클래드 층의 막두께가 2.0(㎛)(곡선(a)) 및 4.0(㎛)(곡선(b)일 때의 I-L 특성을 도시한다. 제 27 도에서 알 수 있듯이, 제 2 클래드 층의 저항은 그 막 두께가 너무 두꺼울 경우 증가한다. 주입 전류가 증가할수록 소자의 온도는 증가하여, 광 출력이 저전류 레벨에서 열적으로 포화되게 된다.

<274> 따라서, 공진기 부분 또는 부분들에서 제 2 클래드 층의 적당한 막 두께는 0.8 내지 3.5(㎛) 사이이고, 더 양호하게는 1.0 내지 2.5(㎛) 사이이다.

<275> 주입 캐리어를 제 2 클래드 층내에 균일하게 분포시키고 활성층내에서 주입 캐리어 밀도를 균일하게 만들기 위해서는, 제 2 클래드 층의 저항률을 감소시키는 것이 효과적이다. 클래드 층의 막두께가 더 얇게될지라도, 저항률은 감소되어 더 나은 주입 전류의 확산을 제공하고, 그에 따라 제 2 클래드 층의 막두께를 증가시키는 것과 유사한 효과를 제공할 수 있다. 표 5는 제 2 클래드 층을 형성하는 $Al_{0.7}Ga_{0.2}As$의 두께가 1(㎛)일때 주입 캐리어의 확산 길이 및 저항률을 도시한다.

<276> (표 5)

특정 저항(Ω · cm)	확산 길이(㎛)
1.0	7
2.0×10^{-1}	8
1.0×10^{-1}	9
1.0×10^{-2}	14
7.0×10^{-3}	16

<278> 표면 방출형 레이저에서 구멍의 직경(Dw)이 약 8(㎛) 일때, 주입된 캐리어들의 확산 거리는 그 직경과 비슷하다. 이 관계를 고려해 볼 때, 표 5 로부터 저항율이 바람직하게는 2×10^{-1} Ω · cm 이하라는 것을 알게 될 것이다. 그러나, 만약 DBR 미러에서처럼 도핑을 증가시킴으로써 제 2 클래드 층의 저항율을 7×10^{-3} Ω · cm 보다 적게 한다면, 도핑에 의해 도입되어지는 자유 캐리어들로부터의 광흡수는 무시할 수 없게 되며, 그 결과로 방출 효율이 감소하게 된다. 따라서 제 2 클래드층의 저항율은 7×10^{-3} Ω · cm 과 1×10^{-1} Ω · cm 사이에 있으면 더욱 좋을 것이다.

<279> 제 2 클래드층에서의 두께와 저항을 둘 다 적절한 범위를 만족시켜야 더욱 더 양호해진다.

<280> 감소된 임계 전류 및 향상된 외부 미분 양자 효율을 갖는 표면 방출형 반도체 레이저를 제조하는 방법들을 이하 상세히 설명할 것이다. 상술한 바와 같이 결정 성장 기술은 본 발명의 표면 방출형 반도체 레이저에서의 가장 중요한 요소중의 하나이다. 왜냐하면 이 DBR 미러층과 다중 양자 우물 구조가 결정 성장을 통하여 형성되어지기 때문이다. 이러한 결정 성장 기술은 다음을 필요로 한다.

<281> (1) 헤테로 계면이 샤프(sharp)해야 한다. 즉 원자층의 정도이어야 한다.

<282> (2) 막두께는 넓은 영역에 걸쳐 사실상 균일하여야 한다.

<283> (3) 막두께의 재생성, 조성, 도핑 효율이 높아야 한다.

<284> 위의 (1)에서의 접합 계면의 첨예도(sharpness)는 표면 방출형 반도체 레이저의 특성을 향상시키기 위해 특히 중요한 것이다. 화합물 반도체 결정 성장 기술에서 접합 계면의 첨예도를 보증하는 방법은 분자빔 에피택시(MBE) 방식과 유기 금속 기상 에피택시(MOVPE) 방식을 포함한다. 액상 에피택시(LPE) 방식은 고순도 결정 성장이 가능하지만, 표면 방출형 반도체 레이저의 제작에 사용하기 위한 것으로는 적합하지 않다. 왜냐하면 액상으로부터 고상으로의 성장을 함에 있어 헤테로 계면의 필요한 첨예도를 구현하기가 어렵기 때문이다. 반대로, MBE 와 MOVPE 방식은 이론적으로 원자층 정도의 계면의 첨예도를 제공할 수 있다. 이는 결정이 분자 빔이나 기상으로부터 고체 상태로 성장되기 때문이다.

<285> 그러나 결정은 분자빔으로부터 형성되기 때문에, MBE 방식은 성장속도를 증가시킬 수 없으며, 단지 0.1~1(Å/sec) 정도로 비교적 느린 성장속도를 제공할 수 있다. 따라서 MBE 방식은 표면 방출형 반도체 레이저에서처럼 약 수 마이크론 정도의 에피택션층 두께가 필요한 결정 성장에서의 사용에는 적절치 않다. MBE 방식에서, 구조적 한계에 의한 영역의 증가 때문에 균일하고 높은 품질의 결정의 성장은 어렵다. 더군다나 계속적인 결정 성장의 단계들의 수는 충전물질의 한계에 의해 제한받는다. 이것은 결정 성장의 처리량(throughput)의 한계를 초래하고, 기판의 대량 제조를 어렵게 한다.

<286> 반면에, 본 실시예에서 사용되는 MOVPE 방법은 양자 우물 구조의 막두께와 피크 파장 간의 관계와 관련하여 기술(제 10 도 참조)한 바와 같이 MBE 방법에서처럼 원자층의 순서대로 동일한 첨예도의 헤테로 계면을 제공할 수 있다. 그러한 기상 성장은 물질의 공급을 변화시킴으로써 0.1(Å/sec) 내지 수 십(Å/sec) 범위의 성장 속도를 제공할 수 있다.

<287> 앞에서의 번호(2)의 막두께의 균일성에 있어서, 제 28 도에서 보는 바와 같이 ±2% 의 막두께 공차는 결정 성장 소자에서의 반응 튜브의 구성을 최적화함으로써 3 인치의 직경을 가지는 기판에서 실질적으로 75% 이상의 영역에 제공되어질 수 있다.

<288> 번호(3)에 있어서, MBE 또는 MOVPE 방식은 이론적으로 결정 성장을 잘 제어할 수 있기 때문에 막두께, 조성 그리고 도핑 효율은 재생성에 있어 향상될 수 있다.

<289> 앞에서 설명한 이유로, 본 발명의 표면 방출형 반도체 레이저를 만들기 위한 결정을 성장시킴에 있어 MOVPE 방식을 사용하는 것이 적절하다.

<290> MOVPE 방식이 다음과 같은 공정과 결합되어질 때, 에피택셜층은 재생성과 제어 능력이 향상되게 형성될 수 있다,

<291> 제 29 도는 막 형성 장치를 보여주고 있는데, 여기서는 MOVPE 방식이 적용되며, 상기 장치는 결정 성장 공정중에 항상 에피택셜층의 반사율을 측정할 수 있다. 가로로 횡단하는 물냉각 반응 튜브를 사용하는 MOVPE 시스템의 형태를 한 상기 막형성 장치는, 성장 기판위에 물냉각 튜브 부분은 생략될 수도 있으며 창은 반응 튜브의 외부로부터 성장 기판 위로 광이 투광되어질 수 있도록 제공되는 것을 특징으로 한다.

<292> MOVPE 장치는 가스공급 및 배출 부분인 10a, 10b 를 가지는 반응 튜브(10)와, 반응 튜브(10) 둘레에 장착되고, 반응 튜브(10)를 냉각시키기 위해 물이 흐르는 냉각 부분(12)을 포함한다. 반응 튜브(10)내에는 서셉터(14)가 있으며, 그위에 기판 S 가 놓여져 있다. 창(16)은 기판이 놓여진 서셉터(14)에 대향되는 쪽에 반응 튜브(10)의 벽에 만들어져 있다. 광원(18)과 광감지기(20)는 창(16) 위에 배치된다. 광원(18)으로부터 나온 광은 창(16)을 통하여 서셉터(14) 위의 기판 S 으로 투광되어진다. 반사되는 광은 창(16)을 통하여 광 감지기(20)로 되돌아온다.

<293> 광원(18)으로부터 나온 광은 기판면에 대하여 사실상 수직인 방향으로 기판 S에 들어간다(최대한 5 °) 반사 광이 광 감지기(20)에 의해 측정될 때, 에피택션 층이 기판위에 성장되는 동안에 에피택셜층의 변화하는 반사율이 결정될 수 있다.

<294> 본 실시예에서, 광원(18)은 800nm 의 레이저 발진 파장을 가지는 반도체 레이저의 형태로 되어서, DBR 미러에 800nm 의 중심 레이저 발진 파장을 제공한다. 그런데, 광원(18)은 800nm 의 파장을 가지는 것과는 다른 파장을 갖는 반도체 레이저나 스펙트로스코우프 등을 이용하는 파장 가변 광원과 같은 다른 적절한 수단으로 대치될 수도 있다. 이것은 임의의 파장에서도 반사율을 측정할 수 있게 한다.

<295> DBR 미러의 반사율과 표면 방출형 반도체 레이저(제 18 도 참고)의 방출 특성과의 앞서 언급한 관계로부터, 소정의 파장에서 DBR 미러의 반사율이 99.5% 와 같거나 더 큰 것이 바람직하다. 이러한 요건을 만족시키기 위하여, DBR 미러를 형성하는 각층의 두께는 λ/4n 이어야 하며, 여기에서 λ 는 주어진 파장이며, n 은 그 주어진 파장에서의 굴절률이다.

<296> 종래 기술에 있어서는, 각 층의 막두께는 결정 성장 속도와 시간을 변화시킴으로써 조절된다. 그러나,종래 기술은 약간의 문제점이 있다. 첫번째 문제는 결정 성장의 속도는 계속 일정하게 유지되어야만 한다는 것이다. 만약 그 성장 속도가 변한다면, 비록 DBR 미러에서의 층 쌍들의 수가 증가하더라도, 99.5% 이상의 반사율을 제공하기는 곤란하다는 것이다. 두번째 문제점은, 막두께를 결정하는 요소로서 기능하는 반도체 층의 굴절률 n 은 파장에 따라 변화한다는 사실에 있다. 따라서 굴절률은 주어진 파장에 대해 각 층에서 정확하게 측정되어야만 한다. 그러한 측정은 매우 어렵다. 세번째 문제점은, 반사율은 결정 성장이 끝난 후 반응 튜브로부터 제거된 웨이퍼에서 측정되어지므로 반사율은 DBR 미러 위의 구조에 대해서만이 측정할 수 있는 것이다. 따라서 DBR 미러만의 반사율은 전혀 측정될 수 있다.

<297> 이러한 문제점들은 MOVPE 방법으로 에피택셜층을 성장시킴으로써 극복될 수 있으며, 또한 동시에 반사율도 측정할 수 있다. 이 메카니즘은 아래에 설명될 것이다.

<298> 제 30 도는 제 29 도에서 보여준 MOVPE 막 형성 장치를 이용하여 본 실시예의 표면 방출형 반도체 레이저를 위한 DBR 미러를 형성하는 공정중에서의 에피택셜층의 반사율과 시간과의 관계를 도시하고 있다.

<299> 제 30 도로부터 명백해지듯이, 보다 낮은 굴절율 n_1 을 가진 $Al_{0.8}Ga_{0.2}As$ 의 층은 GaAs 기판위에

먼저 침착된다. 막두께가 증가함에 따라 반사율은 감소한다. 막두께가 $\lambda/4n_1$ 일때 최소점 1이 된다. 이 최소점은 더 높은 굴절률 n_2 를 가진 $Al_{0.15}Ga_{0.85}As$ 의 층을 침착시키는 모드로 공정을 전환시키기 위해 관찰되어진다. $Al_{0.15}Ga_{0.85}As$ 층에식의 막두께가 증가함에 따라 반사율은 증가한다. 막두께가 $\lambda/4n_2$ 일때, 공정은 최대점 2 에 도달한다. 이 최대점 2 에서, 공정은 다시 더 낮은 굴절률을 가진 $Al_{0.8}Ga_{0.2}As$ 의 층을 침착하도록 전환된다. 이러한 공정이 반복된다. 따라서 DBR 미러의 반사율은 증가와 감소를 되풀이하다가 마침내 전체적으로 최대값에 도달한다.

<300> 반사율의 프로파일은 결정 성장의 속도와 시간에 의존하지 않으며, 각 층의 막두께와 굴절률에 의존한다. 만약 어느 한 층의 Al 조성이 반사율의 프로파일에서 최대 및 최소점(1차 미분값 = 0)에서 변화되고 다른 굴절률을 가지는 에피택셜층이 번갈아가며 성장 및 침착되는 경우에, DBR 미러는 이론적 두께($\lambda/4n$)에 잘 부합되는 두께를 각각 가지는 층들을 포함할 수 있다, 만약 일정한 레이저 발진 파장을 가지는 반도체 레이저가 반사율을 측정하기 위한 입력 광원으로서 사용된다면, λ값은 정확하게 설정되어질 수 있다. 따라서 굴절률 n 은 각 층의 막두께로부터 결정되어질 수 있다.

<301> DBR 미러의 반사율은 결정 성장 중에 측정될 수 있으므로, DBR 미러에서의 층 쌍들의 수는 층의 형성 중에 변화될 수 있다. 더 나아가, 그 구조는 최적화될 수 있다.

<302> DBR 미러 위의 각 층들의 막두께는 또한 DBR 미러막 형성 중에 반사율을 측정함으로써 얻어지는 DBR 미러의 각 층의 성장 속도에 따라 제어될 수 있기 때문에, 결정화의 성장 속도를 측정할 수 없는 종래 기술의 막 형성 방법과 비교해 볼 때, 결정 성장 기판은 재생성과 처리량이 향상되게 생성될 수 있다. 사실상, 본 실시예의 성장 방법은 99.5% 이상의 필요한 반사율을 각각 갖는 DBR 미러들을 제어가능하게 제공할 수 있다.

<303> 결정층의 막두께를 제어하기 위하여 층 반사율을 관찰하는 앞서 설명한 방법은, MOVFE 방법외에 MBE 방법과 같은 다른 적절한 막 형성 공정에 비슷하게 응용될 수도 있다.

<304> 앞에서 설명한 반사율 관찰 방법이 RIBE 방법을 이용해 컬럼형 공진기 부분을 형성하는 공정에서 사용되는 본 발명의 또다른 실시예에 대해 설명하겠다.

<305> 앞에서 언급한 바와 같이, 공진기 부분(114)은 RIBE 방법에 의한 에칭으로서 만들 수 있는데, 이 방법은 표면의 손상없이 공진기 부분(114)에 수직 측벽을 만들어 줄 수 있기 때문이다. 이러한 컬럼형 공진기 부분을 형성함에 있어서, 에칭의 깊이, 즉 제 2 클래드층(106)의 잔류막 두께 t 를 제어하는 것은 매우 중요하다. 잔류막 두께가 예정된 두께를 제공하기 위하여 제어되어야 하는 이유는 이미 앞에서 설명되었다.

<306> RIBE 방식을 통해 건식 에칭하는 동안 잔류막 두께를 측정하는 공정에 대해 더욱 상세히 설명한다.

<307> 제 31 도는 RIBE 장치의 한 예를 개략적으로 보여주고 있는데, 상기 장치는 에피택셜층의 반사율을 에칭 공정중에 측정할 수 있다.

<308> RIBE 장치는 플라즈마실(40)과 연결되어 있는 에칭실(30), 및 배출 수단으로서 기능하는 진공실(32)을 포함한다. 에칭실(30)은 홀더(34)홀더를 포함하며, 이 홀더 위의 기판 S는 플라즈마실(40)의 반대편 위치에 배치된다. 이 홀더(34)는 로드 및 로크 실(50)을 통해 앞뒤로 움직일 수 있다. 플라즈마실(40)의 측부의 에칭실(30)의 측벽은 서로 마주보고 위치하는 창(36과 38)을 포함한다. 반사 미러 M1과 M2의 한 쌍이 에칭실(30) 내부에서 창(36과 38)의 연결선상에 위치해 있다. 원하는 파장을 가진 광원(26)이 창(36)의 바깥쪽에 있으며 광 감지기(28)가 다른창(38)의 바깥쪽에 위치해 있다. 플라즈마실(40)은 마이크로파 도입 부분(44)과 가스 공급 부분(46 과 48)에 연결되어 있으며, 이 가스 공급 부분(46 과 48)을 통하여 플라즈마실(40)에 반응 가스를 공급하게 된다. 자석(42)이 플라즈마실(40)의 바깥 부분에 위치해 있다. 광원(26)에서는, 스펙트로 스코우프에서처럼 원하는 파장의 광이 사용될 것이다.

<309> RIBE 장치는 종래의 방법에 의해 기판 S 위에 형성된 결정층을 에칭할 수 있을 뿐만 아니라, 기판 S 위의 결정층의 반사율이나 반사 스펙트럼을 관찰할 수 있다. 이것은 광원(26)으로부터 나온 광을 창(36)과 반사경 M 을 통하여 기판 S 위에 조사하고, 반사경 M2 와 창(38)을 통하여 광 감지기(28)에 의해 반사광을 측정함으로써 행해질 수 있다.

<310> 에칭 중에 제 2 클래드 층에서 잔류막 두께 t 를 측정하는 공정이 제 32A 도 내지 제 32C 도와 관련해서 더 상세히 설명되어질 것이다.

<311> 에칭하기 전의 공진기를 형성하는 에피택셜 결정층 구조(제 22A 도 참고)는 제 32A 도에 보이는 것과 같은 반사 스펙트럼을 가진다. 이 스펙트럼은 제 18 도에서의 스펙트럼(1802)와 같으며, 파장 λ_o 에서 반사율이 감소하며, 의미가 있는 침하 부분(Do)이 존재한다는 점에서 특징이 있다.

<312> 이 침하 부분 D_o 에서의 파장 λ_o 는 DBR 미러 위의 결정충의 막두께의 총합과 같다. 막두께가 에칭에 의하여 감소함에 따라 침하 부분 D_o 는 파장 λ' 를 제공하기 위하여 더욱 더 짧은 파장쪽으로 움직여간다(제 32 도 B 참조).

<313> 또한, 제 2 침하 부분 D1(이때의 파장은 λ'' 이다)은 더 긴 파장측에서 만들어지며, 그 다음 더 짧은 파장측의 파장 $\lambda 1$ 으로 이동한다(제 32C 도 참고). 또한, 에칭이 계속되어지면, 새로운 침하 부분이 더 긴 파장측에 다시 만들어진다. 침하 부분들의 그러한 움직임과 발생들이 반복되어진다. 만약 에칭전 상태에서의 a 번째 침하 부분이 파장 λ_a 를 가진다고 가정한다면, 에칭량 $\triangle a$ 는 다음 공식(3)에 의해 나타내어진다.

<314> 공식 (3)

$$m = \frac{\lambda'' + 2\Theta(\lambda' - \lambda'')}{\lambda'' - \lambda'} \text{ 인 경우에}$$

$$\Delta_a = \frac{1}{n}(\Theta + \frac{m}{2})\lambda_0 - (\Theta + \frac{m-a}{2})\lambda_a$$

<316> 여기에서 Θ 는 구조에 의존하는 상수이며 본 실시예에서는 1/2 또는 1/4 이다. 또 n 은 에피택셜층에서의 평균 굴절률이다.

<317> 비록 한 침하 부분이 에칭에 의해 가장 높은 반사율 대역의 바깥쪽에 있는 더 짧은 파장쪽으로 이동하게 될지라도, 다음 서로 방향 모드에 대응하는 또다른 침하 부분은 더 긴 파장측 위에 만들어질 것이며 다음에는 더 짧은 파장측으로 더 이동하게 될 것이다, 그러므로 에칭의 속도와 양은 높은 반사율 대역에 존재하는 침하 부분의 수와 에칭하는 동안의 그들의 움직임을 측정함으로써 제어될 수 있다. 이러한 방법으로 공진기 부분(114)은 제 2 클래드층에 남겨진 예정된 막두께 t 로 정확하게 만들어질 수 있다.

<318> 반사 스펙트럼의 레벨과 모양이 에칭 중에 동시에 관찰될 수 있으므로, 표면에서의 오염과 손상에 대한 추정은 에칭 중에 행해질 수 있다. 이러한 추정의 결과는 에칭 조건에 대해 피드백될 수 있을 것이다.

<319> 반사율 관찰 수단을 이용한 RIE 방법에 의한 SiO_2 층의 에칭 공정이 설명되어질 것이다.

<320> 제 1 도에 도시된 표면 방출형 반도체 레이저의 제조 공정에서, 공진기 표면에서의 p 형 접촉층(109)은 표면 보호 SiO_2 층 I 로 덮여진다(제 22B 도 참고). 그후 링형상 상부 전극(112)이 레이저빔 배출 구측에 만들어진다. 그런데 상부 전극을 형성하기 위해, SiO_2 층은 완전히 에칭되어야 한다. 만약 에칭이 필요 이상으로 이루어진다면, 접촉층이 또한 에칭되어져 손상되거나 레이저 발진 파장과 관련된 공진기 길이를 변화시키게 될 것이다.

<321> 따라서, SiO_2 층의 에칭을 제어하는 것은 매우 중요하다. 그러므로 본 실시예에서, SiO_2 층의 에칭을 위한 RIE 장치는 에칭 단계 동안의 에칭의 양을 결정하기 위해 에피택셜 결정층에서의 반사율을 측정하는 공정과 함께 사용되어진다.

<322> 제 33 도에서는 반사율 측정 수단을 이용하는 병렬 평판형 RIE 장치를 도식적으로 보여주고 있다. RIE 장치는 배치 전극(62)과 그물 모양의 반대 전극(64)이 있는 에칭실(60)을 포함한다. 배치 전극(62)은 RF 발진기(61)와 연결된다. 에칭실 (60)은 가스 공급부(70)와 진공 배출 펌프(66)와 연결되어 있다. 배치 전극(62)에 반대쪽의 에칭실(62)의 벽은 창(68)을 포함한다. 이 창(68) 외부에는 광원(72)과 광 감지기(74)가 있다. 광원(72)으로부터 나오는 원하는 파장의 광이 창(68)을 통하여 기판 S 위로 투과된다. 기판 S 로부터 반사된 광은 창(68)을 통하여 광 감지기(74)에 들어간다. RIE 장치는 통상의 메카니즘에 의하여 SiO_2 층을 에칭할 뿐만 아니라, 반사광을 감지함으로써 에칭된 표면에서의 반사율과 반사 스펙트럼 또한 관찰할 수 있다.

<323> 제 34 도에서는 SiO_2 층이 P 형 접촉층(109)위에 형성되었을 때의 800nm 의 광에 대한 반사율의 변화를 도시하고 있다. 제 34 도에서, 수평축은 SiO_2 층의 막두께를 나타내며, 수직축은 반사율을 나타낸다. 보는 바와 같이 반사율은 SiO_2 층에서의 잔류막 두께에 의존하여 변화한다. 잔류막 두께가 $\lambda/4n$ 의 정수배가 될 때마다 반사율은 최대 또는 최소가 된다. 여기에서 λ 는 측정광의 파장이며, n은 SiO_2 층에서의 굴절률이다. 따라서 SiO_2 층은 RIE 에칭 동안에 반사율을 측정하고 반사율 곡선을 관찰함으로써 완전하게 에칭될 수 있다.

<324> SiO_2 층이 완전히 에칭된 후, 반사율의 침하 부분은, 700~900nm 범위의 파장을 가지는 광을 조사하는 가변 파장의 레이저 빔이나 스펙트로스코우프를 통과한 광과 같은 RIE 동안에 반사율을 측정하는 적절한 임의의 광원을 사용함으로써 공진기 길이를 결정하기 위해 측정되어질 수 있다. 특히, 반사율에서의 침하 부분을 측정하면서 RIE 에칭을 행하기 때문에, 앞서 언급한 공식(3)에 따라서 공진기의 길이를 제어하도록 에칭량을 정확하게 결정할 수 있다. RIE 방식이 사용되는 이유는, P 형 접촉층(109)을 보호하기 위한 SiO_2 층이 완전히 에칭된 후에 동일한 장치에서 에칭을 수행할 수 있고, RIE 방식이 RIBE 방식보다 낮은 속도에서 행해질 수 있기 때문에 공진기의 길이를 더욱 쉽게 제어할 수 있기 때문이다. 이때에, 사용되는 에칭의 조건은 2Pa 의 에칭 압력, 70W 의 RF 전력이며, 에칭 가스로는 CHF_3 를 사용한다. 더욱이, 에피택셜 성장한 막의 공진기 길이가 광범위하게 변할 때에는 앞에서의 단계를 완료한 후에 RIE 방식이 수행될 수도 있다.

<325> 앞서 설명한 바와 같이, 본 발명의 표면 방출형 반도체 레이저는 DBR 미러의 더 높은 반사율 대역, 공진기 길이에 의하여 결정되는 레이저 발진 파장과 이득 오프셋 사이에 미리 정해진 관계를 제공함으로써 더 양호하게 달성될 수 있다. 그러나, 비록 에피택셜 성장후의 그러한 관계들이 확립되지 않았을지라도, 공진기의 길이를 원하는 길이로 정확하게 조정하고 향상된 수율을 가지는 고정밀 장치를 만들기 위하여, 반사율을 관찰하는 RIE 방식이 접촉층을 에칭하는데 사용되어진다. 이것은 왜냐하면 활성층의 이득 스펙트럼이나 에지 방출형 반도체 레이저의 레이저 발진 스펙트럼을 측정하기 위해 접촉층이 필요한 반면에, 표면 방출형 반도체 레이저의 접촉층을 에칭하는 것은 p 형과 n 형의 클래드층과 활성층에 의해 결정되어지는 이득 스펙트럼을 변화시키지 아니하기 때문이다. 다시 말하면, 접촉층을 에칭하는 것은 λ_G 의 변화없이 λ_{EM} 이 조정될 수 있게 한다.

<326> 반사율을 관찰하는 에칭 공정을 사용함으로써, 서로 다른 길이를 갖는 공진기 부분들이 같은 기판위에 정확하게 만들어질 수 있다. 따라서 다른 레이저 발진 파장을 갖는 복수개의 표면 방출형 반도체 레이저를 만드는데 하나의 기판이 사용될 수도 있다.

<327> <제 2 실시예>

<328> 제 40A 도에서는, 본 발명의 제 2 실시예에 의해 제조된 표면 방출형 반도체 레이저에서 광 방출 부분의 단면을 도식적으로 나타낸 투시도이며, 제 40B 도는 제 40A 도에 도시된 레이저의 평면도이다.

<329> 제 2 실시예에 따르면, 표면 방출형 반도체 레이저(300)는 광학 공진기가 복수의 컬럼형 공진기 부분을 포함하는 것을 특징으로 한다. 이 컬럼형 공진기 부분을 제외한 다른 부분들과 그 기능들은 기본적으로 제 1 실시예에서의 것과 유사하며, 따라서 더 이상 설명하지 않을 것이다.

<330> 반도체 레이저(300)는, n 형의 GaAs 기판(302)과, n 형 $Al_{0.8}Ga_{0.2}As$ 와 n 형 $Al_{0.15}Ga_{0.85}As$ 층의 40 쌍이 한 층위에 또다른 층이 교대로 침착되어져서 약 800nm 파장의 광에 대해 99.5% 이상의 반사율을 가지는 DBR 미러(303)와, $Al_{0.7}Ga_{0.3}As$ 의 n 형 클래드층(304)과, n^- 형 GaAs 우물층과 n^- 형 $Al_{0.3}Ga_{0.7}As$ 장벽층을 포함하는 21개의 우물층으로 형성되어진 양자 우물 활성층(305)과, $Al_{0.7}Ga_{0.3}As$의 p형 클래드층(306)과, $Al_{0.15}Ga_{0.85}As$ 의 p^+ 형 접촉층(309)을 포함하며, 이들 모든 층들은 기판(302) 위에 순차적으로 침착된다. p 형 $Al_{0.7}Ga_{0.3}As$ 클래드층(306)은 사각형의 단면을 각각 가지는 복수의 컬럼형 공진기 부분(314)을 형성하도록 그 중간 부분까지 에칭된다. 컬럼형 공진기 부분(314)은 SiO_2 와 같은 실리콘 산화막(SiO_x)의 제 1 절연층(307)과 제 1 절연층(307) 위에 형성된 제 2 절연층(308)에 의해 매립된다.

<331> 이러한 반도체 레이저는 공진기 부분으로부터 위상이 같게 동기화된 광선을 만들 수 있는데, 이것은 분리된 공진기 부분에서의 횡방향 모드가 전자기적으로 연결되기 때문이다.

<332> 제 40B 도에서 보는 바와 같이, 광학적 공진기를 형성하는 컬럼형 공진기 부분(314)(314a 내지 314d)의 각각은 직사각형의 단면을 가지는데, 이 단면은 반도체 기판(302)의 측면과 평행한 장측과 단측을 가지며, 공진기 부분(314a 내지 314d)의 단측은 다른 것들과 서로 평행하다. 표면 방출형 반도체 레이저에 있어서, 컬럼형 공진기 부분(314) 각각으로부터 방출된 레이저빔의 편광면은 공진기 부분의 단측과 평행하다. 컬럼형 공진기 부분(314)의 각각의 단측은 서로 평행하기 때문에, 공진기 부분에서 나온 레이저 빔의 편광면은 서로 정렬된다.

<333> 절연층(307 과 308)을 형성하기 위해 사용되는 물질은 SiOx 나 SiNx 와 같은 임의의 투과성 물질일 수도 있다. 따라서 매립 절연층은 레이저 방출 파장에 대하여 실질적으로 투광성이 있다. 컬럼형 공진기 부분(314)으로부터 나온 광선 이외에, 매립 절연층에 누설되는 광은 또한 방출 스포트로 확산하도록 출력된 유효 광에 기여할 수 있다.

<334> 공진기 부분(314)의 장측과 단측 사이의 관계가 상세히 설명될 것이다.

<335> 각각의 컬럼형 공진기(314)에서 장측 길이를 A, 단측 길이를 B 라고 가정할 때, $B < A < 2B$ 인 것이 양호하다. 만약 길이 A 가 2B 보다 크거나 같으면, 방출된 광 빔의 단면 형태가 원 또는 정다각형이기보다는 직사각형으로 된다. 이것은 단일 출구로부터 두 개 이상의 방출 스포트를 제공한다. 더 나아가, 공진기의 부피가 증가되므로, 레이저 발진 임계 전류가 증가한다.

<336> 직사각형 단면의 각 변은 $1.1xB \leq A \leq 1.5xB$ 인 것이 더욱 바람직하다. 만약 장측의 길이가 1.1xB 보다 작다면, 편광면이 효율적으로 제어될 수 없다. 레이저 발진 임계 전류를 낮게 유지하기 위하여 $A \leq 1.5xB$ 로 함이 바람직하다.

<337> 제 2 실시예의 반도체 레이저(300)는, 컬럼형 공진기 부분(314)을 형성하기 위해 상이한 마스크가 사용되는 것을 제외하고는 제 1 실시예의반도체 레이저와 동일한 공정에 의해 만들어질 수 있다. 즉, 컬럼형 공진기 부분(314)을 형성하는데 사용되는 마스크가 그것의 평면 구성에 대응하는 것을 제외하고는, 제 22A 내지 제 22C 도, 제 23D 도 내지 제 23F 도에서와 동일한 공정이 사용될 수 있다.

<338> 제 41A 도 내지 제 41D 도에서는, 종래 기술 및 제 2 실시예에 따르는 표면 방출형 반도체 레이저에서의 NFP 레이저 방출 프로파일과 광출구 형태를 도시하고 있다. 제 41A 도는, 제 45 도에서 도시하고 있는 종래의 표면 방출형 반도체 레이저에서의 공진기가 다른 것과 5(㎛)의 간격으로 근접해 있는 경우를 보여주고 있다. 이것은 GaAlAs(2207 과 2208)의 n-p 접합형 에피택셜층들에 그것들을 매립시키기에 충분한 거리이다. 레이저 출구면은 유전체 다층막 미러와 p 형 오믹 전극(상부 전극)을 포함하지만, 이들의 구성 요소들은 공진기의 형태를 보여주기 위해 생략되어졌다. 제 41B 도는 제 41A 도에서의 a-b 선을 따라 형성된 NFP 강도의 분포를 보여주고 있다. 비록 복수의 방출 부분(2220)이 종래의 표면 방출형 반도체 레이저에서 매립 단계를 가능케 하는 정도의 간격만큼 다른 것과 인접하게 위치한다 하더라도, 복수의 방출 스포트가 광의 횡방향 누설 없이 나타날 것이다. 이것은 2 이상의 방출 스포트를 포함하는 다중 피크 NFP를 제공한다.

<339> 제 41C 도에서는 분리 그로우브가 매립 절연층에 의해 매립되는 제 2 실시예에 따르는 표면 방출형 반도체 레이저의 구성을 도시하고 있다. 이 경우 매립 절연층은 진공 성장을 통해 만들어지며, 분리 그로우브에서의 최소 간격은 약 1(㎛)정도로 제어될 수 있다. 제 41D 도에서는 제 41C 도에서의 c-d 선을 따르는 방향의 NFP 강도를 나타내고 있다. 광은 컬럼형 공진기 부분뿐만 아니라 분리 그로우브로부터도 방출되므로, 방출의 확산은 NFP로부터 판정될 수 있다. 컬럼형 공진기 부분(314a-314d)으로부터의 레이지 빔이 서로 동위상으로 동기화되기 때문에, 광출력은 5 ° 이하의 방사각을 가지는 빔을 제공하도록 증가된다.

<340> 제 42A 도 내지 제 42D 도에서는, 제 2 실시예에 따라 형성된 4 개의 공진기 부분(314)을 각각 가지는 4 개의 광 공진기가 반도체 기판(302) 위에 배치되는 경우를 도시하고 있다. 제 42A 도에서, 각각

의 광학 공진기는 하나의 광 출구(313)를 가지는 전극(312)을 포함하고, 이 광출구(313)는 4개의 공진기 부분(314) 모두를 중첩시키고 그에 대향되는 위치에 형성된다. 한 개의 광 공진기의 4 개의 공진기 부분(314)들 각각은, 단측 B를 서로 평행하게 갖는 직사각형 단면으로 되어 있다. 4 개의 광출구(313)로부터 나온 레이저 빔에서의 편광면은 컬럼형 공진기 일부의 단측에 평행하게 정렬되어질 것이다.

<341> 제 42B 도에서는, 4 개의 광 공긴기를 포함하는 반도체 레이저로부터 나오는 4 개의 레이저 빔이 편광 필터(340)를 통과하는 상태를 보여주고 있다. 4 개의 레이저 빔이 편광면에 대해 서로 정렬되기 때문에, 모든 레이저빔은 편광 필터(340)를 통과할 수 있다.

<342> 제 42C 도에서는, 컬럼형 공진기 부분(314)의 단면의 단측이 두개의 광 공진기 사이에서 서로 다르게 정렬되는 경우, 예컨대 단측이 서로 직교하는 각각의 방향으로 연장되는 경우를 도시한다. 이 경우, 하나의 레이저 빔은 편광 필터(340)를 통과할 수 있지만, 제 42D 도에서 볼 수 있는 것처럼 다른 레이저 빔을 편광 필터(340)를 통과할 수 없다. 이것은, 특정의 방향에서 편광면을 가지는 레이저빔만이 선택적으로 편광 필터를 통과할 수 있기 때문에 광통신 분야에서 적절하게 적용되어질 수 있다.

<343> 제 2 실시예는 4 개의 공진기 부분에 관하여 설명되었으나, 그 공진기 부분의 숫자와 배열은 자발적으로 선택될 수도 있다. 예를 들어, 제 43A 도 내지 제 43C 도에서 볼 수 있는 것처럼, 공진기 부분은 기판면에 평행한 2 차원 평면 위에 세로 및/또는 가로 방향선으로 등간격으로 배열될 수도 있다. n 개의 공진기를 일직선으로 배열한다면, 직선 빔을 얻을 수 있다.

<344> 비록 추가적으로 제 2 실시예가, 방출된 레이저빔에서 편광면을 제어하기 위하여 컬럼형 공진기 부분의 직사각형 단면을 가기는 것에 대해서 설명하였지만, 정렬된 편광면을 가지는 레이저 빔은 광출구 전극(312)에 형성된 광출구(312)에 직사각형 구멍을 제공함으로써 유사하게 방출될 수도 있다. 제 44A 도에 도시된 실시예에서처럼 각 컬럼형 공진기 부분(314)의 단면을 원형으로 하더라도, 전극에 형성된 광출구(313)의 개구는 장측 a 와 단측 b를 갖는 직사각형 모양으로 된다. 이 경우, 방출된 레이저 빔에서의 편광면은, 직사각형의 광출구(313)에서 단측 b 의 방향으로 정렬될 것이다.

<345> 직사각형 광출구는 광 공진기 각각의 컬럼형 공진기 부분의 직사각형 단면보다 더 제조하기 편리하다. 광 공진기를 형성하는데 복수의 컬럼형 공진기 부분이 사용되어지는 경우, 적어도 소정의 컬럼형 공진기 부분들이 컬럼형 공진기 부분들 간의 위치적 관계로부터 직사각형 단면에 형성 안될 수도 있다. 이 경우, 편광면을 결정하기 위하여 광출구를 직사각형 모양으로 만드는 것이 효과적이다. 제 44B 도와 제 44C 도에서는, 4 개의 컬럼형 공진기 부분(314)의 각각이 원형 또는 정다각형의 단면으로 되어 있고, 직사각형의 광출구(313)가 모든 컬럼형 공진기 부분에 대하여 대향되는 영역에 형성되어 있는 경우를 보여주고 있다. 제 44D 도는 4 개의 컬럼형 공진기 부분 각각이 직사각형 단면을 가지며 직사각형의 광 출구(313)는 모든 컬럼형 공진기 부분에 대향되는 영역에서 형성되는 또다른 경우를 도시한다. 직사각형의 컬럼형 공진기 부분의 단측(B)은 광출구의 단측(b)에 평행하다.

<346> 광 출구가 직사각형 형태이고 광 출구에서 장측 및 단측이 각각 a 및 b 라 가정하면, 그들 관계는 $b < a < 2xb$ 인 것이 좋으며, 더 양호하게는 $1.1xb \leq a \leq 1.5xb$ 인 것이 좋다. 왜냐하면 b/a의 비가 더 높을 경우 광 공진기의 컬럼형 공진기 부분에서 각 측부에 대한 B/A의 비도 그에 상응하여 더 높아져야하기 때문이다. 이것은 길이 A 및 B 를 양호한 범위 밖으로 이동시킬 것이다.

<347> 제 44E 도에 도시된 것처럼, 공진기 부분(314) 각각은 장측 A 및 단측 B 을 갖는 직사각형 단면일 수도 있고 광출구(313)는 원형일 수도 있다.

<348> 레이저 빔의 편광면들은 본 발명의 제 2 실시예에 따라 특정 방향으로 그리고 상호 정렬될 수 있으므로, 레이저는 레이저 프린터 또는 통신 장치에 연결하는 경우 어떠한 정밀 위치 조정 없이도 특정 방향으로 정렬된 편광면들을 갖는 레이저 빔들을 쉽게 방출할 수 있다. 전술한 실시예는 AlGaAs 형 반도체를 이용하는 표면 방출형 반도체 레이저를 중심으로 하였다. 그럼에도 불구하고, 본 발명은 AlGaInP 형 또는 InGaAsP 형 반도체를 이용하는 표면 방출형 반도체 레이저에도 적용가능하다. 또한, 본 발명은 전술한 실시예의 표면 방출형 반도체 레이저의 반도체 층과 반대인 극성을 갖는 반도체 층들로 형성된 표면 방출형 반도체 레이저에 적용될 수도 있다.

(57) 청구의 범위

청구항 1

표면 방출형 반도체 레이저에 있어서,

제 1 도전형의 화합물 반도체로 형성된 기판과;

상기 기판의 하단에 형성된 하부 전극과;

상기 기판의 상단에 형성된 제 1 도전형의 분포 반사 다층막 미러와;

상기 분포 반사 다층막 미러상에 형성된 제 1 도전형의 제 1 클래드 층과;

상기 제 1 클래드 층상에 형성된 양자 우물 활성층과;

상기 양자 우물 활성층상에 형성되고 하나 이상의 컬럼형 부분들을 갖는 제 2 도전형의 제 2 클래드 층과;

상기 제 2 클래드 층내의 컬럼형 부분 또는 부분들 상에 형성된 제 2 도전형의 접촉층과;

상기 접촉층 및 상기 제 2 클래드 층의 상기 컬럼형 부분 또는 부분들 주변에 매립되어, 실리콘 화합물로 형성되고 상기 제 2 클래드 층 및 상기 접촉층의 표면을 덮는 제 1 절연층을 적어도 포함하는 매립 절연층과;

상기 접촉층 및 상기 매립 절연층 간에 가교를 형성하고 상기 접촉층의 일부와 대향하는 개구를

갖는 상부 전극과;

상기 상부 전극의 개구를 덮도록 적어도 상기 접촉층 상에 형성된 유전체 다층막 미러를 포함하는 표면 방출형 반도체 레이저.

청구항 2

표면 방출형 반도체 레이저에 있어서,

제 1 도전형의 화합물 반도체로 형성된 기판과;

상기 기판의 하단에 형성된 하부 전극과;

상기 기판의 상단에 형성된 제 1 도전형의 분포 반사 다층막 미러와;

상기 분포 반사 다층막 미러상에 형성된 제 1 도전형의 제 1 클래드 층과;

상기 제 1 클래드 층상에 형성된 양자 우물 활성층과;

상기 양자 우물 활성층상에 형성되고 하나 이상의 컬럼형 부분들을 갖는 제 2 도전형의 제 2 클래드 층과;

상기 제 2 클래드 층내의 컬럼형 부분 또는 부분들 상에 형성된 제 2 도전형의 접촉층과;

상기 접촉층 및 상기 제 2 클래드층의 상기 컬럼형 부분 또는 부분들 주변에 매립된 매립 절연층과;

상기 접촉층 및 상기 매립 절연층 간에 가교시키도록 형성되고 상기 접촉층의 일부와 대향하는 개구를 갖는 상부 전극과;

상기 상부 전극의 개구를 덮도록 적어도 상기 접촉층 상에 형성된 유전체 다층막 미러를 포함하고;

상기 양자 우물 활성층의 이득 스펙트럼의 피크 파장 λ_G 은 원하는 레이저 출력 파장 λ_{EM} 보다 소청의 미분 파장(이득 오프셋) $\triangle\lambda_{BS}$ 만큼 더 같도록 설정되는 표면 방출형 반도체 레이저.

청구항 3

제 2항에 있어서,

상기 이득 오프및 $\triangle\lambda_{BS}$ 은 5nm 내지 20nm의 범위를 갖는 표면 방출형 반도체 레이저.

청구항 4

제 2 항에 있어서,

상기 매립 절연층은 상기 제 2 클래드 층 및 상기 접촉층의 표면을 덮는 실리콘 화합물의 제 1 절연층을 적어도 포함하는 표면 방출형 반도체 레이저.

청구항 5

제 1 항 또는 제 4 항에 있어서,

상기 제 1 절연층에 더하여, 상기 매립 절연층은 상기 접촉층 및 상기 제 2 클래드 층의 컬럼형 부분 또는 부분들을 둘러싸고 있는 영역을 평탄화하기 위해 상기 제 1 절연층상에 형성된 제 2 절연층을 또한 포함하는 표면 방출형 반도체 레이저.

청구항 6

제 1 항 또는 제 4 항에 있어서,

상기 제 1 절연층은 500Å 내지 2000Å 범위의 막두께를 갖는 표면 방출형 반도체 레이저.

청구항 7

제 1 항 또는 제 4 항에 있어서,

상기 제 1 절연층은 실리콘 산화물, 실리콘 질화물 및 실리콘 탄화물로 구성되는 그룹으로부터 선택된 적어도 하나의 물질로 형성되는 표면 방출형 반도체 레이저.

청구항 8

제 5 항에 있어서,

상기 제 2 절연층은 상기 제 1 절연층의 실리콘 화합물보다 더 낮은 온도에서 형성된 실리콘 화합물, 내열성 수지 및 다결정 II-VI족 화합물 반도체들로 구성되는 그룹으로부터 선택된 적어도 하나의 물질로 형성되는 표면 방출형 반도체 레이저.

청구항 9

제 1 항 또는 제 4 항에 있어서,

상기 컬럼형 부분 또는 부분들 이외의 영역들에서의 상기 제 2 클래드 층의 막두께는 미리 결정

된 범위내에 있는 표면 방출형 반도체 레이저/

청구항 10

제 9 항에 있어서,

상기 막두께는 0 ㎛ 내지 0.58 ㎛의 범위내에 있는 표면 방출형 반도체 레이저.

청구항 11

제 10 항에 있어서,

상기 막두께는 0 ㎛ 내지 0.35 ㎛의 범위내에 있는 표면 방출형 반도체 레이저.

청구항 12

제 1 항 내지 제 4 항중 어느 한 항에 있어서,

상기 양자 우물 활성층은 III-V족 화합물 반도체로 형성된 우물층들 및 III-V족 화합물 반도체로 형성된 장벽층들을 포함하며, 상기 우물층들 각각의 막두께는 40Å 내지 120Å이고, 상기 장벽층들 각각의 막두께는 40Å 내지 100Å이며, 상기 우물층들의 총 수는 3 내지 40 인 표면 방출형 반도체 레이저.

청구항 13

제 1 항 내지 제 4 항중 어느 한 항에 있어서,

상기 분포 반사 다층막 미러는 레이저 출력 파장 λ_{EM} 을 포함하는 적어도 40nm의 파장 범위내에서 99.2% 이상의 반사율을 갖는 표면 방출형 반도체 레이저.

청구항 14

제 1 항 내지 제 4 항중 어느 한 항에 있어서,

상기 분포 반사 다층막 미러는 제 1 및 제 2 III-V족 화합물 반도체들의 교호적으로 적층된 제 1 형 및 제 2 형 층들을 포함하고, 상기 제 2 화합물 반도체는 상기 제 1 화합물 반도체보다 더 큰 에너지 대역갭, 및 상기 제 1 화합물 반도체의 굴절률과는 상이한 굴절률을 갖는 표면 방출형 반도체 레이저.

청구항 15

제 14 항에 있어서,

상기 제 1 형 층과 상기 제 2 형 층 사이의 계면 영역의 캐리어 농도는 이들 층들의 잔류 영역들에서보다 더 높은 표면 방출형 반도체 레이저.

청구항 16

제 15 항에 있어서,

상기 계면 영역의 캐리어 농도의 최대값은 상기 잔류 영역들의 값의 최소 1.1 배 내지 최대 100 배인 표면 방출형 반도체 레이저.

청구항 17

제 15 항에 있어서,

상기 계면 영역의 캐리어 농도의 최대값은 $5\times10^{20}cm^{-3}$ 이하인 표면 방출형 반도체 레이저.

청구항 18

제 15 항에 있어서,

상기 계면 영역의 두께는 계면을 형성하는 두 층들의 전체 두께의 1/3 이내인 표면 방출형 반도체 레이저.

청구항 19

제 15 항에 있어서,

상기 계면 영역을 도핑하는데 사용되는 도펀트들은 n형 영역에 대해 S, Se, Te 및 Si 로부터 선택되는 표면 방출형 반도체 레이저.

청구항 20

제 1항 내지 제 4 항중 어느 한항에 있어서,

상기 유전체 다층막 미러는 98.5% 내지 99.5%의 반사율을 갖는 표면 방출형 반도체 레이저.

청구항 21

제 20 항에 있어서,

상기 유전체 다층막 미러는 레이저 출력 파장에 대해 $100cm^{-1}$ 이하인 흡수 계수를 갖는 유전체 물질로 형성되는 표면 방출형 반도체 레이저.

청구항 22

제 21 항에 있어서,

상기 유전체 다층막 미러는 한편으로는 SiO_x, MgF_x, CaF_x, BaF_x 및 AlF_x 로 구성되는 그룹으로부터 선택된 적어도 하나의 물질의 교대로 침착된 층들에 의해 형성되는 표면 방출형 반도체 레이저.

청구항 23

제 1 항 내지 제 4 항중 어느 한 항에 있어서,

상기 제 2 클래드 층내의 컬럼형 부분 또는 부분들의 직경은 Da 이고 상기 상부 전극내의 개구의 직경은 Dw 인 경우에, Da 는 6 ㎛ 내지 12 ㎛ 이고 Dw 는 4 ㎛ 내지 8 ㎛ 인 표면 방출형 반도체 레이저.

청구항 24

제 1 항 내지 제 4 항중 어느 한 항에 있어서,

상기 제 1 및 제 2 클래드 층들은 $Al_xGa_{1-x}As$의 반도체 층들을 포함하고, x는 0.65 이상인 표면 방출형 반도체 레이저.

청구항 25

제 1 항 내지 제 4 항중 어느 한 항에 있어서,

상기 제 2 클래드 층의 컬럼형 부분 또는 부분들은 0.8 ㎛ 내지 3.5 ㎛의 막두께를 갖는 표면 방출형 반도체 레이저.

청구항 26

제 1 항 내지 제 4 항중 어느 한 항에 있어서,

상기 제 2 클래드 층에서의 각각의 컬럼형 부분은 상기 반도체 기판의 평면에 평행한 직사각형 단면과, 장측 및 단측을 가지며, 방출된 레이저 빔의 편광면은 상기 단측에 평행한 표면 방출형 반도체 레이저.

청구항 27

제 26 항에 있어서,

상기 장측 및 단측이 각각 A 및 B 인 경우에 $B < A < 2B$ 인 표면 방출형 반도체 레이저.

청구항 28

제 26 항에 있어서,

상기 제 2 클래드 층은 직사각형 단면을 각기 갖는 복수의 컬럼형 부분들을 포함하고, 직사각형의 컬럼형 부분들의 단측은 상호 평행하여, 편광면 및 위상에 있어 상호 정렬된 레이저 빔들이 컬럼형 부분들로부터 상기 개구를 통해 방출될 수 있는 표면 방출형 반도체 레이저.

청구항 29

제 28항에 있어서,

상기 매립 절연층은 투명성 물질로 형성되고, 편광면 및 위상에 있어 상호 정렬되고 단일 방출 스포트를 각각 제공하는 상기 레이저 빔들은 상기 컬럼형 부분들 사이의 상기 매립 절연층 및 상기 컬럼형 부분들로부터 상기 개구를 통해서 방출될 수 있는 표면 방출형 반도체 레이저.

청구항 30

제 28 항에 있어서,

각기 직사각형 단면을 갖는 상기 컬럼형 부분들은 상기 반도체 기판에 평행한 2 차원 평면상에 선형 대칭으로 배치되며, 상기 상부 전극에 형성된 개구는 원형 또는 정다각형 형태이어서, 실질적으로 원형인 단면의 레이저 빔이 상기 표면 방출형 반도체 레이저로부터 방출될 수 있는 표면 방출형 반도체 레이저.

청구항 31

제 28 항에 있어서,

복수의 상기 컬럼형 부분들을 각기 포함하는 복수의 광 공진기들이 상기 반도체 기판상에 형성되어 상기 광 공진기들 각각은 독립적인 상부 전극을 갖고, 상기 광 공진기들 각각으로부터 방출된 실질적으로 원형인 방출 스포트를 갖는 레이저 빔이 독립적으로 턴 온/오프 및 변조될 수 있는 표면 방출형 반도체 레이저.

청구항 32

제 31 항에 있어서,

상기 광 공진기들은 모든 단측들이 상호 평행한 직사각형 단면의 컬럼형 부분들을 포함하고, 각각의 광 공진기들로부터 방출된 레이저 빔들의 편광면들이 한 방향으로 정렬될 수 있는 표면 방출형 반도

체 레이저.

청구항 33

제 31 항에 있어서,

상기 광 공진기들중 적어도 하나는 다른 광 공진기 또는 공진기들의 단측과 평행하지 않은 단측을 갖는 컬럼형 부분들을 포함하고, 상기 적어도 한 광 공진기로부터 방출된 레이저 빔의 편광면은 다른 광 공진기들로부터의 레이저 빔들의 편광면들과 상이하게 될 수 있는 표면 방출형 반도체 레이저.

청구항 34

제 28 항에 있어서,

상기 컬럼형 부분들은 상기 반도체 기판 평면에 평행한 2차원 평면상에서 횡선 및/또는 종선으로 등간격으로 배치되고, 상기 표면 방출형 반도체 레이저는 선 레이저 빔을 방출할 수 있는 표면 방출형 반도체 레이저.

청구항 35

제 1 항 내지 제 4 항중 어느 한 항에 있어서,

상기 개구는 장측 및 단측을 갖는 직사각형 형태로된 표면 방출형 반도체 레이저.

청구항 36

제 35 항에 있어서,

상기 장측이 a 이고 상기 단측이 b 인 경우에, $b < a < 2b$ 인 표면 방출형 반도체 레이저.

청구항 37

표면 방출형 반도체 레이저 제조방법에 있어서,

(a) 에피택셜 성장을 통해서 제 1 도전형 화합물 반도체로 형성된 기판상에 제 1 도전형의 분포 반사형 다층막 미러, 제 1 도전형의 제 1 클래드 층, 양자 우물 활성층, 제 2 도전형의 제 2 클래드층 및 제 2 도전형의 접촉층을 적어도 포함하는 반도체 층들을 형성하는 단계와;

(b) 하나 이상의 컬럼형 부분을 형성하도록 상기 접촉층 및 상기 제 2 클래드 층을 에칭하는 단계와;

(c) 상기 컬럼형 부분 또는 부분들 주위에 상기 제 2 클래드 층 및 상기 접촉층의 표면을 덮는 실리콘 화합물의 제 1 절연층을 적어도 포함하는 매립 절연층을 형성하는 단계와;

(d) 상기 접촉층의 일부와 대향하는 개구를 갖고 상기 접촉층과 상기 매립 절연층 사이를 가교시키는 상부 전극을 형성하는 단계와;

(e) 상기 상부 전극의 개구를 덮도록 적어도 상기 접촉층상에 유전체 다층막 미러를 형성하는 단계를 포함하는 표면 방출형 반도체 레이저 제조방법.

청구항 38

표면 방출형 반도체 레이저 제조방법에 있어서,

(a) 에피택셜 성장을 통해서 제 1 도전형 화합물 반도체로 형성된 기판상에 제 1 도전형의 분포 반사형 다층막 미러, 제 1 도전형의 제 1 클래드층, 양자 우물 활성층, 제 2 도전형의 제 2 클래드층 및 제 2 도전형의 접촉층을 적어도 포함하는 반도체 층들을 형성하는 단계와;

(b) 하나 이상의 컬럼형 부분들을 형성하도록 상기 접촉층 및 상기 제 2 클래드 층을 에칭하는 단계와;

(c') 상기 컬럼형 부분 또는 부분들 주위에 매립 절연층을 형성하는 단계와;

(d) 상기 접촉층의 일부와 대향하는 개구를 가지며 접촉층과 매립 절연층 사이를 가교시키는 상부 전극을 형성하는 단계와;

(e) 상기 상부 전극의 개구를 덮도록 적어도 상기 접촉층상에 유전체 다층막 미러를 형성하는 단계를 포함하고,

상기 반도체 층들은 상기 양자 우물 활성층의 이득 스펙트럼의 피크 파장 λ_G 이 원하는 레이저 출력 파장 λ_{EM} 보다 미리 결정된 미분 파장(이득 오프셋) $\triangle\lambda_{BS}$ 만큼 더 적도록 제어되는 표면 방출형 반도체 레이저 제조방법.

청구항 39

제 38 항에 있어서,

상기 이득 오프셋 $\triangle\lambda_{BS}$ 은 5nm 내지 20nm가 되도록 설정되는 표면 방출형 반도체 레이저 제조방법.

청구항 40

제 38 항 또는 제 39 항에 있어서,

상기 단계(C')는 적어도 상기 제 2 클래드 층 및 상기 접촉층의 표면을 덮는 실리콘 화합물의 제 1 절연층을 형성하는 단계를 포함하는 표면 방출형 반도체 레이저 제조방법.

청구항 41

제 37 항에 있어서,

상기 제 1 절연층이 형성된 후에, 상기 매립 절연층은 상기 제 2 클래드 층의 컬럼형 부분 또는 부분들 및 상기 접촉층을 둘러싸고 있는 영역을 평탄화하기 위해 상기 제 1 절연층 상에 제 2 절연층과 함께 형성되는 표면 방출형 반도체 레이저 제조방법.

청구항 42

제 37 항 내지 제 39 항 또는 제 41 항중 어느 한 항에 있어서,

상기 분포 반사형 다층막 미러는 낮은 굴절률을 갖는 반도체 층과 높은 굴절률을 갖는 반도체 층을 교대로 침착시킴으로써 형성되고, 상기 반도체 층들의 침착은 소정의 파장을 갖는 광을 기판상에 조사하고 그것의 반사 스펙트럼을 감지하며 기판상에 형성되는 반도체 층의 반사율 프로파일을 측정함으로써 상기 층들의 형성동안 결정되어지는 반사율 프로파일의 최대점 및 최소점에서 한 반도체층 침착으로부터 다른 반도체층 침착으로 스위치되는 표면 방출형 반도체 레이저 제조방법.

청구항 43

제 37 항 내지 제 39 항 또는 제 41 항중 어느 한 항에 있어서,

상기 단계(b)는 소정 범위내의 파장을 갖는 광을 상기 반도체 층들을 갖는 기판상에 조사하고, 그것의 반사 스펙트럼을 감지하며, 상기 에칭 단계 동안 광 공진기의 정상파로 인해 반사 스펙트럼에서 나타나는 침하(dip)를 측정하는 단계를 포함하고, 이에 의해 에칭의 깊이가 제어될 수 있는 표면 방출형 반도체 레이저 제조방법.

청구항 44

제 43 항에 있어서,

상기 에칭의 깊이는 상기 컬럼형 부분 또는 부분들 이외의 영역에서의 상기 제 2 클래드 층의 막두께가 소정 범위내에 있도록 제어되는 표면 방출형 반도체 레이저 제조방법.

청구항 45

제 44 항에 있어서,

상기 막두께는 0 ㎛ 내지 0.58 ㎛의 범위내에 있도록 설정되는 표면 방출형 반도체 레이저 제조방법.

청구항 46

제 37 항 내지 제 39 항 또는 제 41 항중 어느 한 항에 있어서,

상기 단계(a) 이후에, 상기 반도체 층들의 표면상에 SiO_x의 보호층이 형성되는 표면 방출형 반도체 레이저 제조방법.

청구항 47

제 46 항에 있어서,

상기 에칭 단계 동안에, 상기 보호층에서의 에칭 깊이는 소정 파장을 갖는 광을 상기 보호층이 형성되는 기판상에 조사하고 그것의 반사 스펙트럼을 감지하고 반사율 프로파일을 측정함으로써 제어되는 표면 방출형 반도체 레이저 제조방법.

청구항 48

제 37 항 내지 제 39 항 또는 제 41 항중 어느 한 항에 있어서,

상기 단계(a)에서 형성된 상기 반도체 층들에 의해 구성된 공진기의 길이는 상기 단계(d) 이전에 에칭함으로써 제어되고, 상기 에칭 단계 동안 에칭의 깊이는 소정 범위내의 파장을 갖는 광을 상기 반도체 층들이 형성되는 기판상에 조사하고 그것의 반사 스펙트럼을 감지하고 광 공진기의 정상파로 인해 반사 스펙트럼상에 나타나는 침하를 측정함으로써 제어되는 표면 방출형 반도체 레이저 제조방법.

청구항 49

제 37 항 내지 제 39 항 또는 제 41 항중 어느 한 항에 있어서,

상기 단계(a)는 금속 유기 기상 침착 방법을 통해 상기 반도체 층들을 형성하는 단계를 포함하는 표면 방출형 반도체 레이저 제조 방법.

청구항 50

제 37 항 내지 제 39 항 또는 제 41 항중 어느 한 항에 있어서,

상기 기판의 온도는 상기 단계(b) 동안 0℃ 내지 40℃ 의 범위내의 레벨로 유지되는 표면 방출형

반도체 레이저 제조방법.

요약

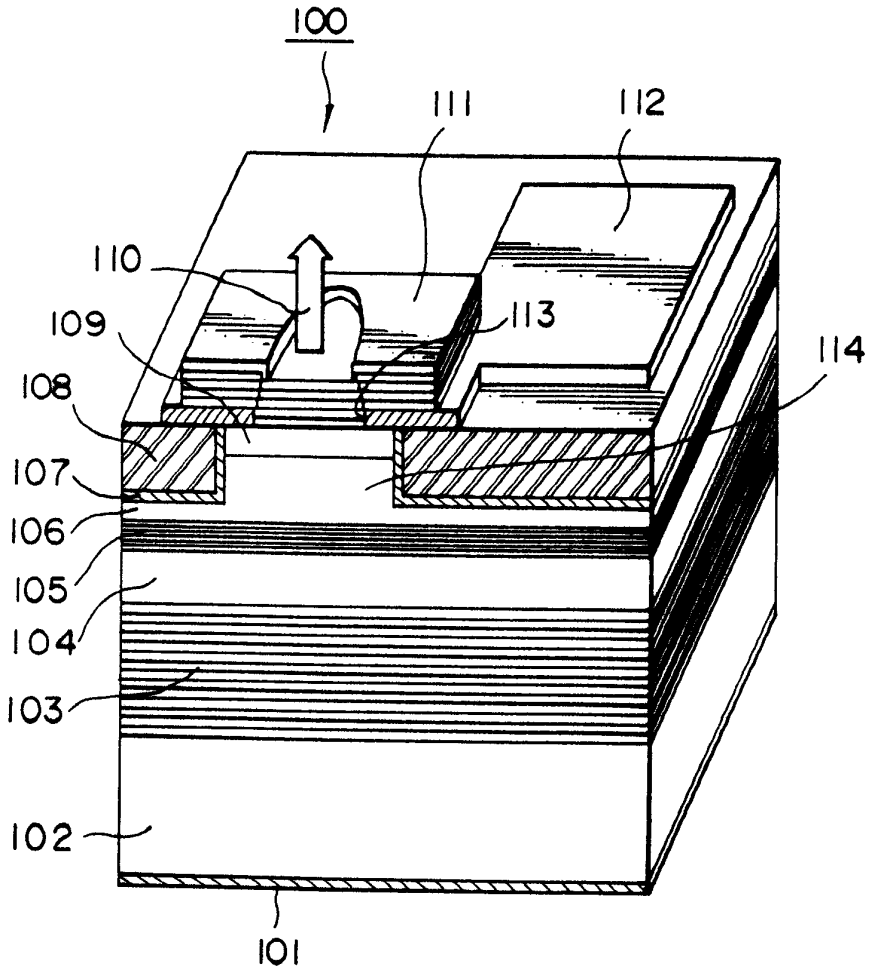
표면 방출형 반도체 레이저는 한 쌍의 반사 미러들, 즉 분포 반사형 다층막 미러(104) 및 유전체 다층막 미러(111)에 의해 형성된 광 공진기에서 도파 경로를 부분적으로 분리하는 분리 그루브들을 매립하는 절연층(107, 108) 및, 양자 우물 활성층(105)을 구비한다. 표면 방출형 반도체 레이저는, 광 공진기와 동일한 반도체 층들을 갖는 에지 방출형 반도체 레이저의 레이저 출력 파장 λ_G 이 표면 방출형 반도체 레이저의 원하는 레이저 출력 파장 λ_{EM}보다 소정의 미분 파장(이득 오프셋)$\triangle\lambda_{EM}$ 만큼 더 작게 설정되도록 설계된다.

대표도

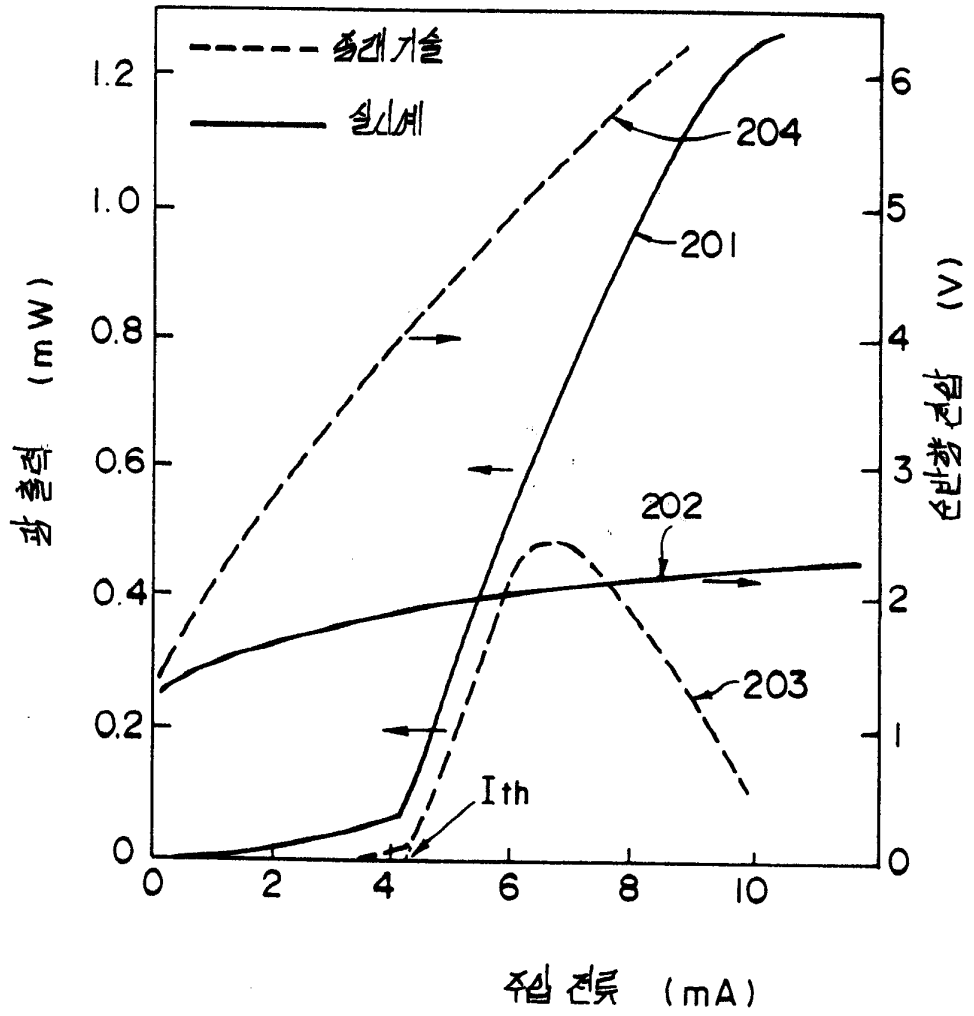
도1

도면

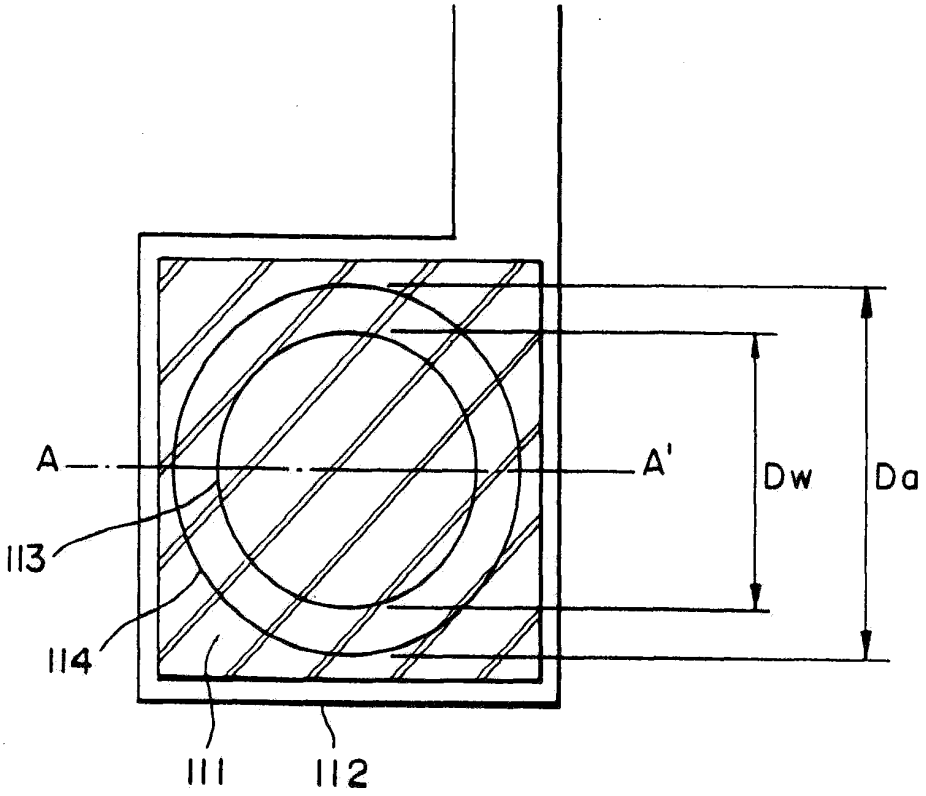
도면1



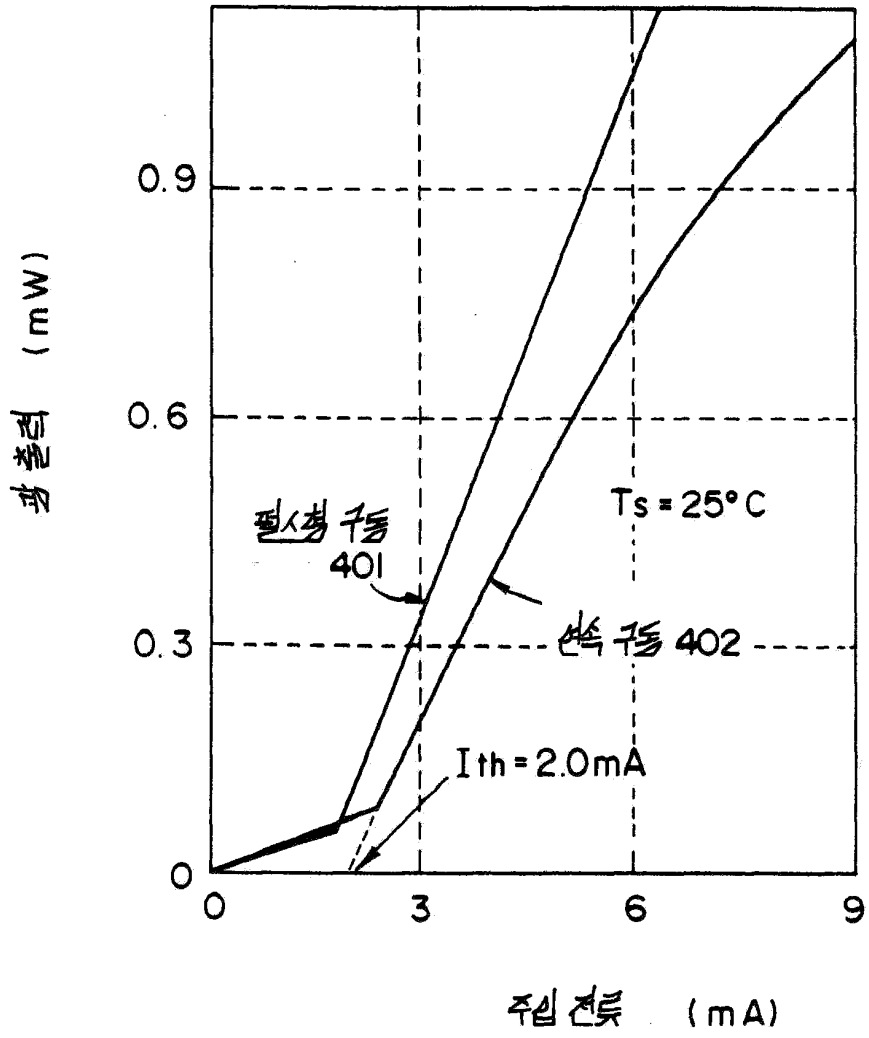
도면2


종래기술
실시예
204
201
202
203
Ith
광 출력 (mW)
순방향 전압 (V)
주입 전류 (mA)
0
0.2
0.4
0.6
0.8
1.0
1.2
0
1
2
3
4
5
6
0
2
4
6
8
10

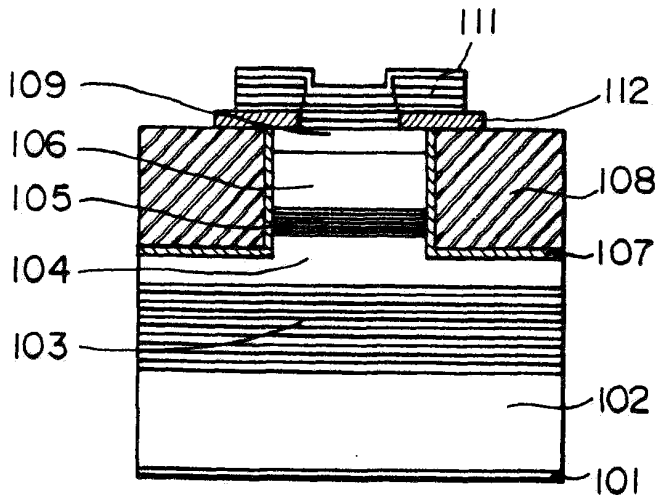
도면3



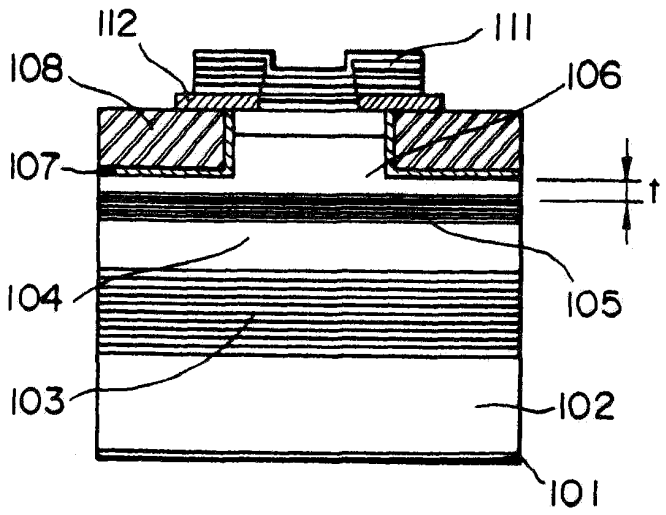
도면4


0.9
0.6
0.3
0
0
3
6
9
Ts = 25° C
펄스형 구동
401
연속 구동 402
Ith = 2.0mA
주입 전류 (mA)

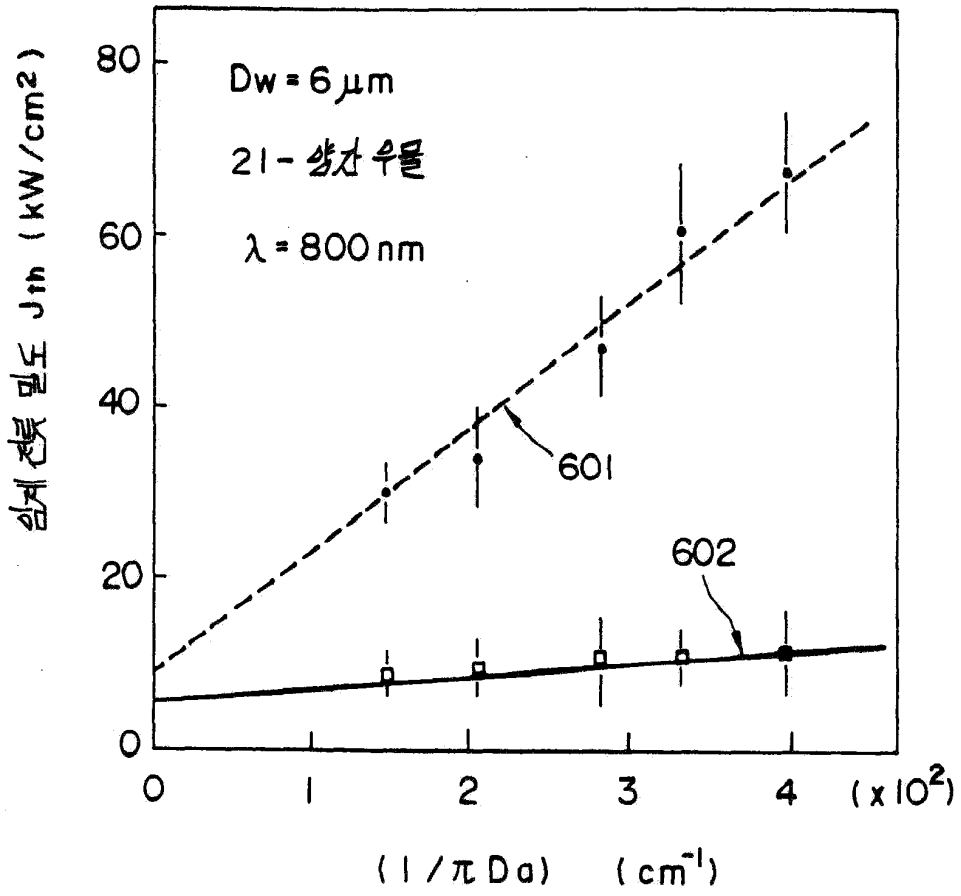
도면5a


111
109
112
106
108
105
107
104
103
102
101

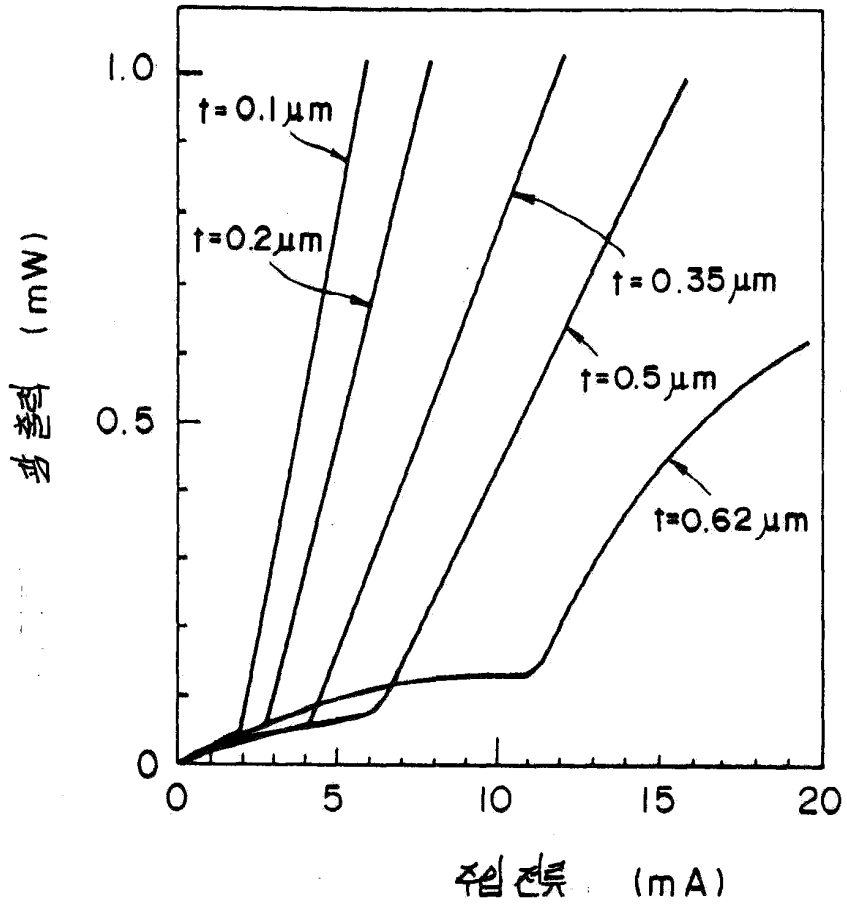
도면5b


112
111
108
106
107
t
104
105
103
102
101

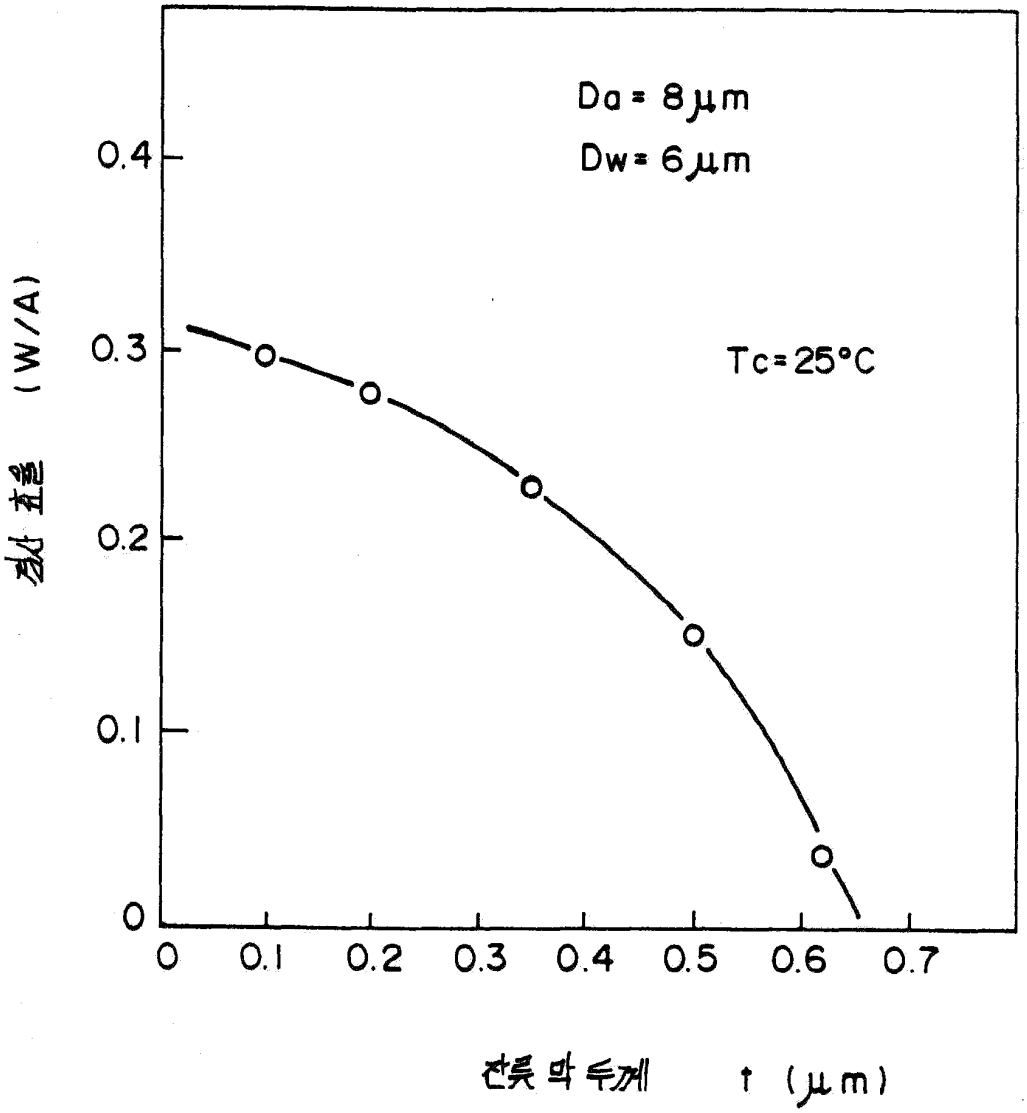
도면6


Dw = 6 μm
21 - 쌍 우물
λ = 800 nm
실제 전류 밀도 Jth (kW/cm²)
80
60
40
20
0
601
602
0
1
2
3
4
(x10²)
(1/π Da) (cm⁻¹)

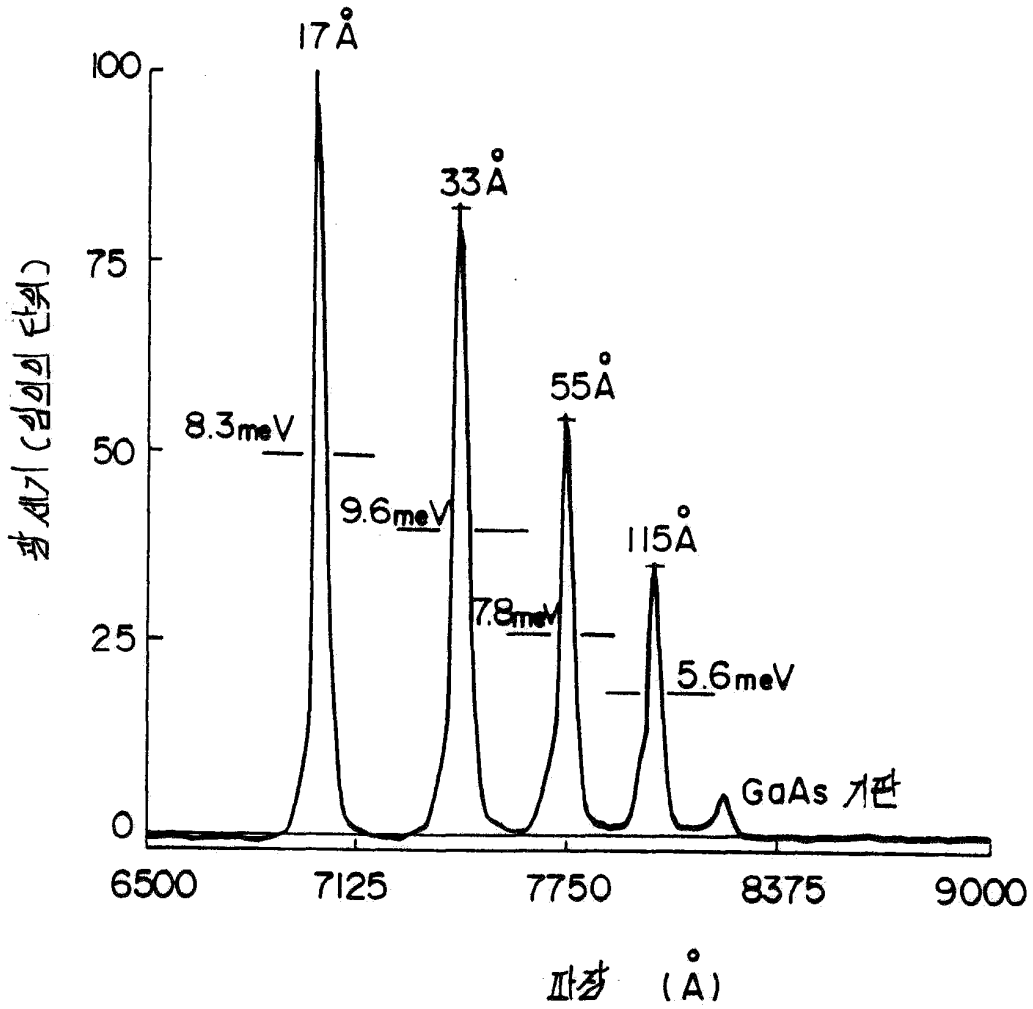
도면7


1.0
0.5
0
t=0.1μm
t=0.2μm
t=0.35μm
t=0.5μm
t=0.62μm
0
5
10
15
20
출력 (mW)
주입 전류 (mA)

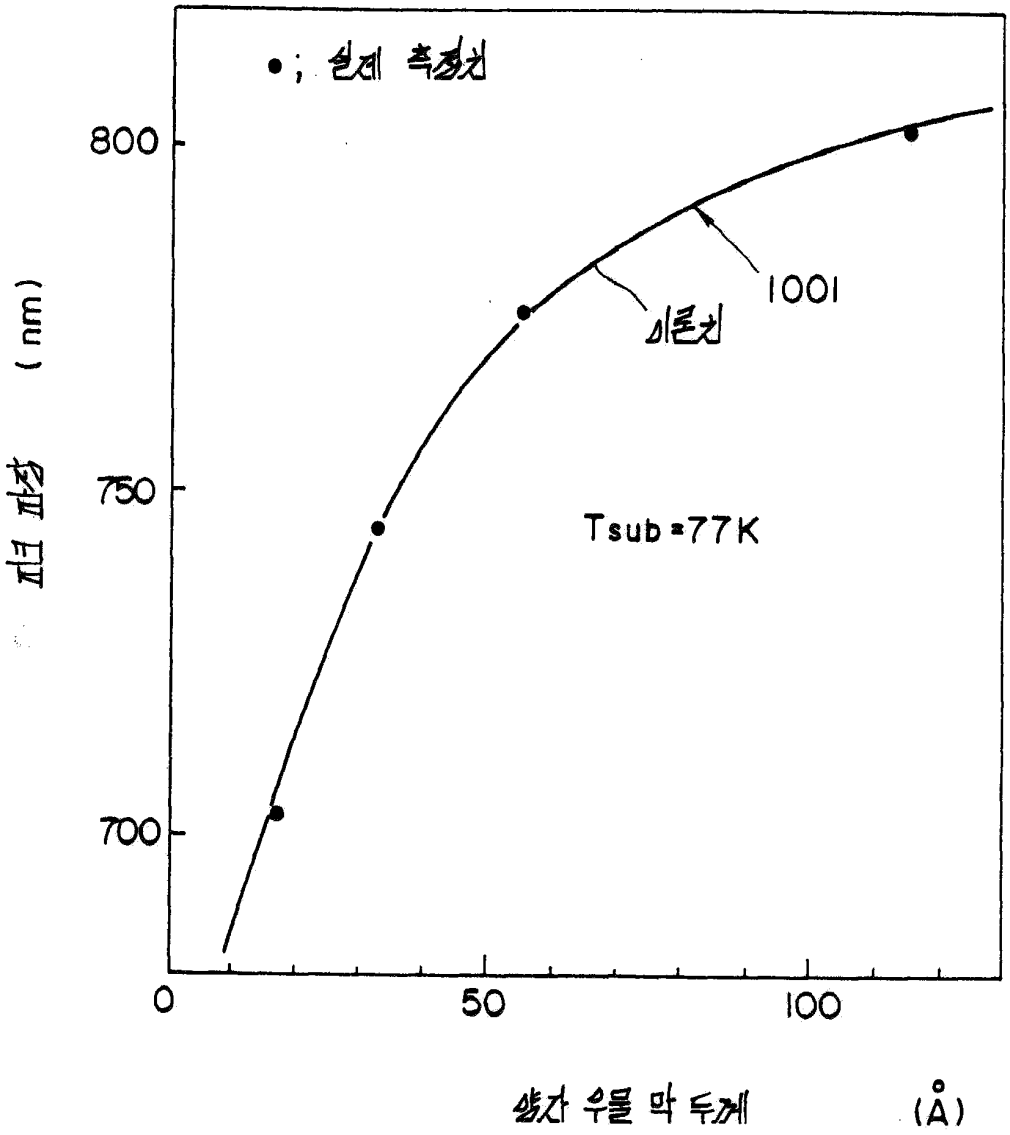
도면8


Da = 8μm
Dw = 6μm
Tc = 25°C
0.4
0.3
0.2
0.1
0
0
0.1
0.2
0.3
0.4
0.5
0.6
0.7
전류 밀도 (W/A)
전극 막 두께 t (μm)

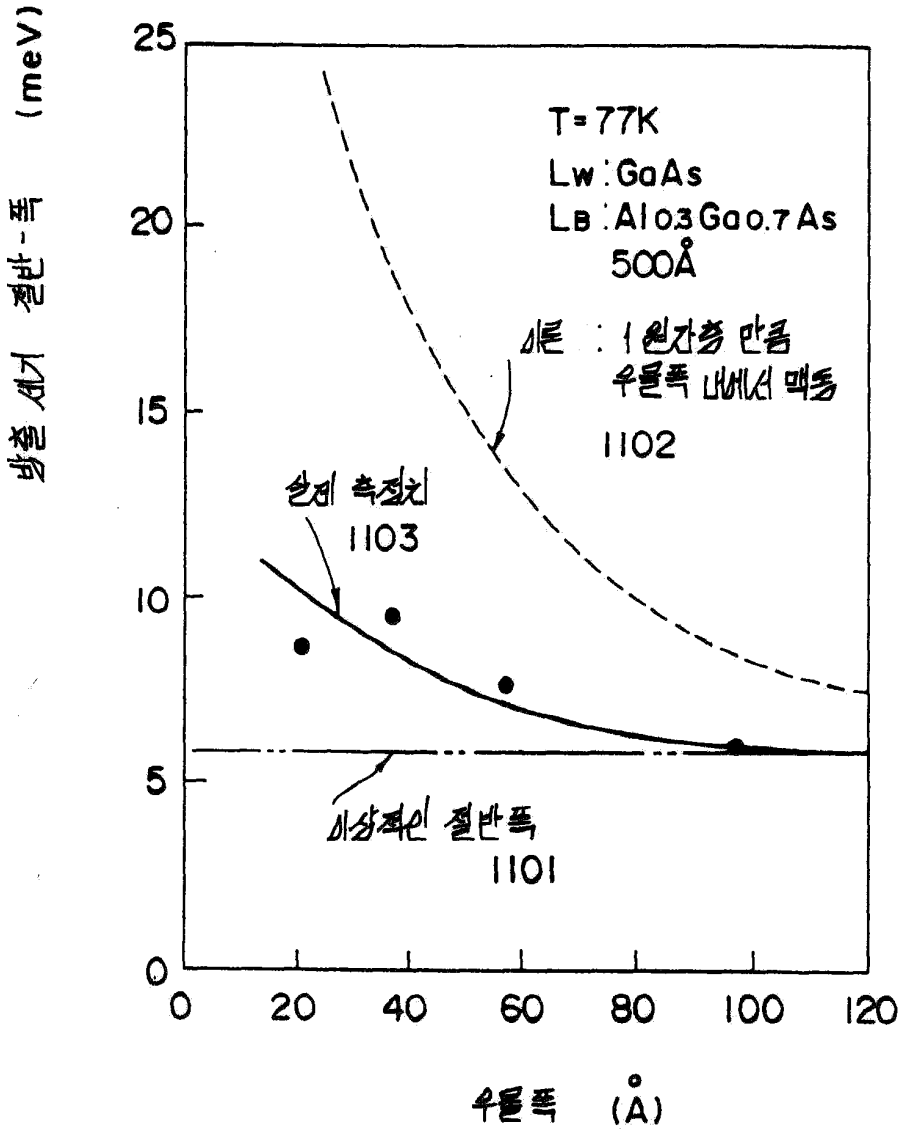
도면9


17Å
33Å
55Å
115Å
8.3meV
9.6meV
7.8meV
5.6meV
GaAs 기판
100
75
50
25
0
6500
7125
7750
8375
9000
파장 (Å)

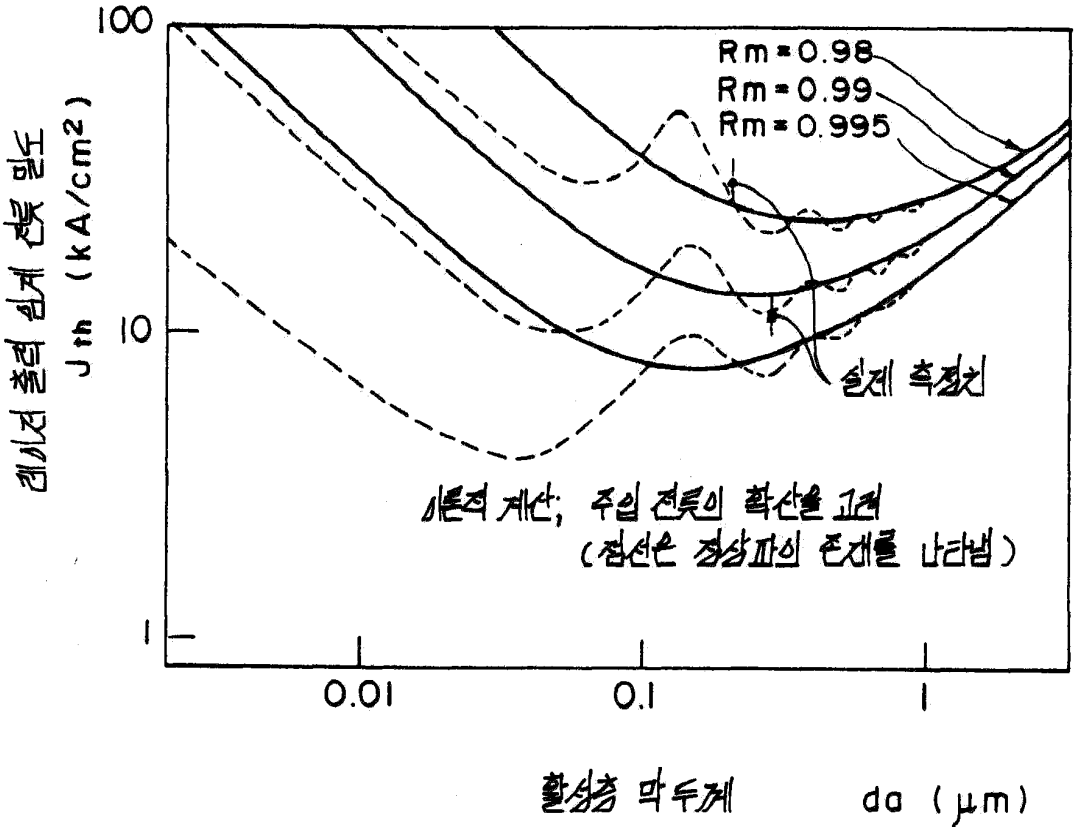
도면10



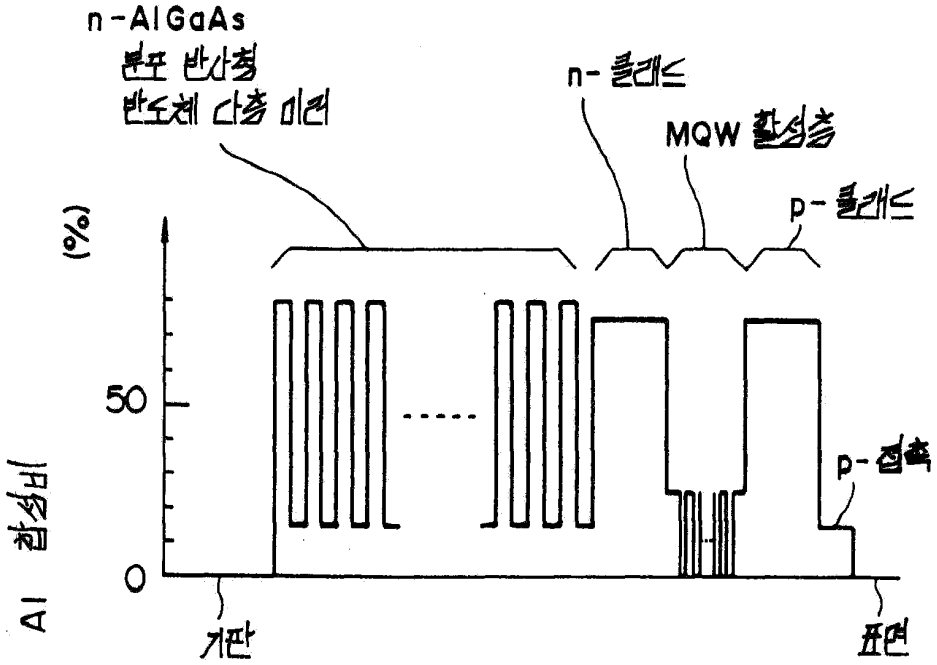
도면11


25
20
15
10
5
0
0
20
40
60
80
100
120
T=77K
Lw:GaAs
LB:Al0.3Ga0.7As
500Å
이론 : 1원자층 만큼
우물폭 내에서 맥동
1102
실제 측정치
1103
이상적인 결합폭
1101
우물폭 (Å)
방출 에너지 결합폭 (meV)

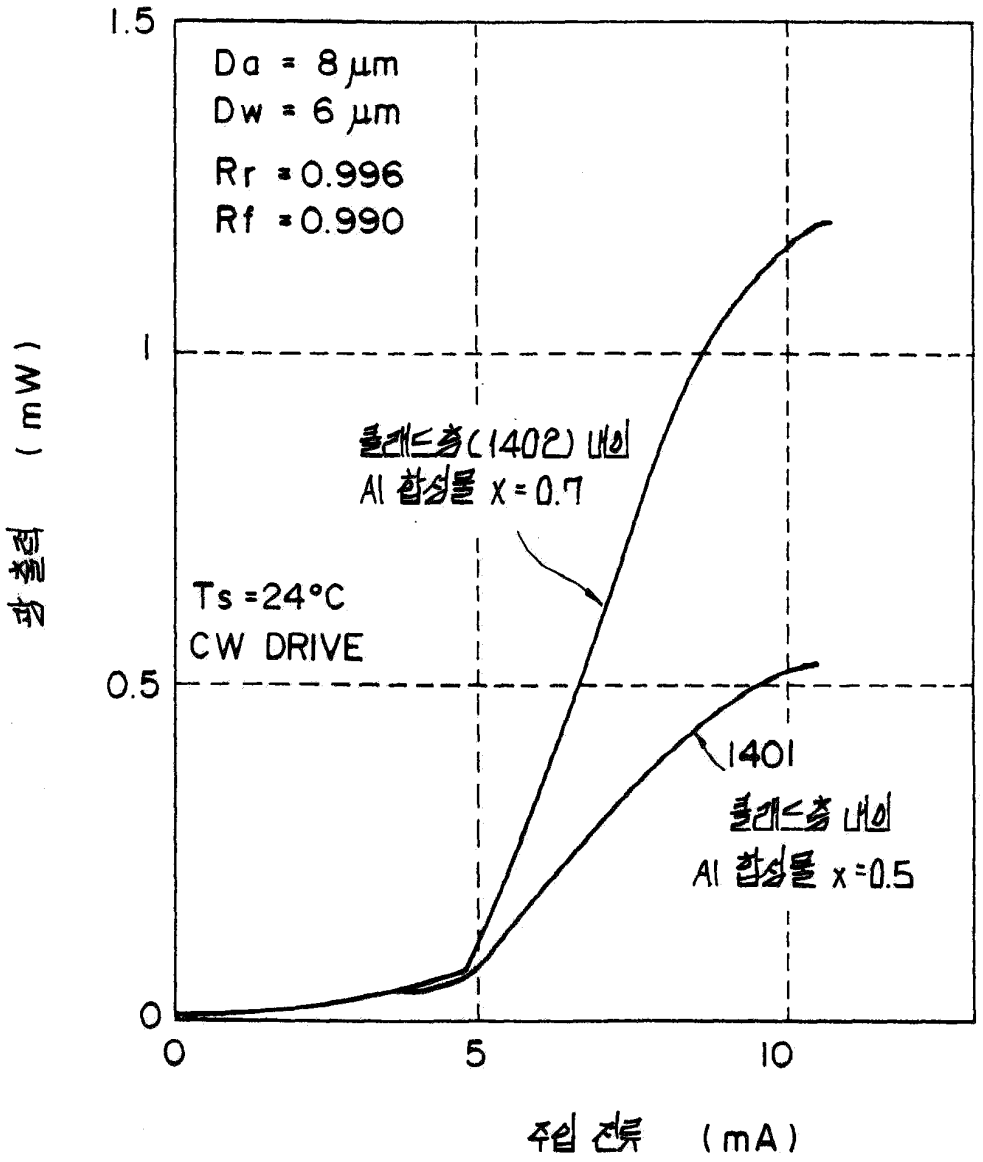
도면12


100
10
1
0.01
0.1
1
Rm=0.98
Rm=0.99
Rm=0.995
실제 측정치
이론적 계산; 주입 전류의 확산을 고려
(점선은 정상파의 존재를 나타냄)
레이저 출력 임계 전류 밀도
Jth (kA/cm²)
활성층 막두께 da (μm)

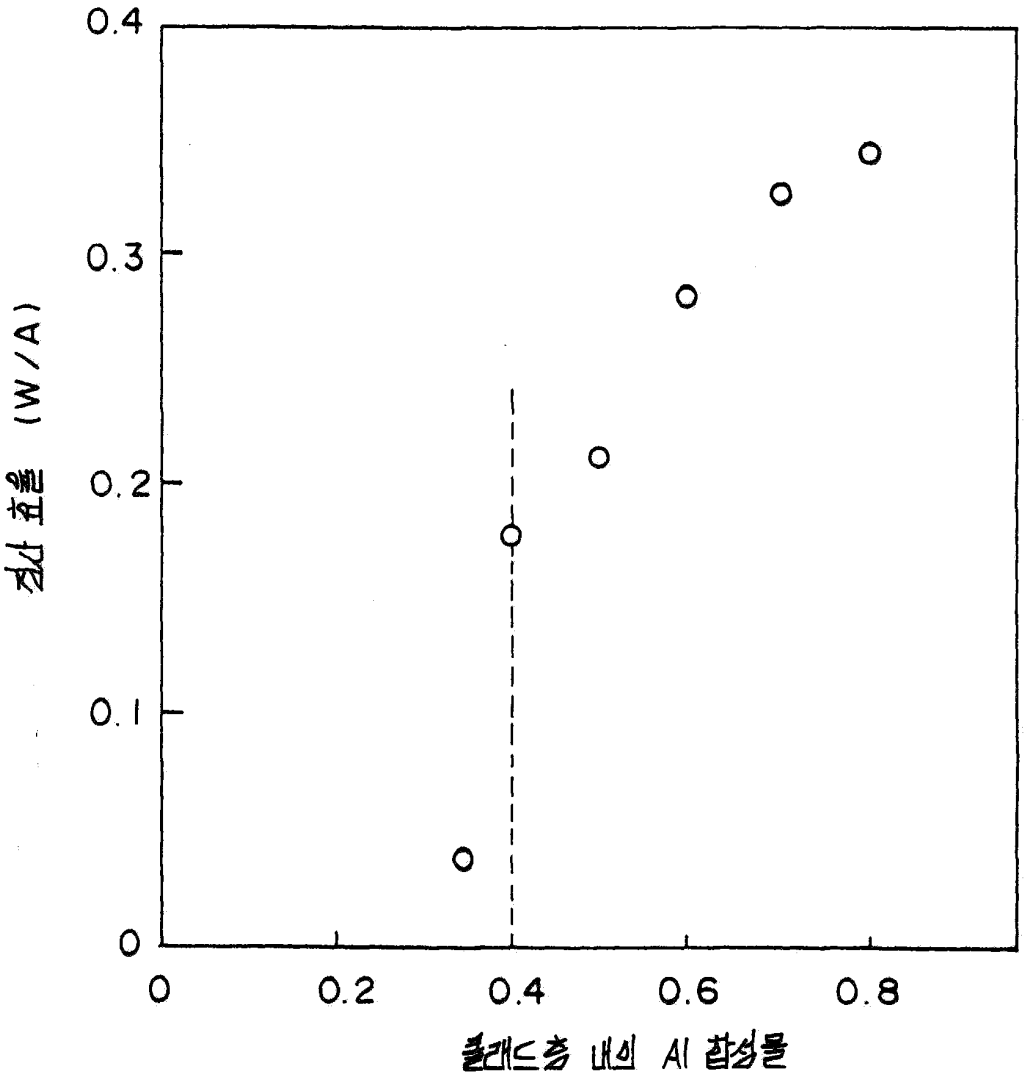
도면13


n-AlGaAs
분포 반사형
반도체 다층 미러
n-클래드
MQW 활성층
p-클래드
p-접촉
(%)
50
0
Al 함유비
기판
표면

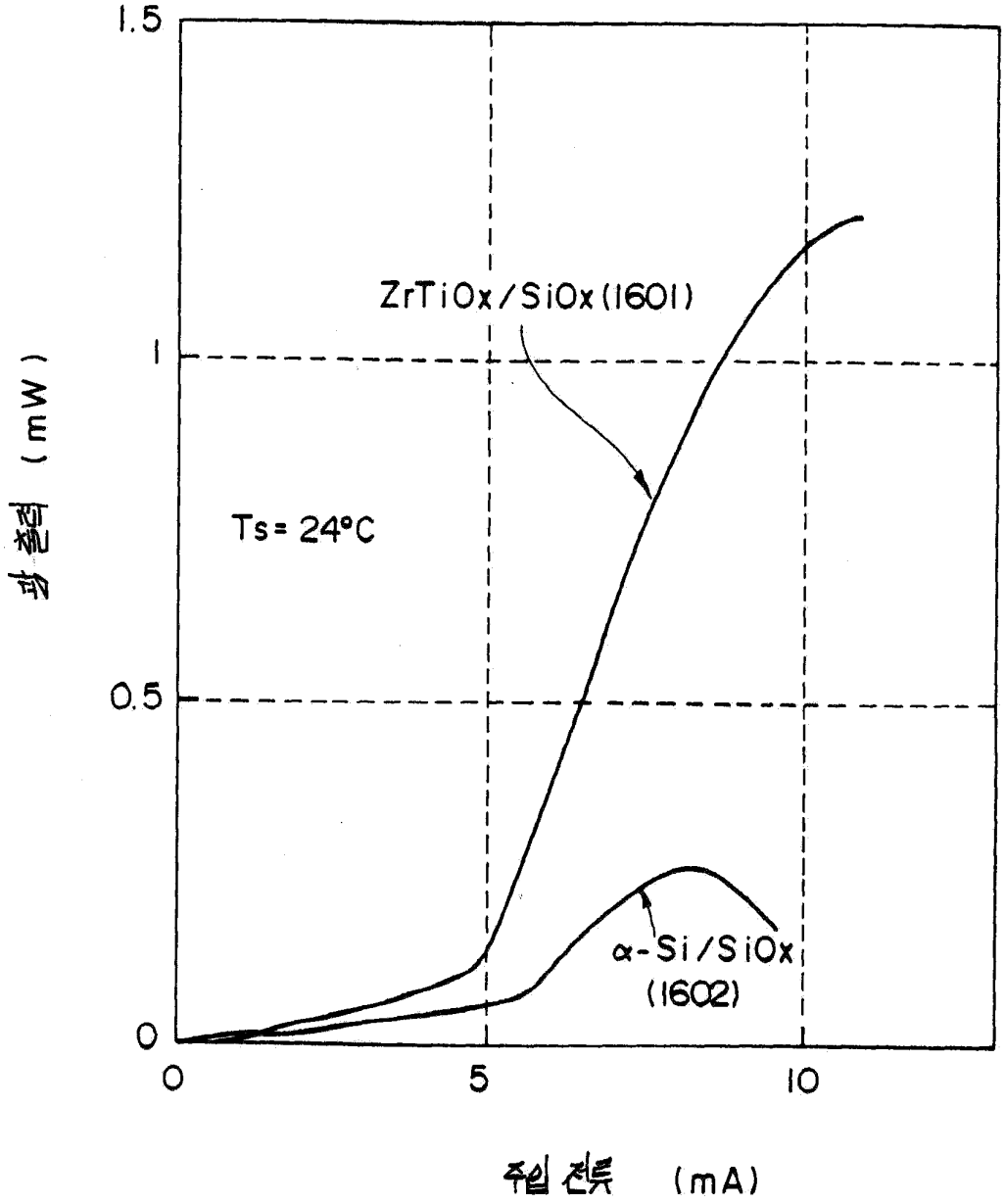
도면14


1.5
1
0.5
0
0
5
10
Da = 8 μm
Dw = 6 μm
Rr = 0.996
Rf = 0.990
클래드층(1402) 내의
Al 함성물 x = 0.7
Ts = 24°C
CW DRIVE
1401
클래드층 내의
Al 함성물 x = 0.5
출력 (mW)
주입 전류 (mA)

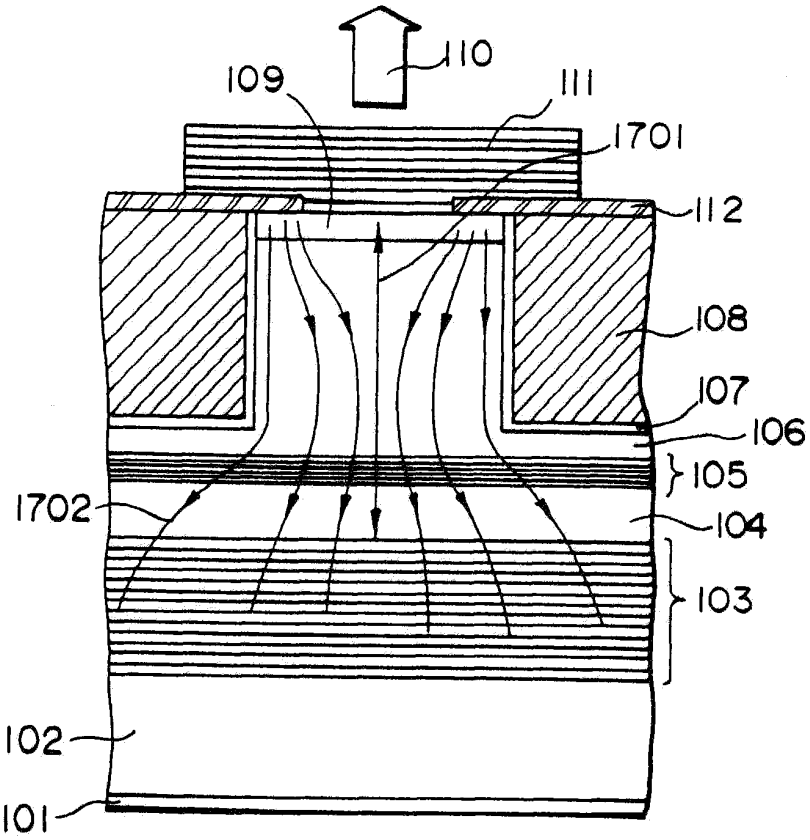
도면15



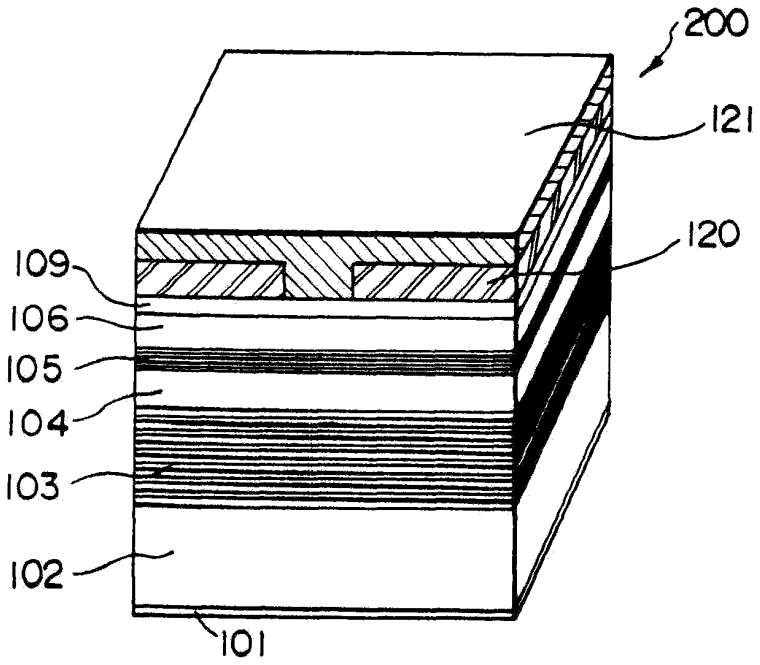
도면16


1.5
1
0.5
0
0
5
10
ZrTiOx/SiOx(1601)
Ts= 24°C
α-Si/SiOx
(1602)
광출력 (mW)
주입 전류 (mA)

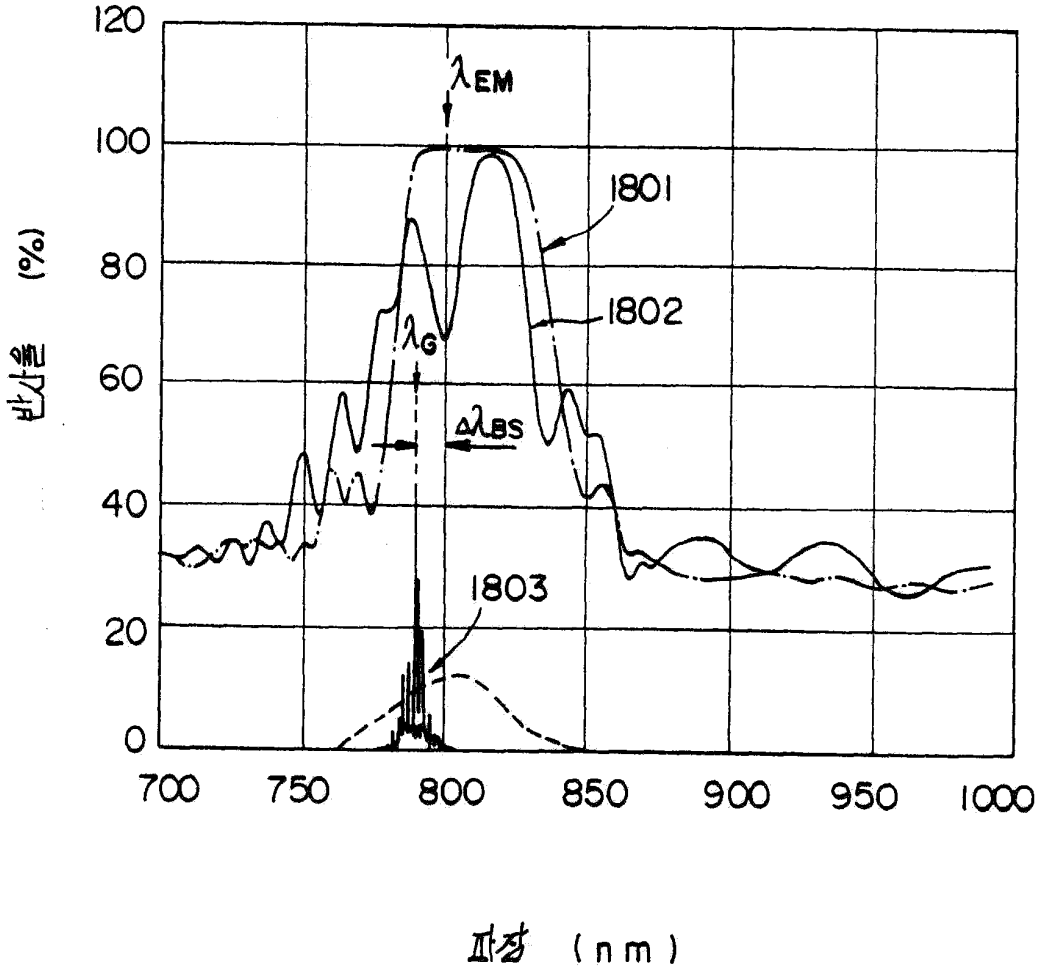
도면17a


110
109
111
1701
112
108
107
106
105
1702
104
103
102
101

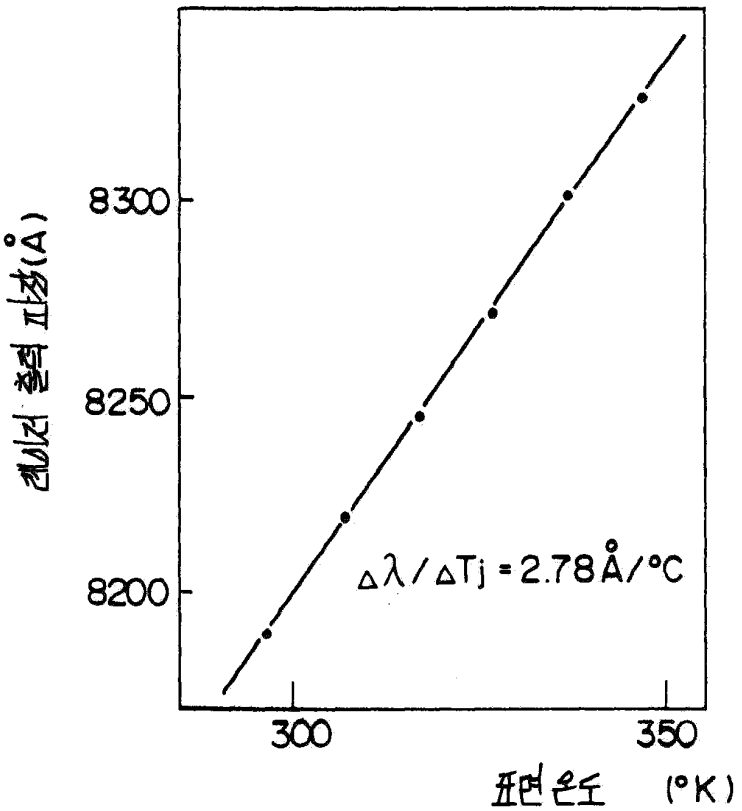
도면17b


200
121
120
109
106
105
104
103
102
101

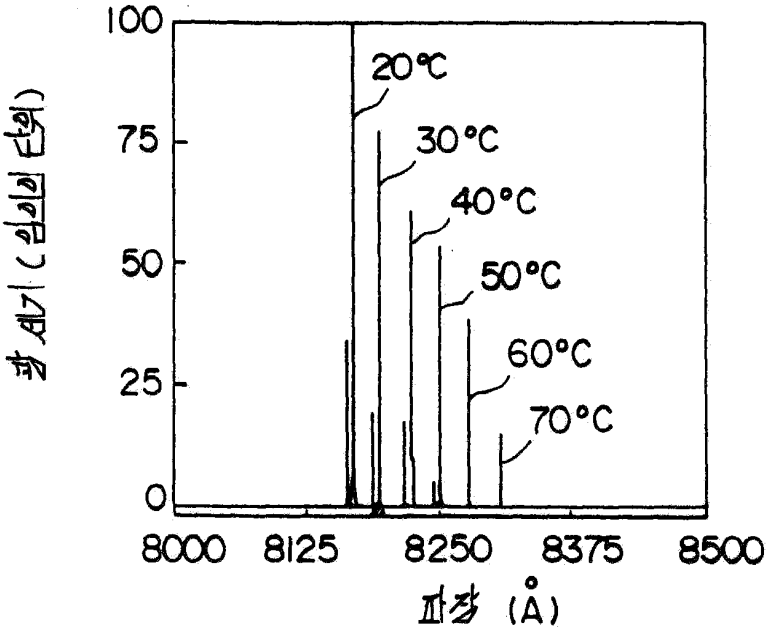
도면18


120
100
80
60
40
20
0
반사율 (%)
700
750
800
850
900
950
1000
파장 (nm)
λEM
λG
Δλ BS
1801
1802
1803

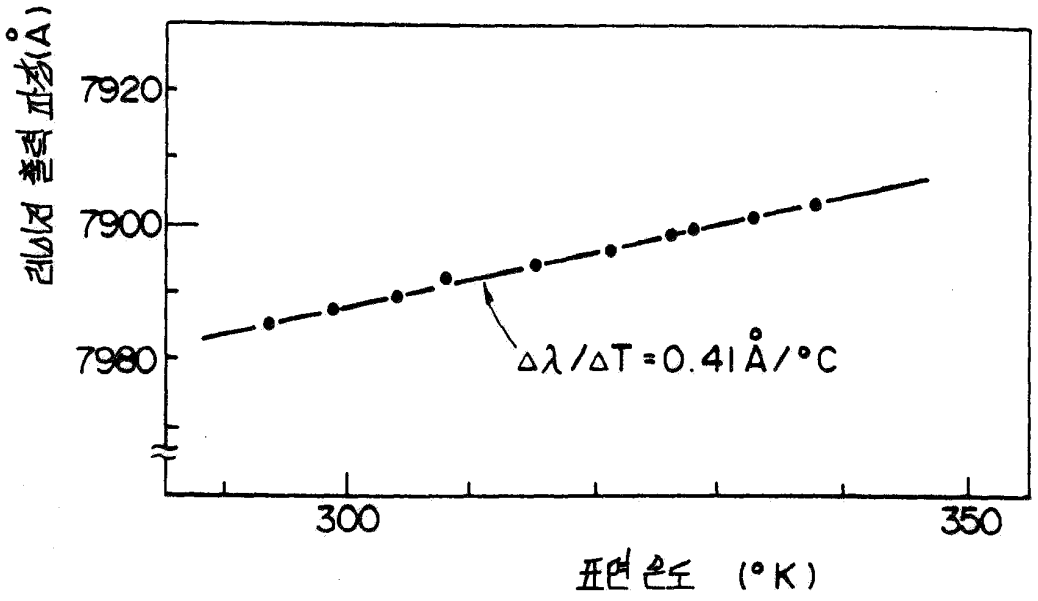
도면19a


레이저 출력 파장(Å)
8300
8250
8200
Δλ / ΔTj = 2.78Å/°C
300
350
표면온도 (°K)

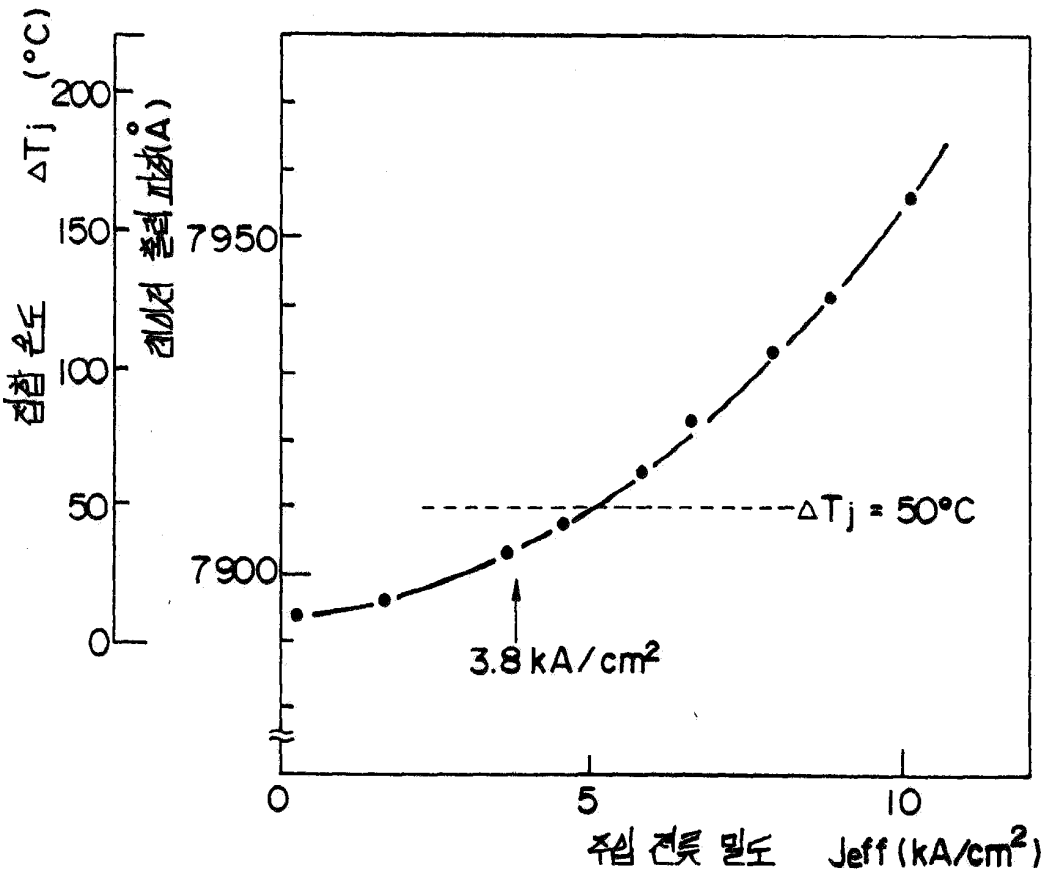
도면19b


광세기 (임의의 단위)
100
75
50
25
0
20°C
30°C
40°C
50°C
60°C
70°C
8000
8125
8250
8375
8500
파장 (Å)

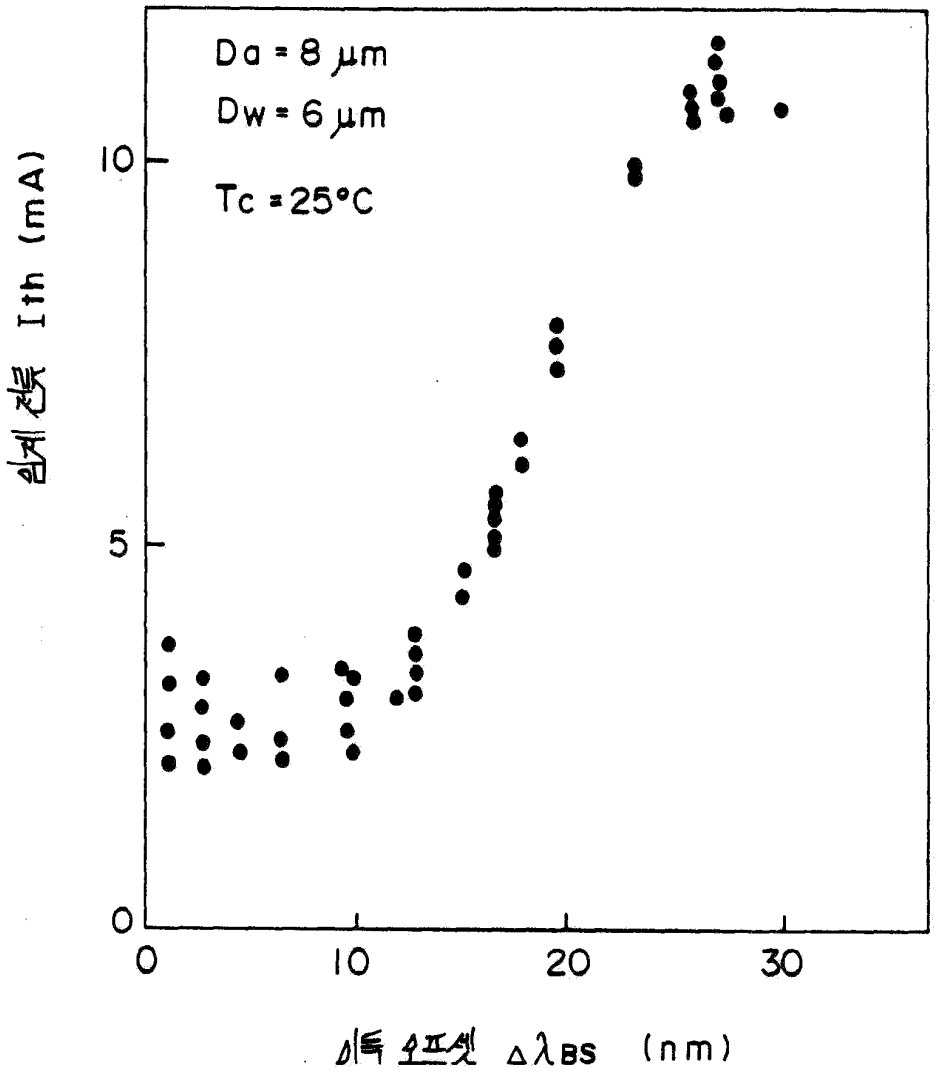
도면20a


레이저 출력 파장(Å)
7920
7900
7980
Δλ/ΔT=0.41Å/°C
300
350
표면 온도 (°K)

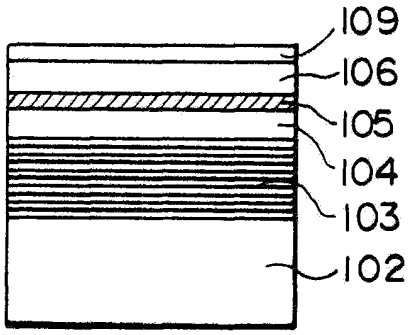
도면20b


ΔTj (°C)
200
150
100
50
0
접합 온도
레이저 출력 파장(Å)
7950
7900
ΔTj = 50°C
3.8 kA/cm²
0
5
10
주입 전류 밀도 Jeff (kA/cm²)

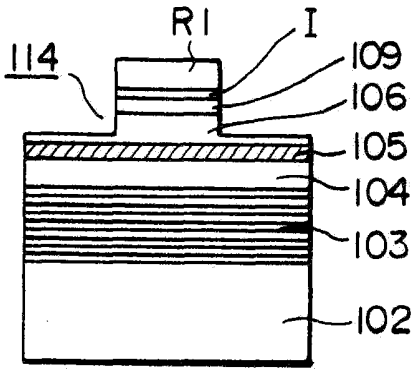
도면21


Da = 8 μm
Dw = 6 μm
Tc = 25°C
임계 전류 Ith (mA)
10
5
0
0
10
20
30
이득 오프셋 Δλ BS (nm)

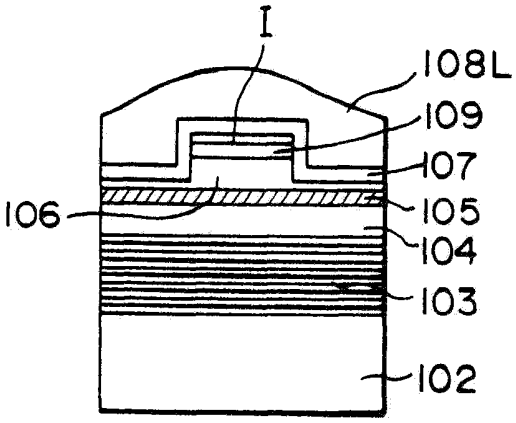
도면22a


109
106
105
104
103
102

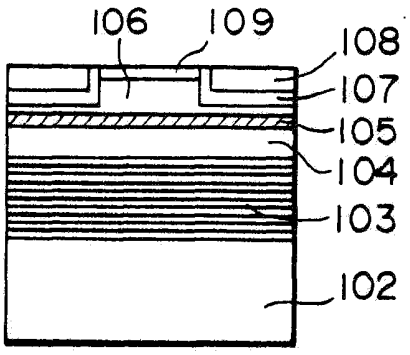
도면22b



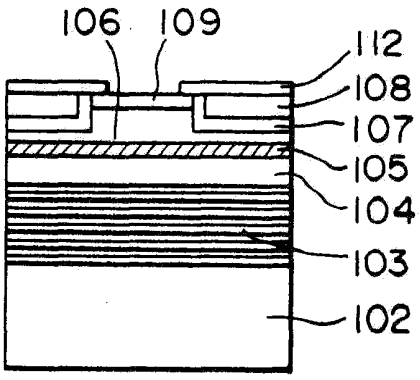
도면22c



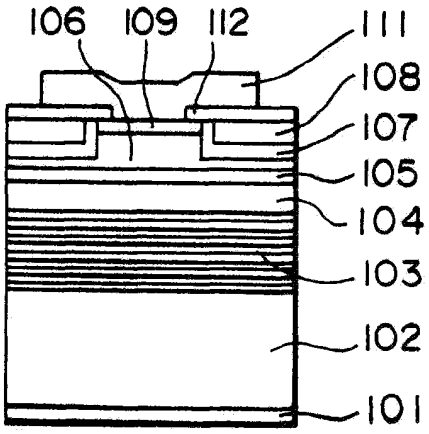
도면23d



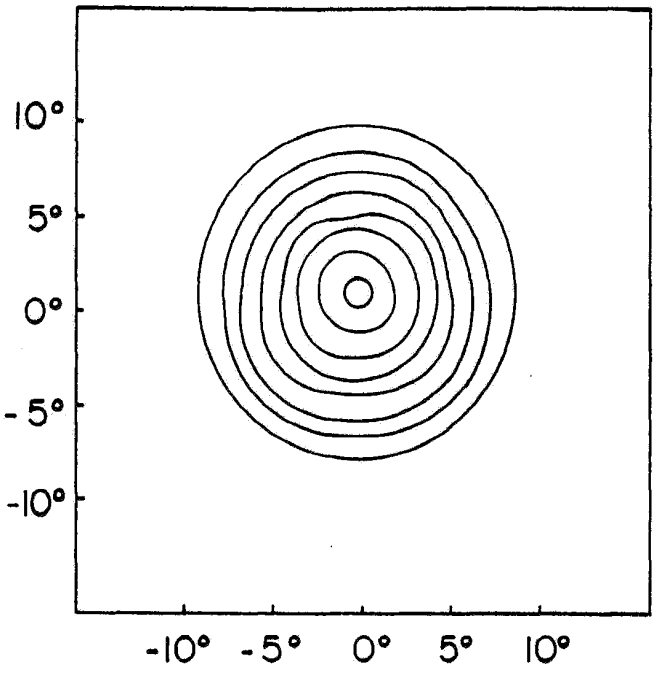
도면23e



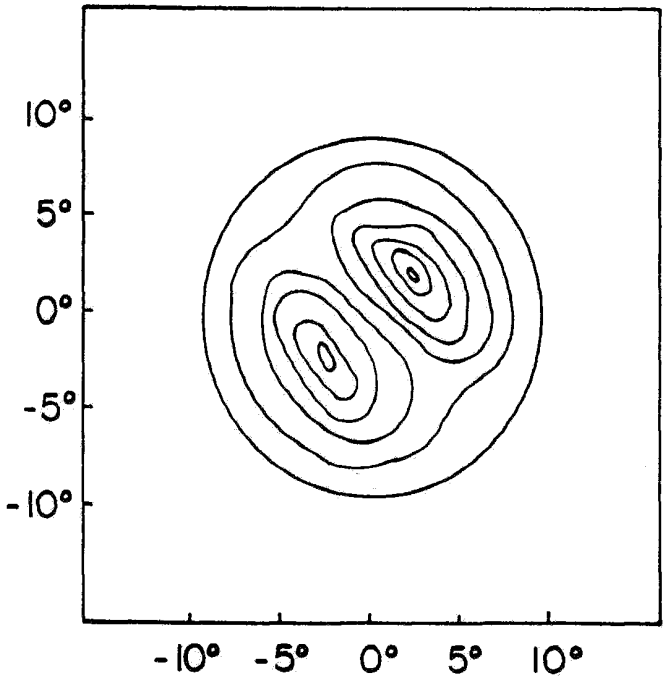
도면23f



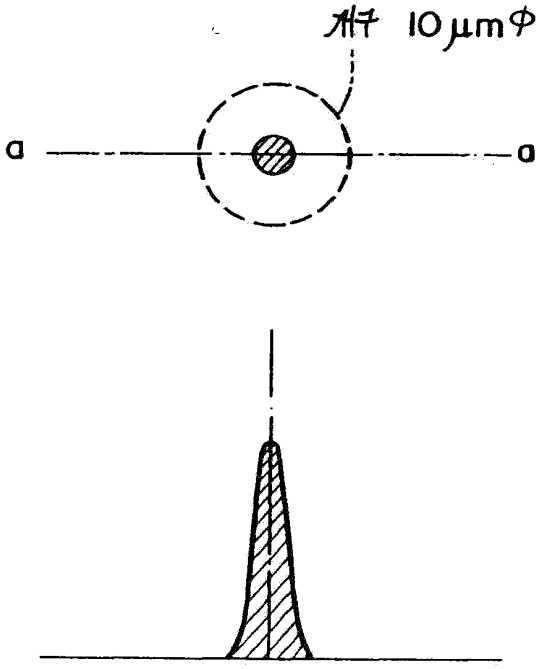
도면24a



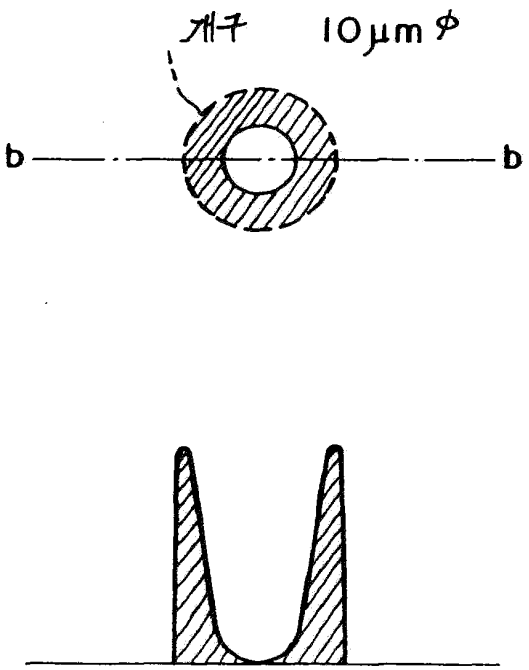
도면24b



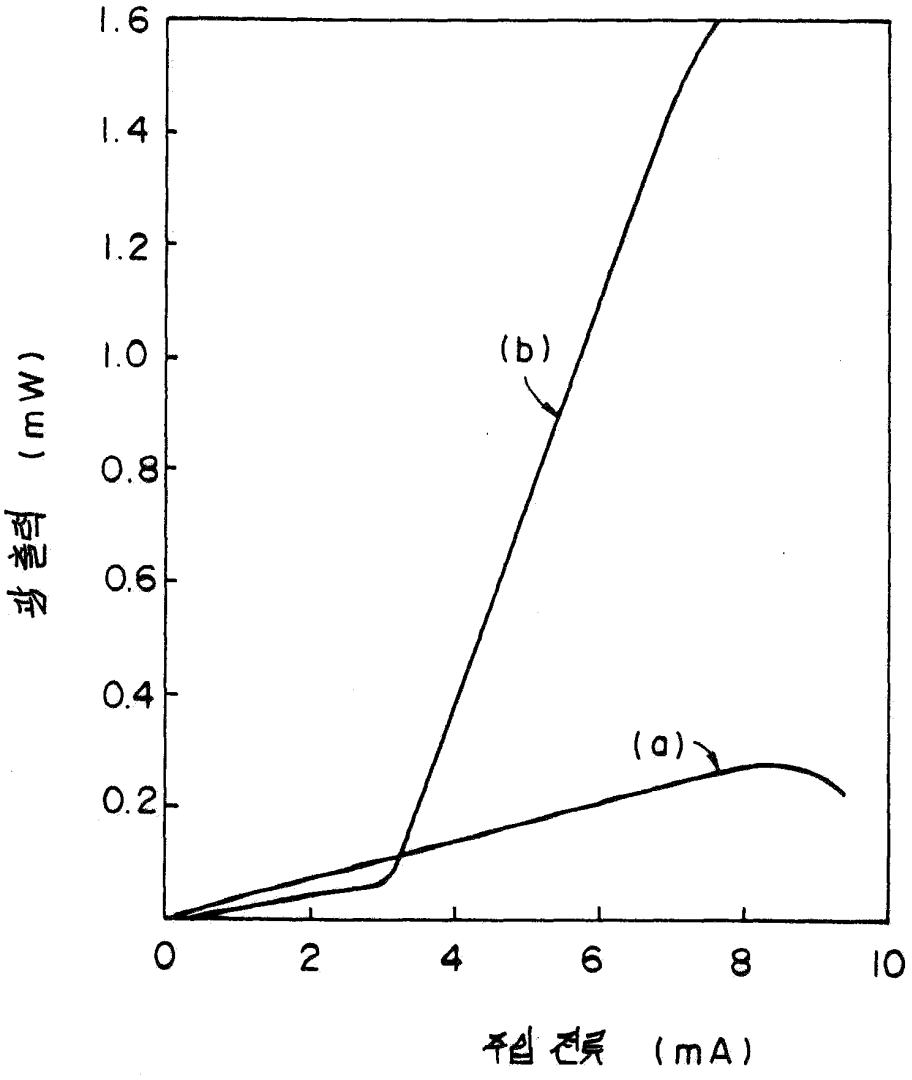
도면25a



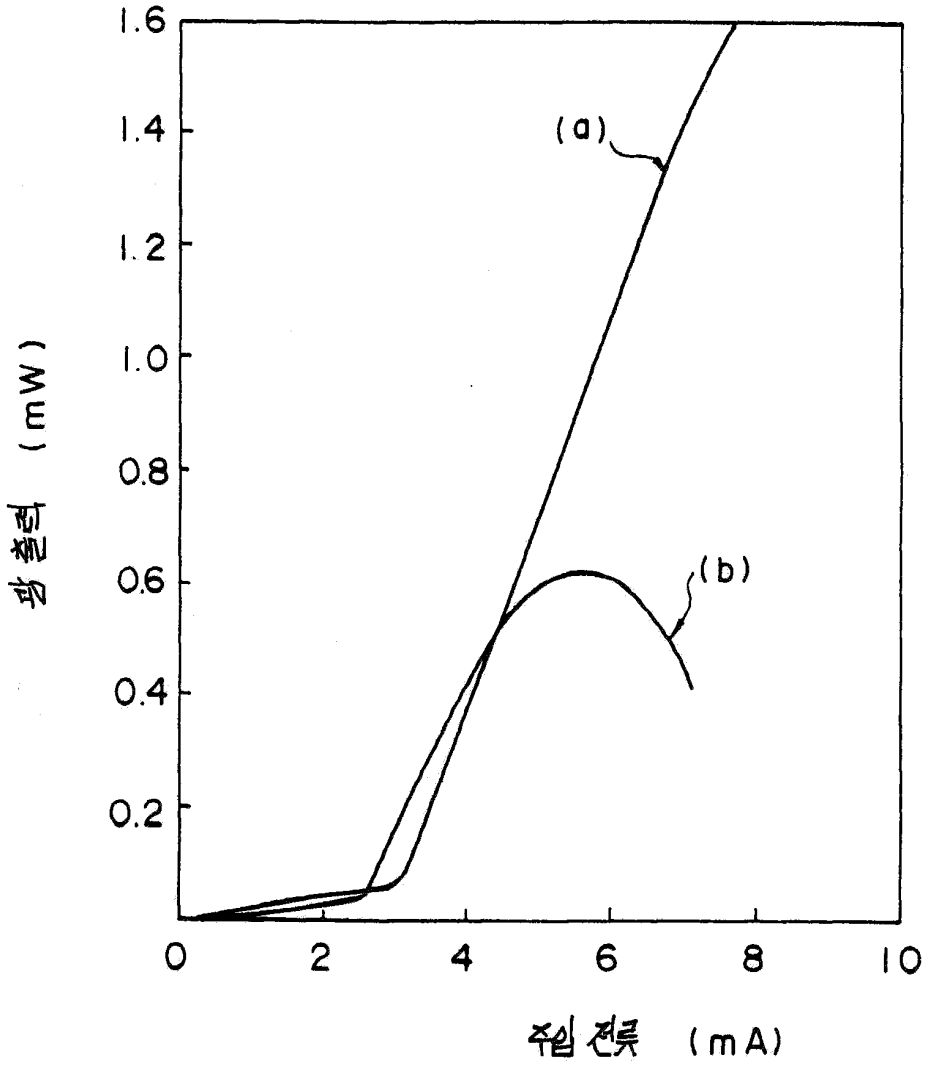
도면25b



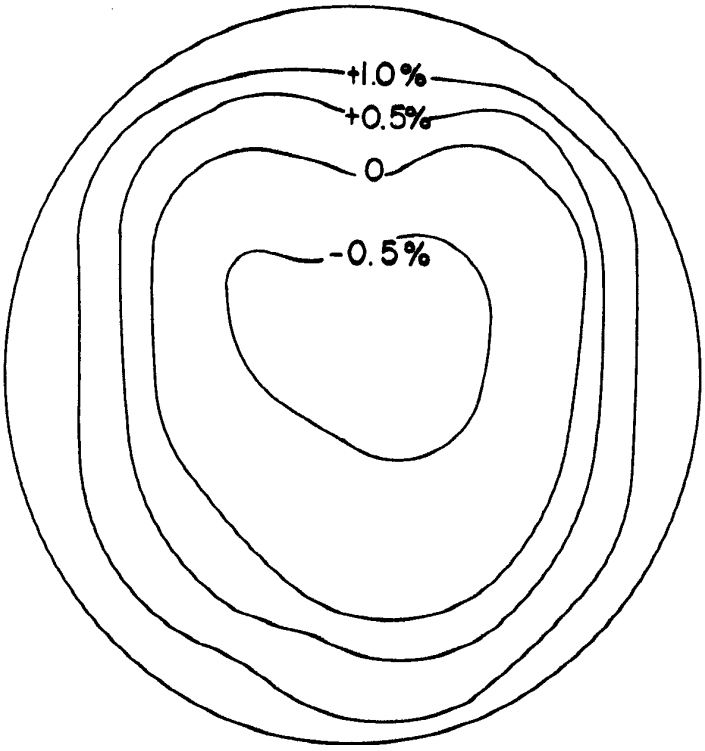
도면26



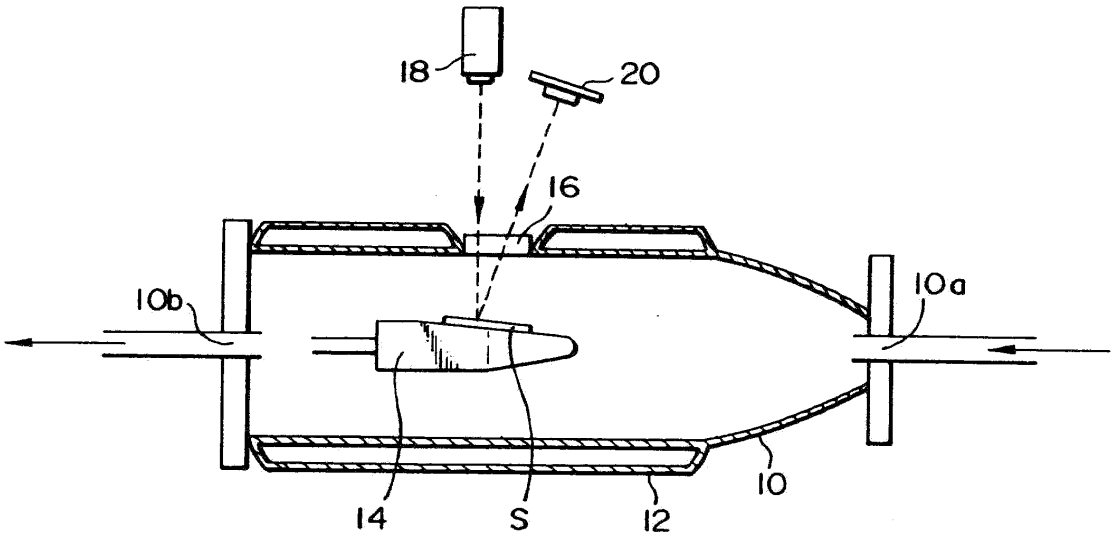
도면27



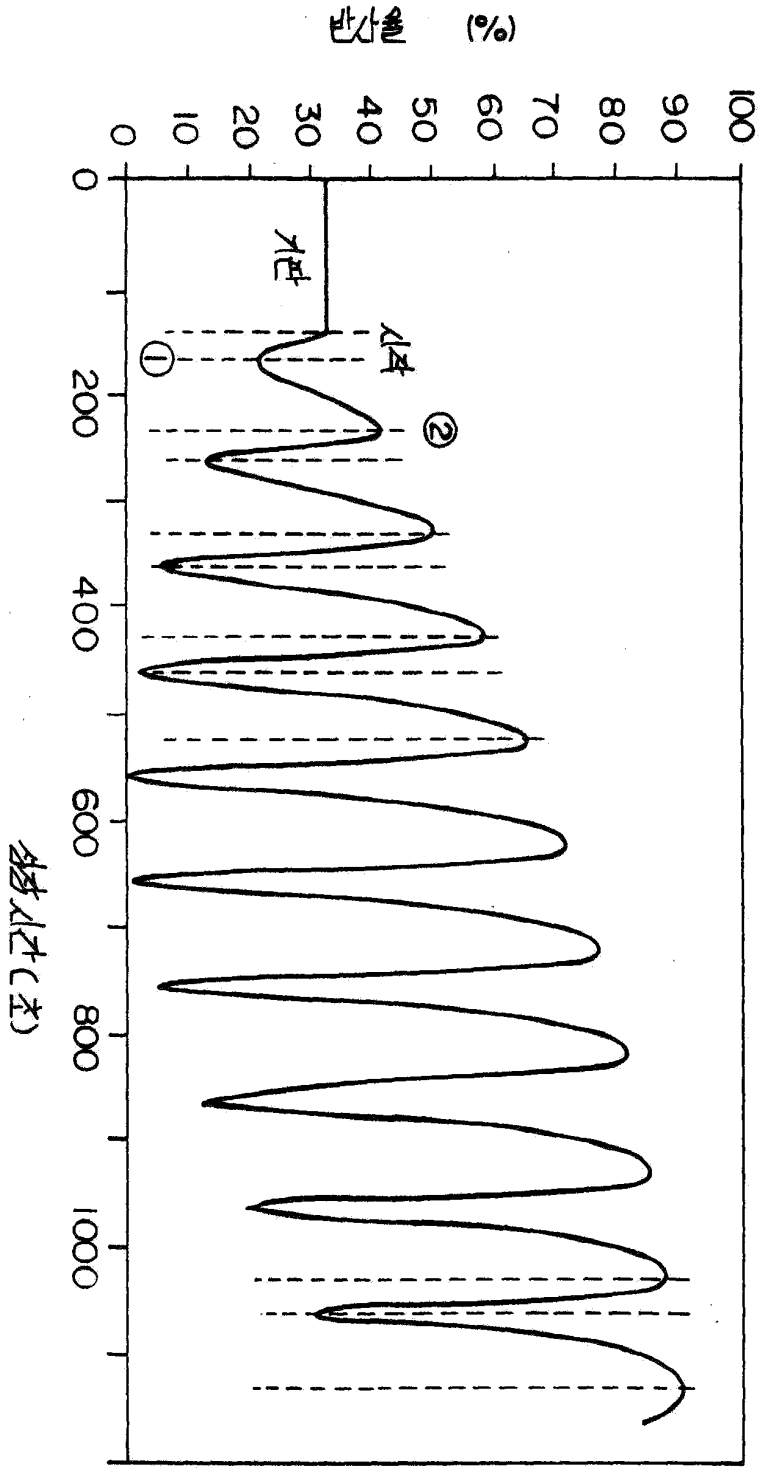
도면28



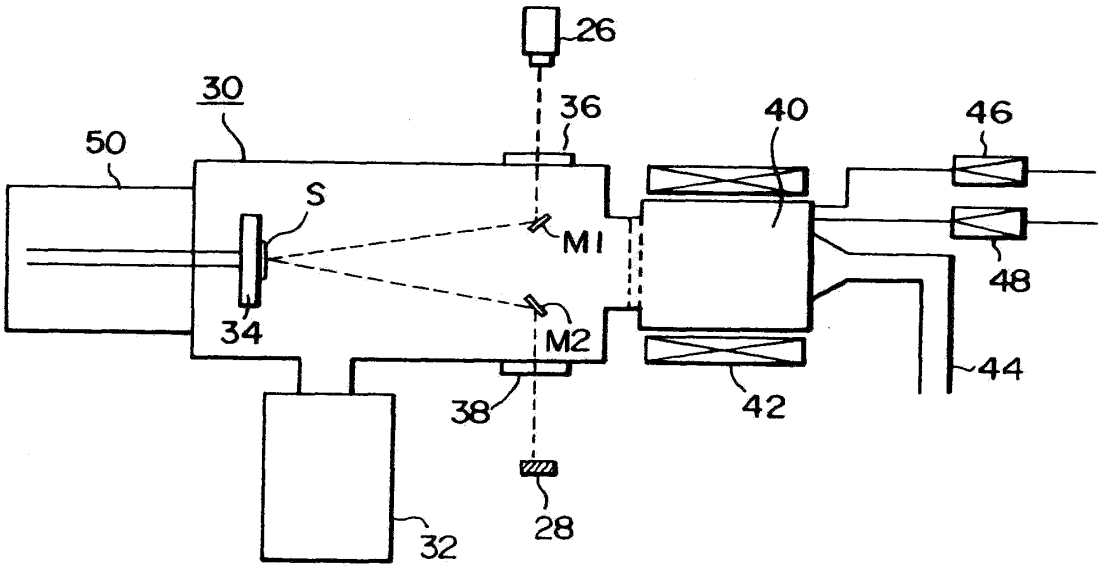
도면29



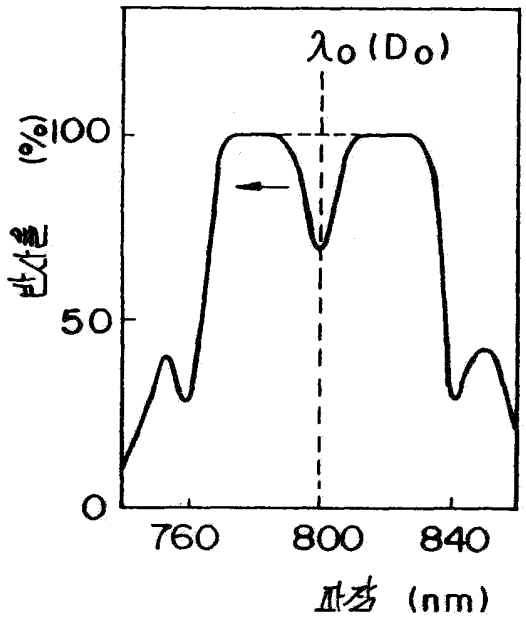
도면30



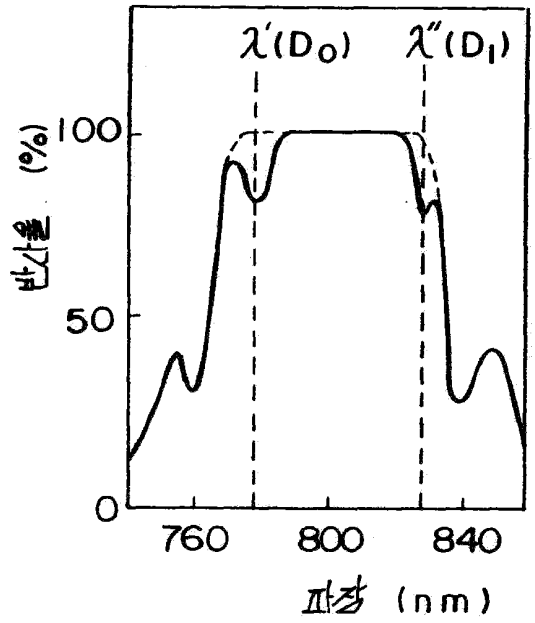
도면31


26
30
36
40
46
50
S
M1
48
34
M2
44
38
42
28
32

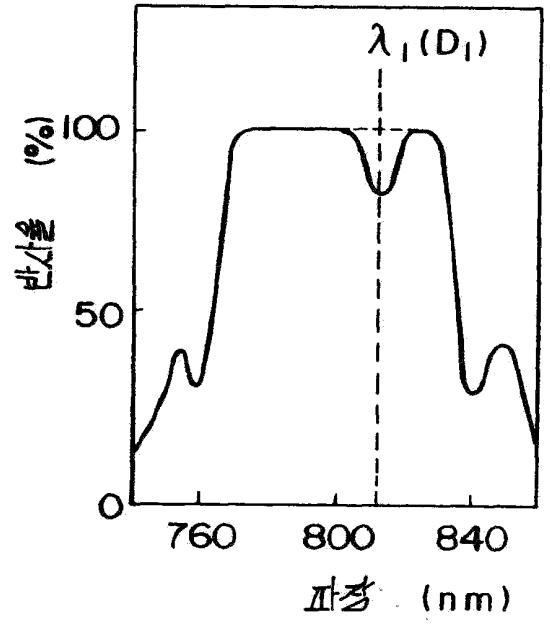
도면32a


λo (Do)
100
(%)
반사율
50
0
760
800
840
파장 (nm)

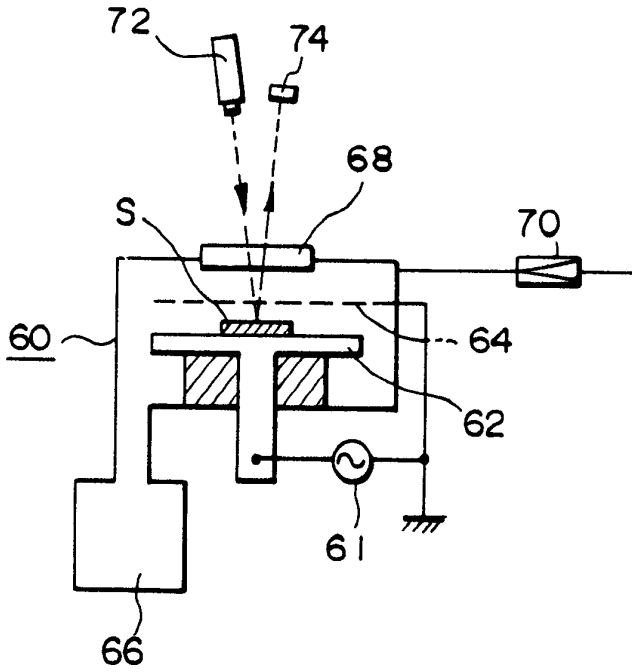
도면32b


λ'(D0)
λ"(D1)
100
50
0
반사율 (%)
760
800
840
파장 (nm)

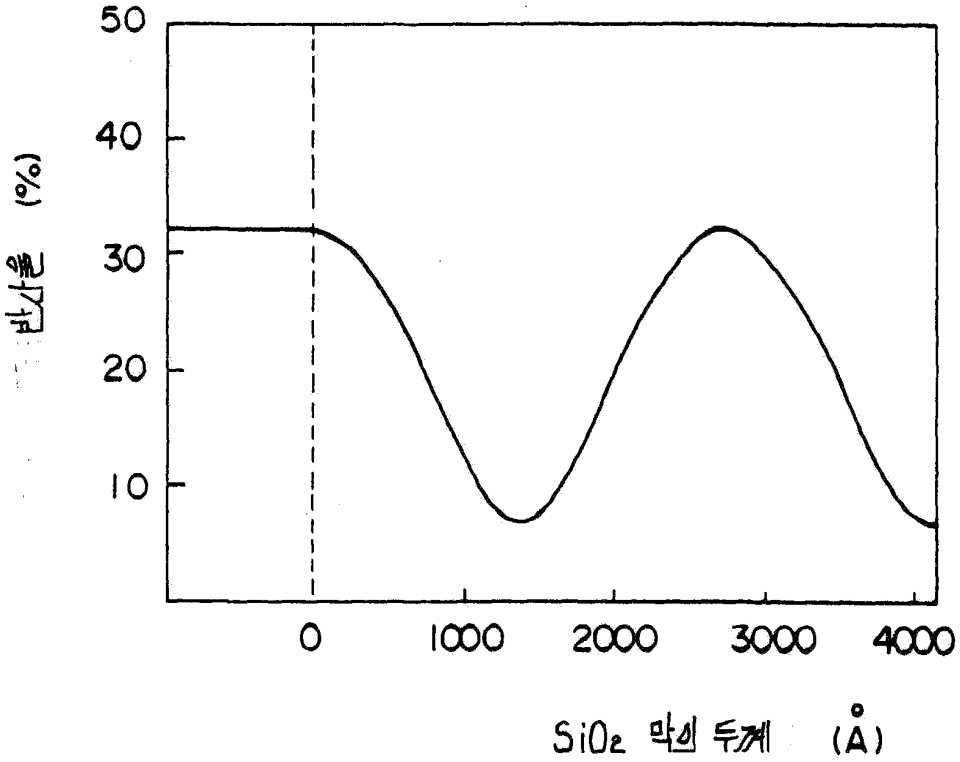
도면32c


λ1(D1)
100
50
0
반사율 (%)
760
800
840
파장 (nm)

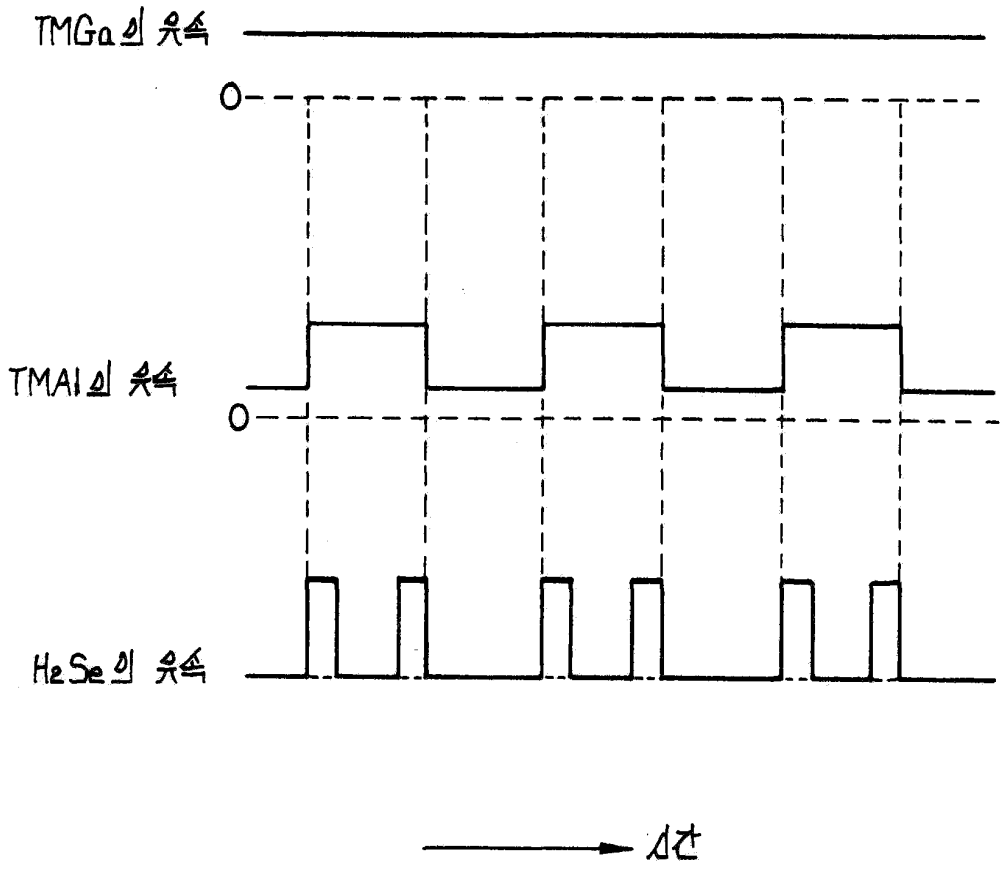
도면33


72
74
68
S
70
60
64
62
61
66

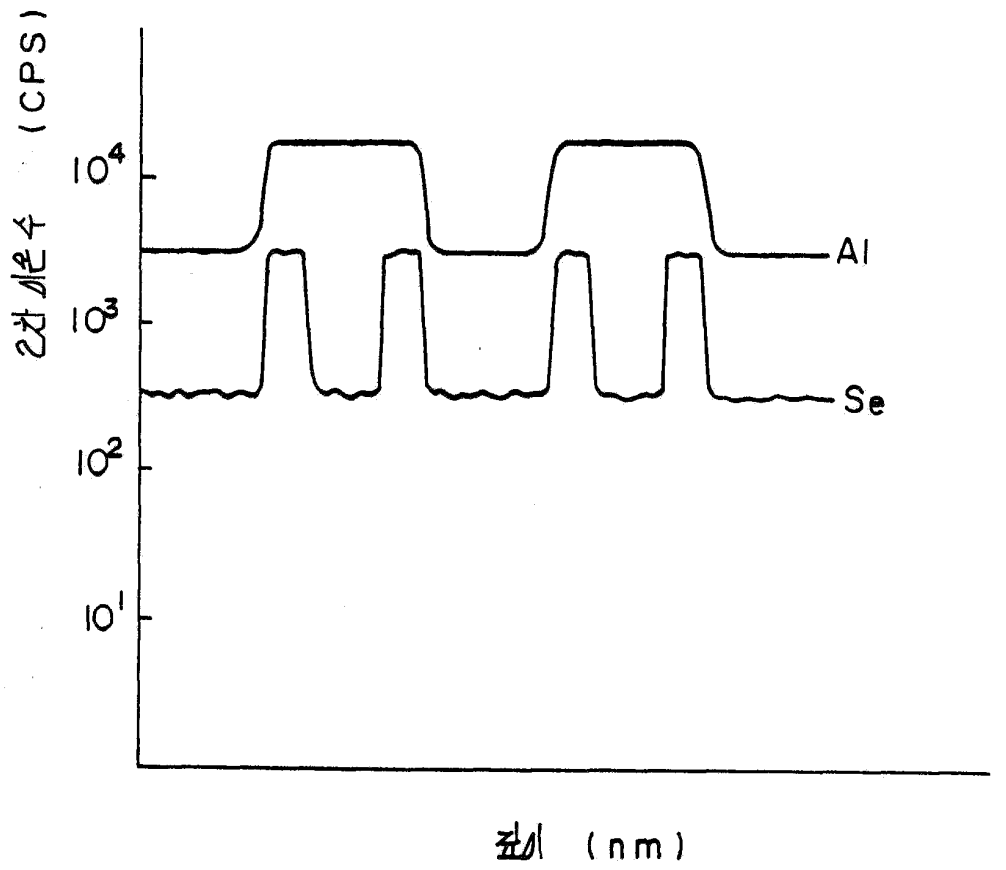
도면34


50
40
30
20
10
반사율 (%)
0
1000
2000
3000
4000
SiO2 막의 두께 (Å)

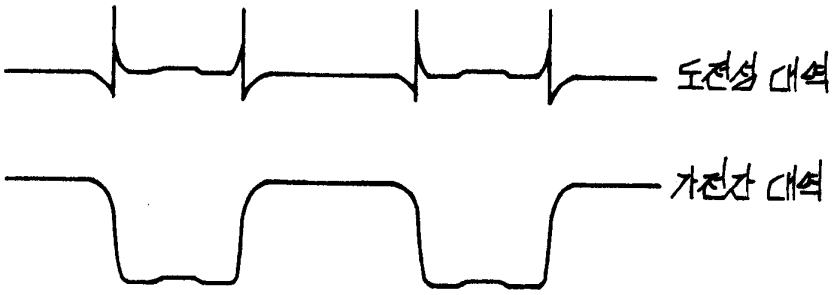
도면35


TMGa의 유속
0
TMAl의 유속
0
H2Se의 유속
시간

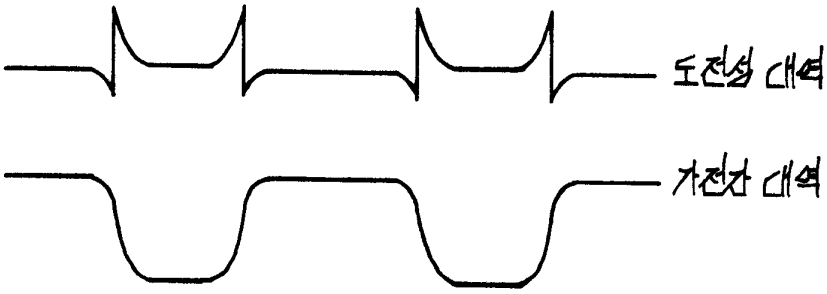
도면36


2차 이온수 (CPS)
10^4
10^3
10^2
10^1
Al
Se
깊이 (nm)

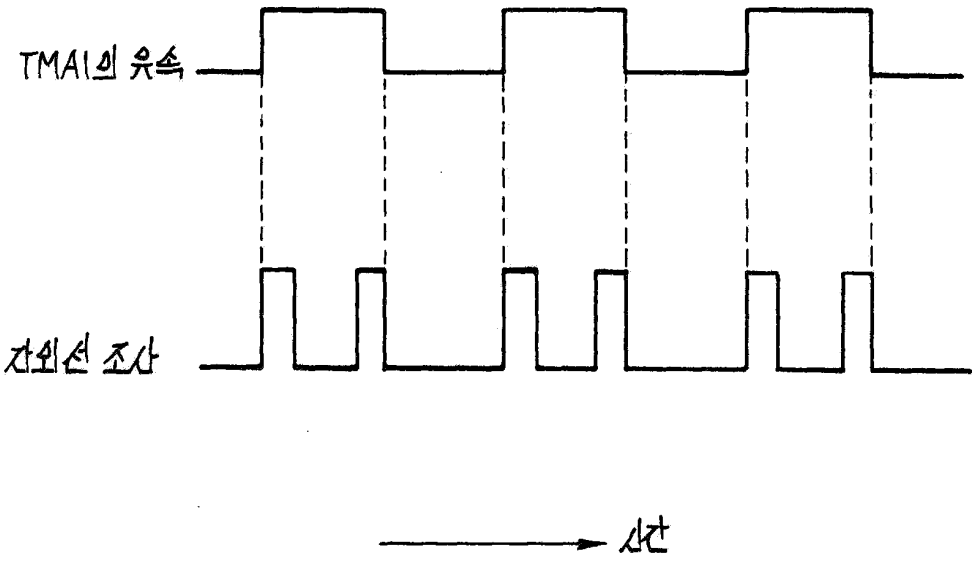
도면37a



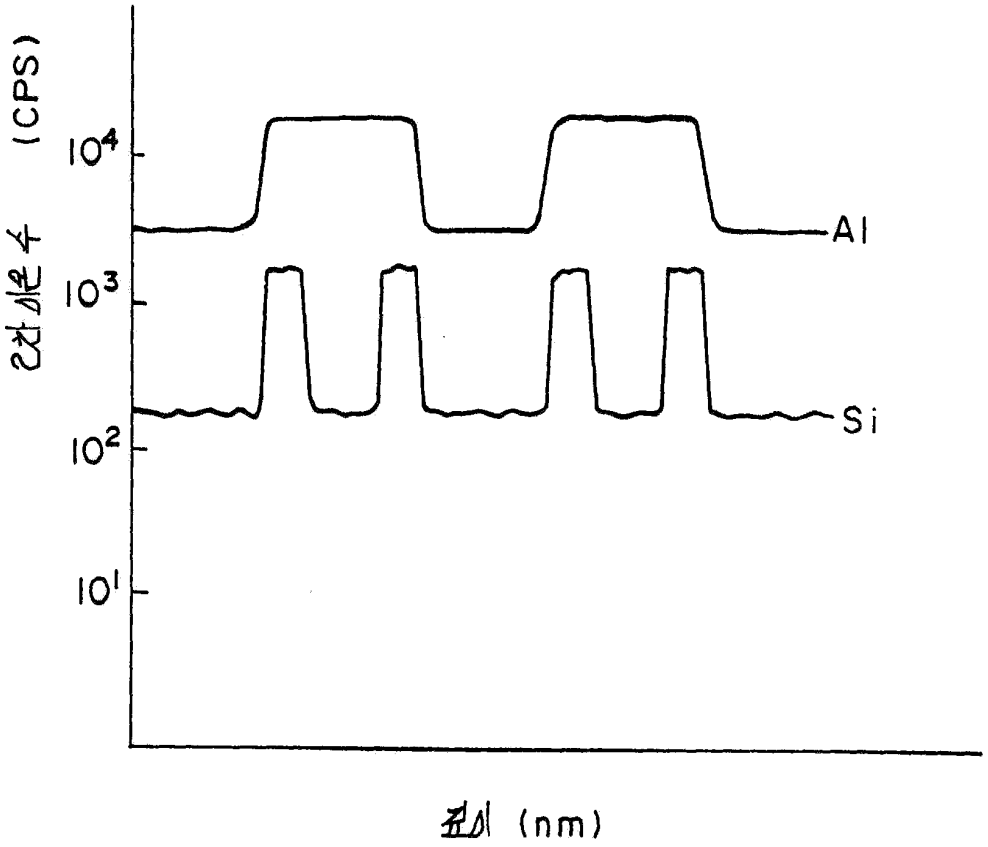
도면37b



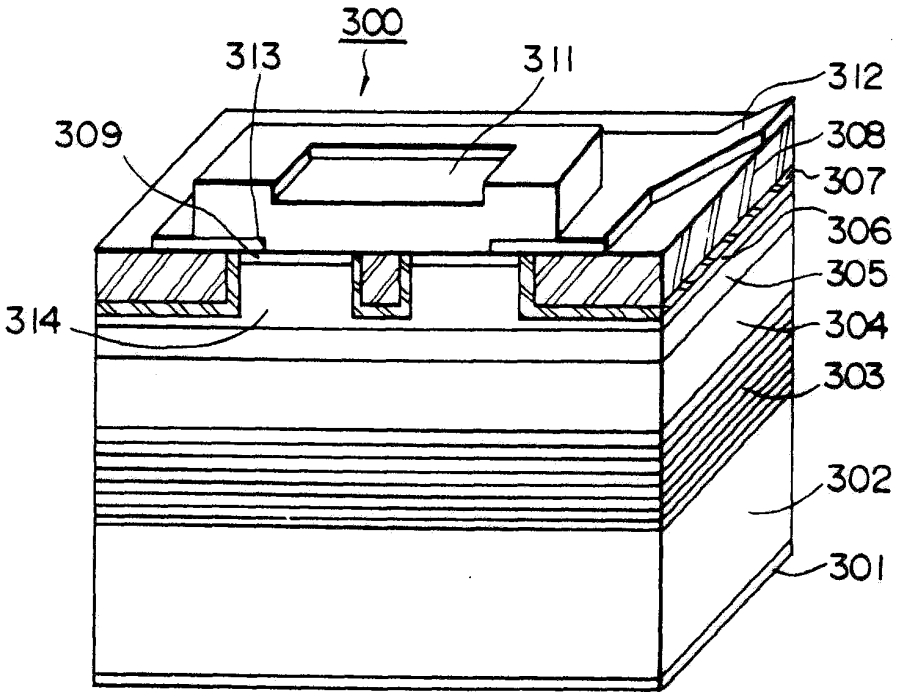
도면38



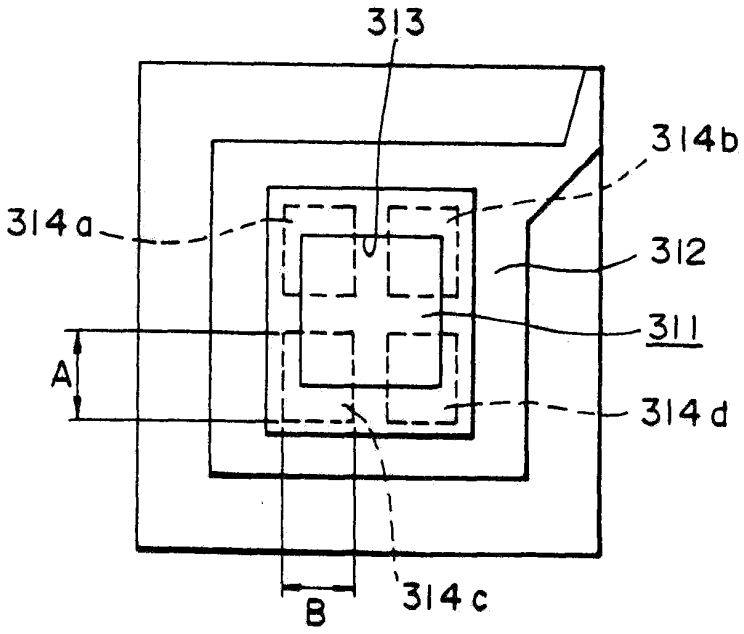
도면39


2차 이온 수 (CPS)
10⁴
10³
10²
10¹
Al
Si
깊이 (nm)

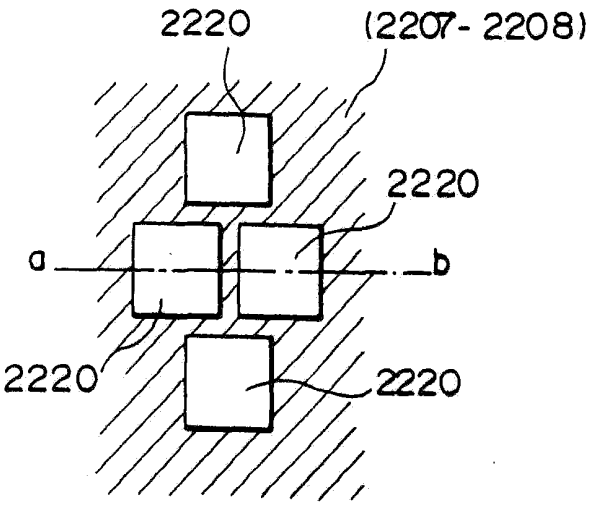
도면40a


300
313
311
312
309
308
307
306
305
314
304
303
302
301

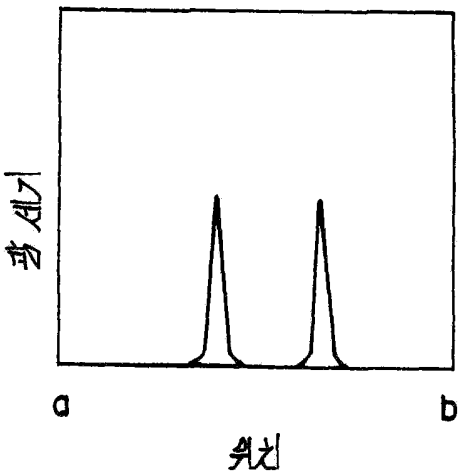
도면40b



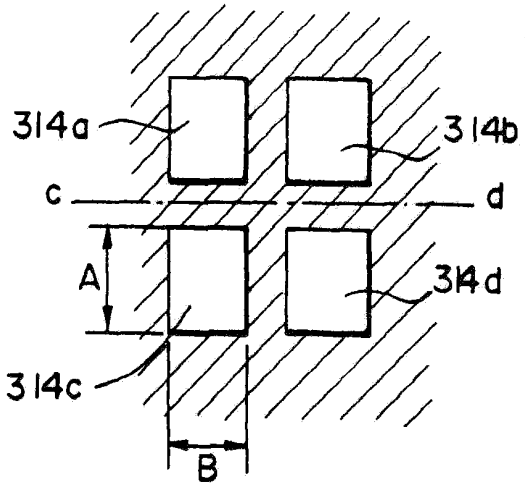
도면41a



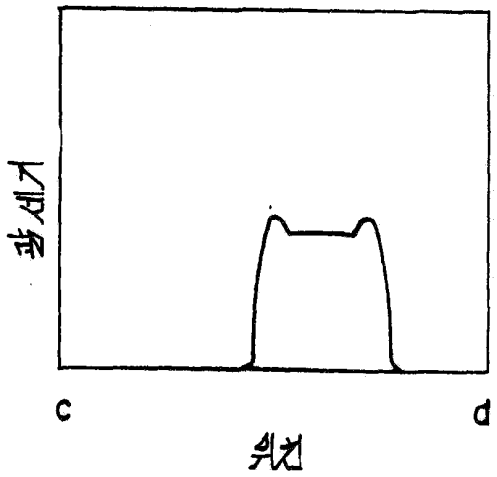
도면41b



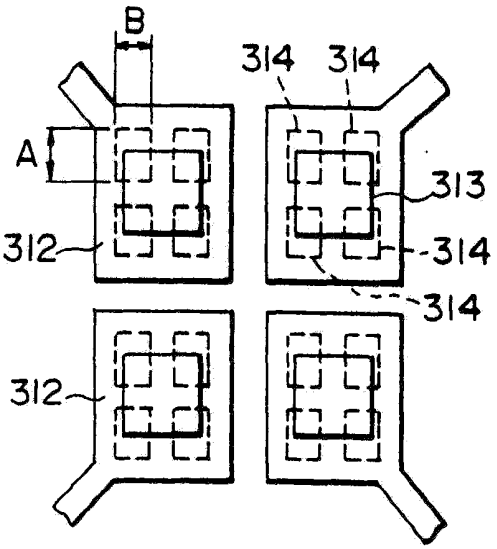
도면41c



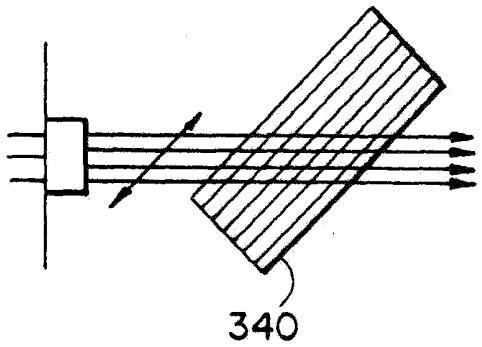
도면41d



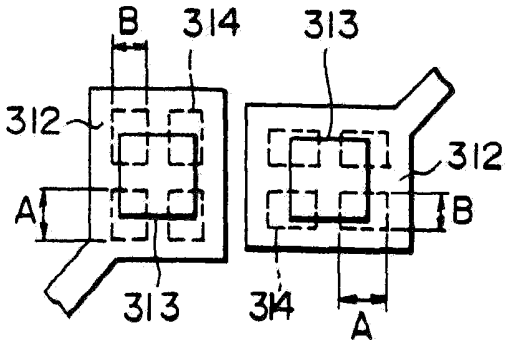
도면42a



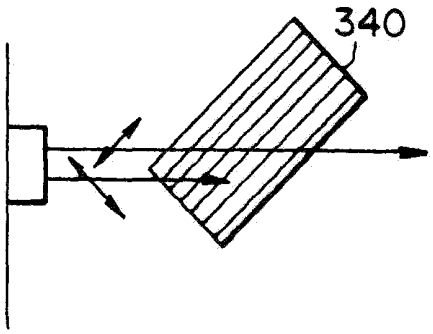
도면42b



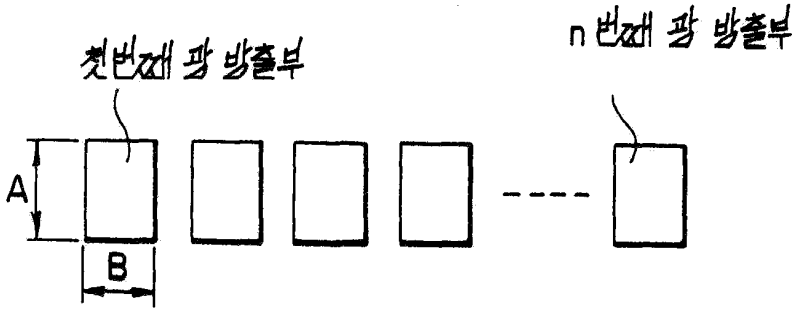
도면42c



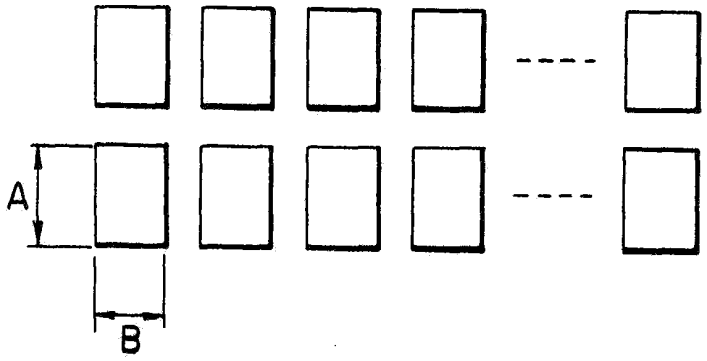
도면43d



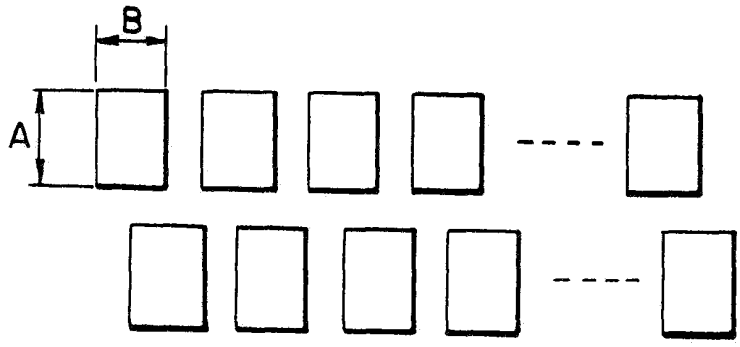
도면43a



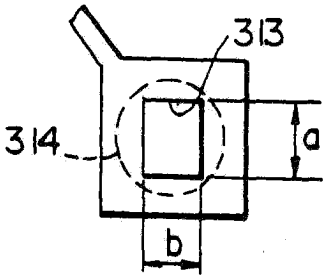
도면43b



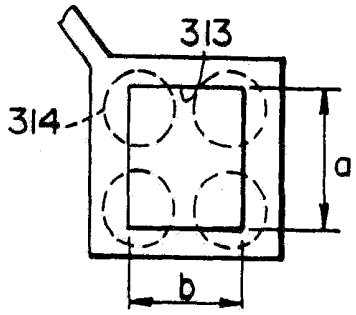
도면43c



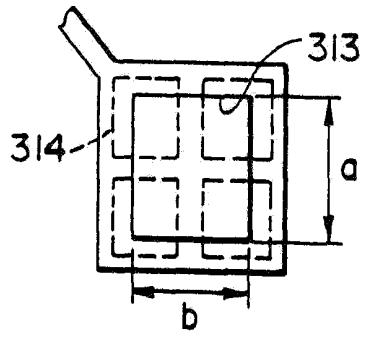
도면44a



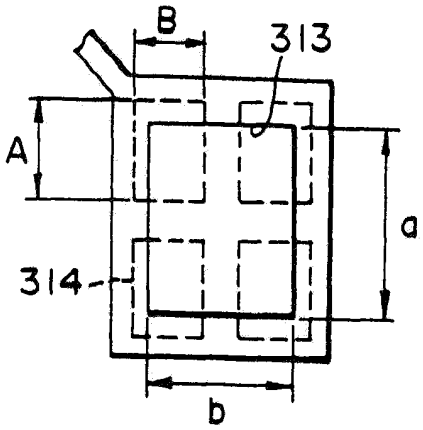
도면44b



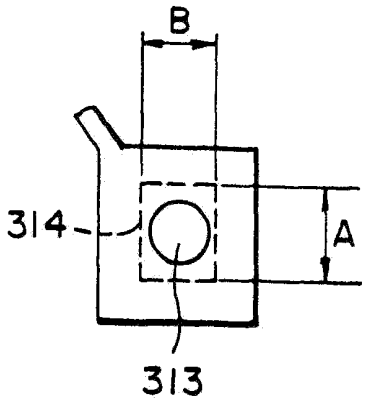
도면44c



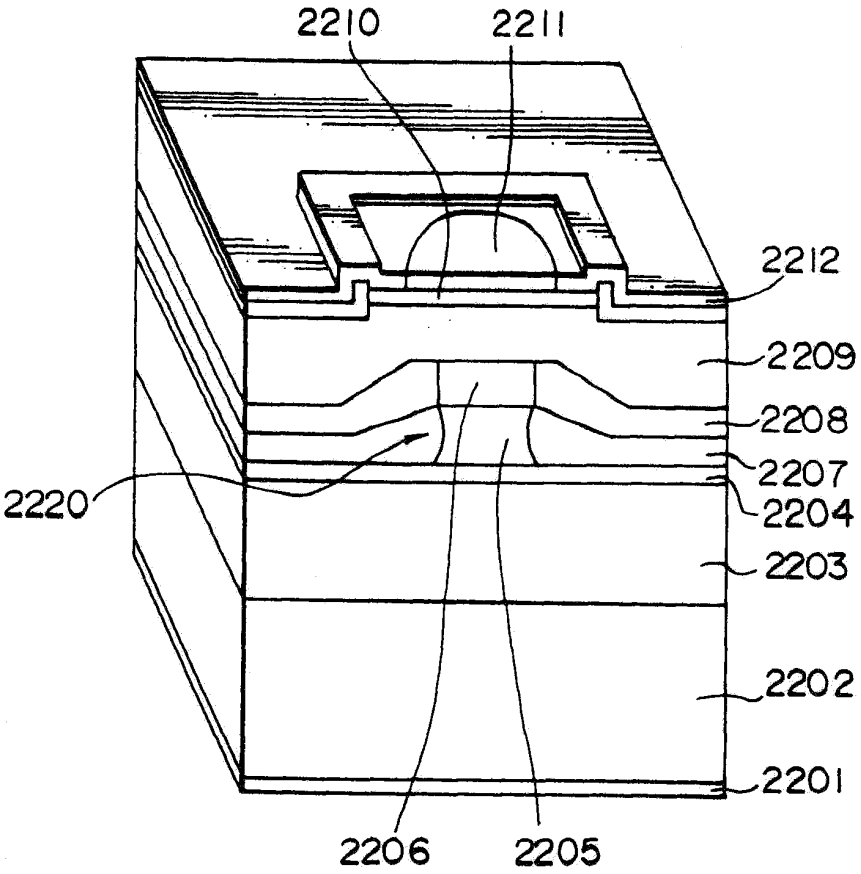
도면44d



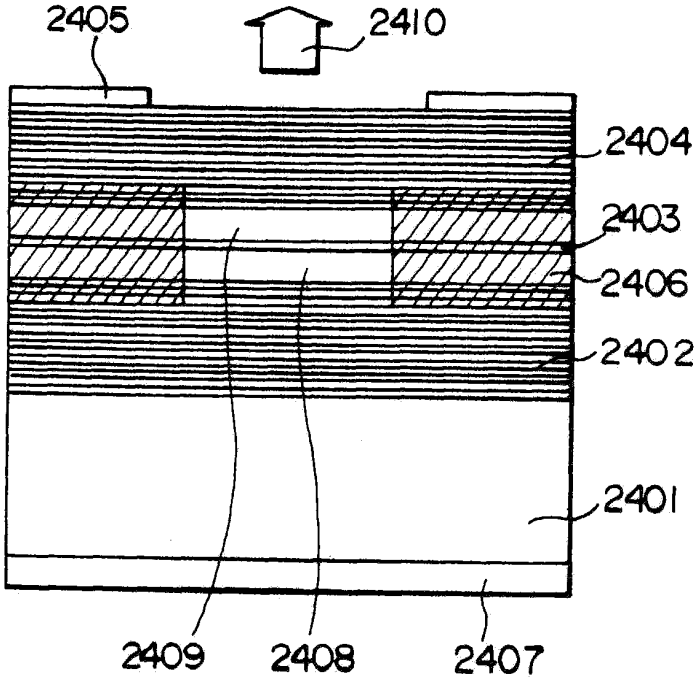
도면44e



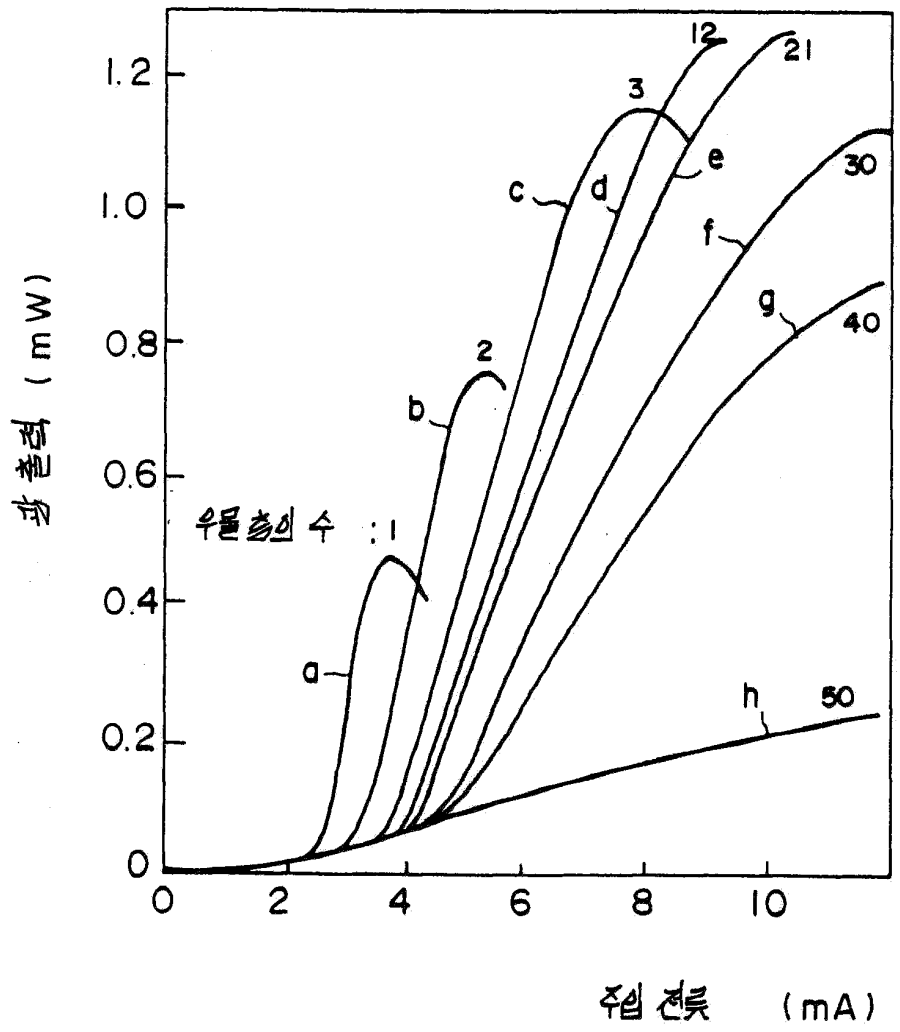
도면45


2210
2211
2212
2209
2208
2207
2204
2220
2203
2202
2201
2206
2205

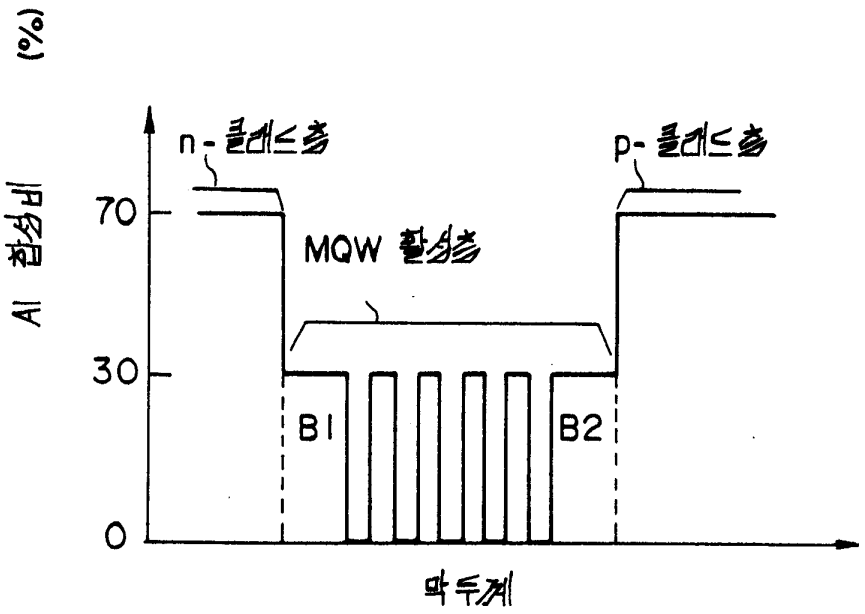
도면46


2405
2410
2404
2403
2406
2402
2401
2409
2408
2407

도면47


광출력 (mW)
1.2
1.0
0.8
0.6
0.4
0.2
0
0
2
4
6
8
10
주입 전류 (mA)
우물층의 수 : 1
a
b
2
c
d
3
e
12
21
f
30
g
40
h
50

도면48


Al 함성비 (%)
70
30
0
n-클래드층
p-클래드층
MQW 활성층
B1
B2
막두께